

055

ROTEADOR DE SINAIS DIGITAIS EM TECNOLOGIA NMOS5 μ m. Marco Antônio O. Zimmermann, Luigi Carro (IEE, Departamento de Eng. Elétrica, Escola de Engenharia, UFRGS).

Este projeto objetivou a elaboração de um roteador de sinais digitais, requisitado pela Equitel, desenvolvido em conjunto pelo IEE-DELET-UFRGS e pelo L μ E-IF-UFRGS. Este roteador apresenta quatro entradas de sinal, quatro entradas de controle e quatro saídas, possibilitando dezesseis combinações de endereçamento dos sinais. Composto por quatro blocos idênticos interligados convenientemente, cada bloco conduz de forma direta ou invertida conforme o nível presente em sua entrada de controle. Foi inicialmente desenvolvido em tecnologia CMOS (chaves complementares e inversores) mostrando-se bastante eficiente e rápido, impondo um atraso muito pequeno ao sinal de entrada. Posteriormente, o roteador sofreu alterações para adequá-lo à tecnologia disponível no Instituto de Física (NMOS5 μ m), onde o protótipo será fabricado. Agora transistores NMOS de enriquecimento atuam como chaves, seguidas por inversores para compensar a queda de tensão sobre a chave. Os transistores PMOS dos inversores foram substituídos por NMOS de depleção, configurados como carga ativa. Resistores de pull-up mantêm os gates dos transistores de controle dos inversores em um potencial conhecido, mesmo com as chaves cortadas. Cada entrada de controle possui um circuito de proteção composto de um resistor e um diodo. Cada saída possui um buffer de corrente com ganho em torno de 40, gerando uma corrente de saída de aproximadamente 9mA. Como o último estágio do buffer é open-drain, necessita-se de um resistor externo de carga (470 ohms) em cada saída. O desempenho em frequência está limitado pelo tamanho dos transistores do buffer. Simulações SPICE indicam uma frequência máxima de 2MHz, considerando carga de 100pF. Devido às características do transistor de depleção, o nível baixo do sinal apresenta um ruído DC em torno de 380mV (Projeto Equitel/UFRGS).