

062

**ROTEADOR À PROVA DE FALHAS IMPLEMENTADO EM FPGA.** *Jáder A. Kussler, Marcelo S. Lubaszewski* (Departamento de Engenharia Elétrica, Escola de Engenharia, UFRGS).

O crescente congestionamento das centrais telefônicas impõe um melhor gerenciamento da rede de comunicação já instalada. Este problema pode ser minimizado com o uso de roteadores. Quando há congestionamento de linhas em determinada central, o roteador redirecionará linhas livres de outras centrais desafogando o tráfego de sinais. Sendo assim, o objetivo deste trabalho é a implementação em FPGA de um roteador composto por 4 entradas e 4 saídas que opere a uma frequência de no mínimo 2MHz, emulando o comportamento de um circuito NMOS. O roteador é composto por 4 células básicas e uma célula de teste (bloco operacional - descrição VHDL estrutural) além de uma célula de controle (bloco de controle - descrição VHDL comportamental). O processo de teste é realizado "on-line" de forma que cada célula básica seja testada individualmente alimentando o circuito de controle. Caso exista alguma falha, a célula de teste substitui a célula defeituosa. Desta forma, o roteador pode continuar em pleno funcionamento sem perda de confiabilidade até a substituição do roteador defeituoso. A ferramenta com a qual foi desenvolvida a descrição VHDL do hardware é o MAX+PLUS II da Altera. A sistemática de teste implementada detecta grande parte dos erros, entretanto necessita de hardware complementar de forma a garantir o teste de todas as possíveis falhas no equipamento (CNPq).