

## Sessão 31 Microeletrônica II

271

**ESTUDO COMPARATIVO DE FAMÍLIAS LÓGICAS EM CMOS: ESTÁTICAS E DINÂMICAS, SINGLE-RAIL E DUAL-RAIL.** Lucia S. Saldivar, Renato Perez Ribas (Deptº Informática Aplicada, Instituto de Informática, UFRGS).

Funções lógicas em CMOS podem ser implementadas com diversas topologias – estática ou dinâmica, *single-rail* (apenas uma saída) ou *dual-rail* (duas saídas: direta e complementar) – que, de acordo com a funcionalidade do circuito, evidenciam propriedades desejáveis. Assim, esse estudo partiu da caracterização elétrica em lógica estática, que engloba redundância de informação (mesma função implementada em NMOS e PMOS). Diretamente, seu significado reflete em desperdício de área de silício, degradação da velocidade e onerando dissipação de potência estática. Para tanto, são pesquisadas diferentes topologias em lógica dinâmica, cujo enfoque principal está no uso de fases de pré-carga e avaliação, de modo a aumentar a flexibilidade lógica, bem como tornar os circuitos mais rápidos. De forma a validar o estudo comparativo, foi implementado o circuito somador binário *Ripple-Carry* (propagação do *carry* para estágios subseqüentes) com diversas técnicas – CMOS ‘standard’, lógicas Dominó, NORA, DCVS, ECDL, etc. – utilizando tanto estruturas *single-rail*, quanto *dual-rail*. Em termos elétricos, já foram obtidos resultados significativos. A ênfase subseqüente será dada às diversas formas de projeto de layout para que seja possível determinar inequivocamente as vantagens de uma implementação sobre a outra, principalmente em termos de área ocupada pela célula. Finalmente, deseja-se realizar a geração automática de tais células, integrando e validando o estudo, através da ferramenta CDF (*Cell Design Flow*), incorporada ao ambiente LAGARTO (Layout GenerAtOR TOol), ambas em desenvolvimento no grupo de pesquisa. (PIBIC-CNPq/UFRGS).