

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

ESCOLA DE ENGENHARIA

DEPARTAMENTO DE ENGENHARIA ELÉTRICA

**MAX FELDMAN**

**ESTUDO E SIMULAÇÃO DE UM CONVERSOR A/D  
DO TIPO REDISTRIBUIÇÃO DE CARGA**

Porto Alegre

2013

**MAX FELDMAN**

**ESTUDO E SIMULAÇÃO DE UM CONVERSOR A/D  
DO TIPO REDISTRIBUIÇÃO DE CARGA**

Projeto de Diplomação apresentado  
ao Departamento de Engenharia Elétrica  
da Universidade Federal do Rio Grande  
do Sul, como parte dos requisitos para a  
Graduação em Engenharia Elétrica.

Orientador: Prof. Dr. Tiago Roberto Balen

Porto Alegre

2013

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

ESCOLA DE ENGENHARIA

DEPARTAMENTO DE ENGENHARIA ELÉTRICA

MAX FELDMAN

**ESTUDO E SIMULAÇÃO DE UM CONVERSOR A/D  
DO TIPO REDISTRIBUIÇÃO DE CARGA**

Este projeto foi julgado adequado para fazer jus aos créditos da Disciplina de “Projeto de Diplomação” do Departamento de Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: \_\_\_\_\_

Prof. Dr. Tiago Roberto Balen, UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul –  
Porto Alegre, Brasil

Banca Examinadora:

Prof. Dr. Tiago Roberto Balen, UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul – Porto Alegre, Brasil

Prof. Dr. Gilson Inácio Wirth, UFRGS

Doutor pela Universität Dortmund – Dortmund, Alemanha

Prof. Dr. Marcelo Götz, UFRGS

Doutor pela Universität Paderborn – Paderborn, Alemanha

Porto Alegre

2013

## **AGRADECIMENTOS**

Agradeço a todos que de alguma forma contribuíram para o desenvolvimento deste trabalho, em especial ao professor Tiago Roberto Balen.

A minha família, em especial aos meus pais Jairo e Eliane e a minha irmã Juliane.

Aos colegas do curso de Engenharia Elétrica que sempre foram companheiros nos momentos difíceis.

## RESUMO

Com a consolidação dos sistemas digitais de processamento de dados, confirma-se a necessidade de utilização de conversores analógico-digital para que possa ser feita a aquisição de dados analógicos, presentes no ambiente, e posteriormente estes sejam armazenados e tratados no domínio digital. Este trabalho apresenta como tema principal o estudo de uma das arquiteturas deste tipo de componente, o conversor A/D por aproximações sucessivas baseado em redistribuição de carga, além do projeto e simulação de um conversor deste tipo.

Palavras-chave: Conversor A/D. Aproximações sucessivas. Redistribuição de carga.

## **ABSTRACT**

The consolidation of the data processing digital systems arises the need to use analog-to-digital converters to acquire the signals present in the nature, and then store and processes these signals in the digital domain. The present work aims to study the successive approximation analog-to-digital converter, more specifically the architecture based on charge redistribution. The project and simulation of this type of converter are also addressed in this work.

Keywords: A/D Converter. Successive approximations. Charge redistribution.

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b>	<b>11</b>
1.1	MOTIVAÇÃO	11
1.2	OBJETIVO	12
1.3	ORGANIZAÇÃO DO TRABALHO	12
<b>2</b>	<b>CONVERSORES A/D</b>	<b>14</b>
2.1	ESCOLHA DE UM CONVERSOR A/D	15
2.2	OS TIPOS DE CONVERSORES A/D MAIS COMUNS	17
2.2.1	Conversor A/D dupla rampa	17
2.2.2	O conversor A/D do tipo realimentação	20
2.2.3	O conversor A/D do Tipo Flash	22
2.2.4	O conversor A/D do tipo Delta-sigma	24
<b>3</b>	<b>O CONVERSOR A/D POR APROXIMAÇÕES SUCESSIVAS DO TIPO REDISTRIBUIÇÃO DE CARGA</b>	<b>26</b>
3.1	O FUNCIONAMENTO DO CONVERSOR SAR BASEADO EM REDISTRIBUIÇÃO DE CARGA	27
3.1.1	Amostragem	28
3.1.2	Retenção	28
3.1.3	Redistribuição de Carga	29
3.2	SISTEMA DE CONTROLE DIGITAL	32
3.2.1	A máquina de estados	33
3.2.2	O contador	36
3.2.3	O demultiplexador	36
3.2.4	O circuito de entrada dos registradores	36
3.2.5	Circuito RESET/START	37
<b>4</b>	<b>MATERIAIS</b>	<b>38</b>
4.1	O SIMULADOR SPICE	38
4.1.1	Criação de componentes	39
4.1.2	Portas Lógicas	39
4.1.3	Flip – Flops	40
4.1.4	Contador de 3 bits	41
4.1.5	Demultiplexador	42

<b>5</b>	<b>RESULTADOS</b>	<b>44</b>
5.1	SIMULAÇÕES DO CIRCUITO DE CONTROLE	44
5.2	FUNCIONALIDADE DO SINAL START	48
5.3	SIMULAÇÕES COM VALORES	49
5.4	COMPORTAMENTO DO SINAL DO BARRAMENTO SUPERIOR	52
<b>6</b>	<b>CONCLUSÕES</b>	<b>59</b>
<b>7</b>	<b>REFERÊNCIAS</b>	<b>61</b>
<b>APÊNDICE 1 – CIRCUITO DO SISTEMA DIGITAL DE CONTROLE</b>		<b>62</b>
<b>APÊNDICE 2 – NETLIST SPICE</b>		<b>64</b>
<b>APÊNDICE 3 – SCRIPT PARA SIMULAÇÃO EM MATLAB</b>		<b>70</b>

## LISTA DE ILUSTRAÇÕES

Figura 1: Ciclo de Tratamento de Sinais.....	11
Figura 2: Conversão Analógica Digital .....	14
Figura 3: Conexões básicas de um conversor A/D.....	16
Figura 4: Principais características de algumas arquiteturas de conversores A/D.....	17
Figura 5: Circuito base conversor dupla rampa.....	18
Figura 6: Rampas de Integração.....	19
Figura 7: Estrutura de um Conversor A/D do tipo Realimentação.....	21
Figura 8: Estrutura de um conversor A/D do tipo Flash.....	23
Figura 9: Diagrama de blocos de um conversor A/D do tipo Delta-sigma.....	24
Figura 10: Fluxograma básico de um algoritmo de aproximações sucessivas considerando 3 bits.....	26
Figura 11: Circuito Base Conversor A/D por Redistribuição de Carga.....	27
Figura 12: Circuito Equivalente.....	30
Figura 13: Diagrama de Blocos do conversor A/D projetado.....	33
Figura 14: Diagrama de estados da máquina principal.....	34
Figura 15: Etapas de uma simulação SPICE.....	38
Figura 16: Descrição de uma porta lógica AND ideal de duas entradas.....	40
Figura 17: Circuito combinacional de um flip-flop do tipo JK.....	41
Figura 18: Circuito sequencial de um contador de 3 bits.....	42
Figura 19: Circuito combinacional do demultiplexador utilizado.....	43
Figura 20: Sinais de Saída da Máquina de Estados.....	44
Figura 21: Saídas Q dos FFs da máquina de estados.....	45
Figura 22: Sinais de Clock sobre os FFs de Saída.....	46
Figura 23: Compartimento dos sinais aplicados às chaves - $V_a=0$ .....	47
Figura 24: Compartimento dos sinais aplicados às chaves - $V_a=V_{Máx}$ .....	47
Figura 25: Aplicação do sinal START.....	48
Figura 26: Compartimento dos sinais aplicados às chaves - $V_a=2V$ .....	49
Figura 27: Compartimento dos sinais aplicados às chaves - $V_a=1V$ .....	52
Figura 28: Comportamento da tensão no barramento superior - Chave S7.....	53
Figura 29: Comportamento da tensão no barramento superior - Chave S6.....	54
Figura 30: Comportamento da tensão no barramento superior - Chave S5.....	55

Figura 31: Comportamento da tensão no barramento superior - Chave S4.....	56
Figura 32: Comportamento da tensão no barramento superior - Chave S3.....	56
Figura 33: Comportamento da tensão no barramento superior - Chave S2.....	57
Figura 34: Comportamento da tensão no barramento superior - Chave S1.....	57
Figura 35: Comportamento da tensão no barramento superior - Chave S0.....	58

# 1. Introdução

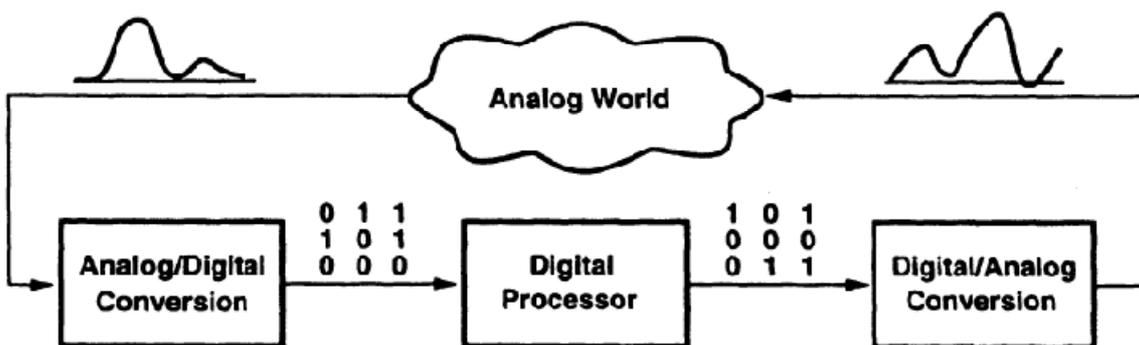
## 1.1. Motivação

Nos sistemas eletrônicos modernos, as informações são processadas e armazenadas de forma digital, porém devido à natureza analógica do mundo, surge a necessidade de utilização de conversores de dados (MANGANARO, 2012).

Com o avanço e a popularização do processamento digital de sinais (*Digital Signal Processing* - DSP), a utilização dos conversores de dados torna-se muito importante, para adquirir informações do mundo analógico. Vale salientar que a gama de aplicações deste tipo de sistema é enorme, e continua em constante crescimento. Cita-se alguns exemplos como, áudio digital, instrumentação médica e tratamento de sinais de radares.

Os sinais digitais são muitas vezes tratados através da utilização de processadores. A Figura 1 mostra um ciclo, desde a aquisição de dados até a reconstrução, de dados já processados digitalmente, para o mundo analógico.

Figura 1: Ciclo de Tratamento de Sinais



FONTE: (RAZAVI, 1995)

Comparando com circuitos analógicos homólogos, os circuitos digitais apresentam menor sensibilidade ao ruído, possuem maior facilidade no que diz respeito à automação de testes e apresentam uma maior robustez (RAZAVI, 1995).

## 1.2. Objetivo

Este trabalho apresenta como objetivo principal o estudo e a simulação de um conversor analógico-digital que utiliza a técnica de aproximações sucessivas através da redistribuição de carga. Neste trabalho são citadas também outras arquiteturas de conversores A/D, para que desta forma possa se ter uma idéia das principais diferenças e semelhantes entre os diversos modelos, além da aplicabilidade de cada um.

A simulação do conversor será realizada com a utilização de um software simulador SPICE. O conversor A/D projetado possui um sistema digital de controle presente em seu circuito. Vale salientar que, neste trabalho, foi feita a escolha de simular este sistema digital com a utilização de componentes ideais.

## 1.3. Organização do Trabalho

Os capítulos a seguir irão descrever os conceitos que foram utilizados para o desenvolvimento deste trabalho, além de descrever as etapas do desenvolvimento e por fim, descrevendo os resultados práticos obtidos.

O trabalho está organizado da seguinte forma:

- O Capítulo 2 apresenta uma breve introdução sobre a utilização de conversores A/D, além de apresentar as principais arquiteturas utilizadas neste tipo de conversor, como suas principais características e aplicações.
- O capítulo 3 descreve o conversor A/D por aproximações sucessivas que utiliza a redistribuição de carga, objeto de estudo deste trabalho. Neste capítulo são descritas de forma detalhada as etapas de conversão.
- O capítulo 4 apresenta as principais ferramentas utilizadas para o desenvolvimento e simulação do conversor A/D estudado neste

trabalho. Neste capítulo são descritos também os principais blocos funcionais utilizados no projeto do circuito.

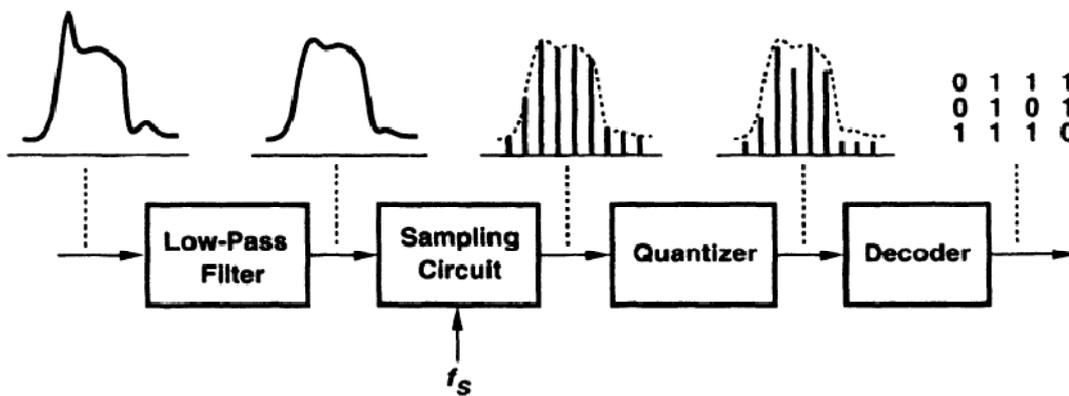
- O capítulo 5 mostra os resultados das simulações realizadas a partir do conversor projetado.
- O capítulo 6 apresenta as conclusões obtidas após a realização das simulações, além de descrever sugestões de melhoria e propostas para trabalhos futuros.

## 2. Conversores A/D

Os conversores A/D “traduzem” os sinais elétricos analógicos que representam fenômenos do mundo real, como, por exemplo, luz, som, temperatura e pressão, para sinais digitais. Além dos sinais naturais serem analógicos, os seres humanos percebem e retém informações em formato analógico, em escala macroscópica (RAZAVI, 1995).

Os passos padrões de uma conversão analógico-digital são observados na Figura 2.

Figura 2: Conversão Analógica Digital



FONTE: (RAZAVI, 1995)

Nota-se que o primeiro bloco presente é o filtro passa baixas, conhecido também neste caso como filtro *anti-aliasing*, e apresenta como função, limitar em frequência o sinal a ser amostrado. Este filtro de entrada é necessário para que o sinal amostrado possa posteriormente ser reconstruído sem que ocorra erro de *aliasing*. Para isso é necessário que a frequência de amostragem ( $f_s$ ) seja pelo menos o dobro da máxima frequência do sinal analógico a ser convertido, conforme descreve o teorema da amostragem de Nyquist–Shannon (SCHREIER & TEMES, 2005).

A seguir, este sinal já filtrado deve passar pelo amostrador, onde será feita amostragem deste sinal em uma determinada frequência. Após a amostragem é realizada a quantização, onde os sinais amostrados são adequados aos níveis de

referências predeterminadas, gerando desta forma um sinal que passa a ser discreto em amplitude. Posteriormente este sinal é processado por um *decoder*, que tem por saída a palavra digital referente ao sinal analógico presente na entrada.

Em relação à frequência de amostragem, vale salientar que existem dois tipos de conversores, os que utilizam a “taxa de Nyquist”, ou seja, a frequência de amostragem é um pouco maior que duas vezes a largura de banda do sinal analógico e os conversores *oversampling*, que utilizam uma frequência de amostragem muito maior que a taxa de Nyquist, e realizam uma posterior filtragem digital para remover o ruído presente fora da faixa de frequência do sinal de interesse (SCHREIER & TEMES, 2005).

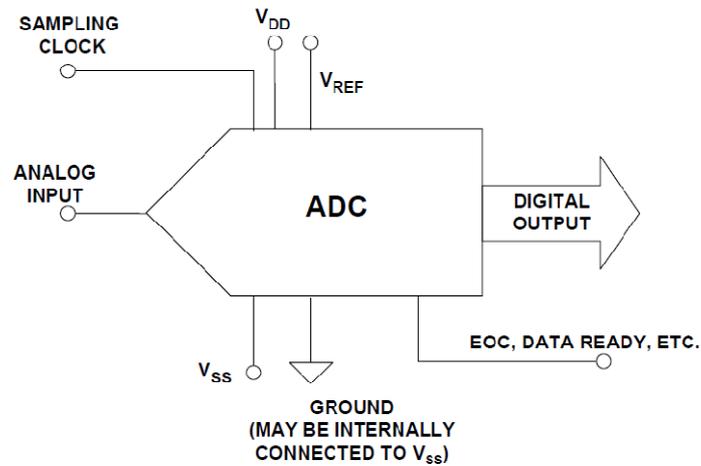
Já tendo conhecimento da grande variedade de aplicações para os conversores de dados, deve-se salientar que existe também uma grande quantidade de arquiteturas de conversores, cada uma delas com suas vantagens e desvantagens. Logo, ao projetar um sistema, deve-se ter um bom conhecimento dos sinais a serem convertidos para que a escolha do tipo de conversor a ser utilizado seja feita da melhor forma possível.

Existem dois tipos de métodos de conversão empregados em conversores A/D, são eles o método de integração e o método de comparação. Os conversores que utilizam o método de integração podem ser ainda divididos em dois grupos, os que utilizam a relação entre tensão e tempo e os que utilizam a relação entre tensão e frequência. Já os conversores que utilizam o método de comparação podem ser subdivididos nos que utilizam realimentação e os que não utilizam. Os conversores que utilizam o método de comparação são geralmente mais rápidos que os que utilizam o método de integração.

## 2.1. Escolha de um conversor A/D

O conversor analógico-digital, como o próprio nome sugere, apresenta uma entrada analógica e uma saída digital.

**Figura 3: Conexões básicas de um conversor A/D**



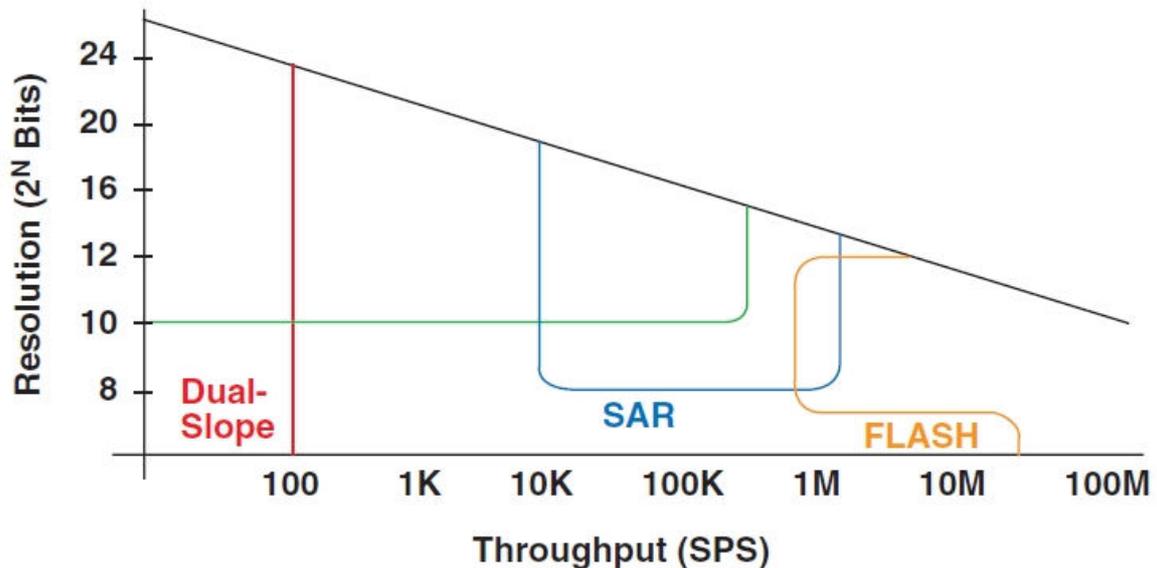
**FONTE: (KESTER, 2004)**

Nota-se na Figura 3 a presença de algumas conexões externas ao conversor, como  $V_{Ref}$ , *Sampling Clock* e *Data Ready*, estes sinais são utilizados para garantir um maior controle em relação ao funcionamento do conversor, o sinal *Sampling Clock*, por exemplo, é um sinal de entrada do conversor, utilizado para determinar qual será a taxa de amostragem que será utilizada, já *Data Ready* é um sinal de saída que está comumente presente nos conversores, e ele é utilizado para indicar que um ciclo de conversão foi finalizado. Esta figura mostra um conversor genérico, porém conversores comerciais podem apresentar mais sinais de controle dos que os citados acima ou até mesmo não conterem alguns dos sinais mostrados, como seria o exemplo de um conversor com referência interna e taxa de conversão fixa.

Como já foi citado anteriormente existe um grande número de arquiteturas de conversores de dados diferentes. No caso da escolha de um conversor analógico-digital, existem algumas variáveis importantes que devem ser analisadas para a escolha de um modelo para utilização, entre elas pode-se citar: número de bits, faixa de entrada, tempos de aquisição e conversão, largura de banda, entre outras.

Na Figura 4 pode-se observar um gráfico com algumas características das mais comuns arquiteturas de conversores A/D, são elas: número de bits e taxa de amostragem.

Figura 4: Principais características de algumas arquiteturas de conversores A/D



FONTE: (Analog-to-Digital Converter Design Guide, 2004)

Através da Figura 4 observa-se que as situações de uso de um conversor A/D do tipo *Flash* podem ser completamente diferentes que as de um conversor do tipo dupla rampa (*Dual-Slope*), por exemplo, pois eles apresentam taxas de amostragem e máxima resolução totalmente distintas.

## 2.2. Os tipos de conversores A/D mais comuns

Nesta seção serão descritos, resumidamente, os mais utilizados tipos de conversores A/D, e também serão apresentadas suas principais características.

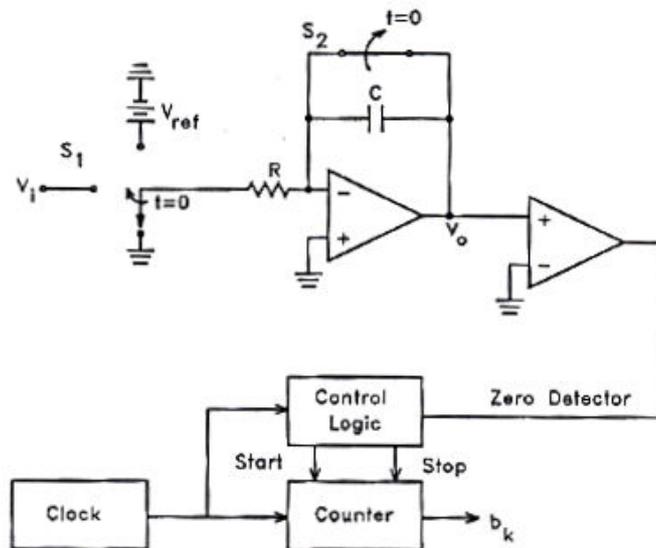
### 2.2.1. Conversor A/D dupla rampa

O conversor dupla rampa é um conversor A/D simples e que pode ser projetado para que tenha uma alta resolução (JESPERS, 2001). Este tipo de conversor é utilizado em situações onde a taxa de amostragem não necessite ser

elevada, mas não se dispensa uma alta resolução. Este dispositivo possui seu funcionamento baseado na integração de sinais e seus componentes básicos são: um integrador de Miller, um comparador e um contador.

Na figura Figura 5 pode-se observar a imagem do circuito base para este tipo de conversor.

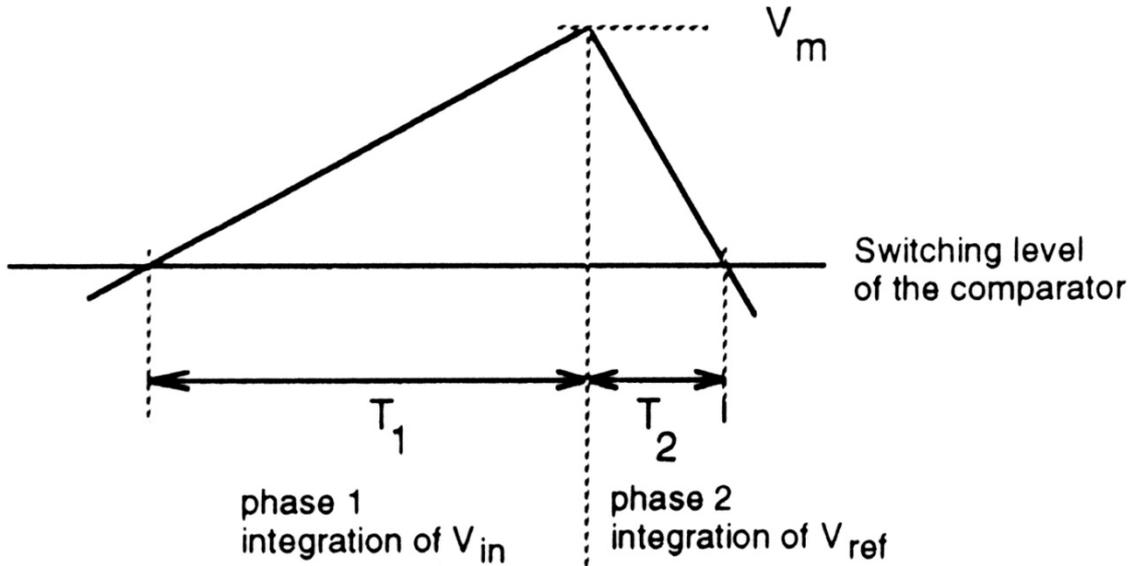
**Figura 5: Circuito base conversor dupla rampa**



O seu princípio de funcionamento é o seguinte: primeiro faz-se a integração do sinal de entrada ( $V_{in}$ ) durante um tempo fixo, posteriormente a chave presente na entrada do integrador é movida para o ponto onde está conectada a tensão de referência conhecida ( $V_{ref}$ ), que possui sinal contrário em relação à tensão de entrada, nesta fase faz-se a integração de  $V_{ref}$  até que se volte ao estado inicial, ou seja, tensão nula na saída do integrador. O contador citado anteriormente como um dos componentes básicos deste tipo de conversor é responsável por determinar o tempo da rampa de subida (integração de  $V_{in}$ ) e realizar a contagem do tempo de descida (integração de  $V_{Ref}$ ).

Na Figura 6 pode-se observar as rampas de integração.

Figura 6: Rampas de Integração



FONTE: (JESPERS, 2001)

Nota-se que a inclinação da rampa de subida é dependente da amplitude do sinal de entrada, por este motivo, para diferentes sinais de entrada teremos um valor de tensão diferente ao final de primeira etapa de integração, valor este indicado como  $V_m$  na figura. Já a rampa de descida irá apresentar sempre a mesma inclinação, pois o valor do sinal de entrada do integrador nesta fase é sempre o mesmo, o que irá alterar é apenas o tempo de duração desta rampa de descida, e é justamente este tempo que é utilizado para a determinação da amplitude do sinal de entrada, que pode ser facilmente calculada utilizando o seguinte equacionamento.

$$V_m = \frac{V_{in}}{R \cdot C} \cdot T_1 \quad (1)$$

$$V_m = \frac{V_{ref}}{R \cdot C} \cdot T_2 \quad (2)$$

Os termos R e C das equações correspondem aos valores do resistor e do capacitor presentes no integrador de Miller, que pode ser observado na Figura 5. Já

os termos  $T_1$  e  $T_2$ , são os tempos da fase de integração de  $V_{in}$  e  $V_{ref}$  respectivamente.

Igualando as expressões (1) e (2) tem-se:

$$\frac{V_{in}}{R \cdot C} \cdot T_1 = \frac{V_{ref}}{R \cdot C} \cdot T_2 \quad (3)$$

$$V_{in} = V_{ref} \cdot \frac{T_2}{T_1} \quad (4)$$

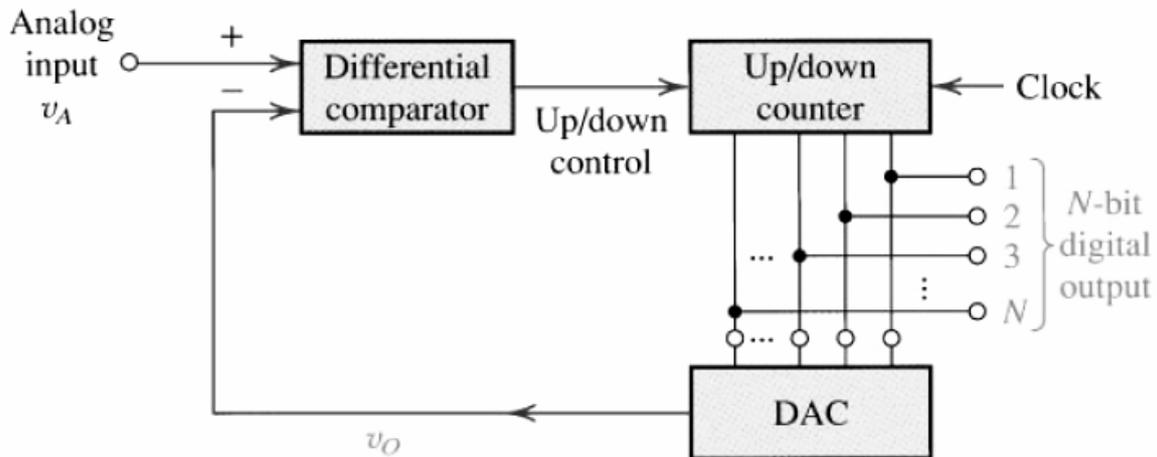
Uma interessante característica deste conversor é a sua insensibilidade a offset do comparador de tensão, já que os tempos  $T_1$  e  $T_2$  são referenciados a um determinado nível comum de chaveamento do comparador que não necessariamente deverá ser zero.

A simplicidade deste tipo de conversor, aliada a seu baixo consumo de energia, faz com que ele geralmente seja escolhido para aplicações de instrumentação de baixo custo, como por exemplo, multímetros digitais.

### 2.2.2. O conversor A/D do tipo realimentação

Esta pode ser considerada uma das mais simples arquiteturas de conversor A/D conhecida. Este conversor tem seu circuito composto por três componentes básicos, um comparador de tensão, um contador e um conversor digital-analógico (D/A). Observa-se na Figura 7 como é estruturado este tipo de conversor.

Figura 7: Estrutura de um Conversor A/D do tipo Realimentação



FONTE: (SEDRA & SMITH, 2004)

Através de uma rápida análise da Figura 7, pode-se observar que as entradas do comparador de tensão são a tensão analógica a qual se que converter, e a saída do conversor D/A presente no circuito. A saída deste comparador pode assumir dois diferentes valores, um quando a tensão analógica a ser convertida for maior que a saída do conversor D/A e outro quando esta situação for inversa, ou seja, a saída do conversor D/A apresentar um valor de tensão maior que a tensão de entrada. É justamente a saída deste comparador que irá fazer o controle do contador presente no circuito, indicando se a contagem deverá ser ascendente ou descendente.

O funcionamento básico deste conversor pode ser descrito da seguinte forma: ao iniciá-lo o contador terá todas suas saídas iguais a zero, e conseqüentemente a saída do conversor D/A será nula. Com uma entrada analógica de valor não nulo a saída do comparador apresentará nível lógico alto, fazendo desta forma com que o contador seja incrementado a cada sinal de clock. Este contador será incrementado até o momento que a saída do conversor D/A iguale-se a entrada analógica, ocorrendo neste momento um estado de equilíbrio, onde as saídas do contador indicam a palavra digital de saída deste conversor.

Ao ocorrer uma alteração na tensão de entrada, o contador será incrementado ou decrementado até que um novo estado de equilíbrio seja atingido.

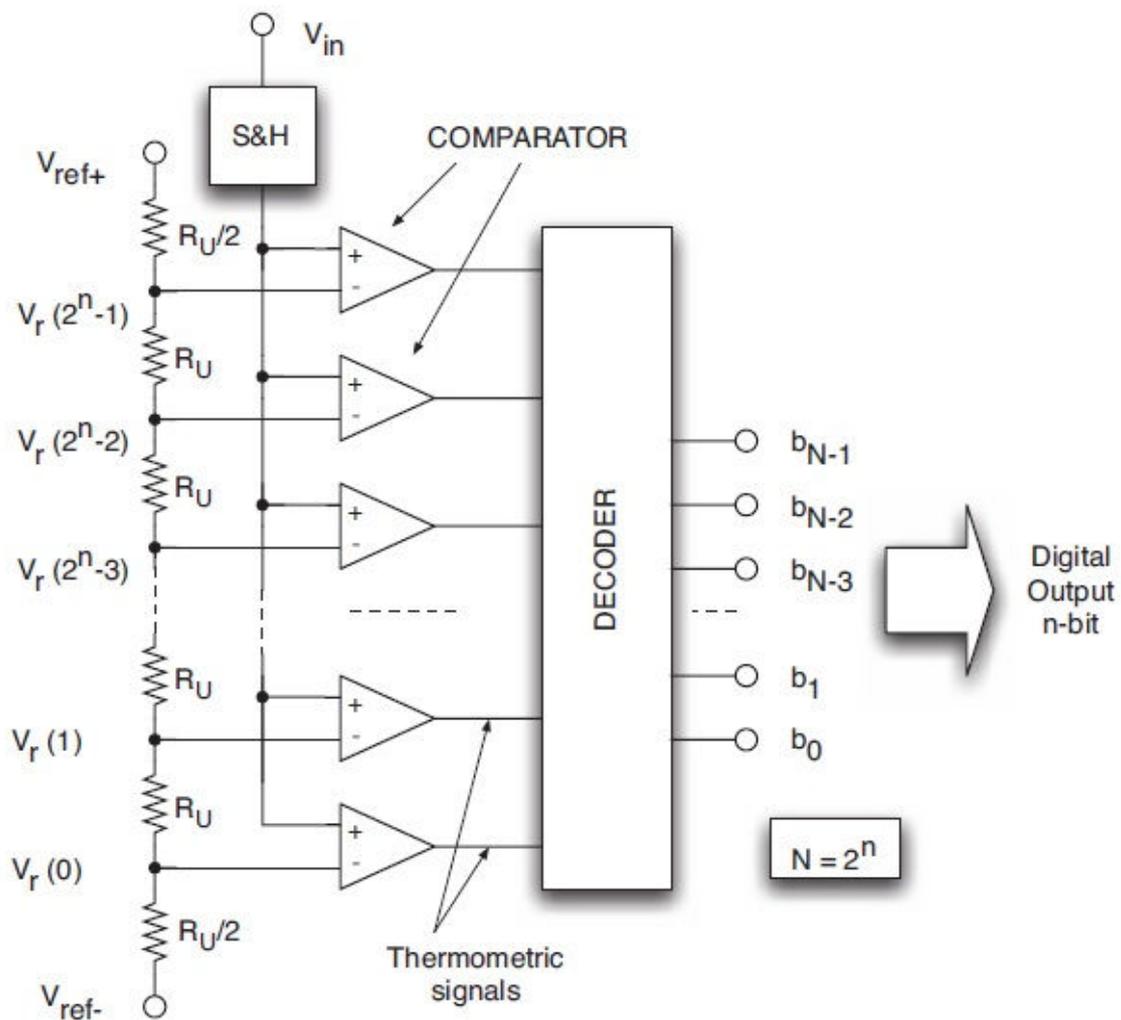
Como já foi citado, este conversor apresenta como vantagem a sua elevada simplicidade tanto de construção, como de operação, porém este é um conversor que apresenta uma baixa velocidade, fazendo com que a sua utilização fique restrita.

### 2.2.3. O conversor A/D do Tipo Flash

O conversor A/D do tipo flash, também conhecido como conversor paralelo, é com certeza a arquitetura de conversores atual que apresenta a maior velocidade de operação. Este tipo de conversor é altamente recomendado para aplicações onde estão envolvidos sinais com grande largura de banda (KESTER, 2004).

A arquitetura deste conversor é baseada em comparadores de tensão de alta velocidade, para um conversor de N bits, são necessário  $2^N-1$  comparadores para a sua implementação, fazendo desta forma com que o circuito conversor apresente uma complexidade enorme para casos onde se deseja uma alta resolução. Através da Figura 8 pode-se observar a forma de construção deste conversor.

Figura 8: Estrutura de um conversor A/D do tipo Flash



FONTE: (MALOBERTI, 2007)

Observa-se na Figura 8, que os comparadores possuem suas entradas não-inversoras conectadas entre si, e é neste ponto onde é aplicada a tensão analógica a ser convertida. Já a tensão aplicada à entrada inversora de cada um dos comparadores, provém de um divisor de tensão resistivo, onde a tensão de referência para cada um é um bit menos significativo, maior que o comparador abaixo. Cada um dos comparadores irá apresentar saída com nível lógico alto quando a entrada analógica for maior que a sua respectiva tensão de referência. Para a geração da palavra digital de saída do comparador, existe um decodificador que tem como entradas as saídas de todos os comparadores.

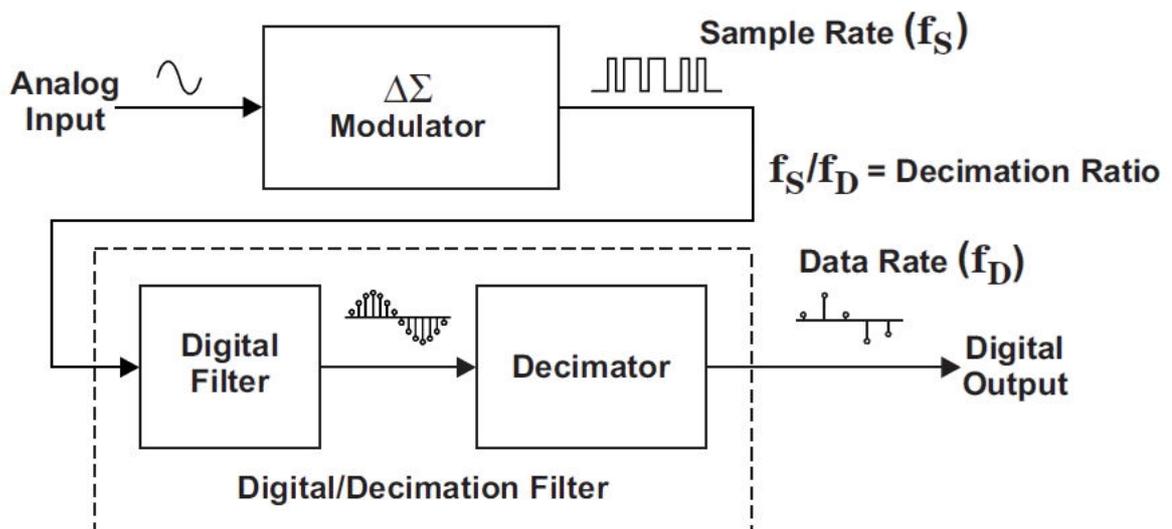
Os conversores A/D do tipo *Flash* apresentam um alto consumo de energia, devido à complexidade do seu circuito, além de apresentar uma resolução relativamente baixa se comparada a outros tipos de conversores, fazendo com que a sua utilização fique praticamente restrita a sinais de alta frequência.

As principais aplicações para este tipo de conversor envolvem o processamento de sinais de radar, unidades de disco de alta densidade e osciloscópios com grandes larguras de banda.

#### 2.2.4. O conversor A/D do tipo Delta-sigma

Este tipo de conversor é construído com a utilização de um modulador analógico do tipo  $\Delta\Sigma$ , juntamente com um filtro digital. Esta arquitetura de conversores apresenta o seu funcionamento baseado em algumas teorias mais avançadas no que diz respeito ao estudo dos sinais, entre elas pode-se citar o *noise shaping*, o *oversampling* e o processo de dizimação de amostras. O diagrama de blocos deste tipo de conversor pode ser observado na Figura 9.

Figura 9: Diagrama de blocos de um conversor A/D do tipo Delta-sigma



FONTE: (BAKER, 2011)

A sobreamostragem, juntamente com o processo de dizimação, faz com que este tipo de conversor atinja uma alta resolução. Este é um tipo de conversor bastante utilizado, pois apresenta uma certa facilidade para que seja feita a sua implementação em circuitos integrados, por outro lado ele aplica-se apenas a situações onde não seja necessária alta velocidade, já que este conversor é relativamente lento (SCHREIER & TEMES, 2005).

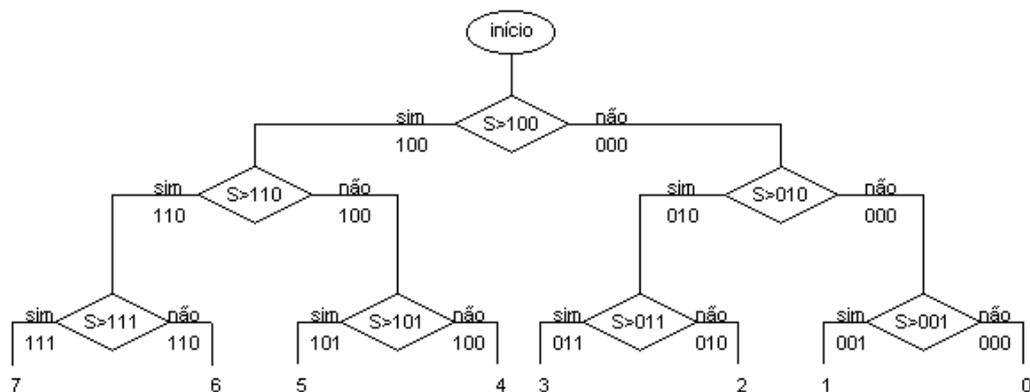
### 3. O conversor A/D por aproximações sucessivas do tipo redistribuição de carga

A partir de agora este trabalho passa a tratar especificamente de um tipo de conversor, o conversor A/D por aproximações sucessivas, mais especificamente sobre o conversor baseado em redistribuição de carga, sobre o qual será feito o estudo e posteriores simulações.

Os componentes básicos deste tipo de conversor analógico-digital são: um banco de capacitores com pesos específicos, um conjunto de chaves controláveis, um comparador de tensão e um sistema de controle digital. Para um conversor deste tipo com uma saída de n bits, são necessários n+1 capacitores e  $(2 \cdot (n+2)) + 1$  chaves para que o funcionamento do dispositivo seja garantido. O comparador de tensão e o sistema digital de controle são utilizados para determinar as posições das chaves durante todas as etapas da conversão.

Na Figura 10 pode-se observar um fluxograma que ilustra o conceito deste tipo de conversor para um caso de 3 bits.

Figura 10: Fluxograma básico de um algoritmo de aproximações sucessivas considerando 3 bits



Nota-se que esta arquitetura de conversor inicia a conversão pelo bit mais significativo (MSB) e encerra a mesma ao determinar o bit menos significativo (LSB).

Vale ressaltar que no diagrama apresentado acima, S representa a palavra digital de saída do conversor, logo, no primeiro passo de conversão onde no diagrama está descrito  $S > 100$ , se esta testando apenas o bit mais significativo, se o

dado sob conversão for maior que 100, logo obrigatoriamente o bit mais significativo será 1, já se ele for menor que 100, o bit mais significativo será zero.

O conversor A/D por redistribuição de carga utiliza um conjunto de capacitores para gerar as tensões de referência para comparação, ao invés de um arranjo de resistores como é o caso de um conversor flash por exemplo.

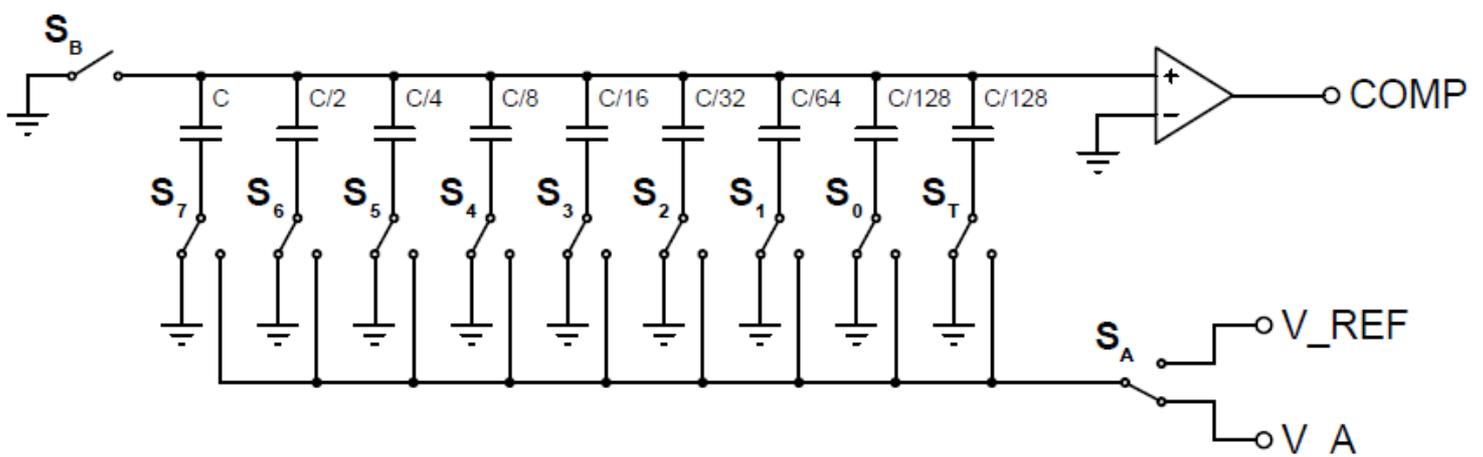
Este conversor utiliza apenas um comparador ao invés de inúmeros que a arquitetura flash utiliza, isto faz com que o consumo de energia deste tipo de conversor seja consideravelmente menor, ao comparar conversores de uma mesma resolução.

### 3.1. O funcionamento do conversor SAR baseado em redistribuição de carga

O funcionamento do conversor A/D por redistribuição de carga pode ser dividido em três fases distintas: a amostragem (*Sample*), a retenção (*Hold*) e a redistribuição de carga.

As etapas de conversão que serão descritas na sequência, utilizarão as nomenclaturas que podem ser visualizadas na Figura 11.

Figura 11: Circuito Base Conversor A/D por Redistribuição de Carga



### 3.1.1. Amostragem

Esta é a primeira etapa da conversão, que como o próprio nome já sugere, é a etapa em que a tensão a ser convertida será amostrada para que nas etapas seguintes ela possa ser convertida.

Esta etapa inicia-se com o fechamento da chave  $S_B$ , esta chave conecta o “barramento superior” ao *ground*. Neste mesmo barramento estão conectados os terminais superiores de todos os capacitores e também a entrada não inversora do comparador de tensão. Após isso, todas as chaves conectadas aos terminais inferiores dos capacitores são ligadas ao “barramento inferior”, onde está ligada a chave  $S_A$ , esta por sua vez é conectada a tensão analógica a ser convertida, denominada  $V_a$ .

Depois de realizados todos os passos citados acima, surge uma tensão  $V_a$  sobre o banco de capacitores. Sabendo que a carga armazenada em um capacitor é dada por:

$$Q = C \cdot V \quad (5)$$

E que a capacitância total do banco é  $2C$ . Logo, a carga total armazenada no banco é:

$$Q = 2C \cdot V_a \quad (6)$$

### 3.1.2. Retenção

Esta segunda etapa da conversão inicia-se ao abrir a chave  $S_B$ , fazendo com que o “barramento superior” seja desconectado do *ground*. Na sequência, as chaves conectadas aos terminais inferiores dos capacitores são ligadas ao *ground*. Como não existiu nenhum caminho de descarga durante estes chaveamentos, a carga armazenada nos capacitores continua sendo  $2CV_a$  e como consequência a tensão presente no barramento superior passa a ser  $-V_a$ .

Para que esta etapa da conversão seja finalizada, a chave  $S_A$  que antes estava ligada a tensão analógica que se quer converter, passa a ser ligada a uma tensão de referência que será utilizada na próxima etapa de conversão.

### 3.1.3. Redistribuição de Carga

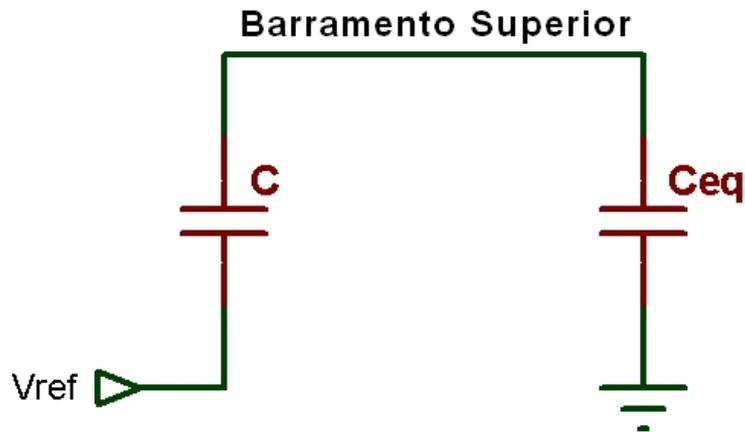
Esta pode ser considerada a etapa mais importante da conversão, pois é nela que ocorrerá a formação da palavra digital referente à tensão analógica aplicada a entrada deste conversor.

Esta etapa pode ser dividida em  $n$  fases, onde  $n$  é igual ao número de bits da saída do conversor, e é em cada uma destas fases que as chaves referentes a cada um dos bits são controladas através das informações do comparador de tensão e do sistema de controle.

A partir de agora será feita a análise da primeira fase da etapa de redistribuição de carga, é nesta primeira fase que será definido o bit mais significativo.

A etapa inicia-se quando a chave  $S_7$  é conectada ao barramento inferior onde está também conectada a chave  $S_A$  que está ligada à tensão de referência  $V_{REF}$ , neste momento é formado o circuito equivalente mostrado na Figura 12, onde observa-se a tensão  $V_{REF}$  conectada a um capacitor de capacitância  $C$  em série a outro capacitor de mesmo valor, fechando o circuito no *ground*. Este segundo capacitor citado é na verdade a associação em paralelo de todos os outros capacitores do circuito.

Figura 12: Circuito Equivalente



Este circuito observado forma um divisor de tensão capacitivo, que resulta em um aumento da tensão do barramento superior em  $V_{REF}/2$ , conforme se pode observar no equacionamento abaixo.

$$V_{sup} = -V_a + V_{REF} \cdot \frac{\frac{1}{C_{eq}}}{\frac{1}{C_1} + \frac{1}{C_{eq}}} \quad (7)$$

Manipulando algebricamente a equação (7), chega-se as equações (8) e (9).

$$V_{sup} = -V_a + V_{REF} \cdot \frac{\frac{1}{C_{eq}}}{\frac{C_1 + C_{eq}}{C_1 \cdot C_{eq}}} \quad (8)$$

$$V_{sup} = -V_a + V_{REF} \cdot \frac{C_1}{C_1 + C_{eq}} \quad (9)$$

Neste ponto do equacionamento  $C_1$  e  $C_{eq}$  serão substituídos pelos valores dos respectivos capacitores. A capacitância do capacitor  $C_{eq}$  é  $C$ , resultante da associação em paralelo de todos os capacitores do circuito, exceto  $C_1$  que também possui capacitância  $C$ , resultando na equação (10).

$$V_{sup} = -V_a + V_{REF} \cdot \frac{C}{C + C} \quad (10)$$

Logo, simplificando a equação (10), o novo valor de tensão presente no barramento superior pode ser observado na equação (11).

$$V_{sup} = -V_a + \frac{V_{REF}}{2} \quad (11)$$

Depois da alteração na tensão do barramento superior, o sistema de controle faz a amostragem da saída do comparador de tensão, para que se tome a decisão se a chave  $S_7$  deve voltar a conectar-se ao *ground*, ou deve seguir conectada ao barramento inferior.

Se  $V_a$  for maior que  $V_{REF}/2$ , segundo a equação (11), a tensão no barramento superior continua sendo negativa, como neste mesmo barramento está conectada a entrada não inversora do comparador de tensão e a entrada inversora está conectada ao *ground* a saída deste comparador será igual a zero (considerando a sua saída como um sinal digital), e neste momento a partir desta entrada o sistema de controle faz com que a chave  $S_7$  seja mantida na posição atual e não seja retornada ao *ground*.

Por outro lado, se a tensão  $V_a$  for menor que a tensão  $V_{REF}/2$  ocorrerá o contrário, ou seja, a tensão no barramento superior deixará de ser negativa e passará a ter um valor positivo. Neste momento a saída do comparador de tensão passa a ser a sua tensão de saturação positiva, ou seja, apresenta nível lógico alto,

e isto como entrada do sistema de controle digital deve fazer com que a chave  $S_7$  seja movida para o *ground*.

Depois de completada esta primeira fase da etapa de redistribuição de carga passa-se para a próxima fase onde o mesmo procedimento será repetido, porém desta vez com a chave  $S_6$ . Deve-se observar que agora ao passarmos esta chave para o barramento inferior a tensão no barramento inferior irá aumentar segundo a equação descrita abaixo.

$$V_{sup} = -V_a + bit7 \cdot \frac{V_{REF}}{2} + \frac{V_{REF}}{4} \quad (12)$$

Este valor bit7 será dado pela posição da chave obtida na fase anterior onde foi controlada a chave  $S_7$ , se esta voltou para o *ground* o valor de bit7 é igual a zero, já se ela ficou conectada ao barramento inferior o valor de bit7 é um.

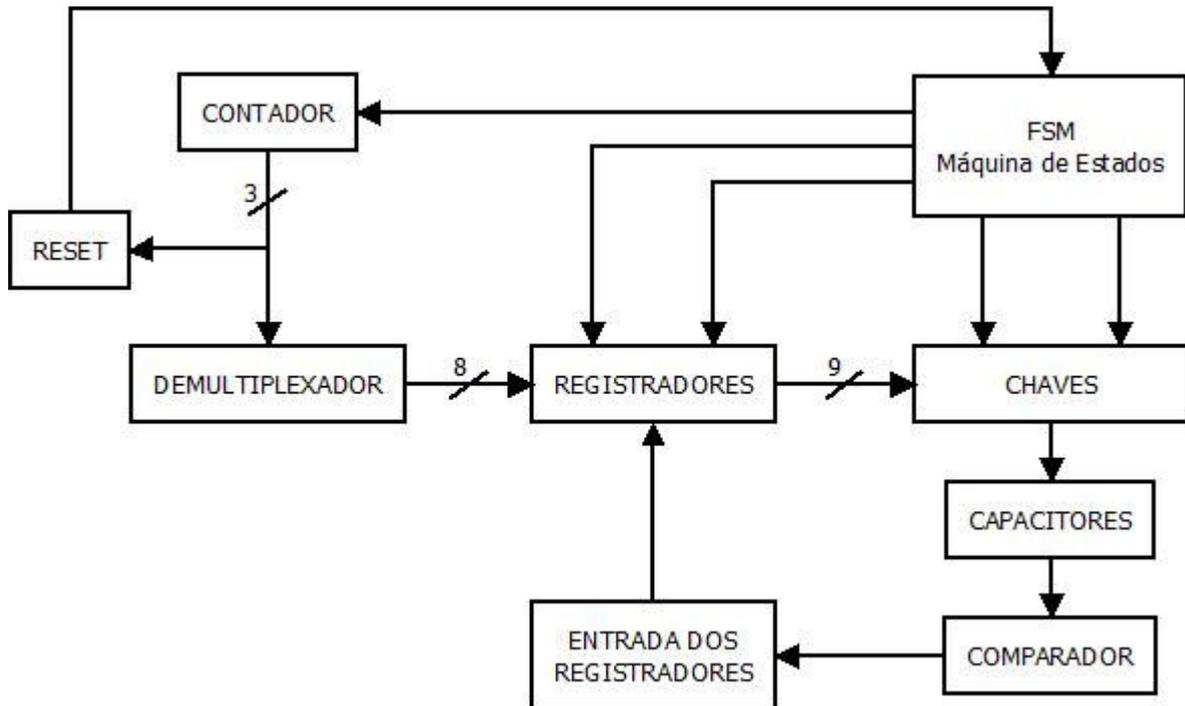
### 3.2. Sistema de Controle Digital

O sistema que será descrito nesta seção é o responsável pelo controle das chaves presentes no circuito do conversor A/D por redistribuição de carga. Este controle é realizado com o uso de uma máquina de estados principal e mais alguns elementos como um contador, um demultiplexador além de portas lógicas e *flip-flops* utilizados para que a implementação seja simplificada.

Este sistema digital de controle foi totalmente elaborado durante a realização deste trabalho, baseado no comportamento deste tipo de conversor.

Na Figura 13, observa-se o diagrama de blocos deste sistema.

Figura 13: Diagrama de Blocos do conversor A/D projetado



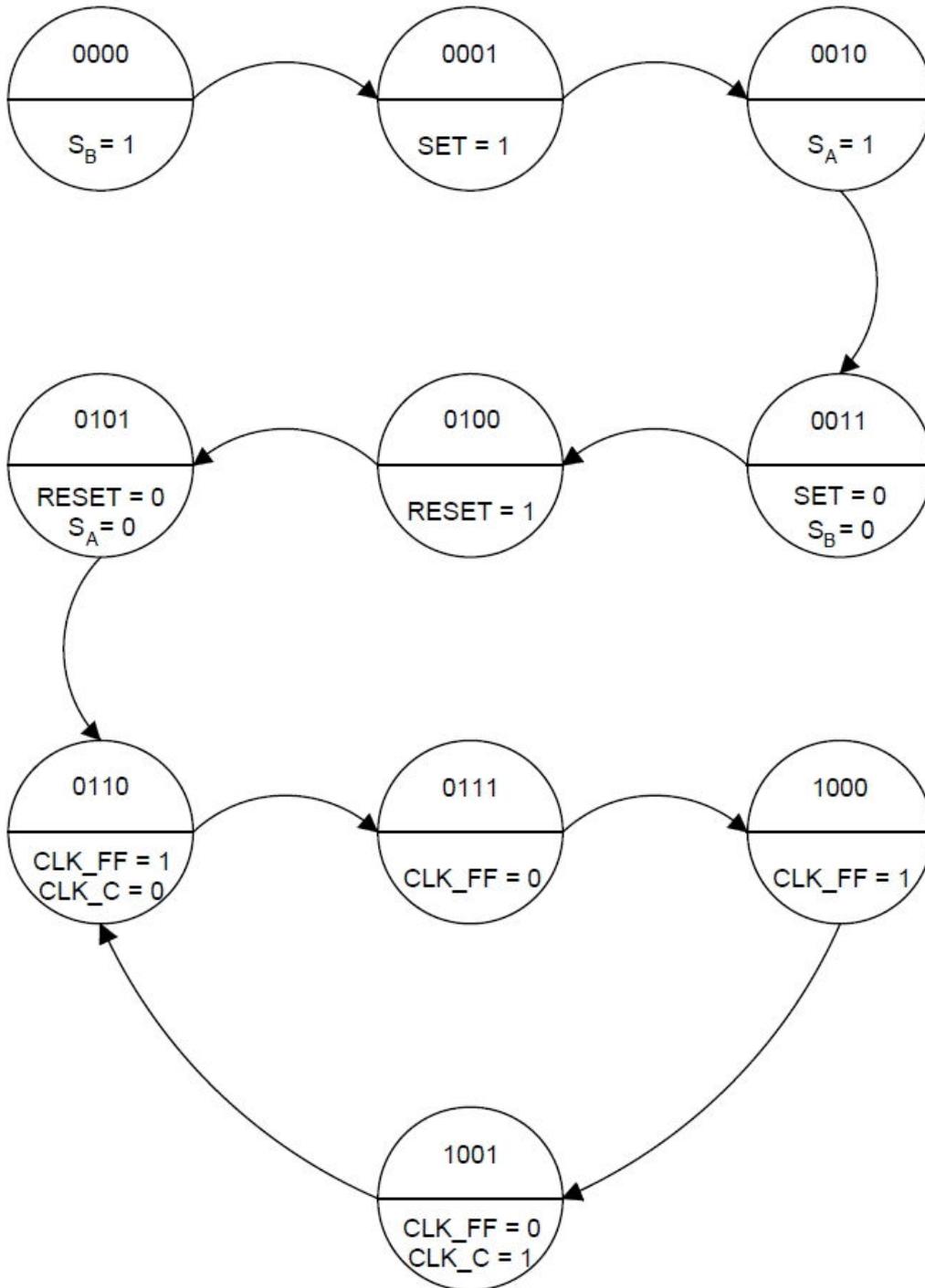
Nas subseções que seguem, serão discutidos os blocos deste sistema digital de controle presente no conversor.

### 3.2.1. A máquina de estados

Este pode ser considerado o bloco mais importante do sistema digital de controle presente no conversor analógico-digital. O circuito sequencial é responsável pelo controle direto das chaves  $S_A$  e  $S_B$ , que são chaves que atuam nas etapas de amostragem e retenção, como já foi citado anteriormente neste trabalho. Este circuito controla também os sinais de SET e RESET de um banco de 9 *flip-flops*, onde a saída de cada um destes componentes é ligada as chaves analógicas  $S_7$  a  $S_T$ , e estes sinais são responsáveis pelo controle das mesmas. Esta máquina de estados também apresenta como saídas dois sinais que servirão para *clock* tanto para o contador como para o banco de 9 *flip-flops*.

Após a identificação do problema, como primeira parte para o desenvolvimento do sistema digital responsável pelo controle das chaves do circuito do conversor A/D estudado neste trabalho, partiu-se para a modelagem da solução onde foi elaborado o diagrama de estado que pode ser visto na Figura 14.

**Figura 14: Diagrama de estados da máquina principal**



Este diagrama foi elaborado já pensando na utilização de componentes adicionais para facilitar a implementação. A partir do diagrama criado, foram elaboradas tabelas verdade para os circuitos combinacionais de próximo estado e de saída para esta máquina de estados.

Tendo as tabelas verdade já definidas, foram obtidas as expressões lógicas do tipo somas de produtos, para que desta forma fossem implementados os circuitos lógicos. Os conjuntos de expressões para cada um dos circuitos lógicos podem ser observadas abaixo.

Conjunto de expressões de próximo estado da máquina de estados principal:

$$D_3 = (Q_3 \cdot \overline{Q_0}) + (Q_1 \cdot Q_2 \cdot Q_0)$$

$$D_2 = (Q_3 \cdot Q_0) + (Q_2 \cdot \overline{Q_1}) + (Q_2 \cdot \overline{Q_0}) + (\overline{Q_2} \cdot Q_1 \cdot Q_0)$$

$$D_1 = (Q_1 \cdot \overline{Q_0}) + (\overline{Q_1} \cdot Q_0)$$

$$D_0 = \overline{Q_0}$$

Conjunto de expressões de saída da máquina de estados principal

$$S_A = (Q_2 \cdot \overline{Q_1} \cdot \overline{Q_0}) + (\overline{Q_2} \cdot Q_1)$$

$$S_B = (\overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1}) + (\overline{Q_2} \cdot Q_1 \cdot \overline{Q_0})$$

$$CLK_{FFS} = (Q_3 \cdot \overline{Q_0}) + (Q_2 \cdot Q_1 \cdot \overline{Q_0})$$

$$RESET_{FFS} = Q_2 \cdot \overline{Q_1} \cdot \overline{Q_0}$$

$$SET_{FFS} = \overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1} \cdot Q_0$$

$$CLK_{CONT} = Q_3 \cdot Q_0$$

### 3.2.2. O contador

Este bloco do sistema digital de controle apresenta duas grandes finalidades. A primeira delas é gerar os três bits de endereçamento, que irão definir qual será a saída ativa do demultiplexador e a segunda é que através destes bits de saída do contador que será definido quando se chegou ao fim de uma conversão, através do circuito de reset.

### 3.2.3. O demultiplexador

O sinal de *clock* que será utilizado para carregar os *flip-flops* é demultiplexado, pois o circuito elaborado apresenta as entradas de todos os *flip-flops* interligadas, logo através do demultiplexador aplica-se o clock somente no *flip-flop* que se deseja. Desta forma e com o auxílio do contador, o clock é aplicado a cada um dos *flip-flops* de forma sequencial da maneira que se deseja.

### 3.2.4. O circuito de entrada dos registradores

Uma questão importante neste circuito é o controle da entrada dos *flip-flops* cujas saídas irão controlar as chaves analógicas. Sobre cada uma das chaves necessita ser aplicado nível lógico “1” no primeiro momento, para que a chave seja

ligada ao barramento inferior, e em um segundo momento deverá ser aplicado um determinado nível lógico que dependerá da saída do comparador de tensão presente no circuito do conversor. Como já foi citado anteriormente, se a saída do comparador possuir nível lógico “0”, a chave que está sendo trabalhada no momento deve ser mantida no barramento inferior, ou seja, o sinal de controle enviado à chave deve ter nível lógico “1”. Já se a saída do comparador tiver nível lógico “1”, a chave deve retornar ao *ground*, e para isso é necessário enviar um sinal “0” para esta chave. Para que este sequenciamento da entrada dos flip-flops seja obtido, é utilizado um circuito com um flip-flop uma porta lógica do tipo OU e um inversor.

### 3.2.5. Circuito RESET/START

Este é o bloco do sistema digital de controle que possui a função de resetar a máquina de estados principal, ao ser encerrado um ciclo de conversão. Este circuito possui como entrada a saída de uma porta lógica do tipo E. As entradas desta porta lógica estão conectadas as saídas do contador presente no projeto. Existe uma outra entrada presente neste circuito, que é responsável por dar início a um novo ciclo de conversão.

## 4. Materiais

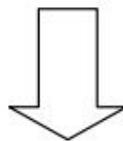
### 4.1. O Simulador SPICE

O SPICE (*Simulated Program with Integrated Circuits Emphasis*), como o próprio nome já indica, é um tipo de simulador que apresenta ênfase na simulação de circuitos integrados.

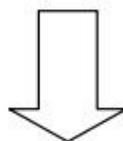
O simulador SPICE utilizado durante a realização deste trabalho foi o HSPICE, este é um simulador de circuitos do tipo SPICE modo texto da fabricante *Synopsys*. Este software realiza a leitura de um arquivo texto (*netlist*), que contém a descrição do circuito e as opções de simulação e retorna alguns arquivos com a análise realizada do circuito, em alguns destes arquivos é possível observar informações como, por exemplo, pontos de operação, resultados de análises e mensagens de erro. Na maior parte das vezes a análise destes arquivos de saída é realizada através de uma interface gráfica, para que desta forma possam ser plotados os sinais em pontos determinados do circuito.

Figura 15: Etapas de uma simulação SPICE

Arquivo de Descrição do Circuito



Simulador  
SPICE



Processador Gráfico  
PROBE

Na Figura 15 pode ser observada a sequência utilizada para a realização de simulações em um software do tipo SPICE modo texto. No caso específico deste trabalho, como já foi citado, o simulador SPICE utilizado foi o HSPICE e o software utilizado como interface gráfica foi o MATLAB. Para facilitar a integração entre o MATLAB e os arquivos de saída do simulador HSPICE, foi utilizada uma *toolbox* chamada *Hspice Toolbox for Matlab and Octave*. Esta toolbox apresenta uma série de rotinas escritas para Matlab que auxiliam no tratamento e na visualização dos sinais gerados pelo HSPICE. Ela também é muito útil em casos onde se deseja fazer tratamento dos sinais, o que não é possível em processadores gráficos utilizado normalmente juntamente com os simuladores SPICE.

#### 4.1.1. Criação de componentes

O circuito apresentado neste trabalho, sobre o qual foram realizadas as simulações apresenta uma parte analógica, onde estão presentes um banco de capacitores e algumas chaves, mas também apresenta uma parte puramente digital, que é o circuito de controle responsável pelo controle das chaves analógicas.

Como não está presente no escopo deste trabalho a análise das possíveis falhas e limitações que podem ocorrer por motivos de não idealidade do circuito digital, este foi construído com a utilização de componentes ideais, garantindo também, desta forma, uma maior velocidade de simulação e um grande ganho em relação à convergência da simulação.

Na sequência serão mostradas como foi feita a descrição de alguns destes componentes ideais.

#### 4.1.2. Portas Lógicas

As portas lógicas presentes no circuito foram descritas utilizando o conceito de fontes de tensão controladas por tensão, este tipo de elemento é descrito através da letra E na *netlist* que será utilizada no software SPICE.

Esta descrição utiliza-se de funções lineares definidas por partes, para gerar os modelos de portas lógicas AND, NAND, OR e NOR, onde em cada caso apenas uma entrada irá definir o estado da saída da porta. No caso das portas AND e NAND utiliza-se apenas o menor valor da entrada, e já no caso dos modelos OR e NOR o estado da saída é definido apenas pelo valor da maior tensão de entrada. Na Figura 16 pode se observar como exemplo a descrição de uma porta do tipo AND de duas entradas, a descrição das demais portas podem ser observadas no *netlist* completo, presente no APÊNDICE 2 deste trabalho.

**Figura 16: Descrição de uma porta lógica AND ideal de duas entradas**

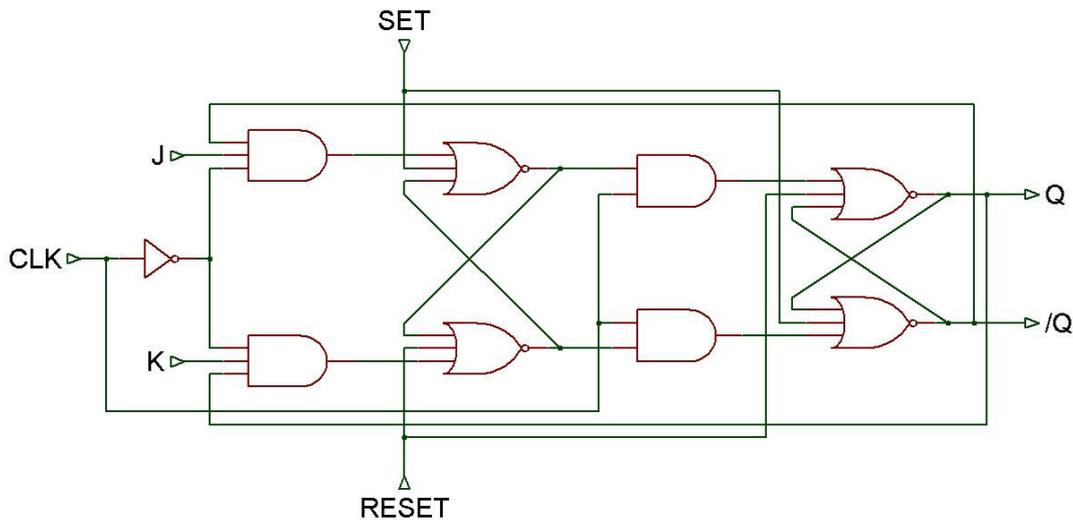
```
157 .subc AND2 in1 in2 out
158 Eand2 out 0 and(2) in1 0 in2 0 0v,0v 3.3v,3.3v
159 .ends
```

Neste caso a linha com índice 158 representa a descrição da porta, já a linhas 157 e 159 são utilizadas para descrever esta porta lógica como um subcircuito, fazendo desta forma que a sua utilização de forma repetitiva durante a descrição do circuito seja feita de forma prática.

#### 4.1.3. Flip – Flops

Os flip-flops utilizados no circuito digital presente no projeto foram descritos com a utilização das portas lógicas ideais que já foram citadas anteriormente. Como base foi utilizado o modelo de um flip-flop do tipo JK mestre-escravo. O circuito deste flip-flop pode ser observado na Figura 17.

Figura 17: Circuito combinacional de um flip-flop do tipo JK



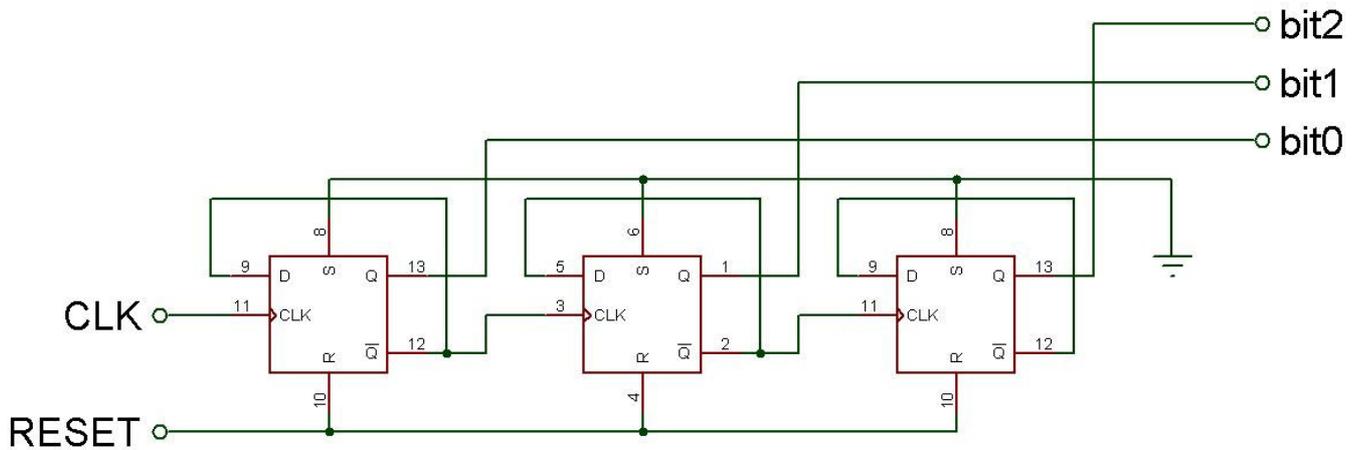
Vale ressaltar que este flip-flop descrito apresenta além das entradas padrões J, K e CLK, contém também duas entradas assíncronas que são SET e RESET, que serão bastante importantes no circuito digital projetado.

Para a elaboração do flip-flop do tipo D, utilizou-se este flip-flop JK já descrito, e foi feita a inserção de um inversor entre as entradas JK, ou seja, a entrada D é ligada diretamente a entrada J, e na entrada K é ligado o sinal D negado.

#### 4.1.4. Contador de 3 bits

Um contador de 3 bits é necessário no circuito digital de controle das chaves. Para a sua descrição foi utilizado apenas flip-flops do tipo D que já haviam sido descritos. O circuito deste contador pode ser observado na Figura 18.

Figura 18: Circuito sequencial de um contador de 3 bits



Este contador é incrementado a cada borda de subida do sinal de clock. As entradas de reset dos flip-flops são interligadas, criando desta forma uma entrada RESET assíncrona neste contador que a qualquer momento pode ser utilizada para fazer com que a contagem volte para o estado inicial.

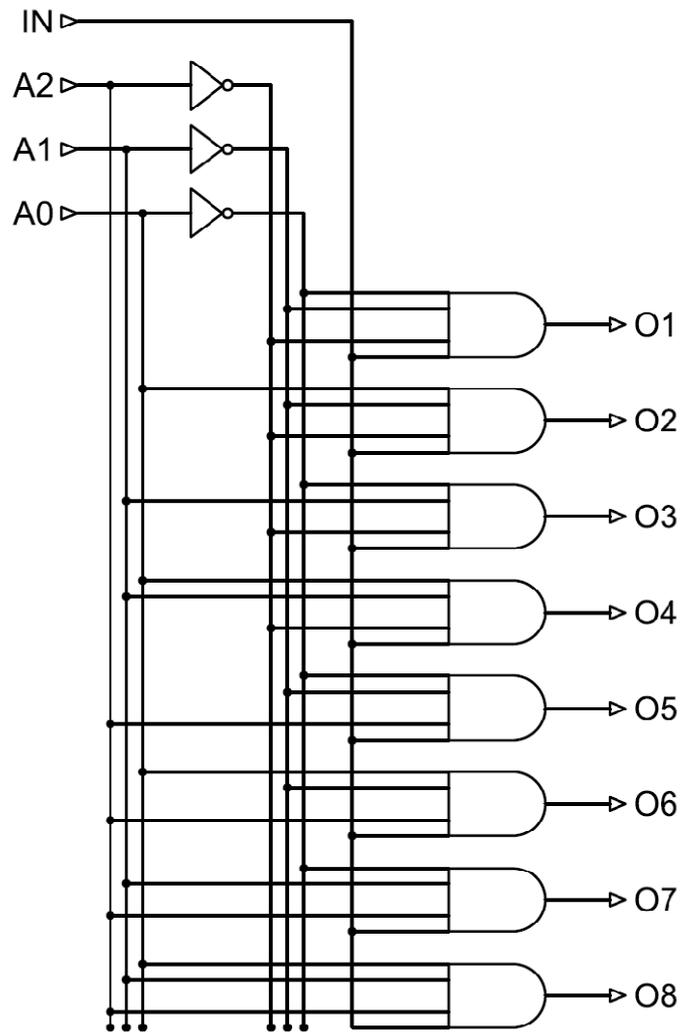
Assim como nos outros componentes, o contador foi descrito na forma de subcircuito, não com o intuito de facilitar a inserção do componente mais de uma vez, o que não acontece no circuito projetado, mas sim para garantir a organização do arquivo de texto (*netlist*) que será carregado no software SPICE.

#### 4.1.5. Demultiplexador

Para a elaboração do circuito digital de controle das chaves, surgiu a necessidade da utilização de um demultiplexador. Este componente foi elaborado utilizando as portas lógicas ideais já citadas anteriormente.

Ele possui uma entrada de sinal e três entradas que são responsáveis pelo endereçamento das oito saídas presentes neste componente.

**Figura 19: Circuito combinacional do demultiplexador utilizado**



Na Figura 19, pode ser observado o esquemático do demultiplexador utilizado no circuito projetado.

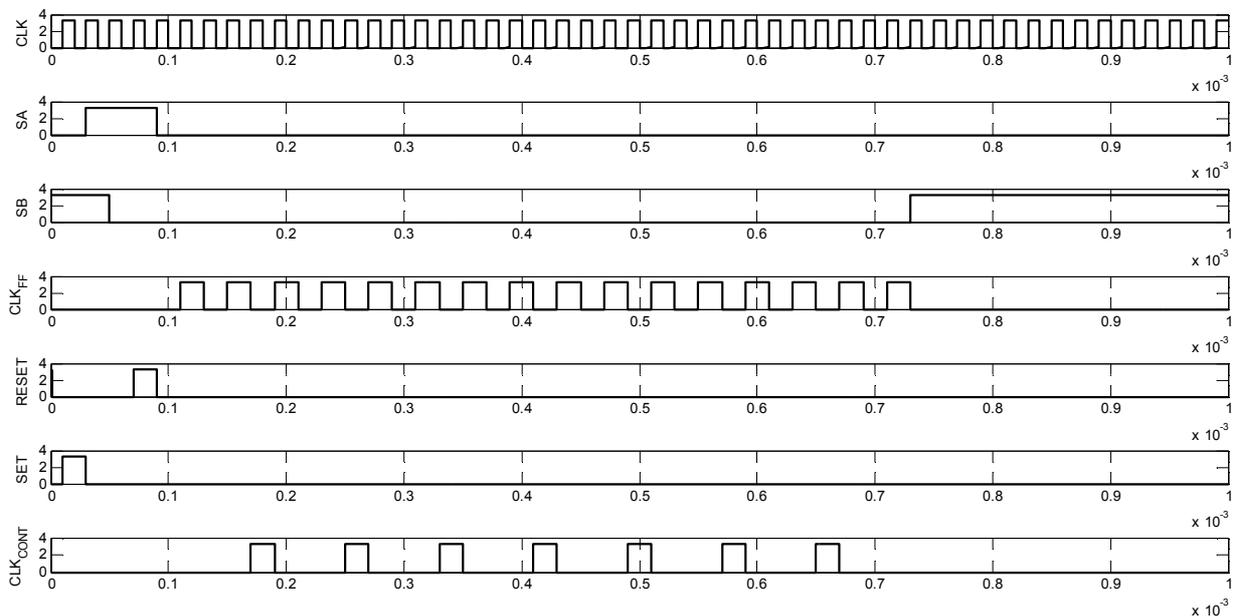
## 5. Resultados

### 5.1. Simulações do circuito de controle

Este capítulo é dedicado a mostrar os resultados obtidos com a simulação do circuito proposto. Em um primeiro momento pode-se analisar os sinais obtidos no circuito digital de controle, para que posteriormente seja feita a análise da parte analógica do circuito, onde poderão ser observados os sinais presentes nos bancos de capacitores.

Na Figura 20, observa-se além de sinal se *clock* utilizado, os sinais de saída da máquina de estados presente no circuito.

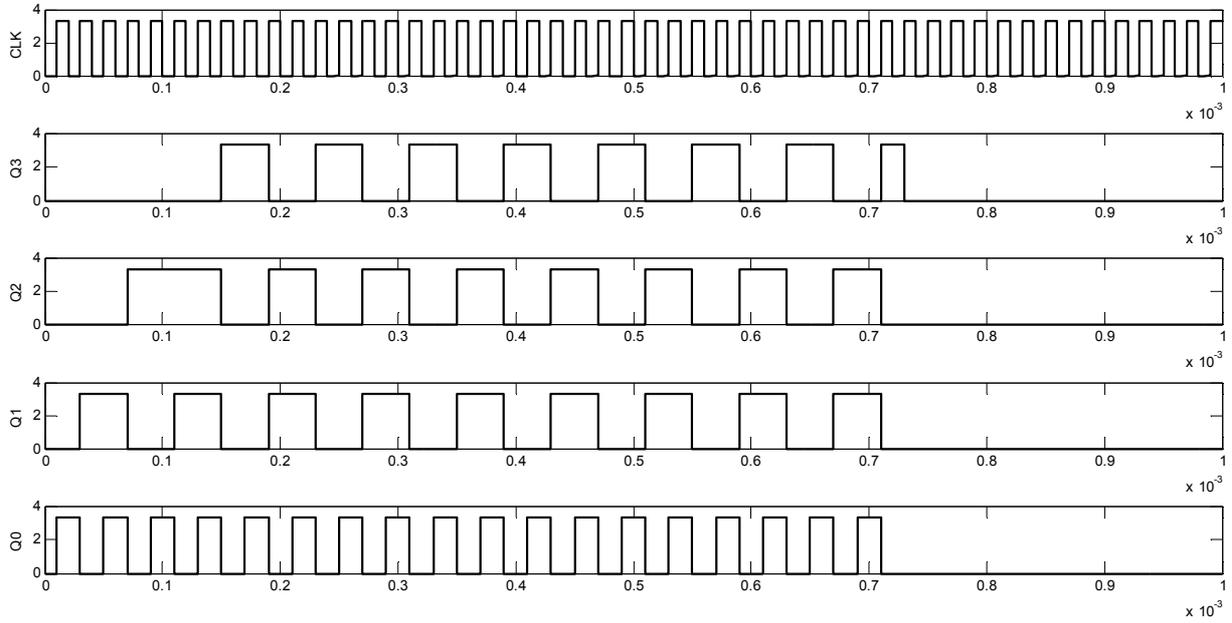
Figura 20: Sinais de Saída da Máquina de Estados



Dos sinais apresentados na Figura 20, apenas  $S_A$  e  $S_B$  controlam diretamente chaves do conversor, os demais sinais são utilizados nos controle dos demais componentes.

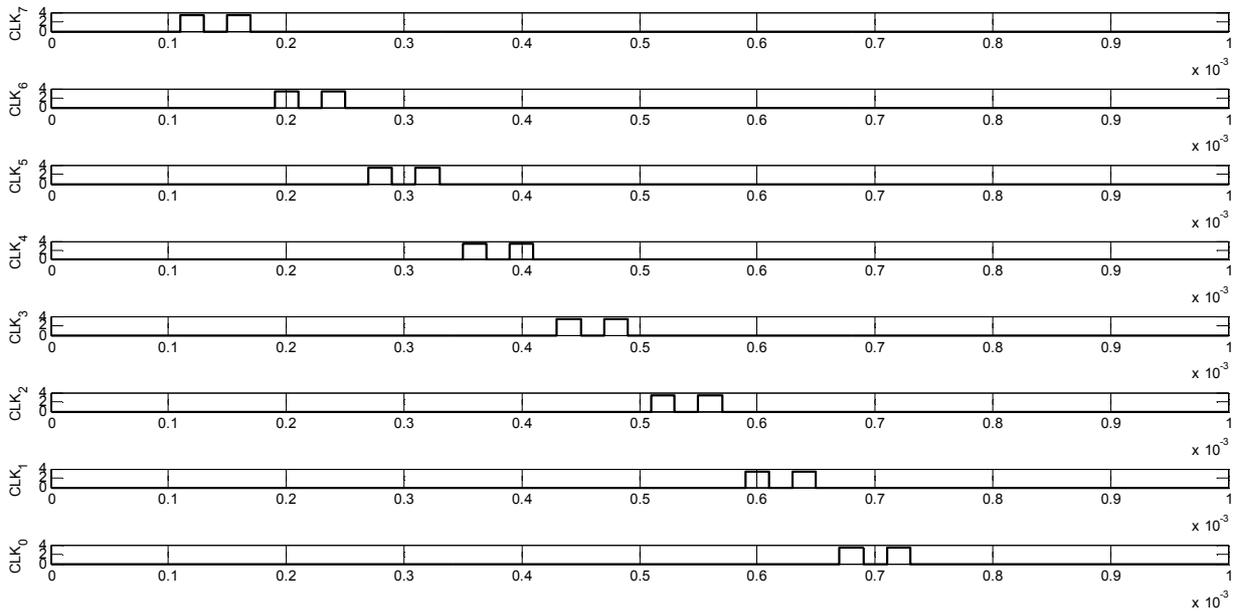
Na Figura 21, pode-se observar as saída Q dos flip-flops da máquina de estados.

**Figura 21: Saídas Q dos FFs da máquina de estados**



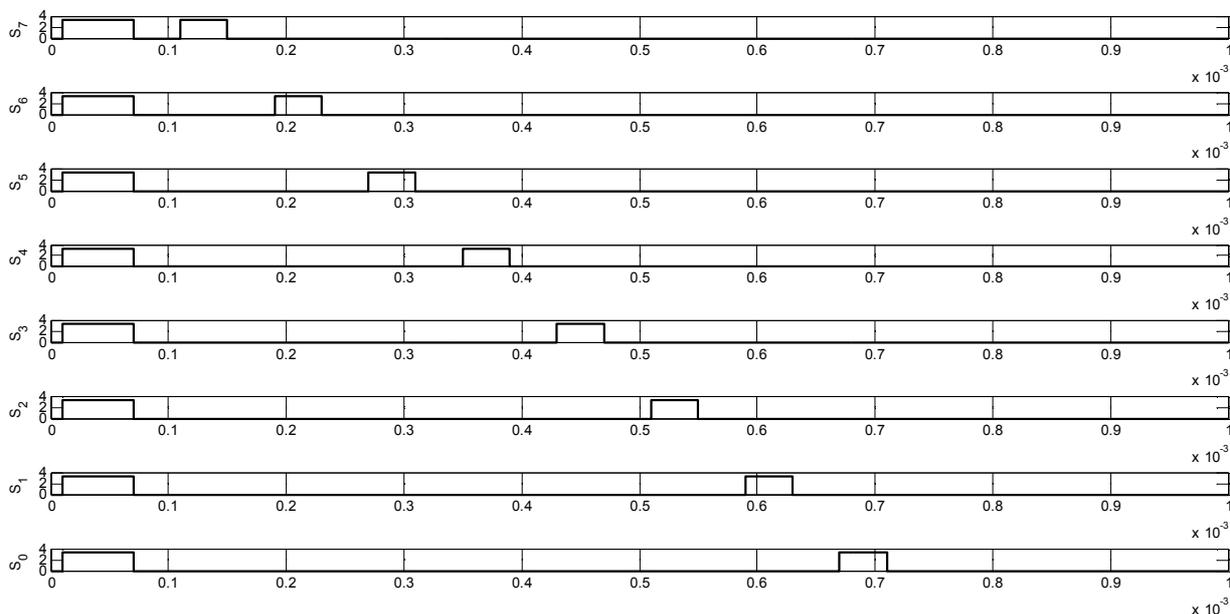
A Figura 22 apresenta os sinais de clock sobre cada um dos flip-flops de saída. As saídas Q destes flip-flops são ligadas as chaves analógicas que controlam a carga e descarga dos capacitores do conversor.

Figura 22: Sinais de Clock sobre os FFs de Saída

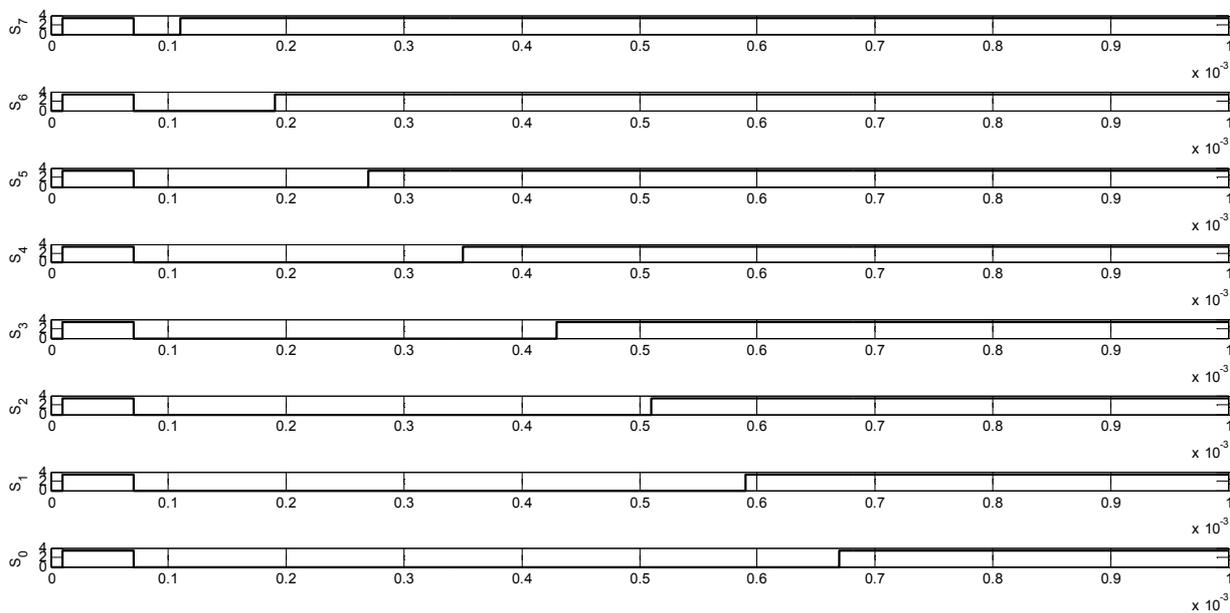


A seguir são apresentadas duas figuras que apresentam operações limites do conversor. A Figura 23 foi elaborada como se a entrada do conversor analógico-digital fosse igual a zero, e desta forma se pode observar o comportamento das chaves durante todas as etapas da conversão neste caso. Já a Figura 24 apresenta a situação contrária, onde a tensão de entrada é máxima tensão de entrada deste conversor. Para uma correta análise destas figuras, deve-se saber que quando aplicado nível lógico “1”, as chaves estão conectadas ao barramento inferior, e quando é aplicado nível lógico “0”, estas chaves estão conectadas ao *ground*.

**Figura 23: Compartimento dos sinais aplicados às chaves -  $V_a=0$**



**Figura 24: Compartimento dos sinais aplicados às chaves -  $V_a=V_{Máx}$**



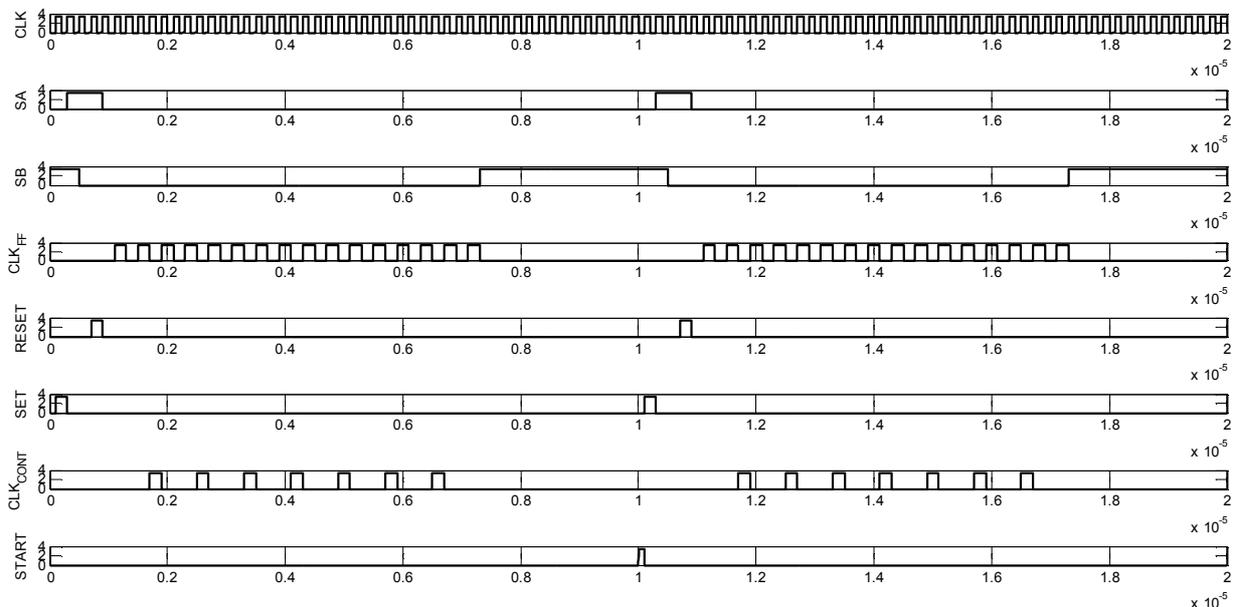
Observa-se que na Figura 23, onde a entrada do conversor era nula, durante as etapas de redistribuição de carga, cada uma das chaves foi em algum momento conectada ao barramento inferior, mas logo após retornou para o *ground*, indicando que o respectivo bit da palavra digital de saída é 0.

Já na Figura 24, nota-se exatamente o contrário, todas as chaves são conectadas ao barramento inferior, e não voltam a conectar-se ao *ground*, indicando desta forma que os respectivos bits da palavra digital de saída neste caso são 1.

## 5.2. Funcionalidade do sinal START

Nesta etapa da simulação, será realizado um teste, para garantir a funcionalidade do sinal de *start*. Este sinal será aplicado após a finalização de uma etapa de conversão, para que uma nova inicie-se.

**Figura 25: Aplicação do sinal START**



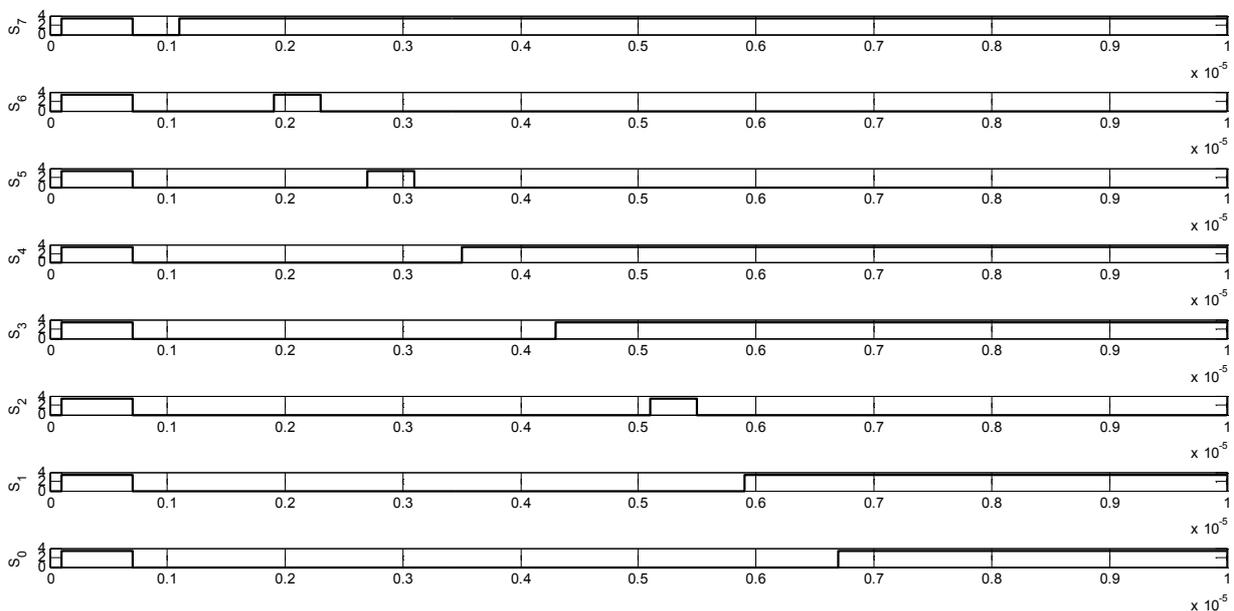
Observa-se na Figura 25, que após a aplicação do sinal START, que pode ser visualizado na última linha do gráfico, um novo ciclo de conversão foi iniciado. Isso pode ser notado através do comportamento das saídas da máquina de estados, que passam a repetir-se.

### 5.3. Simulações com valores

Nesta seção são mostrados alguns testes realizados no conversor.

Aplicando uma tensão de 2V na entrada analógica do conversor, foi obtido o gráfico mostrado na Figura 26, onde se pode observar os sinais aplicados sobre cada uma das chaves que controlam a carga e descarga dos capacitores.

**Figura 26: Compartimento dos sinais aplicados às chaves -  $V_a=2V$**



Sabendo que a faixa de entrada do conversor simulado é 0 – 3V3, e ele apresenta 8 bits de saída, podemos então calcular a sua resolução, utilizando a equação 13.

$$q = \frac{V}{2^n - 1} \quad (13)$$

$$q = \frac{3,3}{2^8 - 1} \quad (14)$$

$$q = 12,94 \text{ mV} \quad (15)$$

Tendo conhecimento da resolução deste conversor, pode-se calcular qual a palavra digital presente em sua saída para qualquer valor de entrada dentro da sua faixa de operação.

$$D = \frac{V_a}{q} \quad (16)$$

Onde D é o valor da saída em decimal.

Para o caso de  $V_a=2V$ , tem-se:

$$D = \frac{2}{12,94 \cdot 10^{-3}} \quad (17)$$

$$D = 154,6 \cong 155 \quad (18)$$

Agora basta transformar este número decimal em binário, para que se obtenha a palavra de saída digital do conversor.

$$155_{10} = 10011011_2 \quad (19)$$

Comparando o valor binário obtido na equação 19, com na Figura 26, nota-se que a conversão foi realizada com sucesso, pois se observa que após a

finalização da conversão os sinais aplicados as chaves  $S_7$  a  $S_0$  são exatamente correspondentes aos 8 bits da palavra digital de saída calculados.

Realiza-se agora os cálculos para uma tensão analógica de entrada igual a 1V.

$$D = \frac{1}{12,94 \cdot 10^{-3}} \quad (20)$$

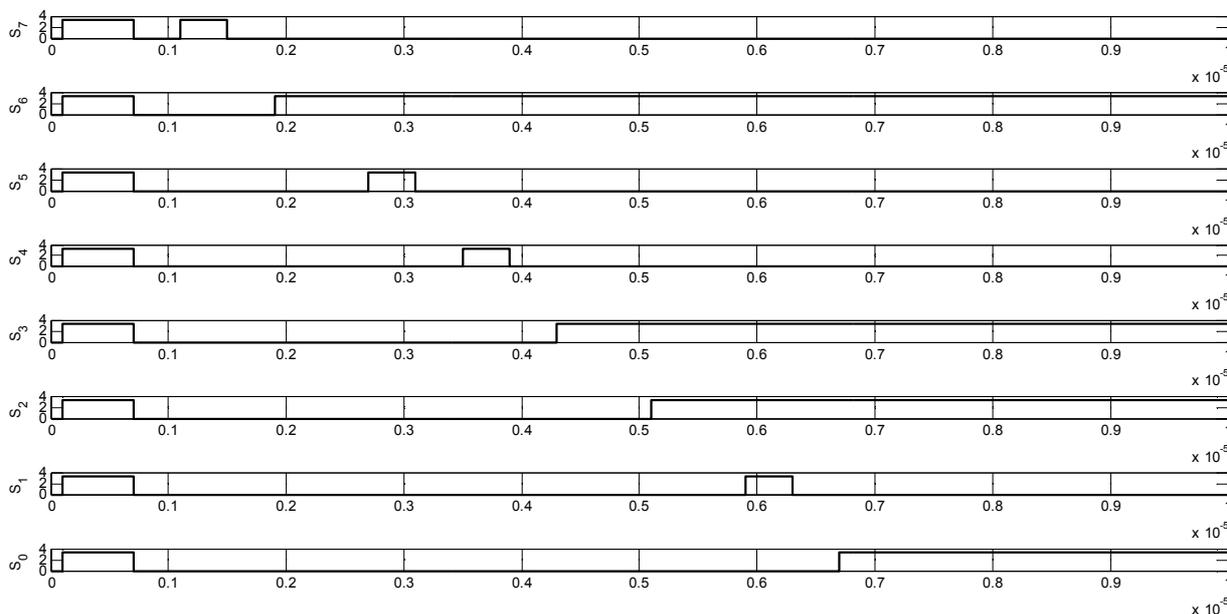
$$D = 77,28 \cong 77 \quad (21)$$

Agora basta converter este valor decimal para binário.

$$77_{10} = 01001101_2 \quad (22)$$

Observando na Figura 27 os sinais aplicados as chaves após o fim da conversão, nota-se que novamente o conversor apresentou o comportamento adequado, validando desta forma a sua funcionalidade.

Figura 27: Compartimento dos sinais aplicados às chaves -  $V_a=1V$



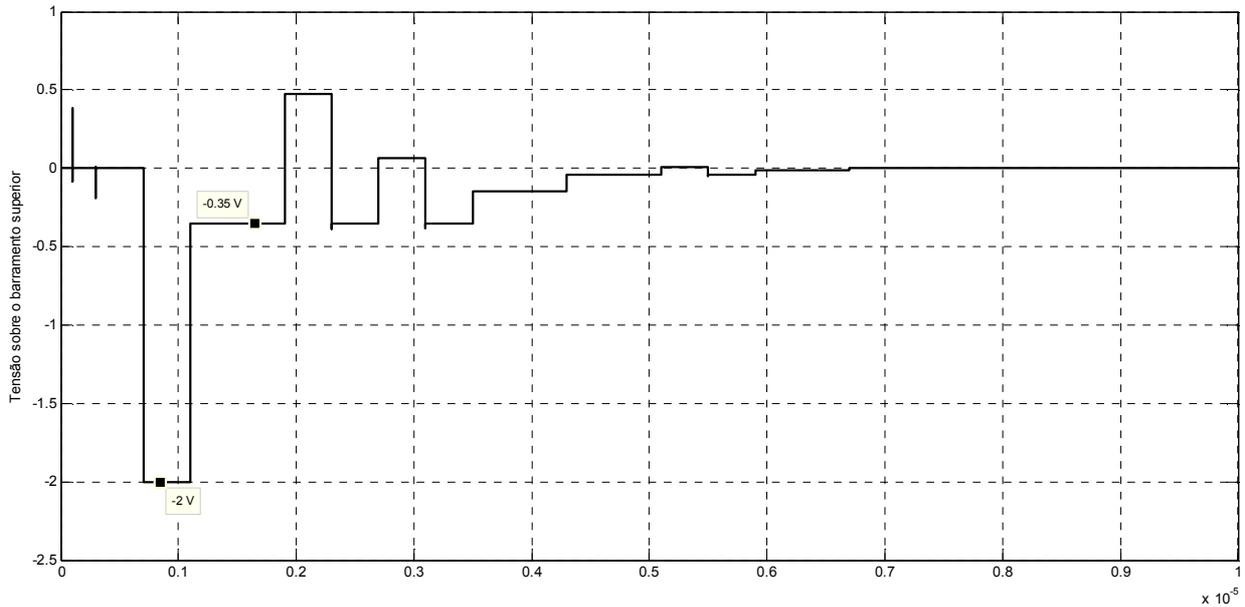
#### 5.4. Comportamento do sinal do barramento superior

Nesta seção será tratado o comportamento da tensão no barramento superior do banco de capacitores, que é o mesmo ponto onde se conecta a entrada não inversora do comparador de tensão presente no circuito.

Para a realização desta simulação, utilizou-se uma tensão analógica de entrada do conversor com valor de 2V.

Como já foi comentado anteriormente neste trabalho, pode-se confirmar na Figura 28, que a tensão sobre o barramento superior após as etapas de amostragem e retenção é igual à tensão analógica de entrada, porém com sinal trocado.

**Figura 28: Comportamento da tensão no barramento superior - Chave S7**



Ao passar a conectar a chave  $S_7$  ao barramento inferior, ocorre a formação de um divisor capacitivo, fazendo com que a tensão do barramento superior seja incrementada de  $V_{REF}/2$ , o que também pode ser observado na Figura 28.

$$V_{BS} = -V_a + \frac{V_{REF}}{2} \quad (23)$$

$$V_{BS} = -2 + \frac{3,3}{2} \quad (24)$$

$$V_{BS} = -0,35 \text{ V} \quad (25)$$

Como neste caso a tensão do barramento superior não passou a ser positiva, a saída do comparador continua com sua saída apresentando nível lógico "0", indicando desta forma que a chave  $S_7$  deve ser mantida conectada ao barramento inferior e que o bit mais significativo está definido como "1", iniciando-se assim a formação da palavra digital de saída.

A próxima chave a ser trabalhada é S<sub>6</sub>, onde desta vez a tensão sobre o barramento superior será incrementada de  $V_{REF}/4$ .

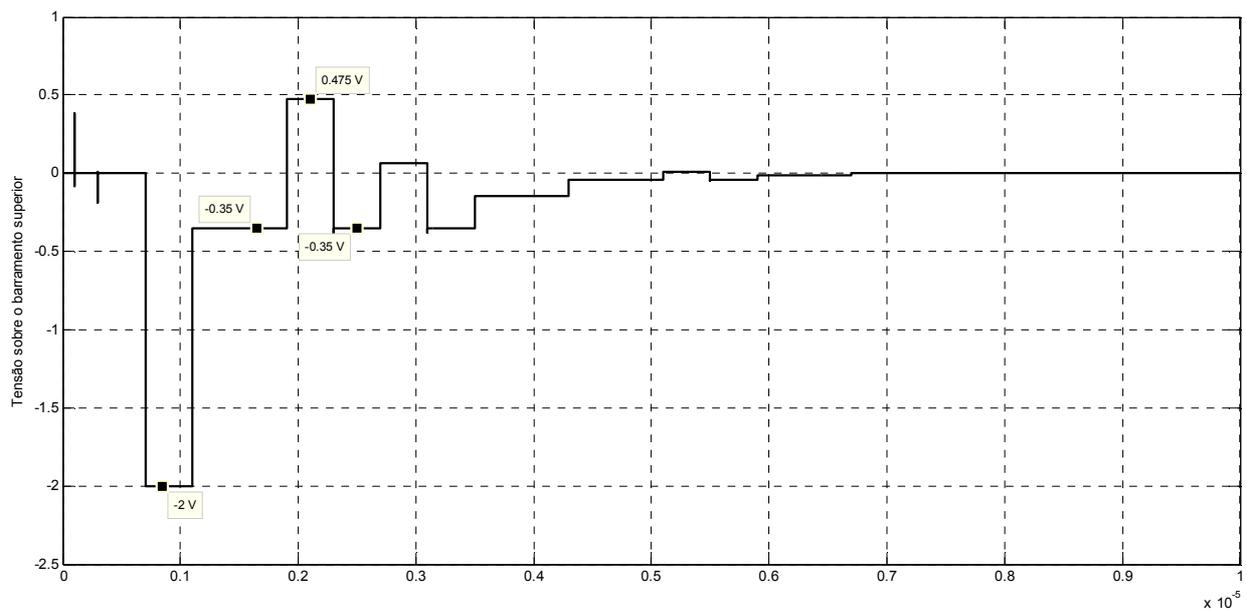
$$V_{BS} = -V_a + bit7 \cdot \frac{V_{REF}}{2} + \frac{V_{REF}}{4} \quad (26)$$

$$V_{BS} = -V_a + 1 \cdot \frac{3,3}{2} + \frac{3,3}{4} \quad (27)$$

$$V_{BS} = 0,475 V \quad (28)$$

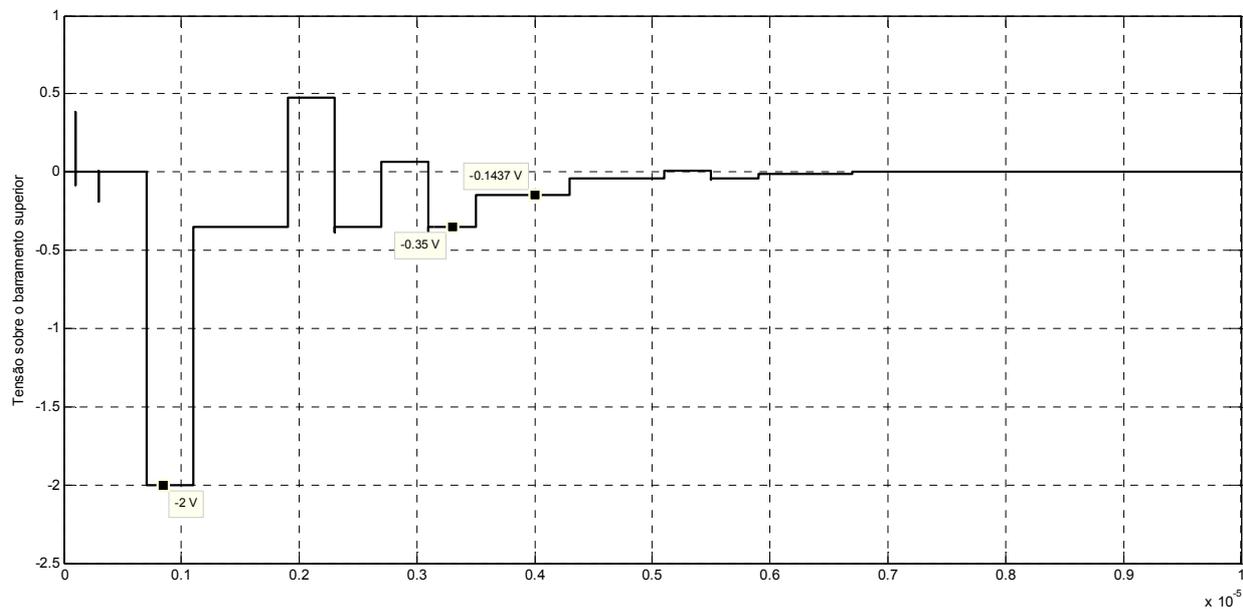
Como se observa na Figura 29, a tensão sobre o barramento superior passou a ser positiva fazendo com que a saída do comparador de tensão neste momento passe a ter valor lógico “1”, indicando ao sistema de controle que a chave S<sub>6</sub> deve retornar ao *ground*, desta forma a tensão sobre o barramento superior retorna ao valor anterior.

**Figura 29: Comportamento da tensão no barramento superior - Chave S6**

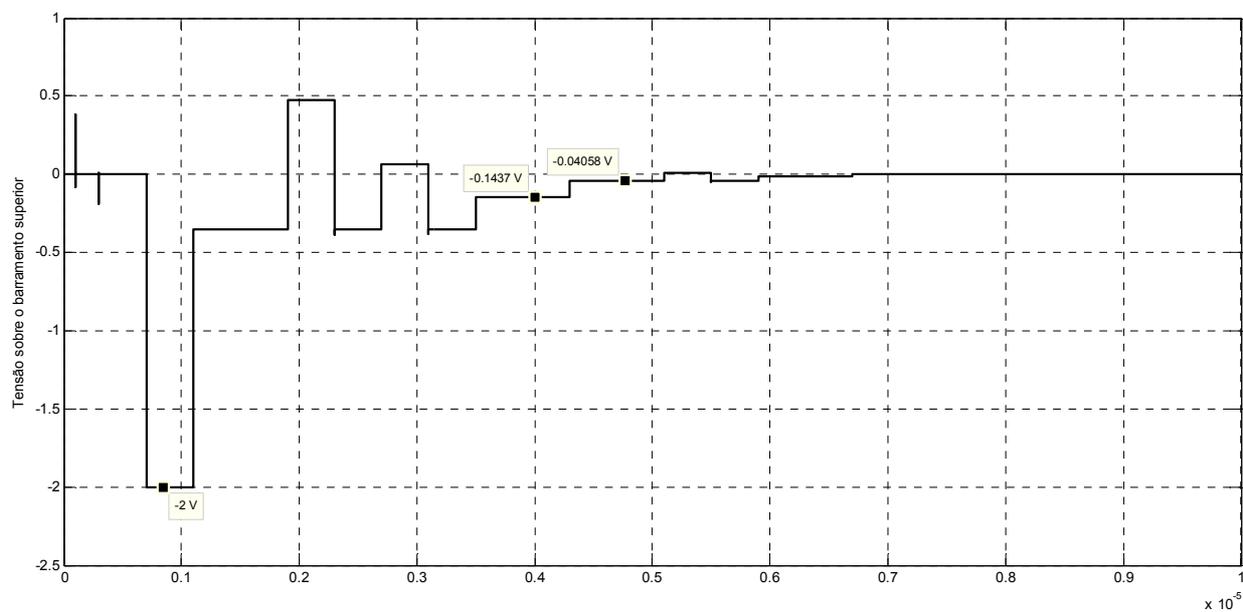




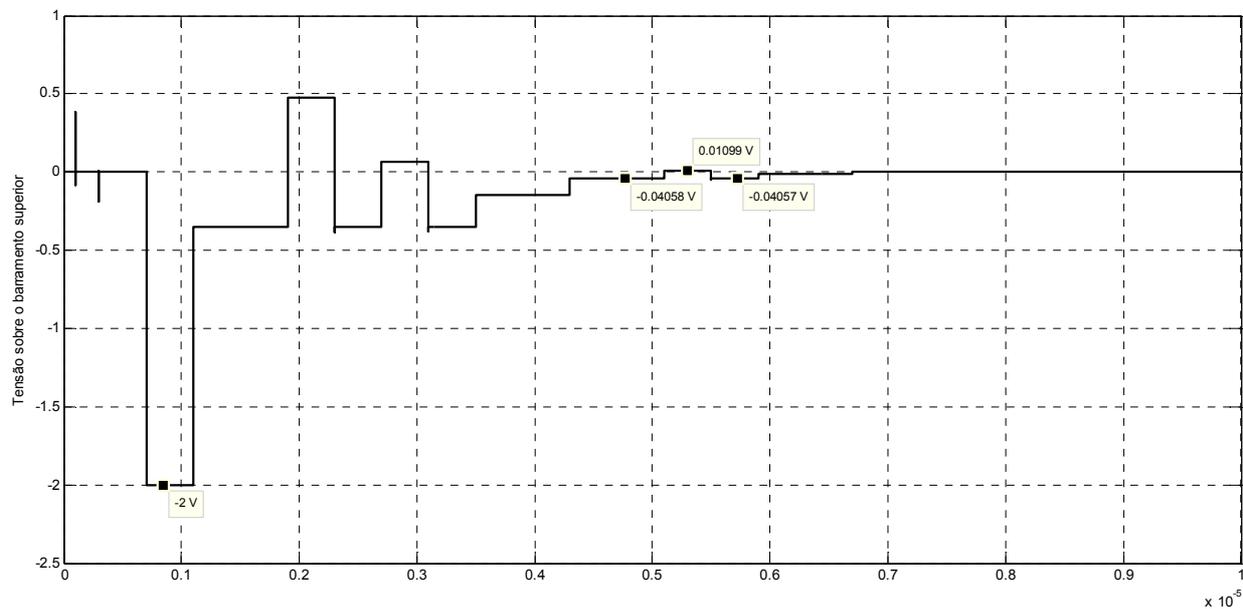
**Figura 31: Comportamento da tensão no barramento superior - Chave S4**



**Figura 32: Comportamento da tensão no barramento superior - Chave S3**



**Figura 33: Comportamento da tensão no barramento superior - Chave S2**



**Figura 34: Comportamento da tensão no barramento superior - Chave S1**

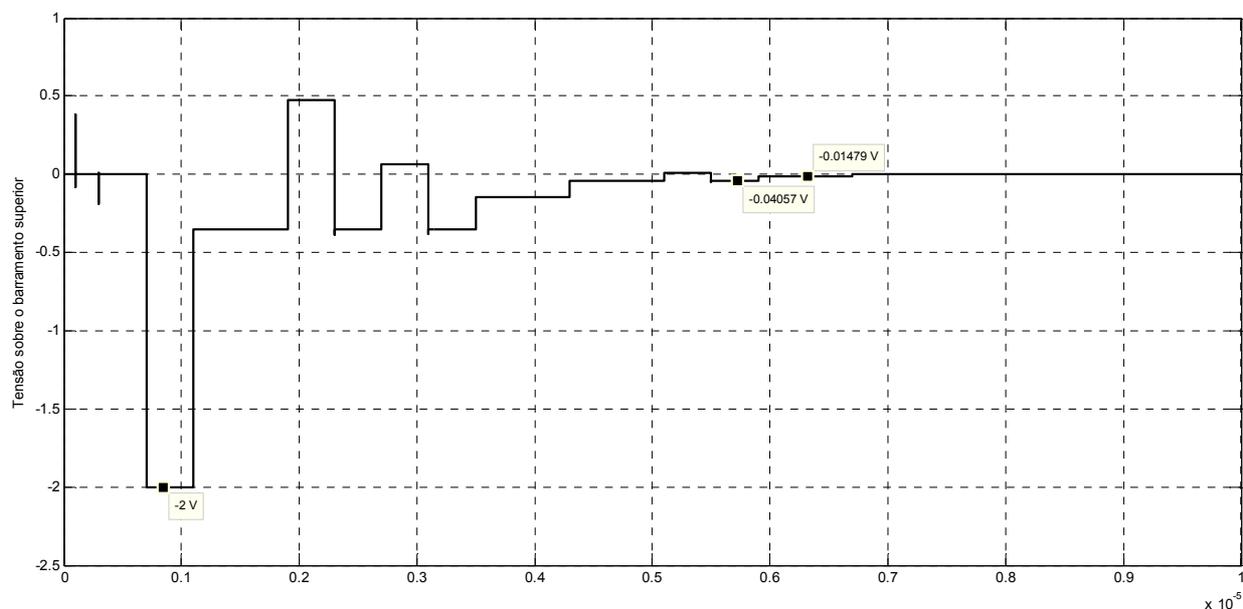
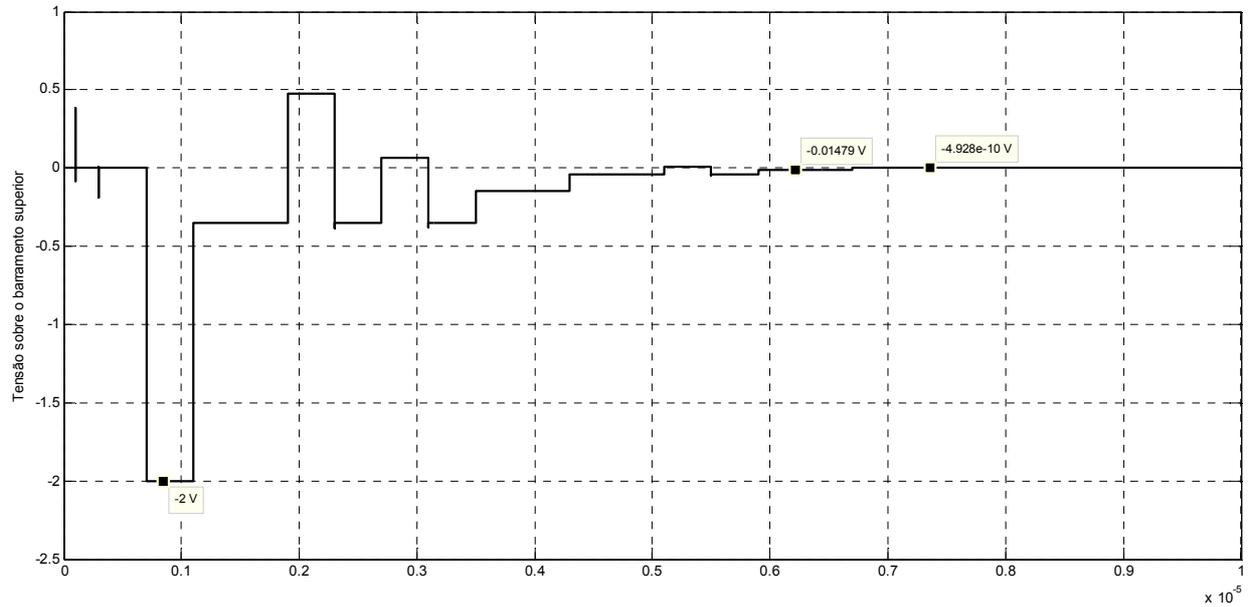


Figura 35: Comportamento da tensão no barramento superior - Chave S0



Observando estas figuras pode se notar que as chaves  $S_7$ ,  $S_4$ ,  $S_3$ ,  $S_1$  e  $S_0$  foram mantidas conectadas ao barramento inferior, já as chaves  $S_6$ ,  $S_5$  e  $S_2$  retornaram ao *ground*, isto indica que a palavra digital de saída nesta conversão é  $10011011_2$ , concordando com o que foi observado na Figura 26 e na equação 19.

## 6. Conclusões

Com a evolução e “popularização” do processamento de sinais digitais, ocorreu um grande avanço nas tecnologias de conversores analógico-digitais e com isso passaram a ser utilizadas inúmeras arquiteturas deste tipo de componente, com diferentes topologias e apresentando características diferentes entre si.

Neste trabalho foi realizado o estudo do conversor A/D que utiliza o método das aproximações sucessivas através da redistribuição de carga. Como ponto alto do trabalho, partindo do conhecimento comportamental deste tipo de conversor, foi elaborado um circuito digital de controle, que pode ser considerado o cérebro deste conversor. Este sistema atua sobre chaves analógicas que controlam a carga a descarga dos capacitores durante as etapas de amostragem, retenção e redistribuição de carga.

Na etapa de simulação deste conversor, tomou-se como escolha descrever o circuito utilizando componentes ideais, fazendo com que o objetivo do trabalho seja a validação da solução adotada. Após a realização das simulações, pode-se observar que o conversor está realizando as conversões da forma com que foi planejado, garantindo desta forma a funcionalidade do sistema digital de controle projetado.

Como proposta de trabalhos futuros, pode-se partir da topologia definida aqui, para que este circuito passe a ser implementado com a utilização de componentes reais, ou seja, que apresentem as não idealidades que não foram levadas em conta durante a realização das simulações apresentadas neste trabalho. Citam-se aqui algumas características que devem ser levadas em conta: o atraso das portas lógicas, a resistência das chaves analógicas, os componentes parasitas nos capacitores do banco, as não idealidades do comparador de tensão. Com estes comportamentos inseridos pode-se partir para o cálculo de algumas características do conversor que não foram abordadas neste trabalho por não fazer muito sentido no caso de um circuito ideal, como por exemplo, a máxima frequência de operação, o erro de não linearidade entre outras.

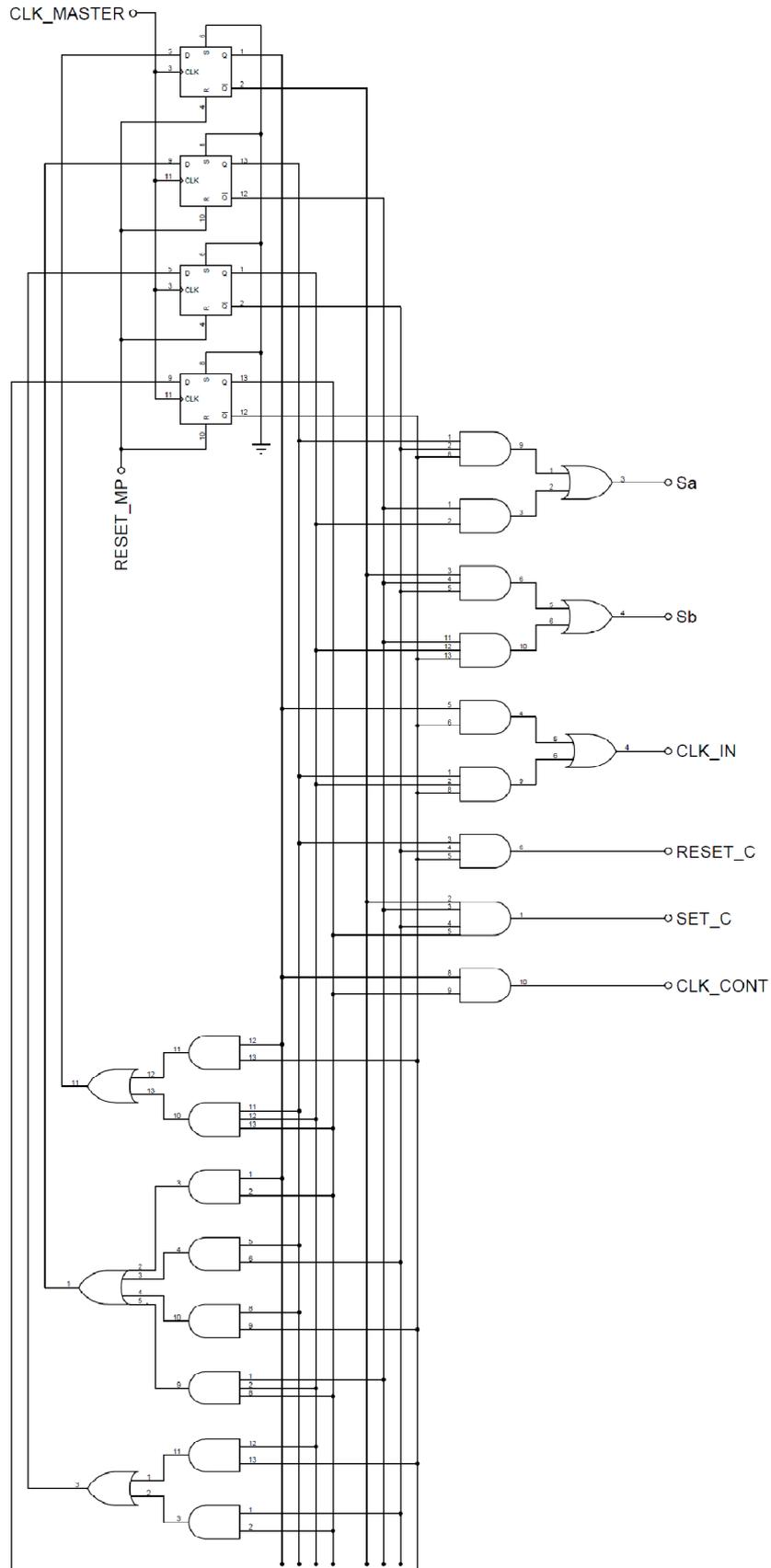
Como consequência, pode-se partir também para os estudos de análise de falhas neste tipo de conversor, tanto ao nível de simulação, como prático.

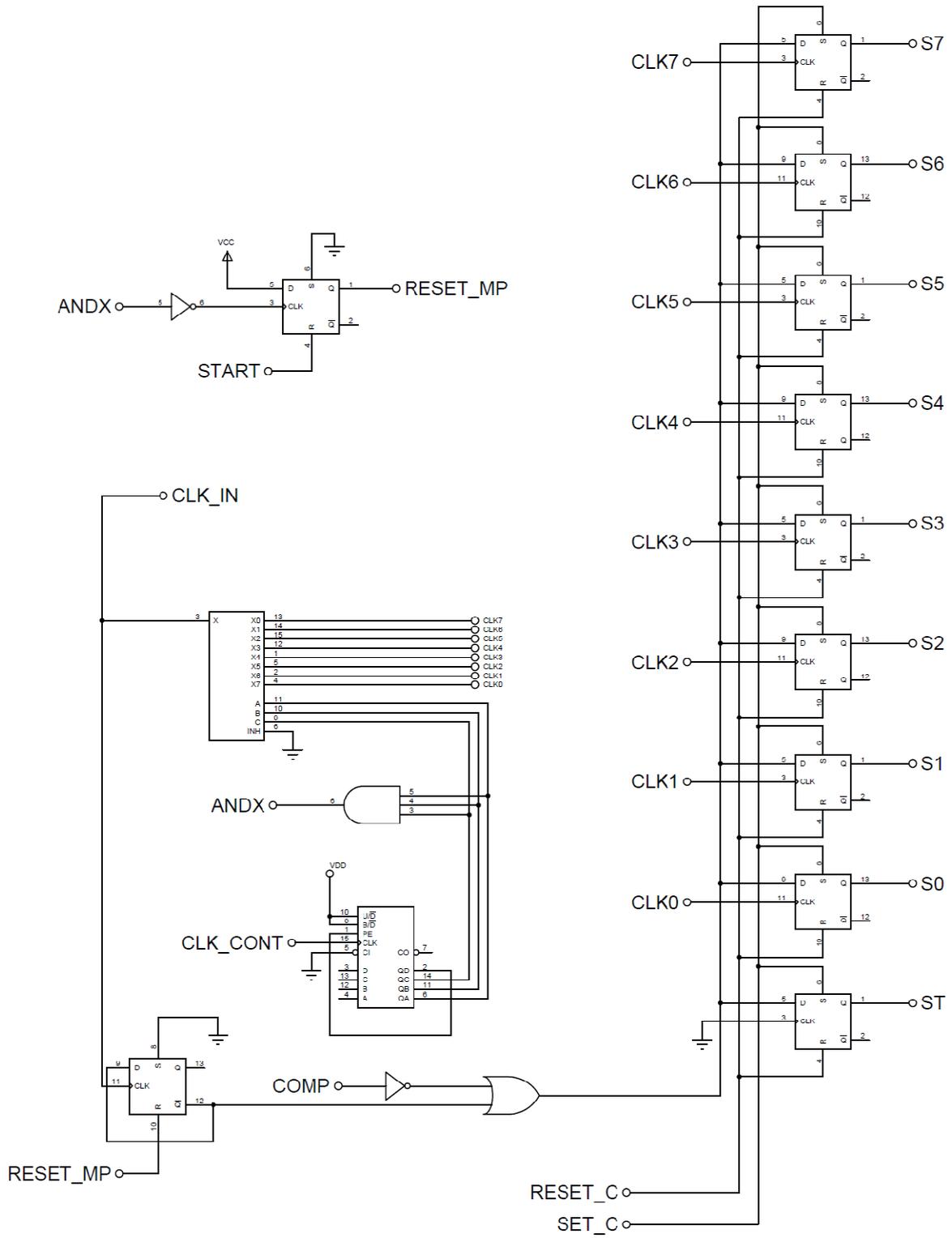
Futuramente, pode-se também partir para a descrição deste circuito com a utilização de transistores, para que na sequência seja feita a sua implementação em silício, partindo desta forma para uma aplicação prática do conversor. Vale ressaltar que uma das principais vantagens dessa arquitetura de conversor é a facilidade de integração em processos CMOS. As chaves presentes no circuito, por exemplo, podem ser implementadas com a utilização de portas de transmissão, construídas com dois transistores MOSFET complementares, que são estruturas bastante adequadas para este tipo de aplicação.

## 7. Referências

- [1] *Analog-to-Digital Converter Design Guide*. (2004). Acesso em 01 de 05 de 2013, disponível em [www.microchip.com](http://www.microchip.com)
- [2] BAKER, B. (2011). *How delta-sigma ADCs work, Part 1*. Acesso em 30 de 05 de 2013, disponível em <http://www.ti.com/>
- [3] JESPERS, P. G. (2001). *Integrated Converters. D to A and A to D Architectures, Analysis and Simulation*. New York: Oxford University Press.
- [4] KESTER, W. (2004). *Analog-Digital Conversion*. Analog Devices.
- [5] MALOBERTI, F. (2007). *Data Converters*. Dordrecht: Springer.
- [6] MANGANARO, G. (2012). *Advanced Data Converters*. Cambridge: Cambridge University Press.
- [7] RAZAVI, B. (1995). *Principles of Data Conversion System Design*. Wiley - IEEE PRESS.
- [8] SCHREIER, R., & TEMES, G. (2005). *Understanding Delta-Sigma Data Converters*. Wiley - IEEE Press.

# APÊNDICE 1 – CIRCUITO DO SISTEMA DIGITAL DE CONTROLE





## APÊNDICE 2 – NETLIST SPICE

\* --- TCC: ESTUDO E SIMULAÇÃO DE UM CONVERSOR A/D  
DO TIPO REDISTRIBUIÇÃO DE CARGA

\* --- Max Feldman

\*\*\* --- Declaração de Fontes --- \*\*\*

VDD VDD 0 3.3

V1 CLK\_MASTER 0 pulse(0 3.3 100n 0 0 100n 200n)

Vreset RESET\_MASTER 0 pulse(0 3.3 0 0 0 10n 2000u)

Vs START\_X 0 0

.global VDD

\* Tensão de Entrada do Conversor

V2 V\_A 0 2

\* Tensão de Referência

V3 V\_REF 0 3.3

\*.....

\* CIRCUITO DE CONTROLE

\*\*\*\*\*

\* Máquina de Estados Principal

\* Entradas: CLK\_MASTER / RESET\_MP

\* Saídas: SA / SB / CLK\_IN / RESET\_C / SET\_C / CLK\_CONT

X000 D3 CLK\_MASTER 0 RESET\_MP Q3 Q3N FF\_D

X001 D2 CLK\_MASTER 0 RESET\_MP Q2 Q2N FF\_D

X002 D1 CLK\_MASTER 0 RESET\_MP Q1 Q1N FF\_D

X003 D0 CLK\_MASTER 0 RESET\_MP Q0 Q0N FF\_D

\* Circuito Combinacional de Próximo Estado

X004 Q3 Q0N N001 AND2

X005 Q1 Q2 Q0 N002 AND3

X006 N001 N002 D3 OR2

X007 Q3 Q0 N003 AND2

X008 Q2 Q1N N004 AND2

X009 Q2 Q0N N005 AND2

X010 Q2N Q1 Q0 N006 AND3

X011 N003 N004 N005 N006 D2 OR4

X012 Q1 Q0N N007 AND2

X013 Q1N Q0 N008 AND2

X014 N007 N008 D1 OR2

R000 Q0N D0 0

\* Circuito Combinacional de Saída

X015 Q2 Q1N Q0N N009 AND3  
X016 Q2N Q1 N010 AND2  
X017 N009 N010 SA OR2

X018 Q3N Q2N Q1N N011 AND3  
X019 Q2N Q1 Q0N N012 AND3  
X020 N011 N012 SB OR2

X021 Q3 Q0N N013 AND2  
X022 Q2 Q1 Q0N N014 AND3  
X023 N013 N014 CLK\_IN OR2

X024 Q2 Q1N Q0N RESET\_C\_X AND3

X025 Q3N Q2N Q1N Q0 SET\_C AND4

X026 Q3 Q0 CLK\_CONT AND2

\*\*\*\*\*

\* CONTADOR  
\* Entradas: CLK\_CONT RESET\_MASTER  
\* Saídas: A2 A1 A0

X027 CLK\_CONT RESET\_MASTER A2 A1 A0 CONT3

\*\*\*\*\*

\* DEMULTIPLEXADOR  
\* Entradas: A2 A1 A0 CLK\_IN  
\* Saídas: CLK7...CLK0

X028 A2 A1 A0 CLK\_IN CLK7 CLK6 CLK5 CLK4 CLK3 CLK2 CLK1 CLK0 DEMUX

\*\*\*\*\*

\* Circuito de entrada dos FF  
\* Entradas: COMP / RESET\_MP / CLK\_IN  
\* Saída: IN

X029 DX CLK\_IN 0 RESET\_MP QX DX FF\_D  
X030 COMP N015 INVERSOR  
X031 N015 DX IN OR2

\*\*\*\*\*

\* FF das chaves

X032 IN CLK7 SET\_C RESET\_C S7 S7N FF\_D  
X033 IN CLK6 SET\_C RESET\_C S6 S6N FF\_D  
X034 IN CLK5 SET\_C RESET\_C S5 S5N FF\_D  
X035 IN CLK4 SET\_C RESET\_C S4 S4N FF\_D  
X036 IN CLK3 SET\_C RESET\_C S3 S3N FF\_D

X037 IN CLK2 SET\_C RESET\_C S2 S2N FF\_D  
X038 IN CLK1 SET\_C RESET\_C S1 S1N FF\_D  
X039 IN CLK0 SET\_C RESET\_C S0 S0N FF\_D  
X040 IN 0 SET\_C RESET\_C ST STN FF\_D

\*\*\*\*\*

\* CONTROLE DE RESETs

X200 RESET\_MASTER RESET\_MP\_X RESET\_MP OR2  
X201 RESET\_MASTER RESET\_C\_X RESET\_C OR2  
X202 RESET\_MASTER START\_X START OR2

\*\*\*\*\*

\* Indicador do contador

X041 A2 A1 A0 ANDX AND3

\*\*\*\*\*

\* Máquina Secundária

X042 ANDX ANDXN INVERSOR  
X043 VDD ANDXN 0 START RESET\_MP\_X QSN FF\_D

\*\*\*\*\*

\* Banco de Capacitores

C7 COMP\_IN N\_C7 12.8p  
C6 COMP\_IN N\_C6 6.4p  
C5 COMP\_IN N\_C5 3.2p  
C4 COMP\_IN N\_C4 1.6p  
C3 COMP\_IN N\_C3 .8p  
C2 COMP\_IN N\_C2 .4p  
C1 COMP\_IN N\_C1 .2p  
C0 COMP\_IN N\_C0 .1p  
CT COMP\_IN N\_CT .1p

\*\*\*\*\*

\* Chaves

XC7\_1 N\_C7 0 S7N CHAVE  
XC7\_2 N\_C7 SEL S7 CHAVE

XC6\_1 N\_C6 0 S6N CHAVE  
XC6\_2 N\_C6 SEL S6 CHAVE

XC5\_1 N\_C5 0 S5N CHAVE  
XC5\_2 N\_C5 SEL S5 CHAVE

XC4\_1 N\_C4 0 S4N CHAVE  
XC4\_2 N\_C4 SEL S4 CHAVE

XC3\_1 N\_C3 0 S3N CHAVE  
XC3\_2 N\_C3 SEL S3 CHAVE

XC2\_1 N\_C2 0 S2N CHAVE  
XC2\_2 N\_C2 SEL S2 CHAVE

XC1\_1 N\_C1 0 S1N CHAVE  
XC1\_2 N\_C1 SEL S1 CHAVE

XC0\_1 N\_C0 0 S0N CHAVE  
XC0\_2 N\_C0 SEL S0 CHAVE

XCT\_1 N\_CT 0 STN CHAVE  
XCT\_2 N\_CT SEL ST CHAVE

XSB COMP\_IN 0 SB CHAVE

X888 SA SAN INVERSOR

XSA\_1 SEL V\_REF SAN CHAVE  
XSA\_2 SEL V\_A SA CHAVE

Xcomp COMP\_IN 0 COMP amp\_op

\*\*\*\*\*

\*\*\*\*\*

\*\*\* --- Subcircuitos --- \*\*\*

\*\*\*\*\*

\*\* Portas Lógicas

.subc AND2 in1 in2 out  
Eand2 out 0 and(2) in1 0 in2 0 0v,0v 3.3v,3.3v  
.ends

.subc AND3 in1 in2 in3 out  
Eand3 out 0 and(3) in1 0 in2 0 in3 0 0v,0v 3.3v,3.3v  
.ends

.subc AND4 in1 in2 in3 in4 out  
Eand4 out 0 and(4) in1 0 in2 0 in3 0 in4 0 0v,0v 3.3v,3.3v  
.ends

.subc OR2 in1 in2 out  
Eor2 out 0 or(2) in1 0 in2 0 0v,0v 3.3v,3.3v  
.ends

.subc OR3 in1 in2 in3 out

```
Eor3 out 0 or(3) in1 0 in2 0 in3 0 0v,0v 3.3v,3.3v
.ends
```

```
.subc OR4 in1 in2 in3 in4 out
Eor4 out 0 or(4) in1 0 in2 0 in3 0 in4 0 0v,0v 3.3v,3.3v
.ends
```

```
.subc INVERSOR in out
Einv out 0 PWL(1) in 0 .7v,3.3v 1v,0v
.ends
```

```
.subc NAND2 in1 in2 out
Eand2 outx 0 and(2) in1 0 in2 0 0v,0v 3.3v,3.3v
Einv out 0 PWL(1) outx 0 .7v,3.3v 1v,0v
.ends
```

```
.subc NAND3 in1 in2 in3 out
Eand3 outx 0 and(3) in1 0 in2 0 in3 0 0v,0v 3.3v,3.3v
Einv out 0 PWL(1) outx 0 .7v,3.3v 1v,0v
.ends
```

```
.subc NOR3 in1 in2 in3 out
Eor3 outx 0 or(3) in1 0 in2 0 in3 0 0v,0v 3.3v,3.3v
Einv out 0 PWL(1) outx 0 .7v,3.3v 1v,0v
.ends
```

\*\* Contador de 3 bits

```
.subc CONT3 CLK RESET bit2 bit1 bit0
X101 D0 CLK 0 RESET bit0 D0 FF_D
X102 D1 D0 0 RESET bit1 D1 FF_D
X103 D2 D1 0 RESET bit2 D2 FF_D
.ends
```

\*\* Flip-Flop JK

```
.subc FF_JK J K CLK SET RESET Q QN
X112 CLK CLKN INVERSOR
X113 QN J CLKN S1 AND3
X114 CLKN K Q R1 AND3
X115 S1 SET S2 R2 NOR3
X116 R2 RESET R1 S2 NOR3
X117 R2 CLK AA AND2
X118 CLK S2 BB AND2
X119 AA RESET QN Q NOR3
X120 Q SET BB QN NOR3
.ends
```

\*\* Flip-Flop D

```
.subc FF_D D CLK SET RESET Q QN
X121 D O0 CLK SET RESET Q QN FF_JK
X122 D O0 INVERSOR
.ends
```

\*\* Demultiplexador

```
.subc DEMUX A2 A1 A0 I O0 O1 O2 O3 O4 O5 O6 O7
X123 A2 A2N INVERSOR
X124 A1 A1N INVERSOR
X125 A0 A0N INVERSOR
X126 A2N A1N A0N I O0 AND4
X127 A2N A1N A0 I O1 AND4
X128 A2N A1 A0N I O2 AND4
X129 A2N A1 A0 I O3 AND4
X130 A2 A1N A0N I O4 AND4
X131 A2 A1N A0 I O5 AND4
X132 A2 A1 A0N I O6 AND4
X133 A2 A1 A0 I O7 AND4
.ends
```

\*\* Chave

```
.subc CHAVE A B C
G1 A B VCR PWL(1) C 0 0,1000meg 1v,0.1m
.ends
```

\*\* Comparador de Tensão

```
.subckt amp_op 1 2 3
E1 3 0 1 2 1E5 max = 3.3 min= 0
.ends
```

\*.....

\*\*\* --- Simulação --- \*\*\*

```
.TRAN 0.0000009u 10u
.option post
.END
```

\*.....

### APÊNDICE 3 – SCRIPT PARA SIMULAÇÃO EM MATLAB

% TCC: ESTUDO E SIMULAÇÃO DE UM CONVERSOR A/D DO TIPO REDISTRIBUIÇÃO DE CARGA

% Max Feldman

%% Inicialização

```
clear all;
close all;
clc;
```

%% Leitura do Arquivo Saída Spice (.tr0)

```
a=loadsig('C:\Users\Max\Desktop\final\final.tr0');
lssig(a);
t = evalsig(a,'TIME');
```

%% Leitura das Variáveis

```
CLK = evalsig(a,'clk_master');
SA = evalsig(a,'sa');
SB = evalsig(a,'sb');
CLK_IN = evalsig(a,'clk_in');
RESET = evalsig(a,'reset_c');
SET = evalsig(a,'set_c');
CLK_CONT = evalsig(a,'clk_cont');
```

```
Q3 = evalsig(a,'q3');
Q2 = evalsig(a,'q2');
Q1 = evalsig(a,'q1');
Q0 = evalsig(a,'q0');
```

```
CLK7 = evalsig(a,'clk7');
CLK6 = evalsig(a,'clk6');
CLK5 = evalsig(a,'clk5');
CLK4 = evalsig(a,'clk4');
CLK3 = evalsig(a,'clk3');
CLK2 = evalsig(a,'clk2');
CLK1 = evalsig(a,'clk1');
CLK0 = evalsig(a,'clk0');
```

```
S7 = evalsig(a,'s7');
S6 = evalsig(a,'s6');
S5 = evalsig(a,'s5');
S4 = evalsig(a,'s4');
S3 = evalsig(a,'s3');
S2 = evalsig(a,'s2');
S1 = evalsig(a,'s1');
S0 = evalsig(a,'s0');
ST = evalsig(a,'st');
```

```
COMP_IN = evalsig(a,'comp_in');
BI = evalsig(a,'sel');
COMP = evalsig(a,'comp');
start = evalsig(a,'start_x');
```

```
%% Sinais de Saída da Máquina de Estados
```

```
figure(1)
subplot(7,1,1)
plot(t,CLK,'-k','linewidth',2); ylabel('CLK'); axis([0 10E-6 0 4]);
subplot(7,1,2)
plot(t,SA,'-k','linewidth',2); ylabel('SA'); axis([0 10E-6 0 4]);
subplot(7,1,3)
plot(t,SB,'-k','linewidth',2); ylabel('SB'); axis([0 10E-6 0 4]);
subplot(7,1,4)
plot(t,CLK_IN,'-k','linewidth',2); ylabel('CLK_F_F'); axis([0 10E-6 0 4]);
subplot(7,1,5)
plot(t,RESET,'-k','linewidth',2); ylabel('RESET'); axis([0 10E-6 0 4]);
subplot(7,1,6)
plot(t,SET,'-k','linewidth',2); ylabel('SET'); axis([0 10E-6 0 4]);
subplot(7,1,7)
plot(t,CLK_CONT,'-k','linewidth',2); ylabel('CLK_C_O_N_T'); axis([0 10E-6 0 4]);
```

```
%% Saídas Q dos FFs da máquina de estados
```

```
figure(2)
subplot(5,1,1)
plot(t,CLK,'-k','linewidth',2); ylabel('CLK'); axis([0 10E-6 0 4]);
subplot(5,1,2)
plot(t,Q3,'-k','linewidth',2); ylabel('Q3'); axis([0 10E-6 0 4]);
subplot(5,1,3)
plot(t,Q2,'-k','linewidth',2); ylabel('Q2'); axis([0 10E-6 0 4]);
subplot(5,1,4)
plot(t,Q1,'-k','linewidth',2); ylabel('Q1'); axis([0 10E-6 0 4]);
subplot(5,1,5)
plot(t,Q0,'-k','linewidth',2); ylabel('Q0'); axis([0 10E-6 0 4]);
```

```
%% Sinais de Clock aplicados aos "FFs de Saída"
```

```
figure(3)
subplot(8,1,1)
plot(t,CLK7,'-k','linewidth',2); ylabel('CLK_7'); axis([0 10E-6 0 4]);
subplot(8,1,2)
plot(t,CLK6,'-k','linewidth',2); ylabel('CLK_6'); axis([0 10E-6 0 4]);
subplot(8,1,3)
plot(t,CLK5,'-k','linewidth',2); ylabel('CLK_5'); axis([0 10E-6 0 4]);
subplot(8,1,4)
plot(t,CLK4,'-k','linewidth',2); ylabel('CLK_4'); axis([0 10E-6 0 4]);
subplot(8,1,5)
plot(t,CLK3,'-k','linewidth',2); ylabel('CLK_3'); axis([0 10E-6 0 4]);
subplot(8,1,6)
plot(t,CLK2,'-k','linewidth',2); ylabel('CLK_2'); axis([0 10E-6 0 4]);
subplot(8,1,7)
plot(t,CLK1,'-k','linewidth',2); ylabel('CLK_1'); axis([0 10E-6 0 4]);
subplot(8,1,8)
plot(t,CLK0,'-k','linewidth',2); ylabel('CLK_0'); axis([0 10E-6 0 4]);
```

```
%% Sinais Aplicados as Chaves Analógicas
```

```
figure(4)
subplot(8,1,1)
plot(t,S7,'-k','linewidth',2); ylabel('S_7'); axis([0 10E-6 0 4]);
subplot(8,1,2)
plot(t,S6,'-k','linewidth',2); ylabel('S_6'); axis([0 10E-6 0 4]);
```

```

subplot(8,1,3)
plot(t,S5,'-k','linewidth',2); ylabel('S_5'); axis([0 10E-6 0 4]);
subplot(8,1,4)
plot(t,S4,'-k','linewidth',2); ylabel('S_4'); axis([0 10E-6 0 4]);
subplot(8,1,5)
plot(t,S3,'-k','linewidth',2); ylabel('S_3'); axis([0 10E-6 0 4]);
subplot(8,1,6)
plot(t,S2,'-k','linewidth',2); ylabel('S_2'); axis([0 10E-6 0 4]);
subplot(8,1,7)
plot(t,S1,'-k','linewidth',2); ylabel('S_1'); axis([0 10E-6 0 4]);
subplot(8,1,8)
plot(t,S0,'-k','linewidth',2); ylabel('S_0'); axis([0 10E-6 0 4]);

%% Sinal de Entrada do Comparador - Barramento Superior

figure(5)
plot(t,COMP_IN,'-k','linewidth',2); ylabel('Tensão sobre o barramento superior'); axis([0 10E-
6 -2.5 1]);
grid;

```