

307

**ANÁLISE COMPARATIVA DA ÁREA DE FAMILIAS LÓGICAS NMOS PTL.** *Paulo Francisco Butzen, Renato E. B. Poli, Renato P. Ribas, André Inacio Reis (orient.)* (Departamento de Informática Aplicada, Instituto de Informática, UFRGS).

Este trabalho visa comparar a área de circuitos projetados com lógica de transistores de passagem, considerando não somente a área das células, mas também o custo de roteamento. O trabalho proposto se concentra no estudo da família lógica NMOS PTL. Esta família lógica baseia-se no conceito de multiplexador, onde um sinal de controle determina, dentre dois sinais de entrada distintos, qual será o sinal de entrada escolhido para ser repassado até a saída da célula através de transistores NMOS usados como chaves. O principal objetivo desse projeto é fazer uma comparação entre a lógica NMOS Single Rail (saída única) e NMOS Dual Rail (saída direta e complementada). A família lógica CMOS complementar será usada como padrão de comparação por ser extensivamente usada no projeto de circuitos integrados. A motivação para este estudo deve-se ao fato da maioria dos trabalhos encontrados na literatura, que tratam desta comparação, só levam em conta a redução do número de transistores, e conseqüentemente de área do circuito integrado, quando utilizada a lógica Dual Rail. A parte do roteamento dos sinais não é salientada, ignorando-se deste modo o custo em área para rotear os sinais referentes às saídas direta e complementada no caso da lógica Dual-Rail. Com isso pretendemos fazer uma comparação que saliente o ganho com a redução no número de transistores utilizados, mas também mostre a perda devido ao roteamento por todo o circuito integrado o sinal direto e o sinal complementar, de modo a fazer uma comparação mais justa e efetiva. (CNPq-Proj. Integrado).