

302

**ESTUDO E IMPLEMENTAÇÃO DE MÓDULOS DE CONTROLE DE EVENTOS PARA A COMUNICAÇÃO DE CIRCUITOS ASSÍNCRONOS.** *Rodrigo Trevisan Vaz da Silva, Carlos Alberto Sampaio, Mário Carlos de Bem Osório, André Reis, Renato Perez Ribas (orient.)* (Departamento de

Informática Aplicada, Instituto de Informática, UFRGS).

Devido ao aumento da capacidade de integração dos processos de microeletrônica e também ao incremento na velocidade dos transistores, os circuitos digitais síncronos começam a apresentar sérios problemas de distribuição de relógio, consumo de potência e radiação eletromagnética. Uma alternativa potencial para resolver esses problemas são os circuitos ou arquiteturas assíncronos. Eles são circuitos de baixa potência, além de permitir que os dados sejam processados na máxima velocidade permitida pela tecnologia e arquitetura do sistema. A ausência de um sinal de relógio global exige o uso de um protocolo de comunicação para prover a comunicação dos blocos funcionais. Para implementar esse protocolo, alguns circuitos de controle específicos (logic events modules) são necessários, como a célula de Muller, o toggle, o select, o call e o arbiter, entre outros. Esse trabalho compreendeu o estudo e a implementação de um grupo dos módulos de controle de eventos utilizando porta lógica CMOS estática com capacidade de memorização (static CMOS latched gate). Esta estrutura compreende redes lógicas P e N não complementares, conectando o nó de saída à fonte e terra respectivamente, além de um latch de saída que é usado para manter o sinal de saída quando não existe caminho lógico através da rede de transistores. Através da extração de duas equações lógicas (para as redes P e N), a partir da tabela verdade dos módulos, é possível gerar as redes P e N. Dentre os latches estudados, o de melhor resultado (área e atrasos) foi o SRAM (composto de dois inversores). Por último, essa implementação foi comparada com a versão de portas estáticas CMOS convencional. Simulações elétricas utilizando o ambiente Cadence e os parâmetros de processo da AMS CMOS 0.35 $\mu$ m foram realizadas para as duas implementações. Comparando-as, a estrutura proposta usa menos transistores e tem uma menor dissipação de potência, porém os atrasos obtidos são maiores que os da versão com portas CMOS convencional. (CNPq-Proj. Integrado).