

343

**CHIP TESTE PARA MÓDULOS CMOS ANÁLOGICOS.** *Juan Pablo Martinez Brito, Fernando Paixão Cortes, Alessandro Girardi, Sergio Bampi (orient.) (UFRGS).*

O projeto VLSI de ultra-escala, aliado a demanda de processamento de sinais num único chip, fez com que circuitos analógicos fossem integrados em tecnologias abaixo de  $0.13\mu\text{m}$ , caracterizadas por serem usadas apenas em circuitos digitais. Exemplo disso, são os SoC's (Systems-on-chip), sistemas integrados num único chip, que exigem circuitos analógicos tal como amplificadores, filtros, comparadores, osciladores, conversores A/D e D/A, projetados em tecnologias padrão para circuitos CMOS digitais. Este trabalho baseia-se no projeto e concepção de vários blocos analógicos básicos usando duas metodologias diferentes de projeto: uma full-custom baseada nas características de  $g_m/I_D$  do transistor e outra baseada em uma matriz de transistores pré-difundida. Estas foram validadas via simulações elétricas (Spectre) para todos os blocos, incluindo análises estatísticas (Monte Carlo). E, para termos características elétricas baseadas em medidas, preparamos um chip de prova com blocos analógicos e estruturas de teste em tecnologia CMOS  $0.35\mu\text{m}$ . Com as medidas elétricas conseguiremos a caracterização e a otimização dos modelos que, por sua vez, nos ajudará no ajuste fino das curvas básicas de projeto e uma validação completa da metodologia usada. Ao todo foram projetados 10 blocos, incluindo as estruturas de teste, totalizando uma área de  $4,55\text{ mm}^2$  de silício. (BIC).