

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
ESCOLA DE ENGENHARIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA  
CURSO DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**THIAGO HANNA BOTH**

**ANÁLISE DE FALHAS EM UMA  
MEMÓRIA PSRAM POR EFEITOS DE  
DOSE TOTAL IONIZANTE**

Porto Alegre  
2011

**THIAGO HANNA BOTH**

**ANÁLISE DE FALHAS EM UMA  
MEMÓRIA PSRAM POR EFEITOS DE  
DOSE TOTAL IONIZANTE**

Projeto de Diplomação apresentado ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul como parte dos requisitos para a obtenção do título de Engenheiro Eletricista.

**ORIENTADOR: Prof. Dr. Gilson Inácio Wirth**

Porto Alegre  
2011

**THIAGO HANNA BOTH**

**ANÁLISE DE FALHAS EM UMA  
MEMÓRIA PSRAM POR EFEITOS DE  
DOSE TOTAL IONIZANTE**

Este Projeto foi julgado adequado para a obtenção dos créditos da Disciplina Projeto de Diplomação do Departamento de Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: \_\_\_\_\_  
Prof. Dr. Gilson Inácio Wirth,  
Doutor pela Universität Dortmund — Dortmund, Alemanha

Banca Examinadora:

Prof. Dr. Gilson Inácio Wirth,  
Doutor pela Universität Dortmund — Dortmund, Alemanha

Prof. Dr. Marcelo Götz,  
Doutor pela Universität Paderborn — Paderborn, Alemanha

Prof. Dr. Tiago Roberto Balen,  
Doutor pela Universidade Federal do Rio Grande do Sul — Porto Alegre, Brasil

Chefe do DELET: \_\_\_\_\_  
Prof. Dr. Altamiro Amadeu Susin

Porto Alegre, dezembro de 2011.

## **AGRADECIMENTOS**

Agradeço, primeiramente, aos meus pais — Carlos Estevan e Maria Lúcia — que sempre priorizaram a minha educação e meu bem-estar, apoiando sempre minhas escolhas.

Agradeço à Universidade Federal do Rio Grande do Sul por viabilizar minha formação acadêmica.

Agradeço também ao meu orientador, Prof. Dr. Gilson Inácio Wirth, pelos ensinamentos e pela confiança no trabalho realizado.

Agradeço também ao Prof. Dr. Odair Lelis Gonzalez e ao Eng. Evaldo Carlos Pereira Junior por disponibilizar os dados experimentais do teste de irradiação realizados no LRI/IEAv, bem como por todo o suporte para entendimento destes.

Agradeço também ao Prof. Dr. Tiago Roberto Balen e ao Prof. Dr. Marcelo Götz pela contribuição com melhorias para o presente trabalho.

Agradeço também aos colegas do LaProT e ao colega Diego Hansen Hahn por todo auxílio prestado com ferramentas de simulação, de análise de dados e de edição de texto.

Por fim, agradeço a todos meus amigos e familiares, em especial ao meu irmão, Lucas, que estiveram ao meu lado durante toda a minha vida universitária e continuarão ao meu lado durante minha vida profissional.

## **RESUMO**

Este relatório apresenta o trabalho desenvolvido durante a disciplina Projeto de Diplomação do Curso de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul. O objetivo deste trabalho é descrever os efeitos da dose total ionizante em uma memória PSRAM comercial. Circuitos típicos deste tipo de memória foram abordados, bem como conceitos básicos de TID e de organização de memória. Simulações dos efeitos de dose total foram realizadas e os resultados comparados ao resultado experimental de um teste de irradiação realizado no LRI/IEAv.

**Palavras-chave: DRAM, PSRAM, Radiação Ionizante, TID.**

## **ABSTRACT**

This document presents the work developed in the final project of the graduation in Electrical Engineering at Universidade Federal do Rio Grande do Sul. The purpose of this work is to analyse the effects of the total ionizing dose on a commercial PSRAM memory for aerospace applications. Typical memory circuits were covered, as well as basic concepts of the TID and of memory organization. Simulation of the TID were performed on typical memory circuits and compared to the experimental results of an irradiation test carried out at LRI/IEAv.

**Keywords: DRAM, PSRAM, Radiação Ionizante, TID.**

## LISTA DE ILUSTRAÇÕES

Figura 1:	Curvas de desvio da tensão de limiar de um transistor NMOS (tecnologia $4/3 \mu\text{m}$ ) em função da dose total ionizante e da taxa de dose utilizada. Adaptado de (WINOKUR <i>et al.</i> , 1987). . . . .	17
Figura 2:	Contribuição do efeito de cargas no óxido e de cargas na interface para os desvios na tensão de limiar de transistores NMOS (tecnologia $4/3 \mu\text{m}$ ) em função da dose total ionizante e da taxa de dose utilizada. Adaptado de (WINOKUR <i>et al.</i> , 1987). . . . .	17
Figura 3:	Incremento da corrente de dreno na região de sub-limiar pelo efeito de dose total ionizante. Curva obtida através da simulação spice do modelo elétrico de transistor NMOS submetido à dose total ionizante.	19
Figura 4:	Célula de memória DRAM. . . . .	20
Figura 5:	Diagrama de blocos de uma memória PSRAM. Adaptado de (TSUJIMOTO, 1991). . . . .	21
Figura 6:	Margens de operação da entrada dos amplificadores sensores e dos circuitos lógicos periféricos. Adaptado de (HARASZTI, 2000). . . . .	24
Figura 7:	Matriz de armazenamento de uma memória de 16 Mbit. Adaptado de (BAKER, 2010). . . . .	25
Figura 8:	Exemplo de arquitetura aberta com um amplificador sensor NMOS. Adaptado de (BAKER, 2010). . . . .	26
Figura 9:	Exemplo de arquitetura fechada com um amplificador sensor NMOS. Adaptado de (BAKER, 2010). . . . .	26
Figura 10:	Irradiador de raios gama de $^{60}\text{Co}$ do Laboratório de Radiação Ionizante do IEAv. . . . .	27
Figura 11:	Taxa estimada de <i>bit flips</i> (em valor percentual) em função da dose total. . . . .	28
Figura 12:	Mapa dos bits da Memória para 198.1 krad. A cor vermelha representa bits com valor lógico 1 armazenado; a cor azul representa bits com valor lógico 0 armazenado. . . . .	29
Figura 13:	Curvas de taxa de falha em função da dose total para diferentes posições de bit nas palavras. . . . .	30
Figura 14:	Amplificador Sensor com Realimentação Positiva. Adaptado de (HARASZTI, 2000). . . . .	33
Figura 15:	Fluxograma do algoritmo Monte Carlo utilizado. . . . .	34
Figura 16:	Descarga de uma célula DRAM em função do tempo e da dose total utilizando modelo proposto. . . . .	36
Figura 17:	Simulação da leitura de um valor lógico 0 através de um amplificador sensor com realimentação positiva. . . . .	37
Figura 18:	Simulação da leitura de um valor lógico 0 na linha de bit através de um amplificador sensor com realimentação positiva aplicando-se desvios na tensão de limiar dos transistores do circuito, resultando em uma medição incorreta do valor armazenado. . . . .	37
Figura 19:	Resultado da simulação Monte Carlo para o amplificador sensor, realizando a leitura de um 0 lógico na Linha de Bit. . . . .	38
Figura 20:	Resultado da simulação Monte Carlo para o amplificador sensor, realizando a leitura de um 0 lógico na Linha de Bit Negada. . . . .	38

## LISTA DE TABELAS

Tabela 1:	Parâmetros para transistor NMOS, tecnologia $0.13\mu\text{m}$ . Adaptado de (PANIZ, 2010). . . . .	31
Tabela 2:	Parâmetros para transistor PMOS, tecnologia $0.13\mu\text{m}$ . Adaptado de (PANIZ, 2010). . . . .	32
Tabela 3:	Tempo para execução de um teste em função do tamanho da memória, $n$ , considerando ciclo de memória de 60 ns. Adaptado de (BUSHNELL & AGRAWAL, 2000) . . . . .	40

## LISTA DE ABREVIATURAS

CERN	Conseil Européen pour la Recherche Nucleaire
CMOS	Complementary Metal-Oxide-Semiconductor
COTS	Commercial off-the-shelf
DD	Displacement Damage
DRAM	Dynamic Random Access Memory
IEAv	Instituto de Estudos Avançados
LHC	Large Hadron Collider
LRI	Laboratório de Radiação Ionizante
MOS	Metal-Oxide-Semiconductor
NMOS	Transistor MOS de Canal tipo N
PMOS	Transistor MOS de Canal tipo P
PSRAM	Pseudo-static Random Access Memory
SEB	Single Event Burnout
SEE	Single Event Effects
SEGR	Single Event Gate Rupture
SEL	Single Event Latch-up
SET	Single Event Transient
SEU	Single Event Upset
SHE	Single Hard Error
SoC	System on a Chip
SRAM	Static Random Access Memory
TID	Total Ionizing Dose

# SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b>	<b>10</b>
<b>2</b>	<b>RADIAÇÃO EM DISPOSITIVOS SEMICONDUTORES</b>	<b>12</b>
<b>2.1</b>	<b>Efeitos Singulares</b>	<b>12</b>
<b>2.2</b>	<b>Efeitos Cumulativos</b>	<b>13</b>
<b>2.3</b>	<b>Radiação em meio espacial</b>	<b>13</b>
<b>2.4</b>	<b>Efeito de dose total ionizante em transistores MOS</b>	<b>14</b>
2.4.1	Desvio na tensão de limiar	15
2.4.2	Degradação da mobilidade	18
2.4.3	Fuga de corrente	18
<b>3</b>	<b>PSRAM - MEMÓRIA PSEUDO-ESTÁTICA DE ACESSO ALEATÓRIO</b>	<b>20</b>
<b>3.1</b>	<b>Célula de memória DRAM</b>	<b>21</b>
<b>3.2</b>	<b>Amplificador Sensor</b>	<b>23</b>
<b>3.3</b>	<b>Organização da Memória</b>	<b>25</b>
<b>4</b>	<b>EXPERIMENTO</b>	<b>27</b>
<b>4.1</b>	<b>Descrição do Experimento</b>	<b>27</b>
<b>4.2</b>	<b>Resultados Experimentais</b>	<b>28</b>
<b>5</b>	<b>SIMULAÇÕES</b>	<b>31</b>
<b>5.1</b>	<b>Célula de Memória DRAM</b>	<b>32</b>
<b>5.2</b>	<b>Amplificador Sensor de Tensão com Realimentação Positiva</b>	<b>32</b>
5.2.1	Método Monte Carlo	34
<b>5.3</b>	<b>Resultado das Simulações</b>	<b>36</b>
5.3.1	Célula de Memória DRAM	36
5.3.2	Amplificador Sensor de Tensão Diferencial com Realimentação Positiva	36
<b>6</b>	<b>DISCUSSÃO</b>	<b>39</b>
<b>7</b>	<b>CONSIDERAÇÕES FINAIS</b>	<b>41</b>
	<b>REFERÊNCIAS</b>	<b>42</b>
	<b>APÊNDICE A NETLISTS</b>	<b>45</b>
<b>A.1</b>	<b>Netlist para simulação da célula de memória DRAM.</b>	<b>45</b>
<b>A.2</b>	<b>Netlist para simulação do amplificador sensor com com realimentação positiva.</b>	<b>46</b>

# 1 INTRODUÇÃO

Desde a década de 50, quando foram produzidos os primeiros transistores comerciais, o mercado de circuitos integrados apresentou um crescimento incomparável ao de qualquer outro setor da economia. Durante os primeiros 40 anos de existência, o mercado de circuitos semicondutores cresceu, em média, cerca de 16% ao ano, atingindo um valor total anual de mais de 1 trilhão de dólares, superior aos mercados automobilístico e petrolífero (SWART, 2000).

Este crescimento do mercado da microeletrônica está relacionado à grande evolução tecnológica do setor. A redução da área ocupada pelos circuitos integrados, prevista na famosa Lei de Moore, permitiu a integração de um grande número de componentes em um mesmo dispositivo, reduzindo custo e consumo dos circuitos integrados, elevando seu desempenho e o número de funções em um único chip. Assim, hoje, circuitos integrados estão presentes em um grande número de aplicações – como computadores, *smartphones*, satélites e aeronaves, por exemplo.

No setor aeroespacial, em especial, estes dispositivos são indispensáveis. Contudo, este tipo de aplicação, submete os circuitos integrados a um ambiente hostil, de baixa temperatura e pressão, além da presença de radiação ionizante. Esta radiação, pouco influente ao nível do mar, é bastante significativa para aplicações espaciais e pode afetar o funcionamento de circuitos eletrônicos, tanto no curto prazo (efeitos transientes) como no longo prazo (efeitos de dose total). Por esta razão, os efeitos da radiação ionizante em circuitos integrados de silício devem ser estudados e compreendidos para garantir a funcionalidade destes dispositivos em ambientes onde há presença deste tipo de radiação, como no meio espacial.

Além de aplicações aeroespaciais, estudos sobre efeitos de radiação ionizante em circuitos integrados são de interesse, também, para áreas como a física nuclear e de partículas. Diversos estudos (JARRON *et al.*, 1999; GONELLA *et al.*, 2007) foram realizados para assegurar a tolerância a radiação de circuitos integrados utilizados no LHC (*Large Hadron Collider*), o acelerador de partículas do CERN (Conselho Europeu de Pesquisa

Nuclear), que entrou em funcionamento em 2008.

Porém, apesar do da importância que o setor aeroespacial possui, ele representa uma fatia pequena no mercado de semicondutores. Por este motivo, torna-se oneroso economicamente o desenvolvimento e fabricação de componentes tolerante à radiação. Além disso, os componentes já existentes apresentam elevados custos, longos prazos de entrega e, muitas vezes, dado seu caráter estratégico e de defesa, são submetidos a barreiras alfandegárias.

Assim, torna-se cada vez mais importante a caracterização, em função da radiação ionizante, dos chamados COTS (*commercial off-the-shelf*) ou “componentes de prateleira”. A utilização destes componentes apresenta vantagens como o baixo custo, curto prazo de entrega e possibilidade de compra em grandes quantidades. Portanto, identificar e caracterizar “componentes de prateleira” tolerantes à radiação é uma tarefa necessária e recompensadora.

Neste contexto, o objetivo deste trabalho é analisar os resultados obtidos pelo teste de irradiação de uma memória PSRAM realizado no Laboratório de Radiação Ionizante do IEAv (Instituto de Estudos Avançados), realizando comparações com o resultado de simulações *spice* de circuitos típicos presentes em memórias. Através desta análise, visou-se identificar possíveis mecanismos de falha e relacioná-los aos resultados experimentais.

## 2 RADIAÇÃO EM DISPOSITIVOS SEMICONDUTORES

Desde que testes nucleares de alta altitude provocaram a falha do satélite de comunicações Telstar 1 em 1962, sabe-se que a radiação ionizante pode provocar falhas ou até mesmo inutilizar dispositivos eletrônicos. Para aplicações aeroespaciais da eletrônica, portanto, é necessário o conhecimento da radiação em meio espacial, bem como os danos provocados pela mesma.

Pode-se citar dois grandes grupos de efeitos danosos provocados pela exposição de circuitos eletrônicos a um meio radioativo — os efeitos singulares e os efeitos cumulativos.

### 2.1 Efeitos Singulares

Os eventos singulares (ou *Single-Event Effects*, SEE) são provocados pela colisão de partículas de elevada energia (como prótons e íons pesados, por exemplo) com uma região sensível de um circuito integrado. Uma colisão, apesar de não necessariamente resultar em uma falha, pode provocar a falhas permanentes (*hard errors*) ou não-permanentes (*soft errors*).

Os *soft errors* são caracterizados por falhas que não afetam o funcionamento do circuito no longo prazo, como inversões do valor de um bit (*bit flips*) ou pulsos transitórios de corrente. Estas falhas podem ser classificadas como *Single-Event Transient* (SET) ou como *Single-Event Upset* (SEU).

O SET é provocado pela incidência de uma partícula com elevada energia em um nodo do circuito, provocando uma variação de tensão. Esta variação pode se propagar através de um circuito lógico, podendo afetar sinais de controle ou até mesmo ser armazenado em um *flip-flop*. Também afeta circuitos analógicos.

Os SEUs afetam diretamente memórias, pois são provocados pela incidência de uma partícula com um nodo sensível do circuito, provocando uma inversão no valor do bit armazenado.

Os *hard errors* são caracterizados por falhas que podem provocar danos permanentes ao funcionamento do componente. São exemplos de *hard errors* o *Single-Event Latch-up* (SEL), *Single-Event Burnout* (SEB), *Single-Event Gate Rupture* (SEGR) e o *Single Hard Error* (SHE).

## 2.2 Efeitos Cumulativos

Efeitos cumulativos são resultado da absorção da radiação ao longo do tempo por um dispositivo semiconductor. Estes efeitos podem ser divididos em efeitos de dose total (*total ionizing dose*, ou TID) e danos por deslocamento (*displacement damage*, ou DD).

Os efeitos de dose total são provocados pelo acúmulo de cargas nos óxidos dos dispositivos semicondutores e provocam variações de parâmetros elétricos dos componentes. Estes efeitos serão abordados de forma mais detalhada na seção 2.4.

Os danos por deslocamento são provocados pela perda de energia de forma não-ionizante de partículas incidentes. O resultado desta perda de energia é o deslocamento de átomos da estrutura cristalina do silício, danificando esta estrutura, resultando na degradação de parâmetros elétricos e ópticos de dispositivos semicondutores (SROUR *et al.*, 2003). Este efeito não será abordado no presente trabalho.

## 2.3 Radiação em meio espacial

**a) Cinturões de Radiação** — Os cinturões de radiação ou cinturões de Van Allen são regiões do espaço formadas por prótons, elétrons e íons aprisionados pelo campo magnético terrestre, oriundos da atividade solar e dos raios cósmicos galácticos (RCG). São dois cinturões permanentes (interno e externo), mas cinturões temporários entre os cinturões permanentes podem surgir após tempestades magnéticas. O cinturão interno, situado entre 100 e 10.000 km acima da superfície terrestre, apresenta elétrons com energia inferior a 5 MeV. O cinturão externo, situado entre 13.000 e 60.000 km apresenta elétrons com energia de até 7 MeV (BOUDENOT, 2007). Ambos os cinturões apresentam prótons de elevada energia, de dezenas de MeV. Os cinturões temporários apresentam elétrons com energia superior àquelas

dos cinturões permanentes (até 30 MeV) e prótons com energia de até 500 MeV.

**b) Atividade Solar** — A atividade solar é cíclica, apresentando um período de baixa atividade, com duração de aproximadamente 4 anos, e um período de alta atividade, com duração de aproximadamente 7 anos. Esta atividade é composta por dois eventos principais: os ventos solares (*solar winds*) e as explosões solares (*solar flares*). Os ventos solares são caracterizados pelo fenômeno conhecido como ejeção de massa coronal (*coronal mass ejection*, em inglês), que consiste da ejeção de prótons e íons pesados da coroa solar. Esta ejeção é resultado do desbalanço de cargas provocado pela emissão de elétrons devido a elevada temperatura da coroa solar, que fornece energia suficiente para que elétrons escapem do campo gravitacional solar. As explosões solares são emissões de íons de elevada energia, ocorrendo com maior intensidade nos períodos de elevada atividade solar (BOUDENOT, 2007).

**c) Raios Cósmicos Galáticos (RCG)** — Raios cósmicos galáticos são partículas com carga e íons de elevada energia cuja origem não é totalmente conhecida (BOUDENOT, 2007). Este tipo de radiação é composto, em sua maioria, por prótons (aproximadamente 83%), núcleos de hélio (aproximadamente 13%) e elétrons (aproximadamente 3%).

## 2.4 Efeito de dose total ionizante em transistores MOS

A dose total ionizante (TID ou *Total Ionizing Dose*, em inglês) é resultado da exposição ao longo do tempo de um determinado corpo à radiação ionizante. Esta dose é definida como uma quantidade de energia depositada por radiação ionizante em um corpo por unidade de massa. Neste trabalho, a unidade adotada é o rad, unidade do CGS que equivale a 100 ergs/g, sendo 1 erg equivalente a 0.1  $\mu\text{J}$  no MKS. Assim, 100 rad equivalem a 1 Gy (Gray), ou 1 J/kg no MKS. É importante ressaltar que a absorção de energia depende do material analisado; portanto, deve-se informar a dose em termos do material. No presente trabalho, serão recorrentes doses referenciadas ao dióxido de silício ( $\text{SiO}_2$ ).

A incidência de radiação ionizante resulta na geração de pares elétron-lacuna. Em

dispositivos MOS, estes pares elétron-lacuna podem ser gerados no substrato (silício) ou nos óxidos (dióxido de silício). No substrato, são gerados  $4 \times 10^{13}$  pares/cm<sup>3</sup> por rad absorvido. Estes pares de portadores podem sofrer recombinação ou serem transportados por difusão e deriva para fora do dispositivo, resultando em correntes transientes que podem ou não afetar o funcionamento do dispositivo.

No óxido, por rad absorvido, são gerados  $8,1 \times 10^{12}$  pares/cm<sup>3</sup>. Contudo, esta densidade de pares de portadores é reduzida logo após sua geração devido ao processo de recombinação. Esta recombinação é função da magnitude do campo elétrico e da densidade inicial dos pares criados, que, por sua vez, é função do tipo de partícula incidente e da sua energia. Os elétrons, de elevada mobilidade, escapam do óxido em tempos da ordem de picossegundos (OLDHAM & MCLEAN, 2003). As lacunas, cuja mobilidade é baixa, são capturadas em "armadilhas" (vagas de oxigênio), resultando em uma carga líquida, tipicamente, positiva (em inglês, *oxide-trapped charge*).

Além das cargas aprisionadas no óxido, a incidência de radiação ionizante resulta na geração de armadilhas de interface (*interface traps*, em inglês). Estas armadilhas de interface podem assumir valores de carga positivos, negativos, ou neutros, de acordo com o defeito que as origina (*interface-trapped charge*).

Desta forma, podemos destacar três efeitos de dose total ionizante em transistores MOS: desvio na tensão de limiar, degradação da mobilidade e aumento da corrente de fuga.

#### 2.4.1 Desvio na tensão de limiar

Desvios na tensão de limiar (*threshold voltage shifts*, em inglês) dos transistores podem ser provocados pelas cargas aprisionadas no óxido e nas armadilhas de interface. Estas cargas contribuem individualmente para o desvio da tensão de limiar. Este desvio pode ser modelado em função do potencial elétrico produzido pelas cargas, de acordo com a equação

$$\Delta V_T = \Delta V_{OT} + \Delta V_{IT} \quad (1)$$

onde  $\Delta V_{OT}$  é o potencial produzido pelas cargas aprisionadas no óxido,  $\Delta V_{IT}$  é o potencial produzido pelas cargas aprisionadas na interface e  $\Delta V$  é o desvio resultante.

As cargas aprisionadas no óxido são, tipicamente, positivas, tanto para transistores NMOS como para transistores PMOS. Assim, a contribuição destas cargas para o desvio da tensão de limiar dos transistores é de reduzi-la, independentemente do tipo do dispositivo.

As cargas aprisionadas em armadilhas de interface, contudo, são tipicamente positivas para transistores PMOS e negativas para transistores NMOS. Assim, a contribuição destas cargas para o desvio da tensão de limiar dos transistores é de reduzi-la para transistores PMOS e de elevá-la, para transistores NMOS.

Isto significa que, para transistores PMOS, ambos os mecanismos de aprisionamento de cargas contribuem para a redução da tensão de limiar. Em contrapartida, para transistores NMOS, as cargas aprisionadas no óxido contribuem para a redução da tensão de limiar, ao passo que as cargas aprisionadas na interface contribuem para o aumento da tensão de limiar. O mecanismo de aprisionamento de carga dominante, neste caso, dependerá do tempo de exposição à radiação ionizante e da taxa de dose irradiada. Para exposições a baixas taxas de dose e longos períodos de tempo, as cargas aprisionadas no óxido tendem a ser neutralizadas e o efeito de interface domina o desvio na tensão de limiar. Para taxas de dose e tempos moderados, ambos os fenômenos tem influência similar. Para taxas de dose elevadas e curtos períodos de tempo, os desvios na tensão de limiar são dominados pelo aprisionamento de cargas no óxido, uma vez que o aprisionamento de cargas na interface demanda períodos de tempo significativos. Portanto, para o transistor NMOS, o desvio na tensão de limiar dependerá da taxa de dose irradiada e do tempo de exposição, diferentemente dos transistores PMOS que, habitualmente, apresentam desvios na tensão de limiar negativos e de elevado valor em módulo, independentemente da taxa de dose irradiada. No ambiente espacial, onde a taxa de dose é bastante baixa – entre 1 e 10 rad(Si)/h – o efeito dominante para transistores NMOS é o de cargas aprisionadas na interface, resultando em um desvio positivo da tensão de limiar (WINOKUR *et al.*, 1987).

A contribuição da taxa de dose para os desvios na tensão de limiar para transistores NMOS pode ser visualizada na figura 1. A contribuição dos efeitos de cargas aprisionadas no óxido e dos efeitos de cargas aprisionadas na interface, para diferentes taxas de dose, em transistores NMOS pode ser visualizada na figura 2.

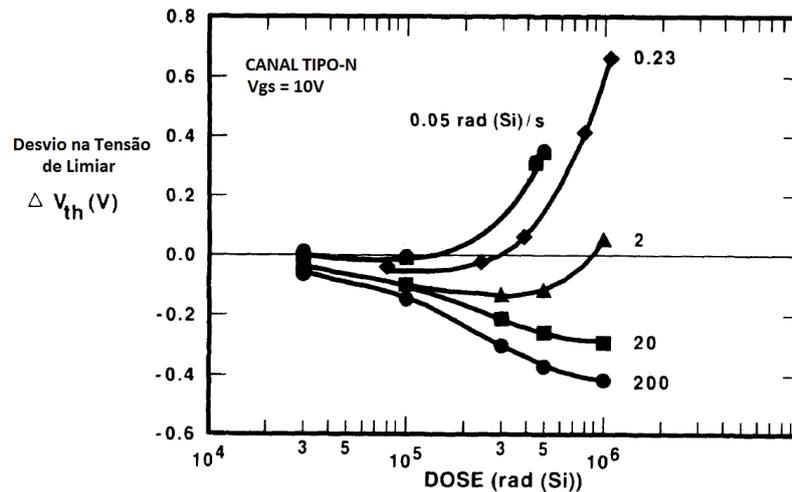


Figura 1: Curvas de desvio da tensão de limiar de um transistor NMOS (tecnologia  $4/3 \mu\text{m}$ ) em função da dose total ionizante e da taxa de dose utilizada. Adaptado de (WINOKUR *et al.*, 1987).

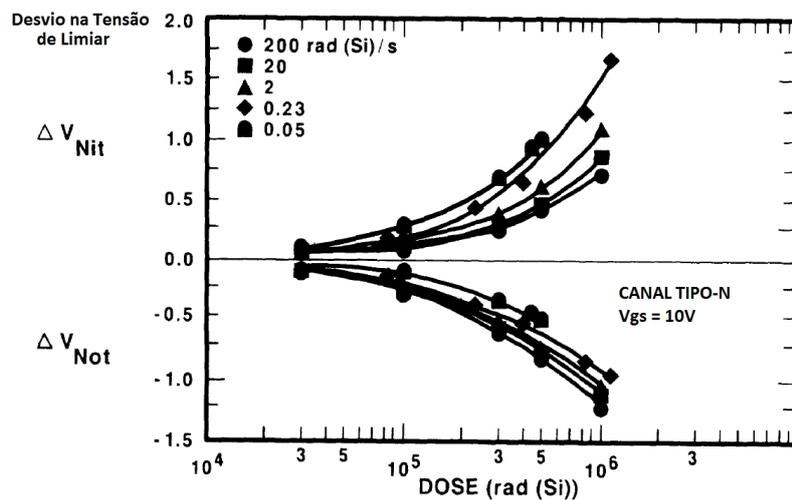


Figura 2: Contribuição do efeito de cargas no óxido e de cargas na interface para os desvios na tensão de limiar de transistores NMOS (tecnologia  $4/3 \mu\text{m}$ ) em função da dose total ionizante e da taxa de dose utilizada. Adaptado de (WINOKUR *et al.*, 1987).

### 2.4.2 Degradação da mobilidade

A mobilidade dos portadores na camada de inversão exerce grande influência sobre parâmetros importante do transistor, como a velocidade e a capacidade de corrente. Tanto cargas aprisionadas no óxido como na interface provocam redução da mobilidade. Isto ocorre devido ao espalhamento de Coulomb, que é o espalhamento de partículas devido à interação com um campo eletrostático. Cargas aprisionadas na interface exercem maior influência na mobilidade do que cargas aprisionadas no óxido, devido à proximidade com a camada de inversão. Apesar disso, o efeito das cargas aprisionadas no óxido não pode ser desconsiderado (ZUPAC *et al.*, 1993).

Desta forma, um modelo a dois parâmetros ( $\alpha_{IT}$  e  $\alpha_{OT}$ , para os efeitos de cargas na interface e no óxido, respectivamente) para a degradação da mobilidade em transistores MOS é apresentado na equação

$$\mu = \frac{\mu_0}{1 + \alpha_{IT}N_{IT} + \alpha_{OT}N_{OT}} \quad (2)$$

onde  $N_{IT}$  e  $N_{OT}$  são as densidades superficiais de carga aprisionadas na interface e no óxido, respectivamente;  $\mu$  é a mobilidade após a irradiação; e  $\mu_0$  é a mobilidade inicial, ou pré-irradiação. É importante ressaltar que, como as cargas aprisionadas na interface apresentam maior influência, do ponto de vista da mobilidade, do que aquelas aprisionadas no óxido, pode-se prever  $\alpha_{IT} > \alpha_{OT}$ .

### 2.4.3 Fuga de corrente

Os efeitos de dose total são responsáveis, também, pela mudança das características da curva de corrente de dreno x tensão de porta na região de sub-limiar (*subthreshold*), ou seja, na região na qual a tensão de porta é inferior à tensão de limiar. O acúmulo de cargas provoca o decréscimo na declividade da curva (traçada em escala log), incrementando a corrente de dreno nesta região, como pode ser visualizado na figura 3. Em transistores cujos valores de tensão de alimentação e tensão de limiar são muito baixos, esta corrente pode ser significativa, mesmo com o dispositivo desligado (SCHRIMPF, 2007). Esse incremento na corrente provoca, também, um aumento no consumo do dispositivo.

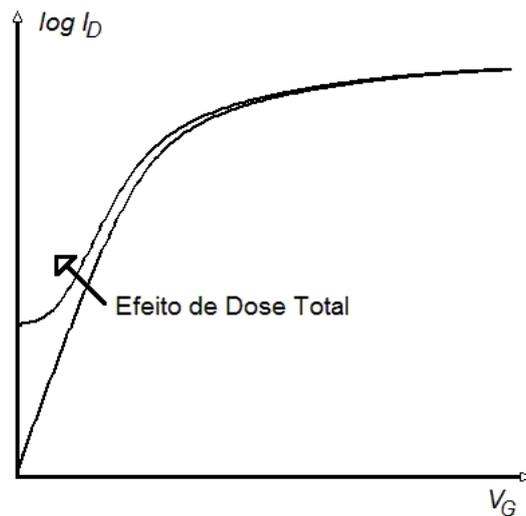


Figura 3: Incremento da corrente de dreno na região de sub-limiar pelo efeito de dose total ionizante. Curva obtida através da simulação spice do modelo elétrico de transistor NMOS submetido à dose total ionizante.

O acúmulo de cargas nos óxidos também pode resultar na fuga de corrente entre dois dispositivos distintos. Isto pode ocorrer caso se estabeleça um canal tipo-n entre transistores NMOS adjacentes ou entre dreno/fonte de um transistor NMOS e o poço tipo-n de um transistor PMOS. Componentes expostos à radiação ionizante apresentam um incremento significativo na corrente entre transistores distintos (BARNABY et al., 2009). Contudo, para tecnologias 130 nm ou de dimensões superiores, esta corrente não compromete o funcionamento do circuito, uma vez que a fuga de corrente em um mesmo dispositivo é significativamente superior (BARNABY, 2006).

### 3 PSRAM - MEMÓRIA PSEUDO-ESTÁTICA DE ACESSO ALEATÓRIO

Memórias pseudo-estáticas de acesso aleatório (*pseudo-static random access memory*, ou PSRAM) são assim chamadas pois combinam características de memórias dinâmicas de acesso aleatório (*dynamic random access memory*, ou DRAM) e de memórias estáticas de acesso aleatório (*static random access memory*, ou SRAM). São formadas por uma matriz de células DRAM, que corresponde a sua capacidade de armazenamento. Por isso, esta memória também necessita de restauração periódica (*refresh*) dos valores armazenados. Entretanto, diferentemente de memórias DRAM, que necessitam de estados de espera durante a restauração, as memórias PSRAM realizam isto internamente, sem a necessidade de controle externo destas operações. Isto resulta em uma interface simplificada, assemelhando-se à interface de memórias SRAM. Por este motivo, estas memórias também são conhecidas como 1T-SRAM, ou seja, SRAM de um transistor (GLASKOWSKY, 1999).

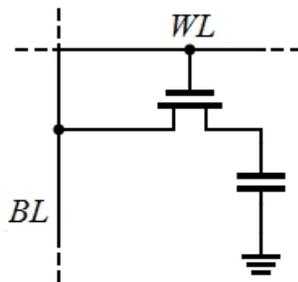


Figura 4: Célula de memória DRAM.

Além da matriz de células básicas de memória, são necessários para o funcionamento da memória circuitos periféricos, como amplificadores sensores, decodificador de endereços, controle interno de *refresh*, entre outros. Um diagrama de blocos de uma memória PSRAM proposto por (TSUJIMOTO, 1991) pode ser visualizado na figura 5.

Este tipo de memória é particularmente interessante, pois combina características de memórias DRAM, como a elevada densidade dos elementos de armazenamento, e de

memórias SRAM, como o baixo consumo e a interface simplificada. Estas memórias são ligeiramente mais lentas que memórias SRAM, devido aos ciclos de restauração; entretanto, dado o tamanho reduzido da célula de memória, este tipo de memória pode ser produzido a um baixo custo (HARASZTI, 2000).

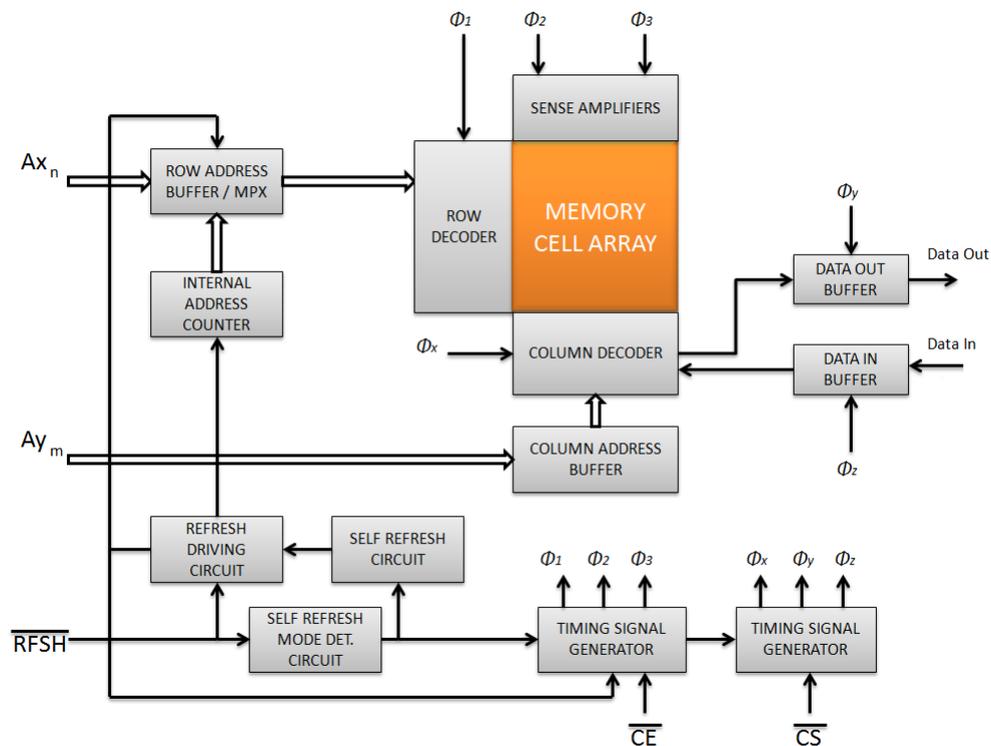


Figura 5: Diagrama de blocos de uma memória PSRAM. Adaptado de (TSUJIMOTO, 1991).

### 3.1 Célula de memória DRAM

A célula de memória DRAM — mostrada na figura 4 — consiste de um transistor, habitualmente chamado de transistor de acesso, e um capacitor, que compreende o elemento de armazenamento da célula. Assim, a célula de memória DRAM armazena seu bit de informação através da carga presente no capacitor e, conseqüentemente, pela tensão entre seus terminais. Quando o capacitor está carregado, esta tensão é de  $(V_{dd}-V_t)$  e a célula está armazenando um valor lógico 1. Quando o capacitor está descarregado não há diferença de potencial entre os terminais do capacitor, portanto a célula está armazenando um valor lógico 0. Assim, devido aos efeitos de fuga que provocam redução na carga

presente no capacitor, é necessário restaurar periodicamente a informação da célula. Por isso, diz-se que esta célula de memória é uma célula dinâmica.

Comparativamente à célula SRAM, a célula DRAM é mais densa, pois necessita apenas um transistor em oposição às topologias típicas de 4 e 6 transistores das células SRAM. Em contrapartida, a célula SRAM é estática, o que significa que os dados armazenados não precisam ser restaurados pois não há efeito de fuga. Além disso, ambas células são voláteis, ou seja, perdem a informação caso sejam desenergizadas.

Para realizar o procedimento de leitura em células DRAM realiza-se uma pré-carga da linha de bit até  $V_{dd}/2$  e aciona-se o transistor de acesso, conectando o capacitor da célula ao capacitor pré-carregado da linha de bit. Quando isso ocorre, os dois capacitores são conectados em paralelo e ocorre um rearranjo nas cargas armazenadas para satisfazer as leis de Kirchhoff e de conservação de cargas. Isto provoca uma variação na tensão da linha de bit. Como a capacitância da linha de bit é superior a da célula, a variação da tensão na linha é pequena, mas o suficiente para estimar a informação armazenada. Esta variação é dada por

$$\Delta V_{BL} = \frac{C_C}{C_{BL} + C_C} \left( V_C - \frac{V_{DD}}{2} \right) \quad (3)$$

onde  $C_C$  é a capacitância da célula DRAM;  $C_{BL}$  é a capacitância da linha de bit;  $V_C$  é a tensão entre os terminais do capacitor; e  $V_{DD}$  é a tensão nominal da célula. Através desta expressão, pode-se verificar que, quando  $V_C$  tende a  $(V_{dd}-V_t)$ , ou seja, a célula armazena um valor lógico 1, a variação da tensão na linha de bit é positiva, pois  $(V_{dd}-V_t) > V_{dd}/2$ . Quando a célula armazena um valor lógico 0, ou seja, não há carga no capacitor, a variação da tensão na linha de bit é negativa, por  $V_{dd}/2 > V_C$ . Devido ao rearranjo de cargas entre os capacitores do sistema, há perda de informação após a leitura da célula; portanto, o processo de leitura em células DRAM é dito destrutivo. O processo de escrita em células DRAM é bastante simples; a linha de bit é carregada ou descarregada de acordo com o valor que se deseja escrever na célula. O transistor de acesso é ligado, permitindo ao capacitor da célula carregar ou descarregar de acordo com o valor da tensão na linha de bit.

O processo de fabricação de memórias 1T-SRAM pode, contudo, ser diferente de

memórias DRAM típicas. Isto é desejável para a integração de blocos deste tipo de memória nos chamados SoC (*System on a Chip*). Nestes casos, verifica-se, por exemplo, a substituição dos capacitores verticais (*trench capacitors*) por capacitores planos (*planar capacitors*), permitindo a fabricação deste tipo de memória utilizando processo lógico padrão (*standard logic processes*). Outras modificações incluem a utilização de linhas de bit de metal ao invés das linhas de polissilício, utilizadas em memórias DRAM; redução das dimensões das linhas de bit e de palavra, elevando-se o número de bancos de células de armazenamento; utilização de um transistor de acesso tipo-P (PMOS)(LEUNG *et al.*, 2000).

### 3.2 Amplificador Sensor

O amplificador sensor é o circuito responsável pela medição do valor da tensão da linha de bit durante o processo de leitura, determinando o valor lógico armazenado na célula. Além disso, dado o carácter destrutivo do procedimento de leitura em células de memória DRAM, o amplificador sensor é responsável por recarregar ou descarregar a linha de bit imediatamente após a leitura, para realizar a regravação do dado perdido. Este circuito é um dos componentes mais críticos da memória, sendo essencial para o funcionamento de memórias DRAM (SEDRA & SMITH, 2007). Diversas topologias de amplificadores existem, priorizando velocidade ou consumo de acordo com a necessidade.

Sua função é amplificar os sinais analógicos que surgem nas linhas de bit para que possam ser corretamente interpretados pelos circuitos digitais. Por isso, é necessário que o sinal de saída do amplificador esteja dentro das margens de operação do circuito digital. Portanto, o próprio amplificador sensor possui a sua margem de operação, ou seja, níveis de tensão onde o resultado da amplificação produz um 0 lógico, níveis onde produz um 1 lógico e níveis onde o circuito não operará corretamente. Isto pode ser mais facilmente visualizado na figura 6.

Os parâmetros  $S_{0_{\min}}$  e  $S_{0_{\max}}$ , apresentados na figura 6, representam as amplitudes mínima e máxima, respectivamente, que o sinal amostrado na linha de bit deve apresentar para que o amplificador sensor possa detectar corretamente um valor lógico 0 armazenado

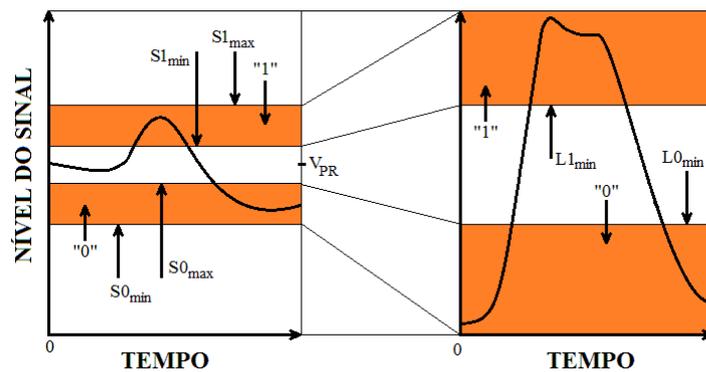


Figura 6: Margens de operação da entrada dos amplificadores sensores e dos circuitos lógicos periféricos. Adaptado de (HARASZTI, 2000).

na célula. O mesmo é válido para os parâmetros  $S1_{\min}$  e  $S1_{\max}$  para a leitura de um valor lógico 1. Os parâmetros  $L0_{\min}$  e  $L0_{\max}$  representam as amplitudes mínima e máxima, respectivamente, para o funcionamento dos circuitos lógicos periféricos quando um valor lógico 0 é detectado pelo amplificador. O mesmo é válido para os parâmetros  $L1_{\min}$  e  $L1_{\max}$ .

Através destas margens, pode-se definir parâmetros importantes do circuito, como a tensão de pré-carga que é dada por

$$V_{PR} = \frac{S1_{\min} - S0_{\max}}{2} \quad (4)$$

e o ganho mínimo do amplificador sensor, que é determinado através da equação

$$K_{\min} = \frac{L1_{\min} - |L0_{\max}|}{S1_{\min} - |S0_{\max}|}. \quad (5)$$

Estas margens de operação — combinadas com requerimentos de velocidade, consumo e confiabilidade — são fundamentais para o projeto do amplificador sensor. Contudo, diversos aspectos influem na margem de operação do circuito. Exemplos incluem a tensão de alimentação do circuito, a tensão de limiar dos transistores, fugas de corrente, acoplamento de carga e variações na tensão de pré-carga (HARASZTI, 2000). Isto quer dizer que a margem de operação dos amplificadores é sensível aos efeitos de dose total ionizante e sua redução devido a estes efeitos pode resultar em falhas.

### 3.3 Organização da Memória

Existem diversas técnicas para otimizar o funcionamento de memórias, que se refletem na organização do chip. Uma técnica bastante utilizada consiste na divisão da matriz de elementos de armazenamento em um grande número de blocos menores. Esta prática, apesar de exigir um maior número de circuitos periféricos — como amplificadores sensores — reduz a dimensão das linhas de bit e de palavra, reduzindo a capacitância destas linhas. Um arranjo comum para memórias DRAM é mostrado na figura 11. Neste arranjo, uma memória de 16 Mbit é formada por 64 blocos de 256 kbit cada. Esta divisão permite que sejam realizadas operações simultâneas, como leitura e restauração, em blocos distintos da memória.

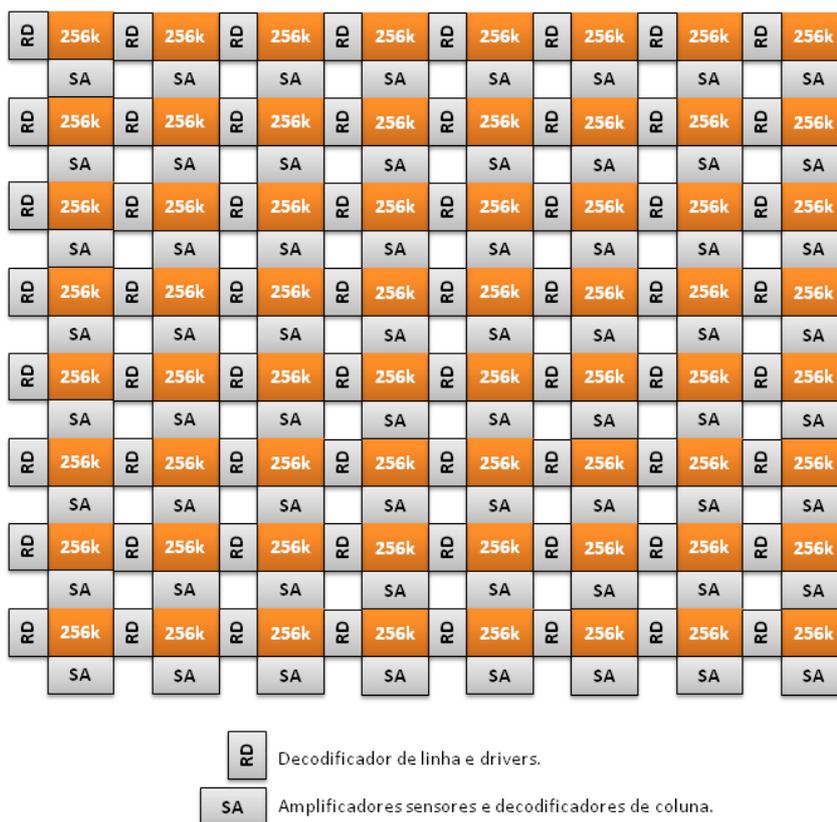


Figura 7: Matriz de armazenamento de uma memória de 16 Mbit. Adaptado de (BAKER, 2010).

A arquitetura da matriz das células de armazenamento pode ser do tipo *Open-Array Architecture* (arquitetura aberta) ou *Folded-Array Architecture* (arquitetura fechada). A arquitetura aberta, figura 8, é mais densa, pois existe uma célula de memória em cada

cruzamento entre linha de bit e linha de palavra. A principal desvantagem deste tipo de arquitetura é a grande distância física entre as linhas de bit de um mesmo amplificador sensor. Devido a esta distância, as linhas de bit estarão sujeitas a diferentes ruídos, podendo resultar na interpretação incorreta dos sinais de tensão pelo amplificador sensor. A arquitetura fechada, figura 9, realiza aproximação das linhas de bit, submetendo-as à mesma fonte de ruído; contudo, reduz a densidade do circuito (BAKER, 2010).

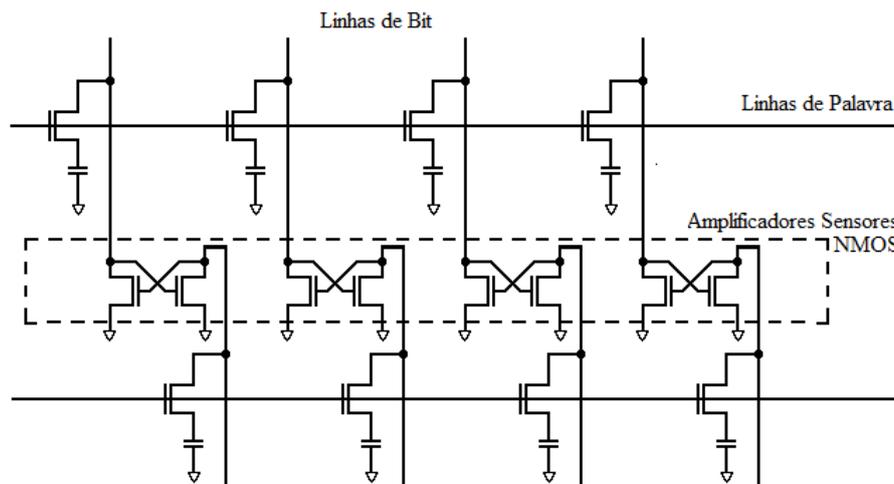


Figura 8: Exemplo de arquitetura aberta com um amplificador sensor NMOS. Adaptado de (BAKER, 2010).

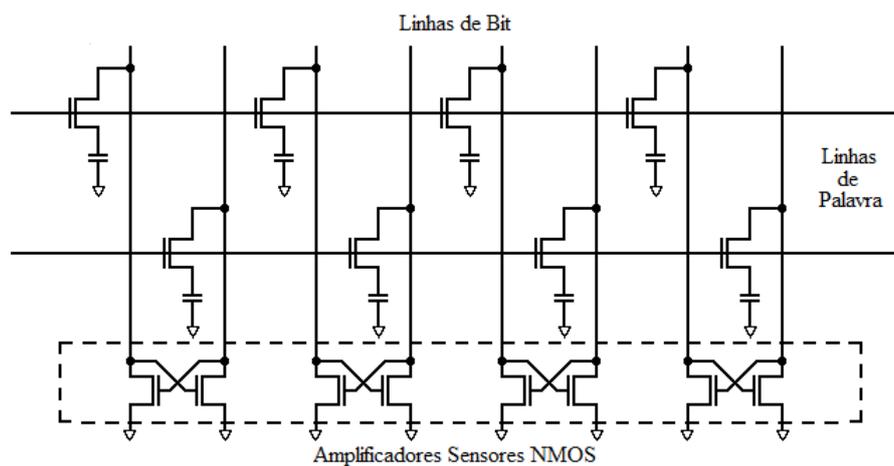


Figura 9: Exemplo de arquitetura fechada com um amplificador sensor NMOS. Adaptado de (BAKER, 2010).

## 4 EXPERIMENTO

### 4.1 Descrição do Experimento

Para a verificação dos efeitos de dose total ionizante em uma memória PSRAM, foi realizado um ensaio de retenção. A memória escolhida foi um PSRAM de 4Mb (PN: IS66WV25616BLL), tecnologia CMOS 0.14 $\mu$ m (ISSI, 2010), dividida em 256k palavras de 16 bits cada. Para a realização de um teste de retenção com orientação a bit, foi gravado em cada palavra da memória o valor hexadecimal AAAA (1010 1010 1010 1010, em binário), resultando em uma quantidade igual de valores lógicos 0 e 1 (PEREIRA JUNIOR *et al.*, 2011). Durante a irradiação, realizou-se operações de leitura na memória, armazenando os dados obtidos e comparando-os aos dados inicialmente gravados. Por tratar-se de um teste de retenção, não houve procedimento de reescrita durante a realização do experimento.

Esta memória foi irradiada no Laboratório de Radiação Ionizante (LRI) do IEAv, utilizando-se raios gama de uma fonte  $^{60}\text{Co}$ , a uma dose de 2.5 krad/h(Si). Durante a irradiação, foram realizadas leituras periódicas da memória através de uma plataforma de testes, armazenando-se as primeiras 4096 palavras que apresentaram inversão do valor de, pelo menos, um de seus bits (PEREIRA JUNIOR *et al.*, 2011).



Figura 10: Irradiador de raios gama de  $^{60}\text{Co}$  do Laboratório de Radiação Ionizante do IEAv.

O experimento durou aproximadamente 86h, resultando em uma dose total ionizante de, aproximadamente, 215 krad. Para cada leitura realizada na memória, foi criado um log indicando o momento da leitura, os endereços da memória que apresentaram erro e os valores lidos nestes respectivos endereços.

## 4.2 Resultados Experimentais

Devido às limitações da plataforma de testes utilizada, o log de falhas apenas apresenta as primeiras 4.096 palavras da memória que apresentaram erro. Isto significa que o número máximo de falhas detectáveis pela memória é 65.536, ou seja, 64 kbits com falhas. Isto corresponde a, apenas, 1,5625% dos bits da memória testada.

Durante a irradiação, o número de palavras que apresentaram erros de leitura foi inferior a 4,096 até uma dose total de aproximadamente 76 krad. A partir desta dose, o número de palavras que apresentaram falhas foi excedido e apenas as primeiras 4,096 palavras foram armazenadas. A principal consequência desta limitação é que, para doses superiores a 76 krad, não há informação sobre o número exato de erros de leitura, pois apenas uma parcela da memória é analisada. Baseado no número de erros de leitura armazenados no log e na parcela analisada da memória, estimou-se o número o número total de erros para diferentes doses. Pode-se verificar pela figura 11 que, para doses superiores a 200 krad, a taxa estimada de inversão de bit (*bit flip*) é de cerca de 50%.

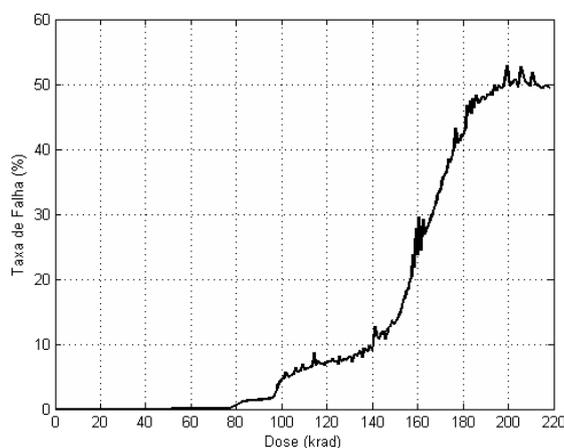


Figura 11: Taxa estimada de *bit flips* (em valor percentual) em função da dose total.

Por tratar-se de um teste de retenção, contudo, é possível apenas identificar os bits que inverteram de valor (*bit flips*). Outras falhas, como de travamento (*Stuck-at faults*), por exemplo, não podem ser detectadas por este tipo de teste e, portanto, não foram contabilizadas. Para detecção deste tipo de falha, bem como falhas de transição e de acoplamento, a metodologia de teste MARCH, que consiste de uma sequência definida de operações de escrita e leitura, é indicada (BUSHNELL & AGRAWAL, 2000).

Observou-se que, apesar da taxa de ocorrência de inversões de subida ( $0 \rightarrow 1$ ) como de descida ( $1 \rightarrow 0$ ) ser semelhante, em uma mesma palavra verifica-se a dominância de um tipo de inversão. Assim, para doses elevadas (superiores a 160 krad) observa-se que as palavras tendem aos valores 0000 e FFFF em hexadecimal (ou seja, 0000 0000 0000 0000 e 1111 1111 1111 1111 em binário).

Além disso, foi possível observar que a distribuição de palavras que tendem ao valores 0000 ou FFFF não é aleatória. Verificou-se que os 64 primeiros endereços (0x0000 a 0x003F) tenderam ao valor 0000; os 128 endereços seguintes (0x0040 a 0x00BF) tenderam ao valor FFFF; os 128 seguintes (0x00C0 a 0x0140) tenderam ao valor 0000; assim consecutivamente para os 4096 endereços cujo log foi armazenado durante o teste de irradiação. Este comportamento pode ser visualizado na figura 12.

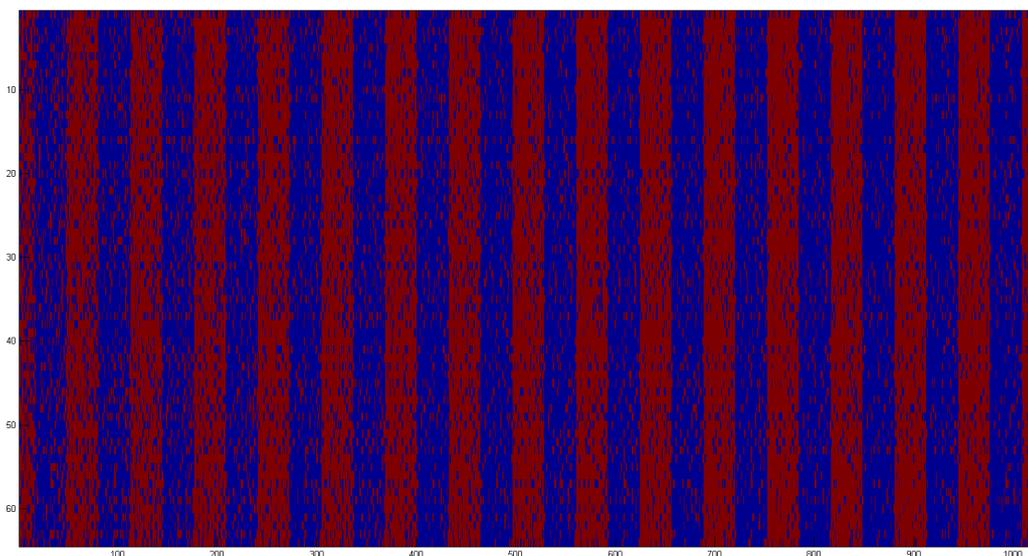


Figura 12: Mapa dos bits da Memória para 198.1 krad. A cor vermelha representa bits com valor lógico 1 armazenado; a cor azul representa bits com valor lógico 0 armazenado.

Observou-se, também, que os bits das palavras da memória também apresentaram taxa de *bit flip* em função da dose diferentes entre si. É possível observar, na figura 13, que determinados bits (a saber: A15, A14, A11, A10, A7, A6, A3, A2) apresentam comportamento similar entre si, mas distinto dos bits restantes (a saber: A13, A12, A9, A8, A5, A4, A1, A0).

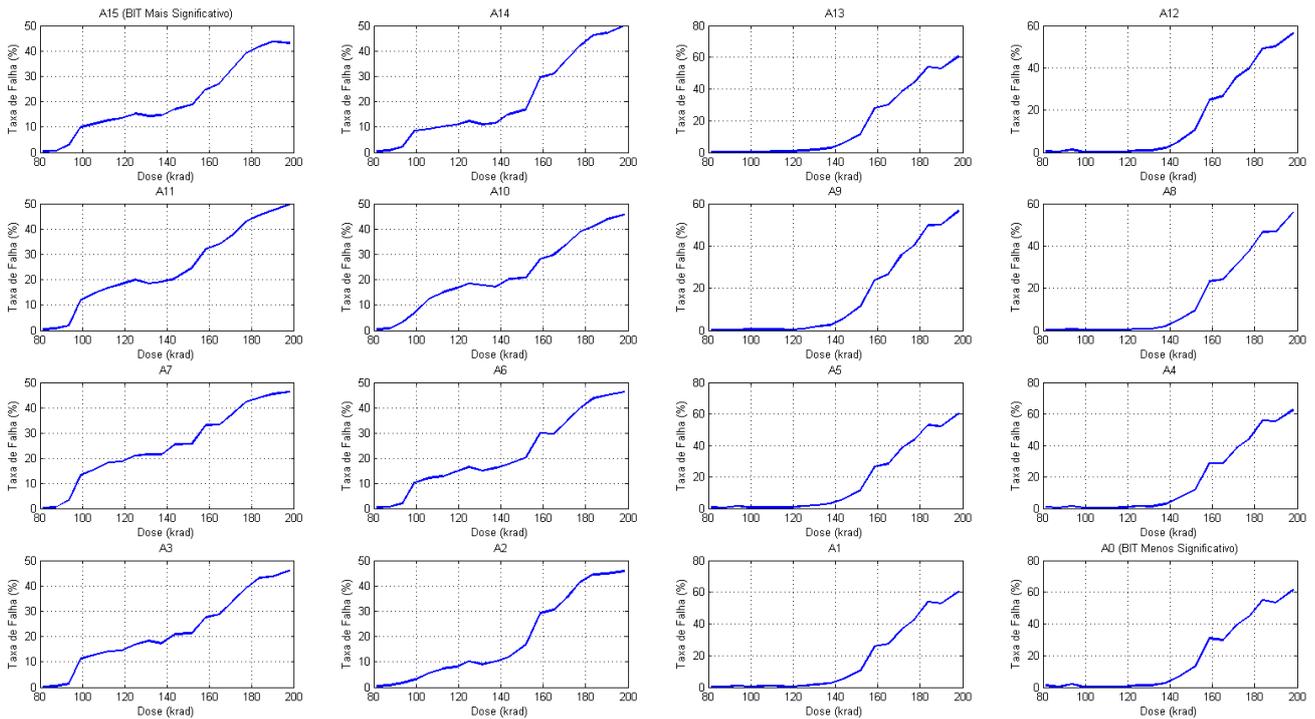


Figura 13: Curvas de taxa de falha em função da dose total para diferentes posições de bit nas palavras.

## 5 SIMULAÇÕES

Devido ao desconhecimento da topologia e do leiaute utilizados pelo fabricante da memória PSRAM experimentada, optou-se por realizar simulações de circuitos típicos utilizados em memórias, como a célula de memória DRAM e o amplificador sensor com realimentação positiva, verificando a sua sensibilidade à dose total ionizante. O efeito de dose total foi modelado através da variação de parâmetros elétricos dos transistores (tensão de limiar e fuga de corrente entre dreno e fonte). Através desta análise, objetivou-se identificar circuitos cuja sensibilidade à radiação ionizante pudesse resultar em uma falha na memória.

Os circuitos foram simulados utilizando-se a análise transitória da ferramenta HS-PICE. Os modelos de transistores, tecnologia CMOS  $0.13\mu\text{m}$ , foram obtidos através do site *ptm.asu.edu*. Foram utilizados valores de referência, obtidos em (PANIZ, 2010), para modelar os efeitos de dose total nos parâmetros elétricos dos transistores. Estes valores são apresentados nas tabelas 1 e 2. É importante ressaltar, contudo, que estes valores podem apresentar variações entre diferentes *foundries*.

Tabela 1: Parâmetros para transistor NMOS, tecnologia  $0.13\mu\text{m}$ . Adaptado de (PANIZ, 2010).

Parâmetros para transistor NMOS - tecnologia $0.13\mu\text{m}$			
Dose (krad)	$\Delta V_T$ (mV)	$1\sigma$ (mV)	Corrente de Sub-limiar
0	0	0	0,7pA
10	0,5	0,30	0,7pA
30	0,7	0,57	0,7pA
50	0,9	0,69	0,7pA
70	1,0	0,84	20pA
100	0,8	0,96	4nA
300	0,9	0,66	3nA

Tabela 2: Parâmetros para transistor PMOS, tecnologia  $0.13\mu\text{m}$ . Adaptado de (PANIZ, 2010).

Parâmetros para transistor PMOS - tecnologia $0.13\mu\text{m}$			
Dose (krad)	$\Delta V_T$ (mV)	$1\sigma$ (mV)	Corrente de Sub-limiar
0	0	0	23,3pA
10	-0,8	0,91	23,3pA
30	-2,0	1,12	23,3pA
50	-3,1	0,90	23,3pA
70	-4,4	0,44	38,8pA
100	-4,5	1,57	42,7pA
300	-10,4	16,50	54,3pA

## 5.1 Célula de Memória DRAM

Realizou-se a simulação transiente de uma célula de memória DRAM de um transistor (apresentada na seção 3.1), visando analisar a influência da dose total ionizante no tempo de descarga da célula, devido à fuga de corrente. Duas simulações foram realizadas: a primeira, sem variações paramétricas, simulando o funcionamento correto da célula de memória DRAM; a segunda, aplicando-se um desvio na tensão de limiar do transistor de acesso e incrementando-se sua fuga de corrente entre dreno e fonte (através da adição de uma fonte de corrente fixa). A tensão aplicada na porta do transistor, bem como aquela aplicada à linha de bit, foi de 2.5V.

## 5.2 Amplificador Sensor de Tensão com Realimentação Positiva

O amplificador sensor com realimentação positiva é um *latch*, formado pelo acoplamento cruzado de dois inversores CMOS. Outros dois transistores são utilizados como chaves para acessar o amplificador sensor durante o procedimento de leitura e de restauração. Isto é fundamental para a economia de energia, uma vez que existe um grande número de amplificadores sensores em um chip de memória (SEDRA & SMITH, 2007; BAKER, 2010).

Por tratar-se de um *latch*, este amplificador sensor apresenta memória. Portanto, é necessário, entre o término de uma operação e o início de outra, eliminar o valor arma-

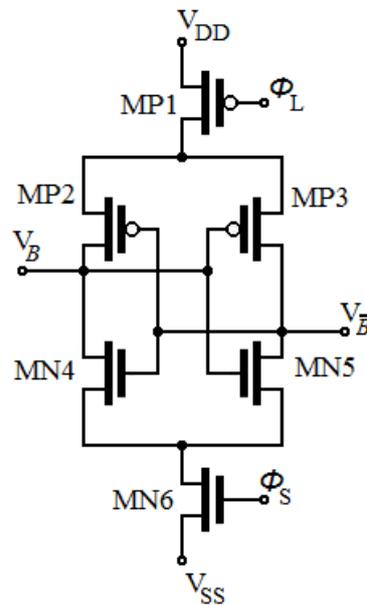


Figura 14: Amplificador Sensor com Realimentação Positiva. Adaptado de (HARASZTI, 2000).

zenado no amplificador. Isto é feito, aplicando-se uma tensão conhecida — tipicamente tensão de alimentação ( $V_{DD}$ ) ou tensão de terra — a todos os nós do circuito (BAKER, 2010). Além de memória, este circuito apresenta outras características indesejáveis, como *kickback noise* e *clock feedthrough noise* (?), que não serão apresentadas neste trabalho.

Para a implementação deste tipo de amplificador, é necessário que o sinal de saída do elemento de memória seja diferencial. Como células DRAM apresentam uma única linha de bit, isto não ocorre. Uma técnica comum consiste em utilizar uma célula fictícia (*dummy cell*), previamente carregada em uma tensão conhecida, idêntica àquela aplicada à linha de bit.

Foram realizadas duas simulações do circuito proposto. Para a primeira simulação, aplicou-se desvios conhecidos à tensão de limiar dos transistor NMOS e PMOS do circuito, com a finalidade de provocar uma inversão do valor lido. A segunda foi uma simulação Monte Carlo (discutida na subseção 5.2.1) com 50,000 análises, utilizando-se os parâmetros apresentados nas tabelas 1 e 2.

No amplificador sensor apresentado na figura 14, os sinais de tensão  $V_B$  e  $V_{\bar{B}}$  representam os níveis de tensão na linha de bit e na linha de bit negada, respectivamente. Os

sinais  $\phi_L$  e  $\phi_S$  representam os sinais de seleção do amplificador, que permitem desligar os transistor MP1 e MN6, reduzindo o consumo do amplificador quando não está em operação.

O circuito simulado foi alimentado com tensão de 2.5V; utilizou-se tensão de pré-carga de 1.25V, ou seja,  $V_{DD}/2$ .

### 5.2.1 Método Monte Carlo

A simulação Monte Carlo é um algoritmo computacional que investiga as propriedades estatísticas de um grande número de configurações instantâneas submetidas às mesmas condições macroscópicas (POZRIKIDIS, 1998).

O algoritmo pode ser dividido em duas etapas principais. A primeira consiste na geração de valores aleatórios para os parâmetros de entrada a partir de uma distribuição

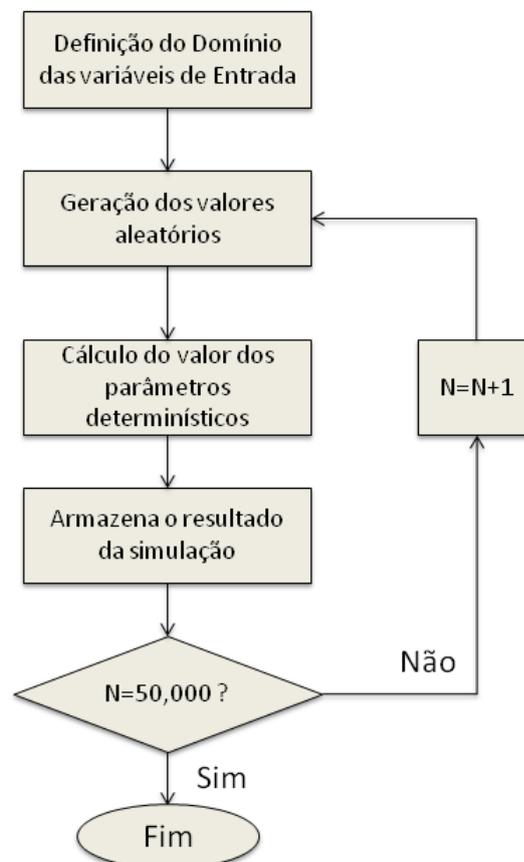


Figura 15: Fluxograma do algoritmo Monte Carlo utilizado.

probabilística; a segunda consiste no cálculo algébrico do valor dos parâmetros determinísticos do problema (METROPOLIS & ULAM, 1949).

O fluxograma apresentado na figura 14 representa o algoritmo Monte Carlo utilizado para as simulações do amplificador sensor.

Inicialmente foi necessário definir o domínio das variáveis de entrada. Como cada transistor do circuito foi considerado independente, foram definidas como variáveis de entrada os desvios na tensão de limiar de cada transistor, ou seja, seis variáveis no total. A cada uma destas variáveis foi atribuída uma distribuição normal cujos parâmetros foram apresentados nas tabelas 1 e 2 deste trabalho. A função *agauss* da ferramenta HSPICE foi utilizada para gerar os valores aleatórios para cada uma das variáveis em cada uma das 50,000 simulações, respeitando a distribuição normal previamente definida.

Foram realizadas 50,000 simulações transientes, computando-se o tempo necessário para que a tensão na linha de bit atingisse 80% do seu valor final (parâmetro determinístico). Os resultados foram armazenados em um documento de texto e analisados utilizando-se a ferramenta MATLAB.

### 5.3 Resultado das Simulações

Os resultados das simulações foram gerados pela ferramenta HSPICE, no formato de documento de texto. Para realizar a análise destes dados utilizando a ferramenta MATLAB, foi necessário ajustar estes documentos para um formato que pudesse ser interpretado por este programa. Isto foi feito utilizando-se *scripts* em linguagem *python*.

#### 5.3.1 Célula de Memória DRAM

Verificou-se que, para uma célula não irradiada, no intervalo de  $1\mu s$ , a descarga do capacitor resultou em uma queda de potencial percentual em relação ao valor inicial de tensão ( $V_{DD} - V_T$ ) de 8.5%. Para a célula irradiada, no mesmo intervalo, a queda percentual foi de 14.9%. É possível observar que o incremento da fuga de corrente provocado pela dose total acentua o processo de descarga do capacitor.

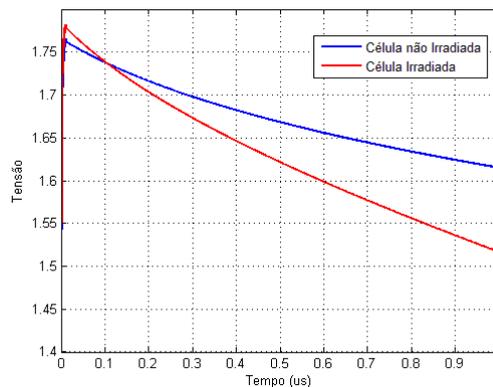


Figura 16: Descarga de uma célula DRAM em função do tempo e da dose total utilizando modelo proposto.

Esta descarga do capacitor provoca uma redução no sinal de tensão na linha de bit ( $\Delta V_{BL}$ ), como observado na equação (3). Caso este sinal seja inferior à margem de operação do amplificador sensor, uma leitura incorreta poderá ser realizada.

#### 5.3.2 Amplificador Sensor de Tensão Diferencial com Realimentação Positiva

As simulações do amplificador sensor demonstram que o descasamento dos transistores do circuito pode provocar uma leitura incorreta. Nestes casos, verifica-se uma redução na margem de operação do amplificador sensor, ou seja, é necessário aplicar-se uma ten-

são diferencial maior nos terminais do amplificador para que uma leitura correta seja efetuada. Verificou-se que são necessários descasamentos entre as tensões de limiar de transistores de mesmo tipo de canal da ordem de poucas dezenas de milivolts (10mV a 20mV) para que ocorra um erro de leitura.

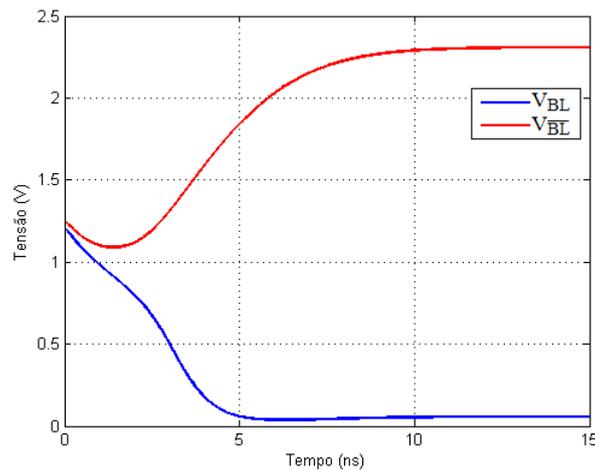


Figura 17: Simulação da leitura de um valor lógico 0 através de um amplificador sensor com realimentação positiva.

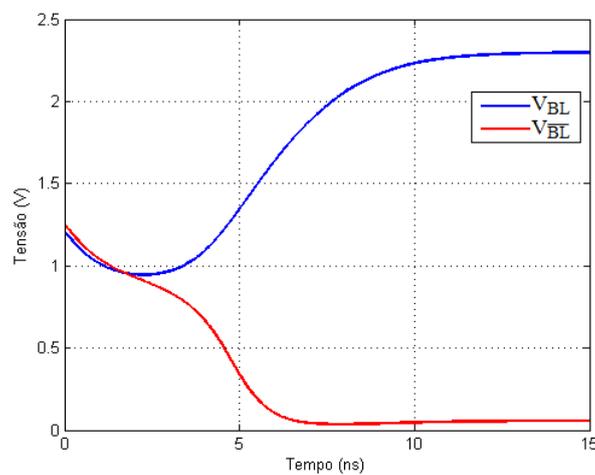


Figura 18: Simulação da leitura de um valor lógico 0 na linha de bit através de um amplificador sensor com realimentação positiva aplicando-se desvios na tensão de limiar dos transistores do circuito, resultando em uma medição incorreta do valor armazenado.

O descasamento dos transistores pode resultar, também, em uma operação mais lenta ou mais rápida do amplificador sensor. Nestes casos, uma operação (leitura de um valor 0 ou 1) será rápida e a operação complementar será lenta, de acordo com a distribuição dos desvios da tensão de limiar no amplificador sensor.

Para o amplificador sensor simulado, verificou-se que os tempos para que a linha de bit e linha de bit negada atingissem 80% do valor de final tensão durante a leitura de um zero lógico foram 4.521 ns e 4.488 ns. Através das simulações Monte Carlo, verificou-se que, para os desvios de tensão de limiar utilizados, a leitura de um 0 lógico na linha de bit ficou, na média, mais rápida (tempo médio de 4.464 ns e desvio padrão de 0.130 ns); por outro lado, a leitura de um zero na linha de bit negada ficou, na média, mais lenta (tempo médio de 4.541 ns e desvio padrão de 0.141 ns).

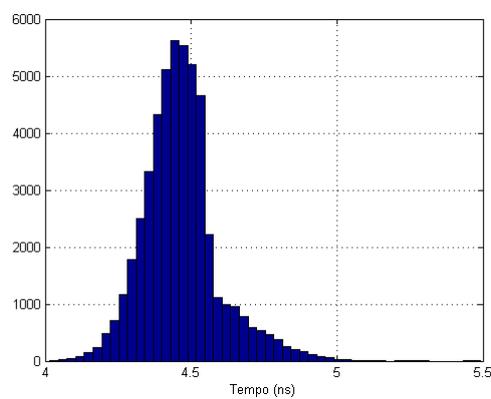


Figura 19: Resultado da simulação Monte Carlo para o amplificador sensor, realizando a leitura de um 0 lógico na Linha de Bit.

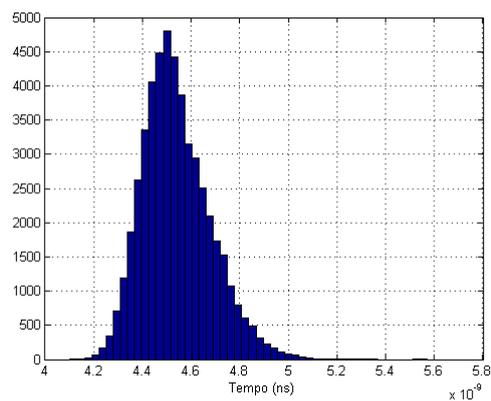


Figura 20: Resultado da simulação Monte Carlo para o amplificador sensor, realizando a leitura de um 0 lógico na Linha de Bit Negada.

## 6 DISCUSSÃO

O teste de irradiação não identificou falhas para doses inferiores a 50 krad. Contudo, devido ao mascaramento de falhas decorrente da utilização de testes de retenção, não é possível afirmar que as características funcionais da memória permaneceram inalteradas para estas doses. Além disso, considerando a tendência das palavras aos valores hexadecimais 0000 e FFFF, é provável que, para doses superiores a 200 krad — apesar da taxa de *bit flips* da memória ser de, aproximadamente, 50% — a taxa de bits que apresentem algum tipo de falha funcional (como falhas de travamento) seja aproximadamente 100%.

Devido a este mascaramento de determinadas falhas funcionais, intrínseco a utilização de testes de retenção, sugere-se, para experimentos futuros, a utilização de um teste capaz de detectar um número maior de falhas. Por este motivo, recomenda-se, para experimentos futuros, a utilização de testes MARCH para detecção de falhas. Estes testes caracterizam-se por utilizar o modelo funcional da memória (ou *gray-box model*) que não exige o conhecimento de determinadas características da memória, como leiaute, por exemplo (BUSHNELL & AGRAWAL, 2000).

Outra característica importante destes testes é que o número de operações executadas durante a realização de um teste ( $O$ ) é diretamente proporcional ao tamanho da memória ( $n$ ). Por isso, diz-se que estes testes são proporcionais a  $O(n)$ . Estes testes apresentam tempo de execução inferior àqueles proporcionais a  $O(n \cdot \log_2(n))$  e  $O(n^2)$ . A importância do fator temporal pode ser verificada na tabela 5, adaptada de (BUSHNELL & AGRAWAL, 2000).

Apesar do esforço para relacionar arquiteturas e circuitos típicos de memória (seções 3.3 e 5.3) com os padrões de falha observados experimentalmente (seção 4.2), não foi possível identificar a origem destes padrões. As simulações indicam que o amplificador sensor e a célula de memória DRAM são sensíveis a dose total; contudo, considerando-se unicamente o comportamento destes circuitos em função da dose total, não é possível explicar a tendência aos valores hexadecimais 0000 e FFFF, de forma periódica, das pa-

Tabela 3: Tempo para execução de um teste em função do tamanho da memória,  $n$ , considerando ciclo de memória de 60 ns. Adaptado de (BUSHNELL & AGRAWAL, 2000)

$n$	Número de operações do algoritmo de teste		
	$n$	$n \cdot \log_2 n$	$n^2$
1 Mb	0.063 s	1.26 s	18.33 h
4 Mb	0.252 s	5.54 s	293.2 h
16 Mb	1.01 s	24.16 s	4691.3 h
64 Mb	4.03 s	104.7 s	75060 h
256 Mb	16.11 s	451 s	1200959.9 h
1 Gb	64.43 s	1932.8 s	19215358.4 h

lavras da memória (Figura 12); nem mesmo a semelhança entre a curva de taxa de falha em função da dose total para bits de diferentes palavras (Figura 13).

Isso sinaliza a existência de falhas em outros blocos da memória que não foram considerados. Por tratar-se de um componente comercial, contudo, não há descrição dos circuitos que compõe a memória PSRAM analisada. Portanto, novamente, sugere-se a realização de um teste MARCH, uma vez que estes testes consideram apenas o modelo funcional da memória, tornando desnecessário o conhecimento da memória a nível elétrico ou físico.

Apesar disso, sugere-se, para trabalhos futuros, a realização de testes com uma memória cujo leiaute seja conhecido. Isso permite que se identifique práticas e circuitos que apresentam maior tolerância a radiação. Além disso, o conhecimento da topologia, leiaute e variação dos parâmetros dos transistores do circuito permite uma melhor comparação entre os resultados experimentais e o circuito simulado através da ferramenta *SPICE*.

Sugere-se, também, para testes futuros, a irradiação de uma memória SRAM e não uma PSRAM. Para aplicações aeroespaciais, nas quais o custo não é o principal parâmetro de escolha de um componente, as memórias SRAM apresentam vantagens como menor consumo de corrente e ausência de lógica de *refresh*. Além disso, Os resultados apresentados neste trabalho podem servir como parâmetro para análises comparativas entre a memória PSRAM e uma memória SRAM.

## 7 CONSIDERAÇÕES FINAIS

Os efeitos de dose total podem provocar falhas em circuitos integrados expostos à radiação ionizante. Portanto, para garantir o funcionamento de sistemas eletrônicos submetidos a estas condições, é necessário caracterizar a tolerância à radiação dos diferentes componentes.

Os resultados experimentais indicam que a memória irradiada pode ser tolerante a doses inferiores a 50 krad. Deve-se considerar, contudo, que o teste de retenção realizado provoca mascaramento de determinadas falhas; portanto, a realização de novos testes é recomendada.

Não foi possível, através da simulação de blocos típicos de memórias PSRAM, identificar quais falhas ocorreram na memória irradiada. É evidente, observando-se os resultados das simulações, que circuitos analógicos como o amplificador sensor e a célula de memória DRAM são sensíveis a radiação ionizante. No caso do amplificador sensor, os transistores casados são especialmente vulneráveis aos efeitos da dose total ionizante, como era esperado.

Apesar disso, os padrões de falha verificados para doses superiores a 200 krad indicam que as falhas detectadas não podem ser atribuídas unicamente a estes circuitos. Sem o conhecimento do leiaute da memória e de determinados circuitos (como os blocos de entrada e saída de dados) não foi possível identificar a origem dos padrões de falha identificados. Outrossim, o resultado experimental evidencia a viabilidade da utilização de COTS para aplicações aeroespaciais, desde que sejam realizados testes suficientes para validar a utilização de um determinado componente para uma determinada dose total.

## REFERÊNCIAS

BAKER, J.R. **CMOS: circuit design, layout and simulation**, 3. ed., Hoboken: John Wiley & Sons, 2010.

BALEN, T.R. **Efeitos da radiação ionizante em dispositivos analógicos programáveis (FPAAs) e técnicas de proteção**. 2010. 205 f. Tese (Doutorado) – Escola de Engenharia, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2010.

BARNABY, H.J. Total-ionizing-dose effects in modern CMOS technologies, **IEEE Transactions on Nuclear Science**, v. 53, n. 6, p. 3103-3121, Dec. 2006.

BARNABY, H.J. et al. Modeling ionizing radiation effects in solid state materials and CMOS devices, **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 56, n. 8, p. 1870-1883, Aug. 2009.

BAUMANN, R. Soft errors in Advanced Computer Systems, **IEEE Design & Test of Computers**, v. 22, n. 3, p. 258-266, Jun. 2005.

BENEVIDES, A.Y. **Análise dos Efeitos da Radiação Ionizante em memórias flash e SRAM**. 2011. 97 f. Projeto de diplomação – Escola de Engenharia, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2011.

BLALOCK, T.N.; JAEGER, R.C. A high-speed clamped bit-line current-mode sense amplifier, **IEEE Journal of Solid-State Circuits**, vol. 26, n. 4, p. 542-548, Abr. 1991.

BLALOCK, T.N.; JAEGER, R.C. A high-speed sensing scheme for 1T dynamic RAM's utilizing the clamped bit-line sense amplifier, **IEEE Journal of Solid-State Circuits**, vol. 27, n. 4, p. 618-625, Abr. 1992.

BOUDENOT, J.C. Radiation space environment. In: VELAZCO, R; FOUILLAT, P; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007. p. 1-9.

BUSHNELL, M.L.; AGRAWAL, V. D. Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits. Boston: Springer, 2000. 712p.

GLASKOWSKY, P.N. MoSys explains 1T-SRAM technology, **Microprocessor Report**, vol. 13, n. 12, p. 1-2, Set. 1999.

GONELLA, L. et al. Total ionizing dose effects in 130-nm commercial CMOS technologies for HEP experiments, **Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment**, vol. 582, n. 3, p. 750-754, Dec. 2007.

HARASZTI, T.P. **CMOS Memory Circuits**, 1. ed. Dordrecht: Kluwer Academic Publishers, 2000.

ISSI. **New pseudo SRAM product line**. 2010. Disponível em: <<http://www.issi.com/products-pseudo-sram.htm>>. Acesso em: 28 nov. 2011.

JARRON, P. et al. Deep submicron CMOS technologies for the LHC experiments, **Nuclear Physics B – Proceedings Supplements**, v. 78, n. 1, p. 625-634, Aug. 1999.

LEUNG, W. et al. The ideal SoC memory: 1T-SRAM<sup>TM</sup>, **Proceedings. 13th Annual IEEE International ASIC/SOC Conference**, Arlington, p. 32-36, Set. 2000.

METROPOLIS, N.; ULAM, S. The Monte Carlo method, **Journal of the American Statistical Association**. v. 44, n. 247, p. 335-341, Set. 1949.

OLDHAM, T.R.; MCLEAN, F.B. Total ionizing dose effects in MOS oxides and devices. **IEEE Transactions on Nuclear Science**. Greenbelt, v. 50, n. 3, p. 483-499, Jun. 2003.

PANIZ, V. **Simulação elétrica do efeito de dose total em células de memória estática (SRAM)**. 2010. 85 f. Dissertação (Mestrado) – Escola de Engenharia, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2010.

PEREIRA JUNIOR, E.C.F. et al. Effects of gamma radiation on SRAM and Flash memories. **2011 International Nuclear Atlantic Conference**, Belo Horizonte, p.24-28, Out. 2011.

POZRIKIDIS, C. **Numerical computation in science and engineering**. New York: Oxford University Press, 1998. 627 p.

SCHRIMPF, R.D. Radiation Effects in Microelectronics. In: VELAZCO, R; FOUILLAT, P.; REIS, R. (Ed.). **Radiation effects on embedded systems**. Dordrecht: Springer, 2007. p. 11-29.

SEDRA, A.; SMITH, K. **Microeletrônica**, 5. ed. São Paulo: Pearson Prentice Hall, 2007.

SROUR, J.R. *et al.* Review of displacement damage effects in silicon devices. **IEEE Transactions on Nuclear Science**, [S. l.], v. 50, n. 3, p. 653- 670, June 2003.

SWART, J.W. Evolução de microeletrônica a micro-sistemas. Disponível em <<http://www.ccs.unicamp.br/cursos/ee941/download/cap01.pdf>>. Acesso em: 05 set. 2011.

TAMBARA, L.A. **Análise de single-event effects em arquiteturas de células de memória Dice e Norley**. 2010. 70 f. Projeto de diplomação – Centro de Tecnologia, Universidade Federal de Santa Maria, Santa Maria, 2010.

TSUJIMOTO, A. Pseudo-static random access memory. US Pat. 5.033.026, 16 jul. 1991.

VAN DE GOOR, A.J.; VERRUIJT, C. A. An overview of deterministic functional RAM chip testing. **ACM Computing Surveys**, v. 22, n. 1, p. 5-33, Mar. 1990.

WINOKUR, P. S. *et al.* Total-dose failure mechanisms of integrated circuits in laboratory and space environments, **IEEE Transactions on Nuclear Science**, v. 34, n. 6, p. 1448-1454, Dez. 1987.

ZUPAC, D. *et al.* Separation of effects of oxide-trapped charges and interface-trapped charges on mobility in irradiated power mosfets. **IEEE Transactions on Nuclear Science**, Snowbird, v. 40, n. 6, p. 1307-1315, Dec. 1993.

## APÊNDICE A NETLISTS

### A.1 Netlist para simulação da célula de memória DRAM.

Celula DRAM

\*\*\* LIBRARY \*\*\*\*

```
.include ./mos130nm.pm
.param dvtn='-4.5m'
```

\*\*\* SOURCES \*\*\*

```
va1 vss1 0 pulse(0 2.5 0 10p 10p 10n 1m)
va2 vw11 0 pulse(2.5 0 0 10p 10p 10n 1m)
va3 vcap1 vdd1 dc 0
va4 0 vbulk1 dc 0

vb1 vss2 0 pulse(0 2.5 0 10p 10p 10n 1m)
vb2 vw12 0 pulse(2.5 0 0 10p 10p 10n 1m)
vb3 vcap2 vdd2 dc 0
vb4 0 vbulk2 dc 0
ia1 vdd2 vss2 pulse(0 42.7p 10n 10p 10p 1m 1m)
```

\*\*\* CIRCUIT \*\*\*

```
ca1 vcap1 0 30f
cb1 vcap2 0 30f
```

```
m1 vdd1 vw11 vss1 vbulk1 pmos w=0.13u l=0.13u
m2 vdd2 vw12 vss2 vbulk2 pmos delvto=dvtn w=0.13u l=0.13u
```

\*\*\* ANALYSIS \*\*\*

```
.TRAN 10p 1u
.PRINT v(vdd1) v(vdd2)
.OPTION post
.OPTION brief = 0
.OPTION ingold=2
.OPTION numdgt=10
.end
```

## A.2 Netlist para simulação do amplificador sensor com com realimentação positiva.

Amplificador Sensor Diferencial com Realimentacao Positiva

```

*** LIBRARY ***
.include ./mos130nm.pm
.param wp='13u'
.param wn='4.5u'
.param lt='680nm'
.param med_dvtn='-1m'
.param med_dvtp='-5m'
.param sig_dvtn='1m'
.param sig_dvtp='2m'
.param dvthp1=agauss(med_dvtp,sig_dvtp,'1')
.param dvthn1=agauss(med_dvtn,sig_dvtn,'1')
.param dvthp2=agauss(med_dvtp,sig_dvtp,'1')
.param dvthn2=agauss(med_dvtn,sig_dvtn,'1')
.param dvthp3=agauss(med_dvtp,sig_dvtp,'1')
.param dvthn3=agauss(med_dvtn,sig_dvtn,'1')

*** SOURCES ***

v1 vck0 0 DC 0
v2 vck1 0 DC 2.5
v3 vdd 0 DC 2.5
v4 vss 0 DC 0

*** CIRCUIT ***

cb vo1 0 1p
cbn vo2 0 1p

M1 vd1 vck0 vdd vdd PMOS delvto=dvthp3 w=13u l=lt
M2 vs1 vck1 vss vss NMOS delvto=dvthn3 w=27u l=lt
M3 vo2 vo1 vd1 vd1 PMOS delvto=dvthp2 w=wp l=lt
M4 vo2 vo1 vs1 vs1 NMOS delvto=dvthn2 w=wn l=lt
M5 vo1 vo2 vd1 vd1 PMOS delvto=dvthp1 w=wp l=lt
M6 vo1 vo2 vs1 vs1 NMOS delvto=dvthn1 w=wn l=lt

.ic V(vo1)=1.27
.ic V(vo2)=1.25

*** ANALYSIS ***

.TRAN 100p 7n uic sweep monte=50000

```

```
.OPTION BRIEF = 0
.MEASURE t01 TRIG AT = 0 TARG V(vo1) VAL = 1.8616 CROSS = 1
.MEASURE t02 TRIG AT = 0 TARG V(vo2) VAL = 0.06886 CROSS = 1
.OPTION POST
.OPTION INGOLD=2
.OPTION NUMDGT=10
.OPTION NOMOD
.OPTION NOTOP

.END
```