

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
ESCOLA DE ENGENHARIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

**FELIPE CORREA WERLE**

**PROJETO DE DIPLOMAÇÃO**

**PROJETO DE CIRCUITO INTEGRADO CMOS PARA  
REFERÊNCIA DE TENSÃO SUB-1V**

Porto Alegre  
(2012)

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
ESCOLA DE ENGENHARIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

**PROJETO DE CIRCUITO INTEGRADO CMOS PARA  
REFERÊNCIA DE TENSÃO SUB-1V**

Projeto de Diplomação apresentado ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para Graduação em Engenharia Elétrica.

ORIENTADOR: Sergio Bampi

Porto Alegre  
(2012)

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
ESCOLA DE ENGENHARIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

FELIPE CORREA WERLE

## **PROJETO DE CIRCUITO INTEGRADO CMOS PARA REFERÊNCIA DE TENSÃO SUB-1V**

Este projeto foi julgado adequado para fazer jus aos créditos da Disciplina de “Projeto de Diplomação”, do Departamento de Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: \_\_\_\_\_

Professor Doutor Sergio Bampi, UFRGS

Doutor pela STANFORD UNIVERSITY (EUA)

Banca Examinadora:

Professor Doutor Hamilton Duarte Klimach, UFRGS.

Doutor (UFSC – Florianópolis, Brasil)

Engenheiro Doutor Fernando da Rocha Paixão Cortes, CEITEC.

Doutor (UFRGS – Porto Alegre, Brasil)

Porto Alegre, junho 2012.

## **DEDICATÓRIA**

Dedico este trabalho a minha família, em especial pela dedicação e apoio em todos os momentos difíceis. Aos meus pais por formarem a pessoa que sou e a Natália por todo auxílio nesse desafio.

## **AGRADECIMENTOS**

Aos meus pais Flavia e João pela minha formação que me levou a este momento e por todo o amor e caminho que sempre tiveram comigo. E pelo incentivo ao estudo e exemplo de vida que são.

Aos meus irmãos Carolina e Guilherme que sempre foram parte da minha vida e me deram conselhos de grande valia para as situações mais delicadas na faculdade, principalmente na “reta final”.

À Natália Basso, por me inspirar e ser uma fortaleza ao meu lado nesses últimos anos, sempre auxiliando e zelando por mim. Por ser também um grande exemplo de dedicação e força.

Aos meus colegas de faculdade por ser uma alegria no dia-a-dia e, em especial, ao Diego Souto pelas muitas conversas, festas e os muitos planos que criamos. Aos meus amigos de Colégio, Cursinho e Redenção que forneceram horas valiosas de distração em meio ao tumulto da faculdade. Aos colegas de trabalho, pela compreensão, auxílio e pelos momentos alegres do dia-a-dia.

Aos colegas de laboratório, os quais me ajudaram e sempre ajudei com a maior disposição e que são responsáveis pela minha iniciação na microeletrônica. Em especial ao meu amigo Dalton Colombo que, mesmo em outro país, se mostrou inteiramente disposto a colaborar com meu trabalho e foi de fundamental ajuda. Ao professor coordenador do laboratório e meu orientador Sergio Bampi, pela oportunidade e pelo empenho.

Agradeço a Universidade e todo o seu colegiado por me proporcionarem um curso de qualidade no qual eu tenho muito orgulho de estar me formando.

## RESUMO

Este trabalho apresenta um estudo de *design* de circuitos CMOS para referências de tensão inferiores à tensão de *bandgap* assim como a sua implementação. O maior desafio nesse tipo de projeto está em encontrar outro parâmetro, tão estável quanto a referência clássica de *bandgap*, e que possa ser utilizado como fonte de tensão a fim de proporcionar um potencial sub-volt (abaixo de 1V) com uma boa estabilidade térmica. Essa necessidade surge no momento em que as novas tecnologias CMOS estão reduzindo a tensão máxima de alimentação admissível nos circuitos integrados. Os circuitos digitais CMOS abaixo de 32nm podem operar confiavelmente com tensões inferiores à tensão de *bandgap* (1.1 a 1.2V), além do que a eficiência energética dos circuitos CMOS digitais aumenta com a redução da tensão. Daí surge esse desafio de desenvolver referências de tensão DC sub-1V.

A referência de tensão desenvolvida ao longo desse trabalho pode ser utilizada para em diversas aplicações típicas em circuitos analógicos ou como dispositivo de estimação da tensão de limiar, por ser baseada na mesma. Nesse trabalho, é projetada uma referência de tensão capaz de proporcionar tensões abaixo de 1V e que sejam proporcionais à tensão de limiar do MOSFET.

Referências de tensão normalmente têm uma grande resistência de saída o que impede a sua utilização direta para fornecer uma corrente à carga. Para solucionar este problema e fornecer um circuito mais completo, foi desenvolvido um amplificador a fim de fornecer maior potência para os circuitos subsequentes, para preservar a referência e permitir um *trimming* se for necessária uma referência de maior precisão.

**Palavras-chaves:** Microeletrônica. Circuitos Integrados. Referência de tensão. Tensão e *bandgap*. Amplificadores. Transistor MOS.

## **ABSTRACT**

This work presents a study of circuit designs for voltage references below bandgap voltage as well as their implementations. The greatest challenge is to find another parameter, as stable as the bandgap voltage, and which can be used as a reference voltage to provide a sub-volt (below 1V) reference potential with good temperature stability. This need arises as the new CMOS technologies are decreasing the maximum supply voltage of integrated circuits. Many CMOS digital circuits below 32nm minimum channel length operate at voltages below the bandgap reference voltage (1.1 to 1.2V), and furthermore, the power efficiency of CMOS digital circuits increases with voltage reduction. From this, arises the challenge of developing DC voltage references sub-1V.

The voltage reference developed throughout this work may be used in various applications for typical analog circuits or as a device for estimating the threshold voltage of MOSFETs, as it is based on the same. This work is designed to cover a reference voltage to provide voltages of 1V and below that are proportional to the threshold voltage of the MOSFETs.

Reference voltage typically has a high output resistance which prevents its direct use to drive a current load. To solve this problem and to provide a more complete circuit, an amplifier is designed to deliver more power to the load circuits, to preserve the reference and to let trimming if better precision is necessary.

**Keywords: Microelectronics. Integrated Circuits. Reference voltage. Bandgap Voltage reference. Amplifier. MOS transistor.**

## SUMÁRIO

1	INTRODUÇÃO .....	13
2	REFERÊNCIA DE TENSÃO INTEGRADA .....	14
2.1	Referencia de tensão <i>Bandgap</i> .....	14
2.2	Tensão de <i>Bandgap</i> .....	15
2.3	Referência de tensão CMOS.....	16
2.4	Tensão de Tensão de limiar .....	18
3	TRANSISTOR MOS EM INVERSÃO FRACA .....	21
3.1	Transistor MOS em inversão fraca.....	21
3.2	Efeitos da variação de temperatura em MOSFETs .....	26
3.3	Transistor MOS composto em inversão fraca .....	30
4	REFERÊNCIA DE TENSÃO E AMPLIFICADOR .....	37
4.1	O Circuito da referência de tensão CMOS .....	37
4.2	Condição de partida .....	41
4.3	Compensações e circuito do Amplificador LDO .....	43
5	PROJETO E SIMULAÇÕES.....	46
5.1	Dimensionamento dos transistores da Referência.....	46
5.2	Simulação sobre o layout a referência .....	53
5.3	Simulações das variações do processo .....	60
6	CONCLUSÃO.....	63
	BIBLIOGRAFIA .....	65

## LISTA DE ILUSTRAÇÕES

Figura 1 – Princípio de operação de referência de tensão <i>bandgap</i> . .....	14
Figura 2 - Esquemático básico do funcionamento da referência proposta .....	18
Figura 3 - Esquemático do transistor nMOS de canal longo para simulações em inversão fraca. ....	24
Figura 4 - Curva $I_d$ x $V_{ds}$ para transistor nMOS em inversão fraca. ....	24
Figura 5 - Esquemático do transistor pMOS de canal longo para simulações em inversão fraca. ....	25
Figura 6 - Curva $I_d$ x $V_{ds}$ para transistor pMOS em inversão fraca. ....	26
Figura 7 - Corrente de sublimiar do transistor MOS em função da temperatura.....	28
Figura 8 - Esquemáticos dos transistores MOS compostos, nMOS e pMOS respectivamente. ....	31
Figura 9 - Curva $I_{ds}$ x $V_{ds}$ para transistor composto nMOS .....	34
Figura 10 - Curvas $I_{ds}$ x $V_{ds}$ para transistor nMOS e nMOS composto .....	35
Figura 11 - Curvas $I_{ds}$ x $V_{ds}$ para transistor pMOS e pMOS composto .....	35
Figura 12 - Esquemático referência de tensão .....	37
Figura 13 - Tensões com dependência térmica e com inclinação oposta.....	41
Figura 14 - Componentes parasitas na inicialização da referência de tensão.....	42
Figura 15 – Circuito para calibração da tensão de referência. (Souza, 2012) .....	44
Figura 16 – Tensão de referência em relação à temperatura.....	49
Figura 17 – Tensão de referência em relação à tensão de alimentação.....	50
Figura 18 – Tensão de referência na região regulada em relação à tensão de alimentação. ....	50
Figura 19 – Planejamento da referência e casamento dos componentes.....	51
Figura 20 – Design do circuito referência de tensão. ....	52
Figura 21 – $V_{ref}$ vs. $V_{dd}$ .....	54
Figura 22 – $V_{ref}$ vs. Temp. Utilizando o circuito extraído com componentes RC.....	55
Figura 23 – $V_{ref}$ vs. Temp. Utilizando o circuito extraído com componentes apenas resistivos. ....	56
Figura 24 – Rejeição de ruído vindo da alimentação na saída do circuito.....	58
Figura 25 – Análise transiente da inicialização da referência de tensão sub-1V .....	59
Figura 26 – $V_{ref}$ vs. Temp. para os três casos de <i>corners</i> previstos.....	61
Figura 27 – $V_{ref}$ vs. $V_{dd}$ . para os três casos de <i>corners</i> previstos.....	61
Figura 28 – Rejeição de ruído para os três casos de <i>corners</i> previstos.....	62

## LISTA DE TABELAS

Tabela 1 - Dimensões dos componentes.....	48
Tabela 2 – Parâmetros da referência.....	59
Tabela 3 – Simulação de <i>corners</i> sobre a referência. ....	62
Tabela 4 – Comparativo com referências semelhantes.....	64

## **LISTA DE ABREVIATURAS**

CLM: Modulação do comprimento de canal.

CMOS: Semicondutor metal-óxido complementar

exp: Exponencial.

LDO: Baixa queda de tensão.

MOS: Metal-óxido-semicondutor

MOSFET: Transistor MOS de Efeito de Campo

PTAT: Proporcional à temperatura absoluta.

## LISTA DE SIMBULOS

$C_{OX}$ : Capacitância intrínseca do óxido (por unidade de área).

$I_B$ : Corrente de polarização.

$I_{DS}$ : Corrente de dreno-fonte.

$I_S$ : Corrente de característica em inversão fraca.

$k$ : Constante de Boltzmann.

$\ln$ : Logaritmo neperiano.

$L$ : Largura do canal do transistor MOS.

$n$ : Fator de inclinação em inversão fraca.

$q$ : Carga elementar do elétron.

$T$ : Temperatura absoluta.

$V_{BG}$ : Tensão de *bandgap*.

$V_{BE}$ : Tensão base-emissor.

$V_{DB}$ : Tensão dreno-substrato.

$V_{DD}$ : Tensão de alimentação do circuito.

$V_{DS}$ : Tensão dreno-fonte.

$V_{GB}$ : Tensão porta-substrato.

$V_{GS}$ : Tensão porta-fonte.

$V_{SB}$ : Tensão fonte-substrato.

$V_{TH}$ : Tensão de limiar.

$V_{TO}$ : Tensão de limiar quando a tensão  $V_{SB}$  não é nula.

$W$ : Largura do canal do transistor MOS.

$\alpha$ : Coeficiente térmico da corrente em inversão fraca.

$\theta$ : Coeficiente térmico da tensão de limiar.

$\varphi$ : Coeficiente térmico do resistor de difusão.

## 1 INTRODUÇÃO

Referências de tensão são encontradas na grande maioria dos circuitos integrados, principalmente em sistemas analógicos, conversores A/D, D/A, reguladores e em circuitos mistos entre outros. A principal propriedade de uma referência de tensão é a sua saída constante e imune a diversas perturbações.

Referências baseadas na tensão de *bandgap* foram utilizadas largamente desde a sua primeira implementação em 1971 por Robert J. Wildlar [3] após a descoberta em 1964 por David F. Hilbiber [4]. Essa referência se baseia em uma propriedade intrínseca do silício e tem seu valor estável e bem conhecido.

Para circuitos desse tipo, entretanto, é necessário um transistor bipolar, que é comum em processos mais antigos ou em processos especiais diferindo do processo mais comum CMOS padrão. Nos processos CMOS é possível formar um transistor bipolar parasita e, assim, obter uma referência. Essas referências além de exigirem um transistor bipolar, formam referências na faixa de 1,12V que é a tensão de *bandgap*. Essa tensão se mostrou útil até os momentos atuais, mas as novas tecnologias tem levado os circuitos integrados a operar em tensões menores que 1 volt. Dessa forma esta já não é uma solução apropriada ou de fácil implementação.

Esse trabalho consiste na pesquisa e desenvolvimento de uma referência de tensão integrada que seja produzida em tecnologia digital puramente CMOS e capaz de fornecer uma tensão inferior a 1 volt. Essa característica é muito importante, já que atualmente a tecnologia CMOS vem operando em tensões cada vez menores o que impossibilita o uso das referências baseadas na tensão de *bandgap*.

## 2 REFERÊNCIA DE TENSÃO INTEGRADA

### 2.1 REFERENCIA DE TENSÃO *BANDGAP*

Para tensões superiores a 1.2 volts, a referência de tensão mais comumente utilizada e estudada é a que se baseia na tensão de *bandgap*. A escolha decorre das características singulares que essa tensão apresenta, tais como a independência da temperatura e da alimentação do circuito, além de ser possível obter-se uma referência com um circuito relativamente simples.

A referência de tensão *Bandgap* está baseada na ideia de Hilbiber de 1964 [4] que utiliza a união de uma deriva térmica negativa de uma junção bipolar com uma componente de deriva positiva (PTAT) para formar minimizar a variação térmica. Desde o seu aparecimento, muitas estruturas baseadas nesse efeito foram desenvolvidas e exploradas de forma que esta arquitetura já foi muito aperfeiçoada [5][6][11][13]. A equação (2.1) descreve o comportamento da tensão  $V_{BE}$  em função da temperatura e o esquemático da Figura 1 ilustra a base da operação de uma referência *bandgap*.

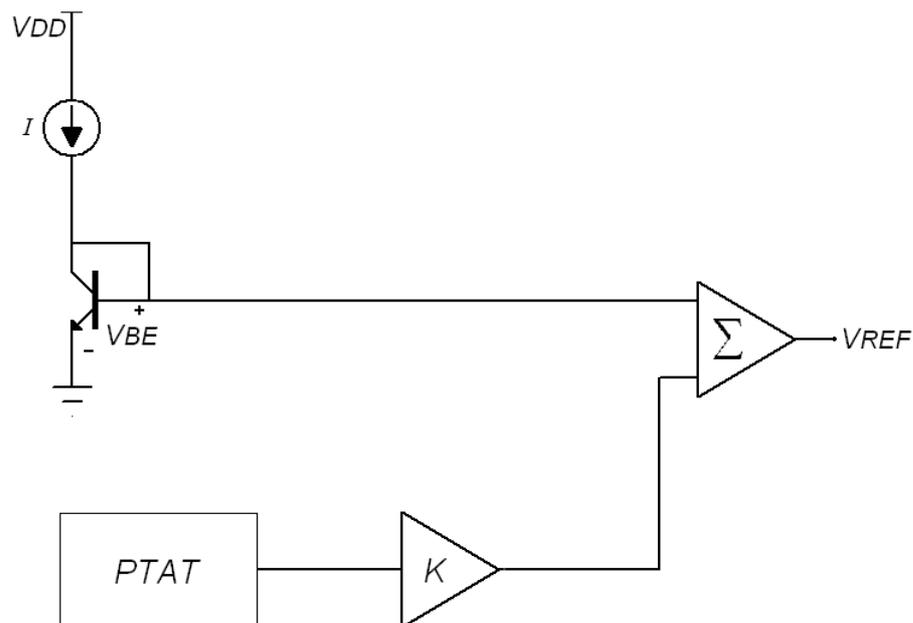


Figura 1 – Princípio de operação de referência de tensão *bandgap*.

$$V_{BE}(T) = V_{BG}^{ZERO} \left(1 - \frac{T}{T_0}\right) + V_{BE}(T_0) \left(\frac{T}{T_0}\right) - \alpha \frac{kT}{q} \ln\left(\frac{T}{T_0}\right) \quad 2.1$$

Usualmente o circuito implementado consiste não apenas de uma tensão  $V_{BE}$ , mas da comparação entre duas tensões oriundas de transistores com correntes de polarização iguais e com áreas de emissor diferentes. A tensão resultante pode ser considerada proporcional à temperatura absoluta e com coeficiente negativo, possibilitando a anulação dos coeficientes ao somá-la com uma tensão PTAT.

Com a evolução da tecnologia CMOS, o comprimento de canal do transistor se torna cada vez menor, bem como outros parâmetros da tecnologia que possibilitam a operação do mesmo com uma menor potência e, conseqüentemente, uma menor tensão. Essa evolução tem levado as tecnologias mais recentes como a de 130nm a operarem em tensões de apenas 1.2V e segue a tendência a diminuir cada vez mais esse valor em busca de um menor consumo de potência. Essa redução é parte importante da evolução da tecnologia CMOS, mas tende a dificultar o uso das referências de tensão *bandgap* já que o valor da tensão de *bandgap* se encontra em torno de 1.12V para o silício [1] praticamente impossibilitando o uso da mesma para tensões inferiores.

## 2.2 TENSÃO DE *BANDGAP*

O termo *bandgap* se refere à quantidade de energia necessária para os elétrons de um semicondutor passar do topo da camada de valência para a base da camada de condução, sendo expresso como uma tensão intrínseca a cada material. Para materiais isolantes, os mesmos apresentam valores altos de *bandgap* (acima de 4 eV) enquanto materiais semicondutores apresentam valores inferiores. Em condutores não há ou é extremamente

baixo o valor do *bandgap* devido à quase sobreposição entre as bandas de condução e de valência.

Materiais semicondutores como o silício, apresentam todos os elétrons na camada de valência quando o mesmo é submetido a 0° Kelvin, se comportando como materiais isolantes. Com uma excitação térmica, os elétrons do material adquirem mais energia diminuindo a tensão de *bandgap* à medida que a temperatura aumenta, provocando um efeito inverso à temperatura [2]. Esse efeito é descrito pela expressão (2.2) onde  $\alpha$  e  $\beta$  são constantes do material e  $Eg(0)$  é a tensão de *bandgap* no zero Kelvin do material.

$$Eg(T) = Eg(0) - \frac{\alpha T^2}{T + \beta} \quad 2.2$$

Como sugere a expressão (2.2), o coeficiente de variação com a temperatura da tensão de *bandgap* do semicondutor silício é negativo, i.e. o *bandgap* decresce com o aumento da temperatura, o que possibilita as referências de tensão *bandgap*.

### 2.3 REFERÊNCIA DE TENSÃO CMOS

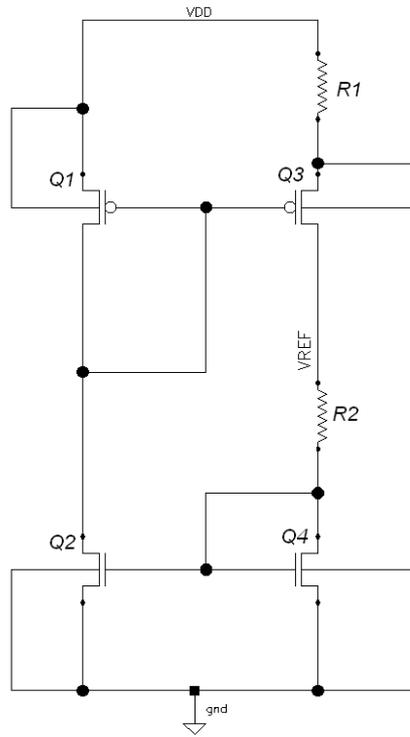
Com a diminuição da tensão de alimentação dos circuitos integrados que novas tecnologias CMOS estão proporcionando, surge a necessidade de novas arquiteturas que proporcionem uma tensão estável quanto à temperatura e às variações da alimentação. Para isso voltamos ao princípio já explorado na referencia de tensão de *bandgap*, qual seja, a de realizar a soma de dois efeitos sensíveis à temperatura, porém com coeficientes de sinais opostos. Dessa forma, a soma das duas parcelas resulta em uma tensão com coeficiente de temperatura próximo a zero.

Como foi observado em [8], e será mostrado posteriormente nesse trabalho, a tensão  $V_{GS}$  do transistor CMOS em inversão fraca apresenta uma expressão análoga à expressão de  $V_{BE}$  encontrada na referência de tensão *Bandgap* (2.1). Isso se deve ao comportamento exponencial da corrente sublimiar do transistor MOS, para tensões de polarização  $V_{gs}$  abaixo da tensão de limiar de condução ( $V_{TH}$ ). Esse comportamento proporciona ao transistor MOS em inversão fraca características muito convenientes para formação de uma referência de tensão.

A tensão de limiar pode ser considerada como a tensão de porta do transistor MOSFET em que a população de portadores no canal começa a alterar seu comportamento de forma mais intensa. Sendo dependente de parâmetros do processo, a tensão de limiar é definida número de dopantes inseridos em cada tipo de substrato (mais lacunas ou mais portadores) e varia seu valor devido a diversos fatores. Com a aproximação da tensão de porta da tensão de limiar, intensifica-se a densidade de portadores minoritários abaixo da porta, o que permite a condução de corrente entre a fonte e o dreno [1]. Um transistor mantido com uma tensão de porta pouco inferior à tensão de limiar a esta tensão é dito em inversão fraca e conforme aumenta a tensão de porta tende a passar para a condição de inversão forte. O transistor MOS operando em inversão fraca é um ponto chave desse trabalho por apresentar uma dependência exponencial com a temperatura e um baixo consumo de potência, que o torna um ótimo componente para esta aplicação e o seu funcionamento será abordado ao longo deste trabalho.

O funcionamento da estrutura a ser implementada nesse trabalho tem sua ideia primordial como referência de *bandgap* no trabalho de [13] e que foi explorado na direção de ser apenas CMOS em [8]. O que ocorre é o cancelamento da deriva térmica pela soma de duas componentes opostas, princípio idêntico a uma referência de tensão *bandgap*. A deriva inversamente proporcional surge da tensão  $V_{GS}$  de um transistor nMOS em inversão fraca,

enquanto a componente PTAT vem do coeficiente térmico do resistor em série, como a Figura 2 demonstra.



**Figura 2 - Esquemático básico do funcionamento da referência desenvolvida.**

O funcionamento referência da Figura 2 se baseia no espelho de corrente nMOS que fornece uma corrente idêntica para os dois ramos do circuito. O transistor nMOS Q4 opera como diodo, em saturação, e espelha a corrente para Q2. Há dois resistores no circuito, onde R1 atua sobre a corrente do circuito e R2 como componente PTAT da referência.

## 2.4 TENSÃO DE TENSÃO DE LIMIAR

Como comentado anteriormente, a tensão de limiar é considerada como a tensão de porta capaz de fazer com que o substrato abaixo da porta do transistor MOS modifique seu comportamento para possibilitar a condução de carga. O valor dessa tensão depende diretamente da concentração de dopantes no substrato de silício, a medida que o transistor

nMOS tem um aumento quantidade de dopantes no substrato o mesmo apresenta mais portadores. Consequentemente é necessária uma tensão menor para provocar a mudança sobre o canal da porta.

Devido a efeitos do processo e a natureza discreta da matéria, a espessura do oxido que isola a porta do transistor apresenta variações significativas no seu valor que, consequentemente, influenciam a tensão de limiar [16]. O limiar também depende da distância entre o dreno e source coberta pela porta, essa largura não é constante e apresenta uma rugosidade que também atua como imperfeição e variável para os cálculos. Dessa forma há uma dependência das variações sobre a tensão de limiar com a área da porta, já que com o aumento da área as variações na espessura do óxido tendem a se anular e o efeito dessa rugosidade pode ser minimizado com o uso de dimensões não mínimas da largura da porta.

Com o aumento da temperatura a tensão de limiar tende a diminuir o seu valor seguindo a equação linear (2.3). Onde  $\theta$  tende a variar com a temperatura adquirindo o valor de  $0,5\text{mV}/^\circ\text{C}$  a  $-80^\circ\text{C}$  e  $3\text{mV}/^\circ\text{C}$  a  $130^\circ\text{C}$  aproximadamente [1] [8], mas ainda assim permite a extrapolação de  $V_{TO}$  para zero absoluto e distinção da parcela constante que compõe a equação, não dependendo da temperatura. Essa é uma característica importante do transistor MOS e para a referência de tensão que esse trabalho propõe, e será abordada novamente nesse trabalho.

$$V_{TO}(T) = V_{TO}(T_0) - \theta(T - T_0) \quad 2.3$$

As variações nas concentrações desses dopantes também influenciam diretamente o valor da tensão de limiar, fazendo com que a mesma divirja do seu valor central obedecendo a uma distribuição gaussiana. Essas variações são devido à incapacidade do implantador iônico de implantar uma quantidade exatamente homogênea de dopantes, fato justificável à medida

que as novas tecnologias já contam em dezenas ou centenas o número de átomos de dopantes necessários para alterar o substrato em um volume nanométrico.

Todas as variações sobre a tensão de limiar do transistor fazem com que o seu valor não seja preciso e nem constante, há uma variabilidade inerente ao processo de fabricação do transistor. O fabricante de circuitos integrados garante que a variação da tensão de limiar esteja dentro de um espalhamento do processo e fornece dados estatísticos sobre o mesmo [16]. Devido a esses fatores se justifica um estudo sobre os efeitos da variação da tensão de limiar sobre o circuito, a fim de prever a sua operação e confiabilidade. Para isso, ao longo do projeto serão executadas simulações *corners* sobre toda a estrutura. No sistema onde a referência irá operar também estará disponível um sistema de regulagem da tensão capaz de provocar um ganho ajustável a fim de compensar as variações sobre a tensão de limiar.

### 3 TRANSISTOR MOS EM INVERSÃO FRACA

#### 3.1 TRANSISTOR MOS EM INVERSÃO FRACA

O transistor MOS produzido pela primeira vez em 1962 por Steven R. Hofstein e Frederic P. Heiman foi feito com a funcionalidade de operar praticamente como uma chave eletrônica. O modelo primeiramente proposto para o mesmo considerava que o transistor MOS entrava em inversão forte a partir da tensão de limiar e estava cortado para tensões  $V_{GS}$  menor que  $V_{TH}$ . Com a evolução da tecnologia e a melhor compreensão dos fenômenos físicos em semicondutores sob ação de campos elétricos, os modelos melhoraram e deixaram de considerar que o transistor estivesse apenas cortado e denominaram um novo estado para o transistor MOS com  $V_{GS}$  menor que  $V_{TH}$ : o estado de condução em inversão fraca.

Nesse estado o transistor conduz uma corrente muito menor o que possibilita o projeto de circuitos integrados de baixíssima potência. O transistor MOS de canal curto operando em inversão fraca apresenta uma tensão de limiar com grande dependência da tensão de dreno-fonte, o que faz que o valor da tensão diminua com o aumento da diferença de potencial entre dreno-fonte. Para evitar esse efeito será sempre utilizado um transistor MOS de canal longo nesse trabalho que consiste no uso de  $L$  maior que quatro vezes o  $L$  mínimo. A equação (3.1) demonstra o comportamento da corrente  $I_{DS}$  do transistor nMOS de canal longo em inversão fraca onde  $I_S$  é a corrente característica e  $n$  o fator de inclinação em inversão fraca.

$$I_{DS} = I_S \left( \frac{W}{L} \right) \exp \left( q \frac{V_{GB} - V_{T0}}{n k T} \right) \left[ \exp \left( -q \frac{V_{SB}}{k T} \right) - \exp \left( -q \frac{V_{DB}}{k T} \right) \right] \quad 3.1$$

O fator de inclinação pode ser aproximado pela capacitância na região de depleção  $C_B$  e pela capacitância intrínseca do óxido  $C_{OX}$  (ambas expressas por unidade de área) conforme dado pela equação (3.2). Essa aproximação apresenta um erro considerável [7][20], mas será

suficiente já que a diferença entre os modelos manuais utilizados e o simulador são maiores do que o erro nesse fator.

$$n = 1 + \frac{C_D}{C_{OX}} \quad 3.2$$

Para esta equação encontramos:

$$C_{OX} = \frac{e_0 \cdot e_r}{T_{ox}} \quad C_D = \frac{e_{si}}{X_d} \quad 3.3$$

Onde  $C_{OX}$  é capacitância intrínseca do óxido por unidade de área, expressa em farad por  $m^2$  e os outros elementos da equação são constantes:  $e_0$  é a permissividade do vácuo, ( $8,8541878176E-12$  F/m)  $e_r$  é permissividade relativa do óxido de silício ( $e_r$   $SiO_2 = 3,9$ ) e  $T_{ox}$  é a espessura do óxido de porta. Para a tecnologia de 130nm CMRF8SF da IBM utilizada neste trabalho  $T_{ox}$  tem valor de 2,2nm [17][19].  $C_D$  é a capacitância na região de depleção, também expressa em farad por área, determinada por: Permissividade do silício monocristalino  $e_{si}$  (11,9),  $N_b$  dopagem do substrato, que pode ser aproximada por  $N_{ch}$  dopagem sobre o canal segundo [17] (nMOS  $4,1589E17$  e pMOS  $2,3549E17$ ) e  $n_i$  é concentração intrínseca de portadores do silício ( $1,081E10$  à  $T=300K$ ).

$$X_d = \sqrt{\frac{2 \cdot e_{si} \cdot (2\Phi_f)}{q \cdot N_b}} \quad 2\Phi_f = 2 \cdot \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_b}{n_i}\right) \quad 3.4$$

O modelo da equação (3.1) é simétrico em relação ao dreno e fonte, onde o sentido da corrente depende apenas dos valores de  $V_{SB}$  e  $V_{DB}$ . Para esse projeto, podemos considerar a fonte e o substrato conectados, simplificando um termo da equação e tornando o modelo assimétrico conforme a equação (3.5)

$$I_{DS} = I_S \left(\frac{W}{L}\right) \exp\left(q \frac{V_{GS} - V_{TH}}{n k T}\right) \left[1 - \exp\left(-q \frac{V_{DS}}{k T}\right)\right] \quad 3.5$$

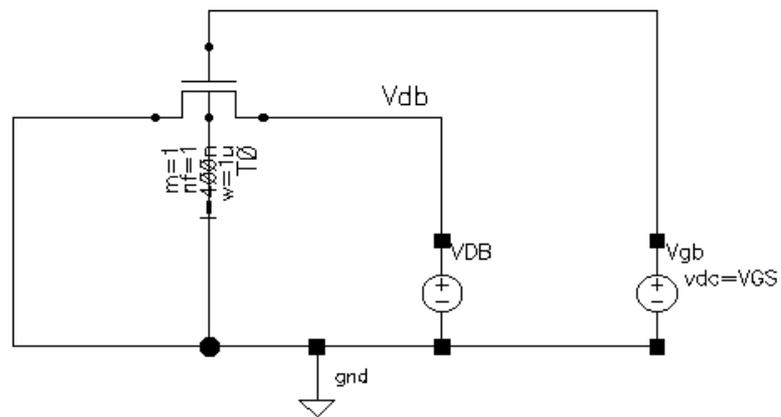
Conforme a equação (3.5) vemos que para um  $V_{DS}$  maior que  $3 kT/q$  independentemente da tensão  $V_{GS}$  o transistor entra em saturação [20][21], estado onde a corrente apresenta uma relação exponencial com a tensão de porta.

$$I_{DS} = I_S \left( \frac{W}{L} \right) \exp \left( q \frac{V_{GS} - V_{TH}}{n k T} \right) \quad 3.6$$

Nessa situação é necessário utilizar um transistor de canal longo (quatro vezes o valor do L mínimo ou maior) a fim de evitar efeitos de DIBL (Diminuição da barreira de potencial induzida pelo dreno) e provocar uma melhor saturação da corrente em inversão fraca. A variação na tensão  $V_{DS}$  provoca o efeito de CLM, onde o comprimento de canal eletricamente efetivo acaba por ser alterado e conseqüentemente alterando a corrente  $I_{DS}$  conforme a equação (3.7). Esse efeito é mais significativo em transistores em inversão fraca do que para os mesmo em inversão forte [1].

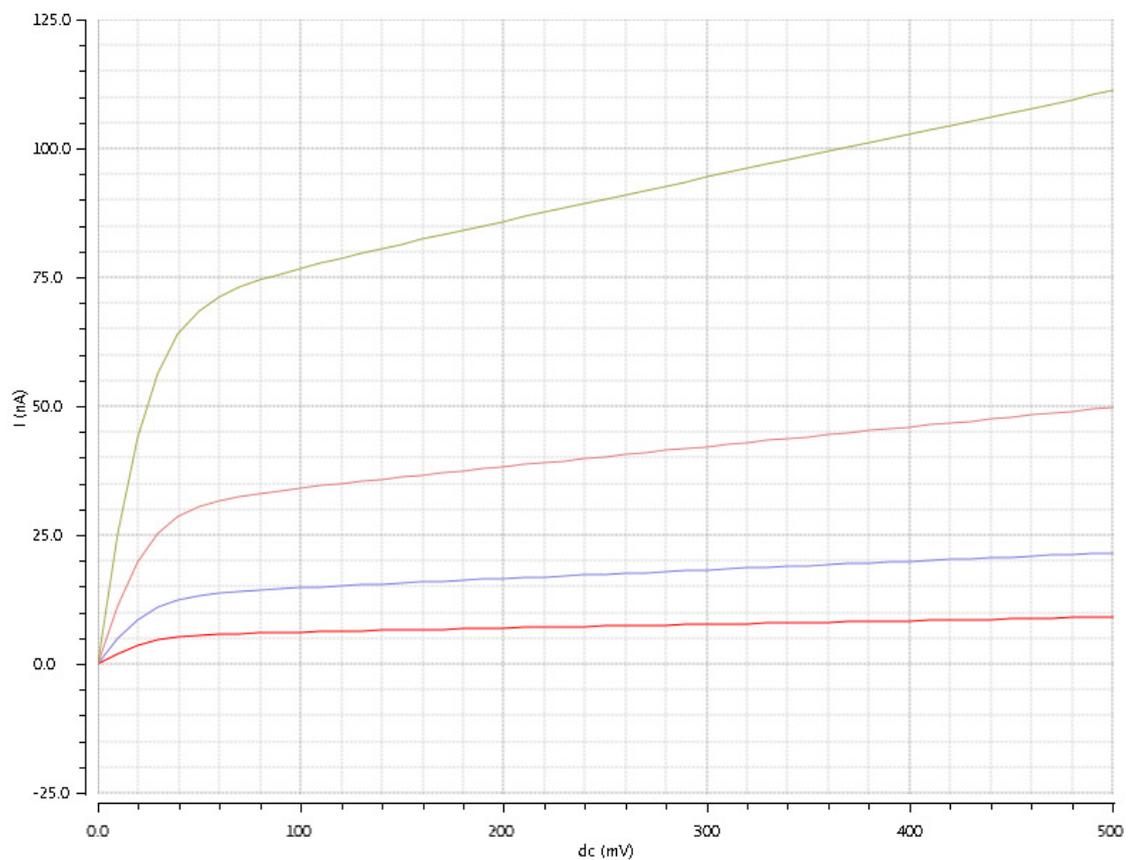
$$I_{DS} = \frac{I_S}{1 - \lambda V_{DS}} \left( \frac{W}{L} \right) \exp \left( q \frac{V_{GS} - V_{TH}}{n k T} \right) \quad 3.7$$

Foram realizadas simulações sobre o transistor MOS para averiguar o seu comportamento em inversão fraca e a dependência da tensão  $V_{DS}$  na tecnologia CMRF8SF de 130nm da IBM. Foi montado o esquemático sobre um transistor nMOS da Figura 3 onde temos a fonte ligada ao substrato e são aplicados através de uma simulação DC diferentes valores de  $V_{GS}$  (100mV 125mV 150mV e 175mV) para um  $V_{DS}$  variável (zero a 500mV).



**Figura 3 - Esquemático do transistor nMOS de canal longo para simulações em inversão fraca.**

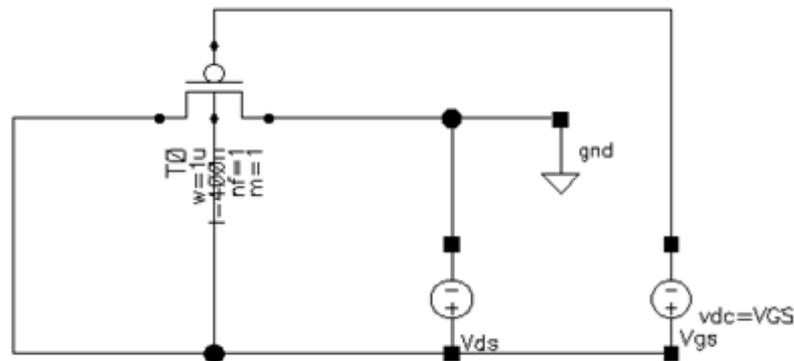
No esquemático da simulação já é utilizado o  $L$  de  $400\mu\text{m}$  a fim de evitar o efeito de modulação de canal. As tensões de  $V_{GS}$  foram variadas entre valores abaixo da tensão de limiar de forma a manter o transistor em inversão fraca.



**Figura 4 - Curva  $I_d$  x  $V_{ds}$  para transistor nMOS em inversão fraca.**

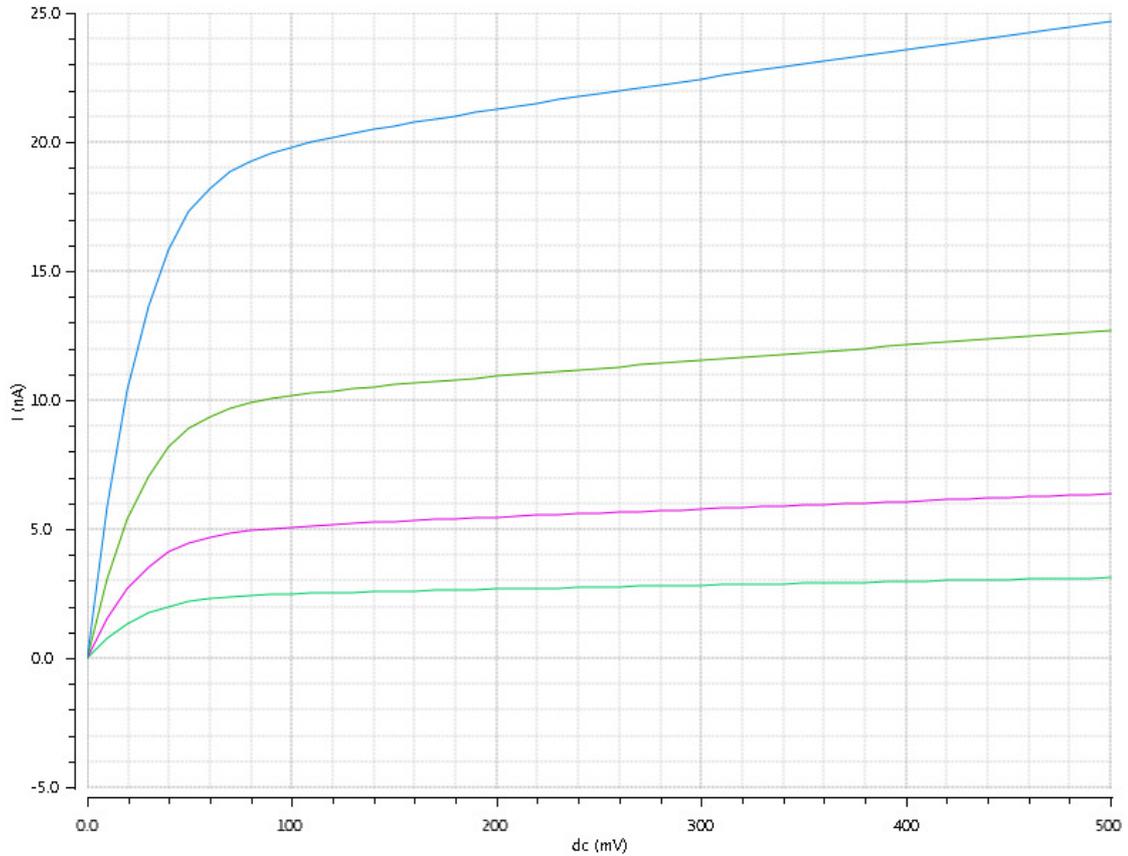
O gráfico da Figura 4 mostra o comportamento da corrente  $I_{DS}$  com o aumento de  $V_{GS}$ . Como pode ser observado o transistor apresenta uma variação da corrente dreno com o aumento da tensão de dreno, que é expressiva no sentido de não apresentar uma saturação completa. Esse efeito é uma manifestação do fenômeno de DIBL, que é mal modelada no modelo básico de saturação de corrente do transistor MOS. A dificuldade então é que o mesmo não apresenta um comportamento como uma fonte de corrente constante.

Também foi simulado o transistor pMOS para averiguar o seu comportamento em inversão fraca. Foi montado o esquemático da Figura 5 onde temos o substrato ligado a fonte e são aplicados através de uma simulação DC diferentes valores de  $V_{GS}$  (100mV 125mV 150mV e 175mV) para um  $V_{DS}$  variável (zero a 500mV).



**Figura 5 - Esquemático do transistor pMOS de canal longo para simulações em inversão fraca.**

O gráfico da Figura 6 mostra o comportamento da corrente  $I_{DS}$  com o aumento de  $V_{GS}$  para um transistor pMOS. Como pode ser observado em ambos os transistores, o valor de corrente que o mesmo conduz varia de forma exponencial para as variações lineares de  $V_{GS}$ . Depois de saturado, o mesmo apresenta um comportamento quase resistivo que não é interessante para esta aplicação e irá exigir o uso de alguma solução alternativa.



**Figura 6 - Curva  $I_d$  x  $V_{ds}$  para transistor pMOS em inversão fraca.**

### 3.2 EFEITOS DA VARIAÇÃO DE TEMPERATURA EM MOSFETS

A operação do transistor MOS varia com a temperatura devido à sensibilidade de dois fatores principais que compõem a sua equação. Inicialmente temos a corrente característica que é, entre outros fatores, proporcional à mobilidade elétrica dos portadores e ao quadrado da tensão térmica [20] [21]. O comportamento da corrente em volta de uma temperatura inicial  $T_0$  pode ser expresso pela equação (3.8) onde  $\alpha$  é o coeficiente térmico da corrente característica em inversão fraca [1].

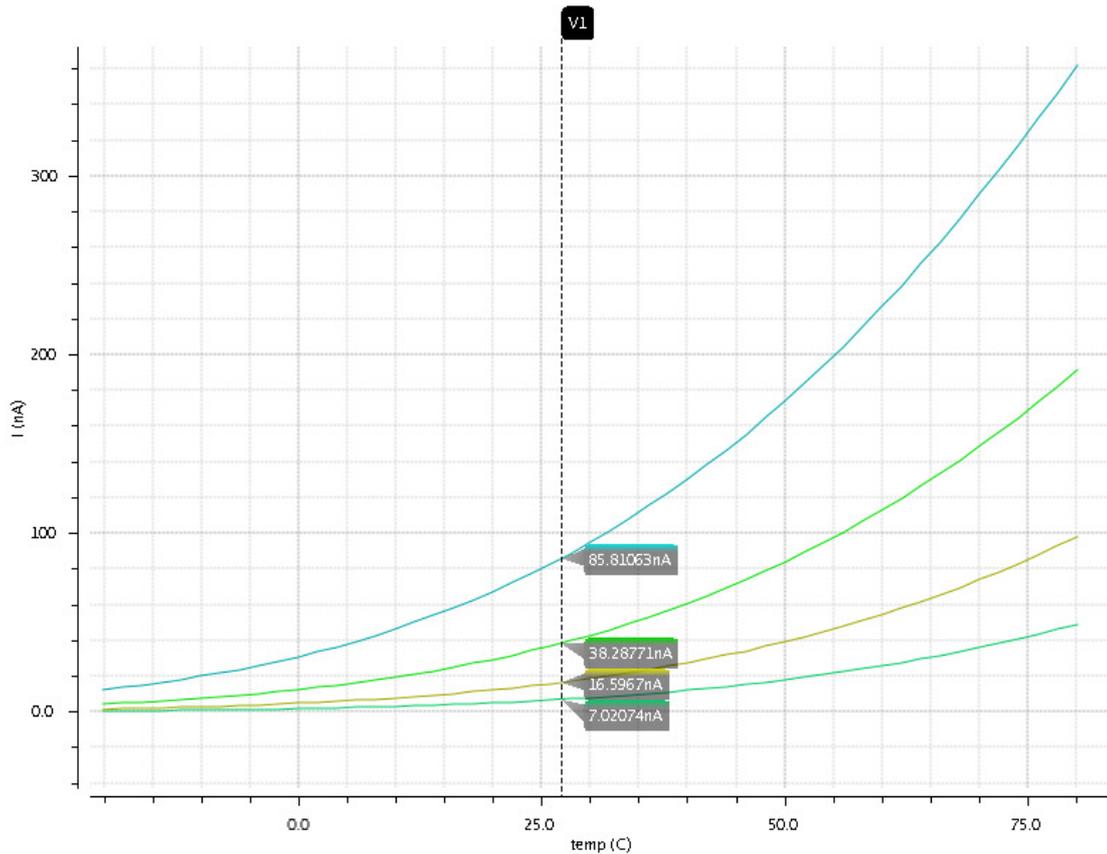
$$I_S(T) \propto \mu(T) \left(\frac{kT}{q}\right)^2 \qquad I_S(T) = I_S(T_0) \left(\frac{T}{T_0}\right)^\alpha \qquad 3.8$$

A tensão de limiar também tende a variar o seu valor devido à temperatura, como explorado anteriormente. Pela equação (3.9) observa-se que a tensão tende a reduzir o seu valor com o aumento da temperatura onde o coeficiente  $\theta$  é um valor positivo dependente da concentração de dopantes no substrato e da espessura do óxido. A tensão de limiar pode ser extrapolada para zero absoluto a fim de determinar a componente constante da equação.

$$V_{TO}(T) = V_{TO}(T_0) - \theta(T - T_0) \qquad V_{TO}(T) = V_{TO}^{zero} - \theta(T) \qquad 3.9$$

A equação (3.6) pode ser reescrita em função da temperatura em torno de um valor inicial determinado (3.7). Simulações sobre o transistor nMOS mostram o comportamento da corrente para diferentes temperaturas quando  $V_{DS}$  é mantido constante em 200mV respectivamente fazendo com que o transistor opere saturado em inversão fraca. São mostradas as curvas para quatro valores de  $V_{GS}$  (100mV 125mV 150mV e 175mV).

$$I_{DS} = I_{DS}(T_0) \left(\frac{T}{T_0}\right)^\alpha \exp\left(q \frac{V_{GS}(T) - V_{TH}(T)}{n k T} - q \frac{V_{GS}(T_0) - V_{TH}(T_0)}{n k T_0}\right) \qquad 3.10$$



**Figura 7 - Corrente de sublimiar do transistor MOS em função da temperatura.**

Como podemos observar com o aumento da temperatura e  $V_{GS}$  e  $V_{DS}$  constantes a corrente tende a aumentar seu valor. Posteriormente, utilizando as equações dependentes da temperatura para tensão de limiar e para a corrente característica podemos isolar  $V_{GS}$  na equação (3.10) obtemos a equação (3.11).

$$V_{GS} = V_{TO}^{ZERO} \left(1 - \frac{T}{T_0}\right) + V_{GS}(T_0) \left(\frac{T}{T_0}\right) - n \frac{kt}{q} \ln \left[ \left(\frac{T}{T_0}\right)^\alpha \frac{I_{DS}(T)}{I_{DS}(T_0)} \right] \quad 3.11$$

Dessa maneira percebe-se que  $V_{GS}$  tem um comportamento próximo ao linear com a temperatura, visto que a parcela logarítmica apresenta um valor sempre inferior a tensão de limiar em inversão fraca. Se a corrente de dreno for considerada constante podemos reescrever  $V_{GS}$  (3.12)

$$V_{GS} = V_{T0}^{ZERO} \left(1 - \frac{T}{T_0}\right) + V_{GS}(T_0) \left(\frac{T}{T_0}\right) - \alpha n \frac{kt}{q} \ln \left(\frac{T}{T_0}\right) \quad 3.12$$

A equação (3.12) pode ser comparada com aquela da tensão  $V_{BE}$  do transistor bipolar utilizado nas referências de tensão *bandgap* (3.13). É a partir dessa semelhança que essa estrutura foi desenvolvida, nesse momento temos uma componente proporcional a temperatura e com uma deriva termica negativa.

$$V_{BE}(T) = V_{BG}^{ZERO} \left(1 - \frac{T}{T_0}\right) + V_{BE}(T_0) \left(\frac{T}{T_0}\right) - \alpha \frac{kT}{q} \ln \left(\frac{T}{T_0}\right) \quad 3.13$$

Assim como em uma referência de tensão *bandgap*, utilizaremos um componente PTAT para gerar uma tensão que será somada a parcela que decresce com a temperatura anulando seus efeitos de primeira ordem. Dessa forma é possível obter uma referência baseada na tensão de limiar de um transistor MOS de canal longo e com o substrato ligado a fonte. Ao contrário da tensão base emissor de um transistor bipolar, a tensão de limiar de um transistor MOS é fortemente dependente do numero de dopantes no substrato e tende a variar seu valor entre diferentes chips e até dentro do mesmo chip, fazem com que o seu valor não seja preciso e nem constante. O fabricante de circuitos integrados garante que essa tensão esteja dentro de um espalhamento do processo e fornece dados estatísticos sobre o mesmo, possibilitando a previsão dos valores possíveis que tal tensão pode assumir, assim podemos desenvolver uma estrutura para correção do mesmo.

### 3.3 TRANSISTOR MOS COMPOSTO EM INVERSÃO FRACA

Antes de avançarmos no projeto da referência de tensão, temos de melhorar a resposta da corrente  $I_{DS}$  do transistor MOS em relação a variações na tensão  $V_{DS}$  quando o mesmo está em inversão fraca e saturado, como simulado anteriormente. O transistor operando na saturação pode ser modelado para pequenos-sinais (análise AC) como uma fonte de corrente controlada por tensão simplificando a sua compreensão. Na teoria a fonte de corrente apresenta uma impedância de saída infinita e não sofre influência da corrente drenada pela carga. As curvas vistas anteriormente (análise DC) mostram que essa impedância não é infinita e que a corrente varia seu valor com o aumento de  $V_{DS}$ .

Dessa forma quanto maior for a resistência de saída, mais próximo de uma fonte de corrente ideal será o comportamento do transistor. Nesse momento iremos apresentar uma arquitetura de transistor MOS compostos de canal longo que proporciona um aumento na resistência de saída sem aumentar o consumo quiescente e sem necessitar de fontes de polarização auxiliares. Trabalhos prévios de projeto de circuitos CMOS analógicos utilizando transistores compostos foram realizados no GME-UFRGS entre 1998 e 2000 [14][15].

Os transistores MOS compostos mostrados na Figura 8 foram implementados na tecnologia CMOS IBM 130nm de substrato dopado do tipo P. Consiste de uma associação série de transistores com diferentes tamanhos e que têm suas portas conectadas em paralelo e o dreno do primeiro conectado à fonte do segundo transistor.

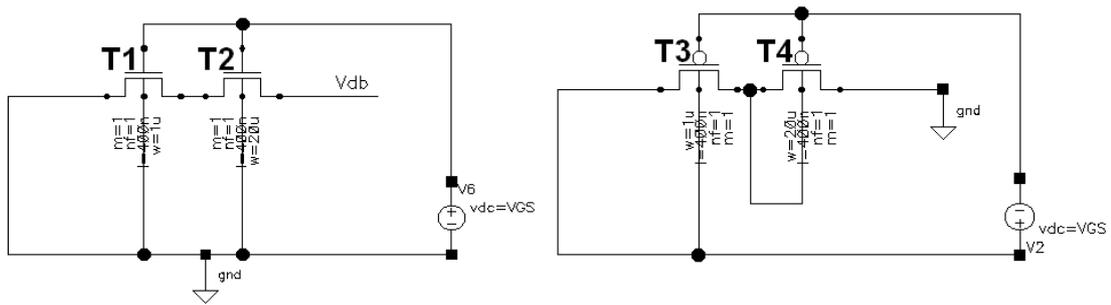


Figura 8 - Esquemáticos dos transistores MOS compostos, nMOS e pMOS respectivamente.

A maior diferença entre implementá-lo para transistores nMOS ou pMOS está no tamanho da estrutura necessária para isolar os poços dos transistores nMOS nessa tecnologia, A tecnologia utilizada, CMRF8SF, não disponibiliza o uso de transistores de poço triplo, apenas o processo CMRF8RF possibilita o projeto dos mesmos. Devido a limitações da tecnologia os substratos dos transistores nMOS estão conectados juntos o que faz com que o  $V_{SB}$  do segundo transistor não seja zero, causando efeito de corpo sobre o transistor T2. Já para os transistores pMOS é possível isolar os seus poços e assim conectá-los juntos diminuindo a relação necessária entre os transistores conforme será explicitado ao longo do texto.

Os desenvolvimentos matemáticos sobre essa topologia são similares para ambos os transistores pMOS e nMOS, divergindo apenas por constantes e pela tensão de limiar apresentar valores com sinais opostos, dessa forma desenvolveremos inicialmente sobre o transistor nMOS. Da Figura 8 temos as equações das correntes e tensões sobre os transistores e estamos considerando os mesmos construídos sobre o mesmo substrato.

$$I_{DST1} = I_{DST2} \quad V_{DST1} = V_{GST1} - V_{GST2} \quad 3.14$$

Considerando que a polarização mantenha T1 saturado com  $V_{DS}$  maior que  $3 kT/q$  podemos utilizar as equações (3.1)(3.9) para reescrever a equação das correntes (3.14)

$$\exp \left( q \frac{V_{GST1} - V_{GST2}}{k T} \right) \left[ 1 - \exp \left( -q \frac{V_{DST1}}{k T} \right) \right] = \left( \frac{W_{T2}}{L_{T2}} \right) / \left( \frac{W_{T1}}{L_{T1}} \right) \quad 3.15$$

Considerando a dependência da tensão de limiar em relação a substrato para os dois transistores, obtemos a simplificação acima. Utilizando a equação da tensão (3.14) sobre a equação obtivemos podemos isolar a equação (3.16). Observe que a tensão  $V_{DST1}$  é independente da tensão  $V_{GS}$  e da corrente de polarização característica que é válida somente na operação em inversão fraca.

$$V_{DST1} = \frac{kT}{q} \ln \left[ 1 + \left( \frac{W_{T2}}{L_{T2}} \right) / \left( \frac{W_{T1}}{L_{T1}} \right) \right] \quad 3.16$$

Para que o transistor T1 permaneça em saturação é necessário que a tensão  $V_{DST1}$  seja maior que  $3 kT/q$ . Substituindo e isolando a relação entre  $W/L$  dos transistores temos.

$$\left( \frac{W_{T2}}{L_{T2}} \right) > (e^3 - 1) \left( \frac{W_{T1}}{L_{T1}} \right) \quad \left( \frac{W_{T2}}{L_{T2}} \right) > 19 \left( \frac{W_{T1}}{L_{T1}} \right) \quad 3.17$$

É necessário que o transistor T2 seja 19 vezes maior que o transistor T1, essa é uma condição que exige muita área por si só, além disso, temos que os transistores são de  $L$  não mínimo. Como é de suma importância melhorar a resposta do transistor o uso de transistores composto se faz necessário apesar do custo em área. Porém essa relação se torna menor caso seja possível isolar os poços. Dessa forma, com os poços isolados teremos a relação (3.18) em comparação à obtida em (3.15).

$$\exp \left( q \frac{V_{GST1} - V_{GST2}}{n k T} \right) \left[ 1 - \exp \left( -q \frac{V_{DST1}}{k T} \right) \right] = \left( \frac{W_{T2}}{L_{T2}} \right) / \left( \frac{W_{T1}}{L_{T1}} \right) \quad 3.18$$

Observe que diferentemente do caso anterior, o transistor composto construído em substratos independentes não tem uma solução analítica explícita. Da equação (3.18) e da (3.14) podemos aproximar da equação (3.19) sendo mais exata quanto maior for à relação entre os transistores T2 e T1.

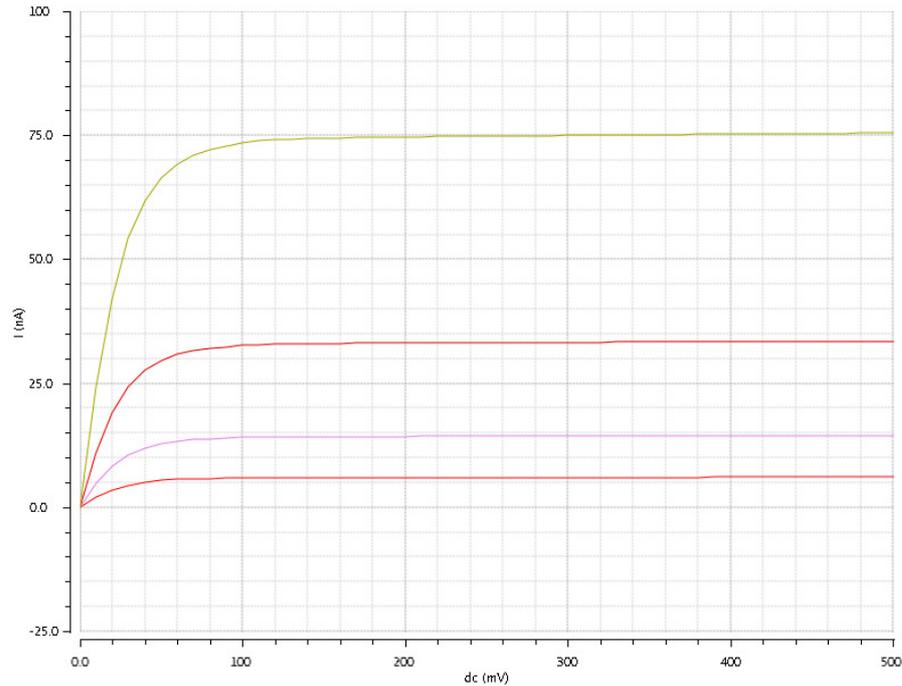
$$V_{DST1} \approx \frac{kT}{q} \ln \left[ 1 + \left( \frac{W_{T2}}{L_{T2}} \right) / \left( \frac{W_{T1}}{L_{T1}} \right) \right]^{n_1} \quad 3.19$$

Novamente, para que o transistor T1 permaneça também em saturação é necessário que a tensão  $V_{DST1}$  seja maior que  $3 kT/q$ . Substituindo e isolando a relação entre W/L dos transistores temos [8].

$$\left( \frac{W_{T2}}{L_{T2}} \right) > (\sqrt[n]{e^3 - 1}) \left( \frac{W_{T1}}{L_{T1}} \right) \quad \left( \frac{W_{T2}}{L_{T2}} \right) > \sqrt[n]{19} \left( \frac{W_{T1}}{L_{T1}} \right) \quad 3.20$$

A relação entre os transistores T2 e T1 para que ambos estejam saturados são menores quando ambos estão em substratos separados do que no mesmo substrato. Já que  $n$  é sempre pouco maior do que 1 no modelo do transistor [20] [21].

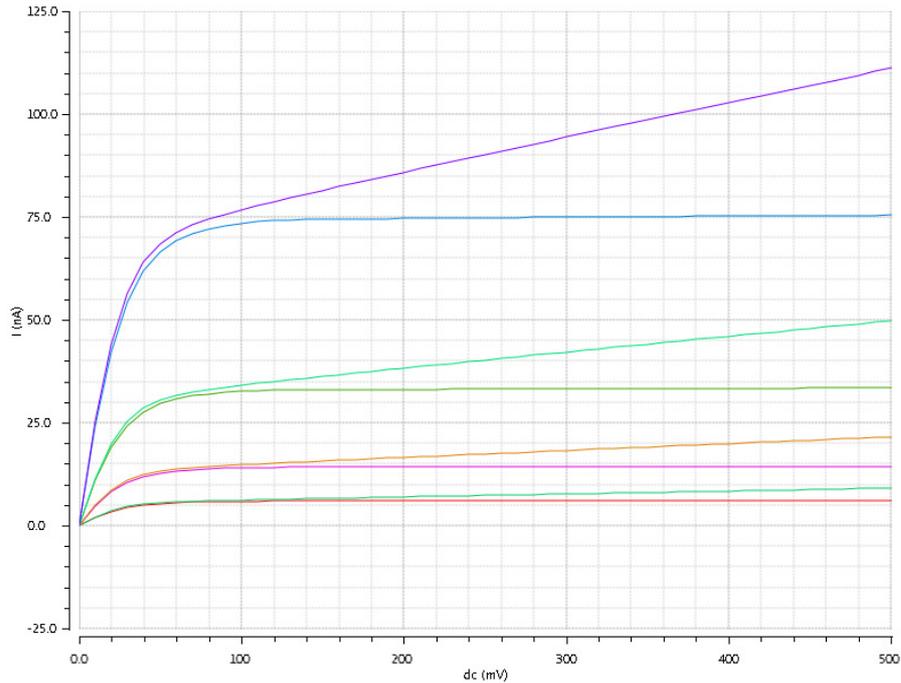
Nesse momento podemos estimar o comportamento do transistor MOS composto através do esquemático da Figura 8. No esquemático já temos uma relação de 20 vezes entre o transistor T2 e T1. Dessa forma realizaremos a mesma simulação realizada sobre o transistor MOS simples no capítulo anterior. Simulação DC para diferentes valores de  $V_{GS}$  (100mV 125mV 150mV e 175mV) para um  $V_{DS}$  variável (zero a 500mV).



**Figura 9 - Curva  $I_{DS}$  x  $V_{DS}$  para transistor composto nMOS**

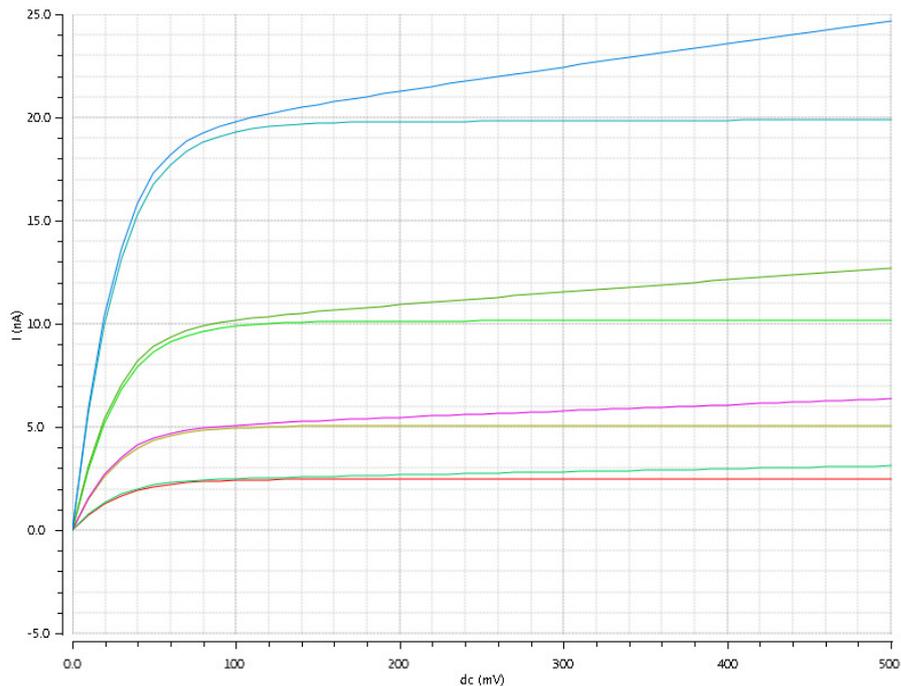
A curva da Figura 9 mostra uma relação entre a corrente  $I_{DS}$  e a tensão  $V_{DS}$  muito mais ideal do que para o transistor simples. Como podemos observar o transistor MOS composto não apresenta grande variação na corrente  $I_{DS}$  depois de saturado, fato que o torna um componente mais apropriado para a referência de tensão em questão.

Um comparativo entre as curvas para transistores nMOS composto e simples é feita na Figura 10 onde são aplicados as mesmas tensões de polarização das simulações DC anteriores. Nesse comparativo fica clara a diferença entre o uso dos transistores compostos e simples assim como justifica o uso de uma área maior de silício em troca de uma resposta elétrica melhor do transistor.



**Figura 10 - Curvas  $I_{ds}$  x  $V_{ds}$  para transistor nMOS e nMOS composto**

Também é interessante explorarmos o uso de transistores pMOS compostos, principalmente pelo fato de que podem ser construídos em poços separados nessa tecnologia. Utilizando o esquemático da Figura 8 e os mesmos parâmetros das simulações anteriores obtemos o gráfico da Figura 11. Nesse momento cada substrato está ligado a sua fonte.



**Figura 11 - Curvas  $I_{ds}$  x  $V_{ds}$  para transistor pMOS e pMOS composto**

A partir das simulações vemos que é vantajoso o uso de transistores compostos perante os transistores simples, em troca de um expressivo aumento na área do circuito dos transistores compostos. Esse aumento na área pode ser minimizado pelo uso de transistores com poço isolado. A obtenção do parâmetro  $n$  é descrita em [20] [21]. Pela equação (3.2) descrita no início desse capítulo, é possível obter um valor aproximado para  $n$ , aproximadamente 1.1 a 1.2. O que mostra que, pela abordagem matemática adotada e tecnologia empregada ou não há confiabilidade no valor de  $n$  como comentado em [7] ou não há vantagem significativa na separação dos poços em relação à área dos dispositivos.



Na implementação desse projeto foi questionado o uso de transistores compostos nos dois grupos de transistores que compõem a referência. Entretanto se constatou que não seria interessante aplicar essa técnica no conjunto de transistores nMOS, à medida em que os mesmos têm seus poços compartilhados e apresentariam efeito de corpo entre seus transistores de forma que necessitariam mais área em relação ao par pMOS. Entre as opções do projeto, foi considerado melhor realizar o menor aumento de área possível para uma resposta melhor, dessa forma foram implementados o par de transistores compostos apenas no espelho pMOS.

Observando o circuito da Figura 12 podemos, para efeito de compreensão do circuito, considerar que a corrente de polarização  $I_{BIAS}$  é oriunda da diferença entre as tensões  $V_{GS}$  dos transistores Q1A e Q3A dividido pelo resistor R1. Também podemos considerar a tensão de referência como à soma da tensão  $V_{GSQ4}$  com a queda sobre R2. Nessa análise podemos modelar grosseiramente a corrente pela equação (4.1) e a qual facilita uma estimativa inicial e a compreensão do funcionamento do circuito.

$$I_{BIAS} = n \frac{kT}{q} \frac{1}{R_1} \ln \left( \left( \frac{W_{3A}}{L_{3A}} \right) / \left( \frac{W_{1A}}{L_{1A}} \right) \right) \quad 4.1$$

A equação (4.2) considera o circuito como um todo e o efeito de realimentação provocado pelos espelhos [8]. A mesma é função das dimensões dos dispositivos e de parâmetros do processo, como  $n_p$  que é o fator de inclinação do transistor pMOS. Salientando novamente que o fator de inclinação tanto  $n$  quanto  $n_p$  é maior e próximo de 1 sendo aproximado de 1,1 para efeitos de cálculo.

$$I_{BIAS} = np \frac{kT}{q} \frac{1}{R_1} \ln \left( \frac{\left( \frac{W_2}{L_2} \right) \left( \frac{W_{3a}}{L_{3a}} \right) \left( 1 + \left( \frac{W_{1a}}{L_{1a}} / \frac{W_{1b}}{L_{1b}} \right)^{np} \right)}{\left( \frac{W_4}{L_4} \right) \left( \frac{W_{1a}}{L_{1a}} \right) \left( 1 + \left( \frac{W_{3a}}{L_{3a}} / \frac{W_{3b}}{L_{3b}} \right)^{np} \right)} \right) \quad 4.2$$

A corrente  $I_{BIAS}$  é dependente da temperatura, através da dependência da constante térmica como pela variação do resistor R1. Esse resistor pode ser montado com o mesmo material que a porta do transistor (Poli silício), através da difusão ou conforme a tecnologia com Poli silício de alta resistência. Para todas as abordagens o resistor (R1 ou R2) terá uma dependência linear com a temperatura através do coeficiente  $\varphi$  [1] expressa pela equação abaixo (4.3).

$$R(T) = R(T_o)[1 + \varphi(T - T_o)] \quad 4.3$$

A equação (4.2) pode ser escrita em função apenas da temperatura de acordo com a equação (4.4). Considerando o resistor linear para a faixa de temperatura de interesse, a corrente possui uma variação bem próxima da linear com a mesma. Essa condição é altamente desejável para uma referência de tensão, mas é o fato de não ser precisamente linear (efeitos de segunda ordem) que contribui para imperfeição da regulação da temperatura e motivam diversos estudos [12].

$$I_{BIAS}(T) = I_{BIAS}(T_o) \frac{T}{T_o} \frac{1}{1 + \varphi(T - T_o)} \quad I_{BIAS}(T) \approx I_{BIAS}(T_o) \left( \frac{T}{T_o} \right) \quad 4.4$$

A soma da queda de tensão sobre o resistor R2 e a tensão  $V_{GS}$  do transistor Q4 gera a tensão de saída  $V_{REF}$  da referência de tensão, expressa pela equação (4.5).

$$V_{REF} = R_2(T)I_{BIAS}(T) + V_{GS\ Q4}(T) \quad 4.5$$

Da equação (4.4) e (3.11) podemos obter a expressão (4.6) que define  $V_{GS}$  em função da temperatura e independente da parcela PTAT da corrente de polarização [8]. Onde  $n_n$  é o

fator de inclinação (próximo e maior que 1) e  $\alpha_n$  o coeficiente térmico da corrente característica, que assume um valor menor que 1 para transistores MOS em inversão fraca.

$$V_{GS Q4}(T) = V_{T0}^{ZERO} \left(1 - \frac{T}{T_0}\right) + V_{GS Q4}(T_0) \left(\frac{T}{T_0}\right) + (1 - \alpha_n) n_n \frac{kT}{q} \ln \left(\frac{T}{T_0}\right) \quad 4.6$$

De posse da equação (4.6) e (4.4) pode-se expressar a tensão  $V_{REF}$  em função da temperatura pela expressão (abaixo). Observe que o importante é a relação entre os resistores e não seu valor absoluto, dessa forma com um bom casamento no layout dos mesmos, ocasionará uma redução no efeito das variações no processo de fabricação sobre a referência.

$$V_{REF} = np \frac{kT}{q} \frac{R_2}{R_1} \ln \left( \frac{\left(\frac{W_2}{L_2}\right)\left(\frac{W_{3a}}{L_{3a}}\right)\left(1 + \left(\frac{W_{1a}}{L_{1a}} / \frac{W_{1b}}{L_{1b}}\right)^{np}\right)}{\left(\frac{W_4}{L_4}\right)\left(\frac{W_{1a}}{L_{1a}}\right)\left(1 + \left(\frac{W_{3a}}{L_{3a}} / \frac{W_{3b}}{L_{3b}}\right)^{np}\right)} \right) + V_{GS Q4}(T) \quad 4.7$$

Em posse das equações anteriores é possível visualizar que a primeira parcela da equação (4.7) aumenta seu valor com a temperatura (Figura 13) enquanto a segunda tende a ser inversamente proporcional a mesma. Ambas as parcelas tem sua componente mais expressiva linear com a temperatura, mas ainda há parcelas que provocam efeitos de segunda ordem. Da mesma forma é possível ver que com um dimensionamento apropriado haverá o cancelamento entre as componentes ocasionando um ponto de mínima variação com a temperatura.

Observando a equação (4.7) podemos concluir que entre seus termos a tensão  $V_{GS Q4}$  é dependente apenas de parâmetros da tecnologia e não há mudanças no projeto que possam alterar seu valor. Entretanto no primeiro termo temos os resistores que influenciam diretamente o valor dessa parcela, principalmente  $R_2$  o qual não está associado com a corrente de polarização diretamente.

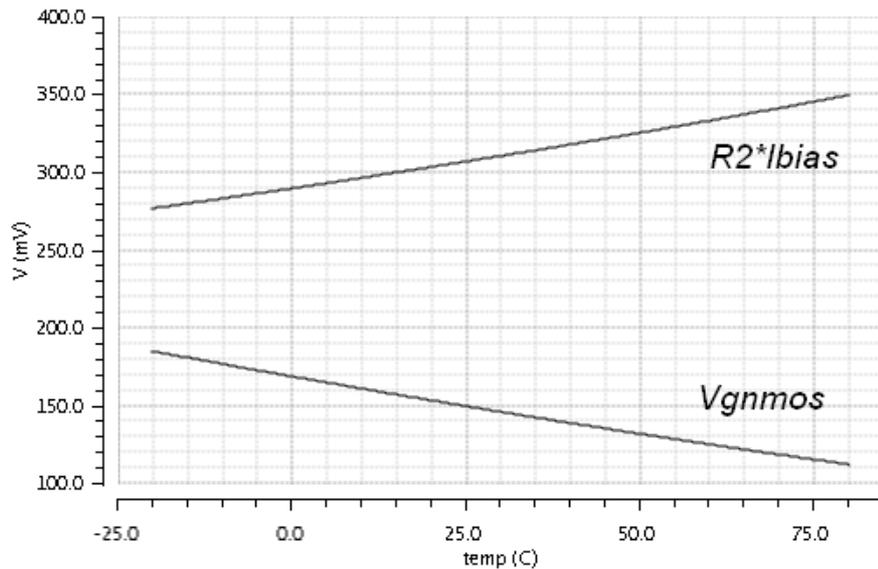


Figura 13 - Tensões com dependência térmica e com inclinação oposta.

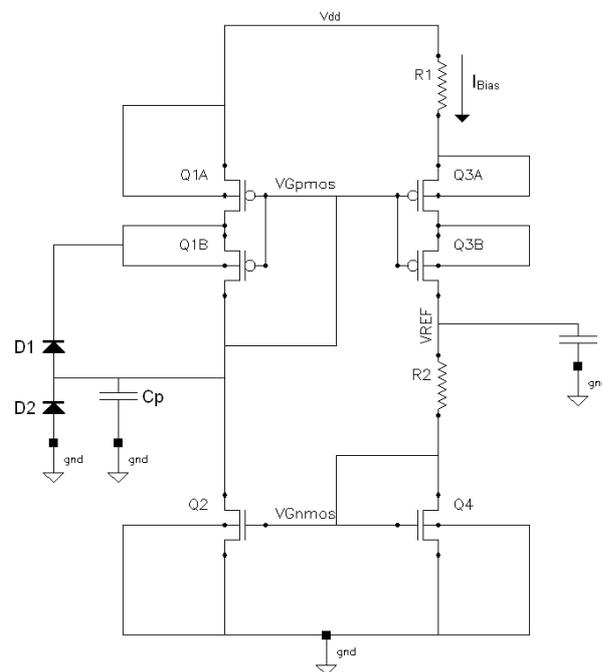
## 4.2 CONDIÇÃO DE PARTIDA

O circuito escolhido pode entrar em operação em ponto de estabilidade indesejável para a aplicação. Devido à estrutura do circuito de polarização, duas situações distintas de estabilidade podem ocorrer ao ligarmos o circuito, em um dos casos as correntes podem ser zero, levando as tensões de polarização para valores que mantém os transistores cortados e forçam o circuito a manter este estado, essa situação é indesejada. Em outro caso as correntes diferem de zero e levam as tensões dos transistores para valores que os polarizam corretamente e surge uma realimentação que leva o circuito para o ponto de operação desejado.

Para evitar essa situação, diversos dispositivos de inicialização foram desenvolvidos e são baseados em pequenos circuitos auxiliares os quais levam alguns pontos críticos do circuito para tensões específicas [1]. Tais circuitos tendem a extinguir a sua interferência sobre o circuito depois que o mesmo está em operação plena. Esta solução é simples e não oferece maiores perdas para o circuito além da área despendida.

O circuito da referência de tensão em questão apresenta um conjunto de componentes parasitas que facilitam a boa inicialização do sistema. Os diodos parasitas oriundos dos transistores Q1B e Q2 tendem a fornecer correntes de fuga que atuam sobre o nó o  $V_{GS}$  pMOS. As correntes somadas às capacitâncias parasitas presentes nesse nó podem prover uma condição de inicialização agradável ao propósito desse circuito.

Os diodos parasitas são formados da junção dreno-substrato inerentes a qualquer transistor MOS (no caso Q1B e Q2) enquanto que as capacitâncias parasitas são devidas as conexões de porta e a capacitância entre metais. Os valores destes componentes dependem das dimensões dos dispositivos e podem ser projetados para atuar como um circuito de inicialização apropriado.



**Figura 14 - Componentes parasitas na inicialização da referência de tensão.**

A corrente de fuga do diodo D2 tende a ser maior que a do outro diodo, fazendo com que o nó em questão fique com uma baixa tensão na inicialização do circuito o que faz com que os transistores iniciem conduzindo. Por iniciarem conduzindo os transistores fazem com

que a realimentação convirja para o ponto de operação desejado para o circuito. A Figura 14 mostra os componentes parasitas sobre o circuito da referência de tensão.

Consequentemente concluímos que a topologia não necessitaria de um circuito auxiliar de inicialização. Os componentes parasitas tendem a levar o circuito para o ponto de operação desejado, garantindo o seu correto funcionamento. O diodo D2 tende a conduzir uma corrente de fuga maior que o diodo D1, caso essa condição não seja atingida naturalmente pode-se aumentar o tamanho da junção dreno-substrato do transistor Q2. Entretanto essa condição é consideravelmente arriscada, e o uso de um circuito de inicialização deve ser considerado a medida que o mesmo proporciona uma maior segurança e uma resposta mais rápida na inicialização.

### **4.3 COMPENSAÇÕES E CIRCUITO DO AMPLIFICADOR LDO**

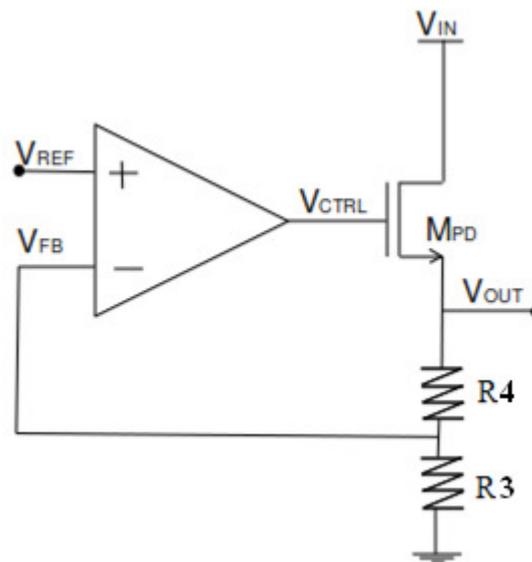
A tensão de referência fornecida por esta topologia é fortemente dependente da tensão de limiar, a qual tende a variar seu valor devido ao processo de fabricação CMOS. Para estimar essa variação foram realizadas simulações sobre os extremos de operação do circuito e estão descritas Tabela 3 no capítulo 5.3.

Para compensar esse efeito, permitindo a calibração da referência e que o circuito forneça sempre uma mesma tensão, um amplificador pode ser acoplado na saída do circuito. Possibilitando um controle da tensão de saída ( $V_{OUT}$ ) e isolando a referência das cargas que venham a ser anexadas ao nó de saída e provavelmente alterariam a sua polarização.

O ideal para essa situação seria um amplificador realimentado através de um divisor resistivo simples possibilitando a calibração da tensão de saída. Esse amplificador deve minimamente diminuir a tensão de operação do sistema como um todo a fim de não restringir a tensão mínima em que a referência comece a operar. Além disso, é interessante um baixo

consumo de potência e que o circuito do mesmo não apresente variações significativas com a temperatura.

O amplificador da Figura 15 apresenta uma realimentação negativa e possibilita o controle da tensão de saída  $V_{OUT}$  pela relação entre os resistores. Uma versão projetada como LDO, baixa diferença de tensão entre  $V_{IN}$  e  $V_{OUT}$ , foi realizada como tese de mestrado por A. D. Souza [9]. A estrutura do LDO foi desenvolvida no mesmo processo CMOS que a referência de tensão em questão e por isso será utilizada como dispositivo para calibragem e isolamento da referência.



**Figura 15 – Circuito para calibração da tensão de referência. (Souza, 2012)**

A relação tensão de entrada tensão de saída é dada pela equação (4.8) a qual permite o ajuste da tensão de saída pela relação entre os resistores da realimentação do circuito. Com essa estrutura auxiliar é possível compensar variações da tensão de limiar e produzir de forma eficiente referências de tensão.

$$\frac{V_{OUT}}{V_{REF}} \cong 1 + \frac{R4}{R3} \quad 4.8$$

O amplificador em questão é apropriado na medida em que ele foi especificado para acompanhar uma referência de tensão com características similares à deste projeto. O amplificador LDO em questão se apresenta como uma boa solução por apresentar uma baixa queda de tensão entre alimentação e o  $V_{OUT}$ , além de um baixo consumo. Os resistores  $R_3$  e  $R_4$  na saída devem ser dimensionados para calibrar, pós-fabricação, todos os valores de  $V_{REF}$  que as variações inerentes ao processo de fabricação CMOS podem provocar no valor médio da tensão de referência. Estas variações de circuitos a circuito, mesmo no mesmo chip, são mais significativas do que a variação com a temperatura de uma mesma referência.

## 5 PROJETO E SIMULAÇÕES

### 5.1 DIMENSIONAMENTO DOS TRANSISTORES DA REFERÊNCIA

Uma das características da referência de tensão proposta nesse trabalho está na simplicidade da sua estrutura e facilidade na construção. A topologia escolhida realmente não apresenta diversos estágios e não necessita de circuitos de inicialização, como outras propostas semelhantes [10], reduzindo o número de componentes.

Entre os objetivos desta referência de tensão, está atingir uma regulação de tensão frente a variações na temperatura, que seja compatível com as exigências dos circuitos integrados modernos. Também é necessário que a mesma opere abaixo de 1V a fim de ser uma possível solução conforme as tecnologias decrescem cada vez mais a sua tensão de alimentação. Decidimos especificar a corrente de polarização ( $I_{BIAS}$ ) de 350nA, a qual é compatível com a tecnologia CMOS 130-nm e mantém um baixo consumo de potência. A tensão de referência será diretamente dependente da tensão de limiar do transistor nMOS, o que torna seu valor bastante dependente da tecnologia de fabricação, ao passo que o projeto busca minimizar a variação com a temperatura e variação da referência DC com a fonte de alimentação.

As equações utilizadas nesse trabalho utilizam diversos parâmetros e constantes dependentes da tecnologia. Estes parâmetros podem ser fornecidos pela fábrica onde será produzido o circuito integrado ou estar presentes dentro de manuais ou do próprio simulador [17][18][19].

Apesar dos parâmetros fornecidos pelo fabricante, ainda existem outros que são expressos de maneira mais complexa e necessitam de uma expressão mais simples. Tais simplificações são feitas para possibilitar o cálculo manual através das expressões presentes nesse trabalho e muitas vezes provocam desvios significativos dos valores reais [7].

De posse dos objetivos do projeto e dos parâmetros da tecnologia podemos iniciar o projeto da referência de tensão. De acordo com as equações (4.2) e (4.5), a corrente  $I_{BIAS}$  e a tensão  $V_{REF}$  são dependentes dos resistores, do tamanho dos transistores e de parâmetros da tecnologia CMOS. Como podemos observar a determinação do tamanho dos dispositivos tende a ser feita de modo iterativo à medida que há muitas variáveis de projeto a dimensionar. O que podemos determinar é que para validação das equações utilizadas e diminuição das variações de processo sobre os dispositivos o L dos transistores pMOS foi estipulado igual a  $1\mu\text{m}$  (maior que seis vezes o L mínimo).

O resistor R1 é, juntamente com a diferença de tamanho entre Q1A e Q3A, peças chaves para o cálculo da corrente  $I_{BIAS}$  expressos em (4.1) e (4.2). Dessa forma ao determinamos uma corrente de polarização obtemos os valores entre a relação Q1A e Q3A e o resistor. Como os transistores Q1A e Q2 formam um ramo de dois espelhos de corrente, podem ter seu tamanho igualmente reduzido, a fim de diminuir a área e a corrente de polarização desse ramo. A tecnologia CMOS IBM 130nm disponibiliza resistores de precisão em poli-silício os quais apresentam alta resistividade por quadrado, uma boa confiabilidade no valor absoluto e um bom casamento para um layout correto [17][19].

A regulação de linha está relacionada com efeito de CLM, dado pela equação (3.7) e dependente das tensões de  $V_{DS}$ , as tensões sobre os transistores Q1A e Q3A são estáveis se Q1B e Q3B forem bem dimensionados. Os transistores nMOS, Q2 e Q4 precisam ter um comprimento de canal maior a fim de equilibrar as contribuições na regulação de linha.

Inicialmente foi feita uma primeira estimativa (4.1) e (4.2) dos tamanhos dos transistores Q1A, Q3A e do resistor R1 para obtermos a corrente especificada, em posse desses valores, Q1B e Q3B tem seu W 20 vezes maior. Levando em conta a equação (4.5) se iniciou diversas simulações utilizando o simulador da Cadence sobre o esquemático da

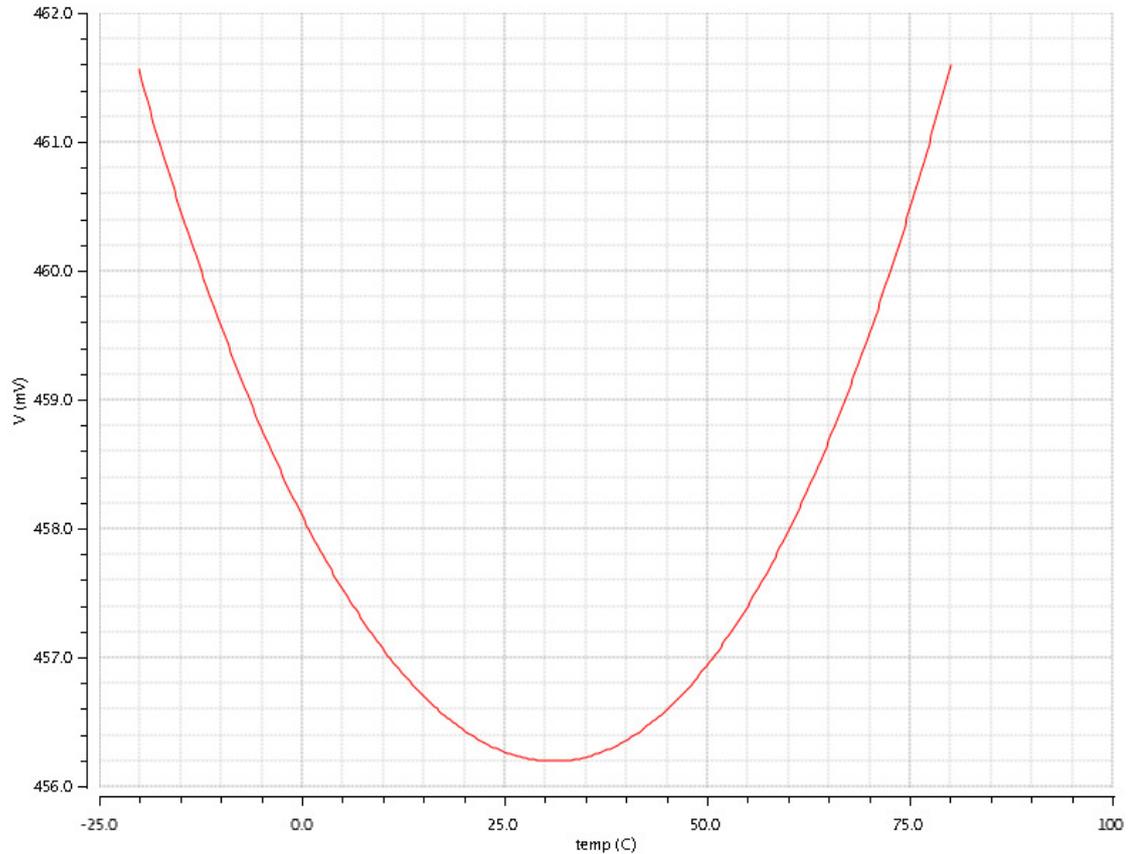
estrutura mostrada na Figura 12 e assim definindo os tamanhos precisos para obter a melhor compensação térmica e regulação de linha.

**Tabela 1 - Dimensões dos componentes.**

Componente	Parâmetro	Tamanho
Q1A	W ( $\mu\text{m}$ )	12.5
	L ( $\mu\text{m}$ )	1
Q1B	W ( $\mu\text{m}$ )	250
	L ( $\mu\text{m}$ )	1
Q3A	W ( $\mu\text{m}$ )	100
	L ( $\mu\text{m}$ )	1
Q3B	W ( $\mu\text{m}$ )	1000
	L ( $\mu\text{m}$ )	1
Q2	W ( $\mu\text{m}$ )	7
	L ( $\mu\text{m}$ )	10
Q4	W ( $\mu\text{m}$ )	14
	L ( $\mu\text{m}$ )	10
R1	Resistência ( $\text{k}\Omega$ )	220
R2	Resistência ( $\text{k}\Omega$ )	965

A Tabela 1 mostra o tamanho dos componentes implementados na simulação. A simulação é realizada utilizando o  $V_{DD}$  de 1.2V e a temperatura de 27°C, com os tamanhos descritos obtemos as seguintes respostas do circuito para variações na temperatura (Figura 16) e regulação de linha (Figura 17).

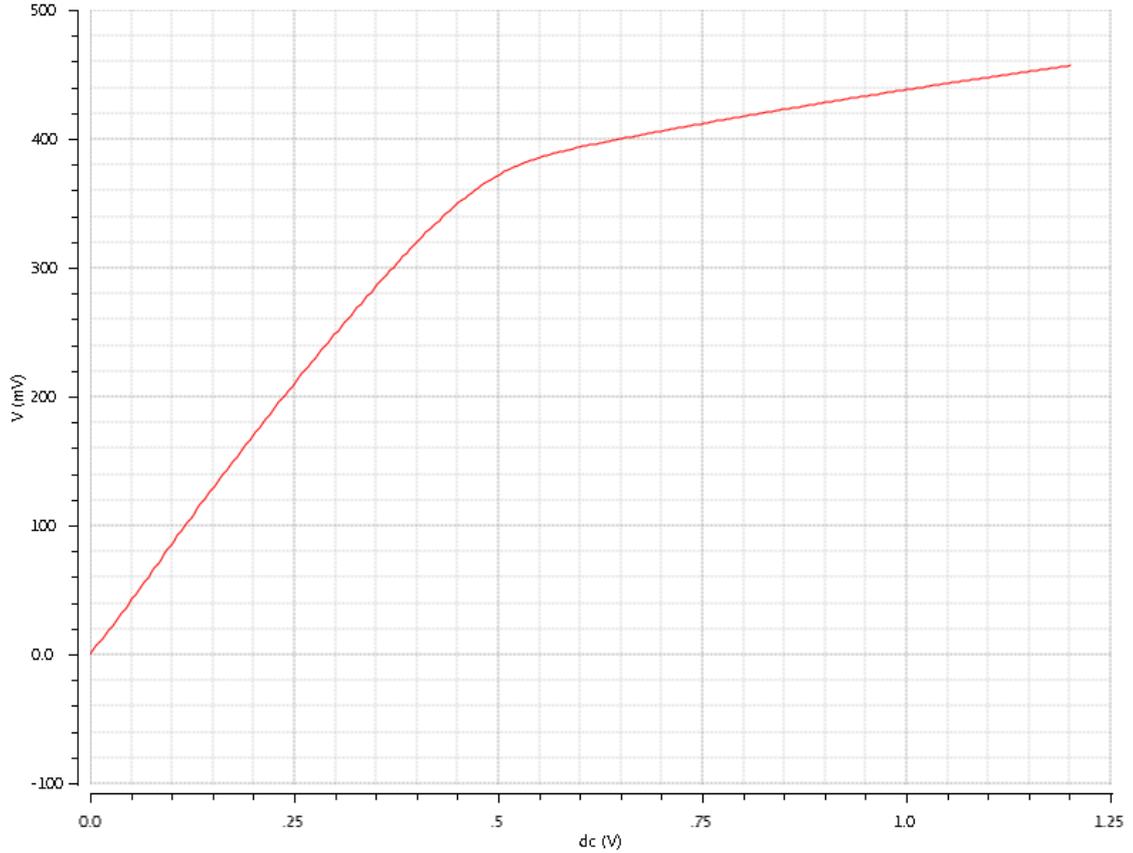
O circuito foi dimensionado para que na Figura 16 o gráfico obtido obtivesse a menor variação no range de temperatura. Nesse formato a mínima variação da tensão, mínimo da parábola, em relação à temperatura ocorre em 31°C. Alterando o valor de R2 é possível levar esse centro para diferentes temperaturas, facilitando a reconfiguração da referência para uma aplicação que necessite.



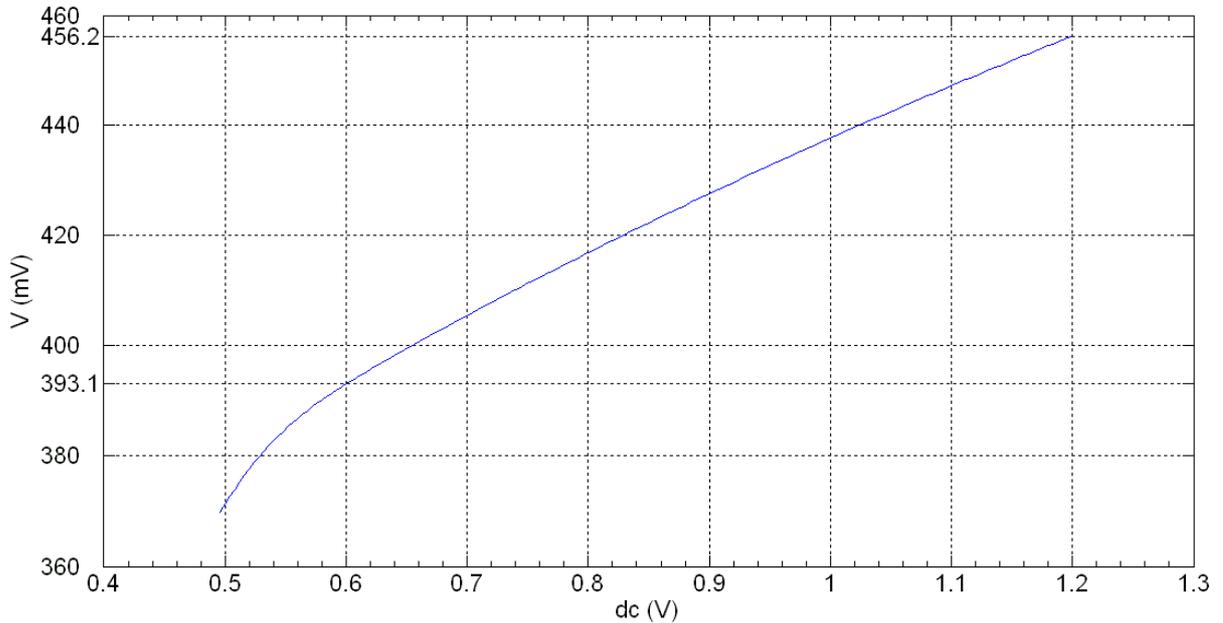
**Figura 16 – Tensão de referência em relação à temperatura.**

Há diversas formas de determinar a variação térmica de uma referência de tensão [12], por isso nesse trabalho a variação térmica será medida como a maior inclinação de uma das duas retas que ligam os máximos ao ponto de mínimo, como duas cordas. Pela equação (5.1) obtém-se dessa forma dois valores,  $105.8\mu\text{V}/^\circ\text{C}$  e  $110.2\mu\text{V}/^\circ\text{C}$  onde  $110.2\mu\text{V}/^\circ\text{C}$  é considerada a variação térmica da referência e é equivalente a  $240.1\text{ PPM}/^\circ\text{C}$ .

$$\frac{\Delta V_1}{\Delta T} = \frac{456.2 - 461.6}{51.0} = -0.1058\text{mV}/(^\circ\text{C}) \quad \frac{\Delta V_2}{\Delta T} = \frac{461.6 - 456.2}{49.0} = 0.1102\text{ mV}/^\circ\text{C} \quad 5.1$$



**Figura 17 – Tensão de referência em relação à tensão de alimentação.**



**Figura 18 – Tensão de referência na região regulada em relação à tensão de alimentação.**

A Figura 17 e a Figura 18 mostram a relação entre a tensão de referência  $V_{REF}$  e a alimentação do circuito. Como é possível ver, acima de 500mV temos o início de uma regulação melhor, mas é a partir de 600mV que temos uma regulação mais estável e onde o

valor da referência deve ser considerado válido. A variação da tensão de referência em relação à tensão de alimentação é dada pela equação (5.2) e tem o valor de 105.1mV/V

5.2

Conhecido o modo de operação da referência e finalizado o dimensionamento dos componentes, foi feito o *layout* da estrutura com auxilio dos softwares de *design* de chips da empresa Cadence. Foram seguidas as regras geométricas e elétricas de *design* da tecnologia CMOS 130nm e algumas técnicas de casamento de componentes.

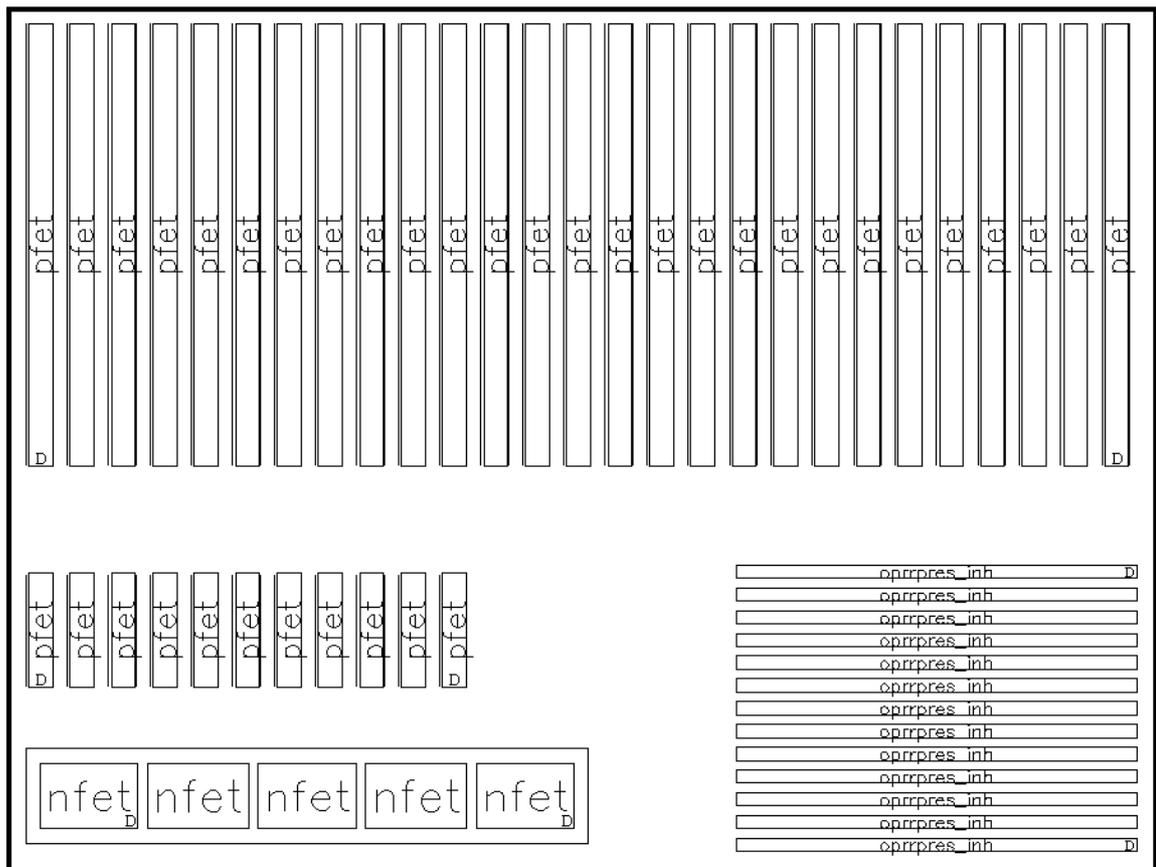


Figura 19 – Planejamento da referência e casamento dos componentes.

Os pares de transistores Q1A e Q3A formam uma relação delicada para a referência de tensão, por isso alguns cuidados foram tomados. Os mesmos se encontram dispostos com centróide comum e com transistores sem funcionalidade elétrica nas laterais (Marcados com D na Figura 19), isso foi feito a fim de que todos os componentes sofram as mesmas variações de processo, mas sua relação permaneça equivalente.

A relação entre os valores dos resistores R1 e R2 também apresenta um forte efeito sobre a qualidade da referência. Dessa forma os resistores e os demais transistores também receberam os mesmos cuidados em relação às técnicas de casamento minimização das variações de processo, todos estão dispostos em centroide comum e tem componentes sem funcionalidade elétrica nas laterais.

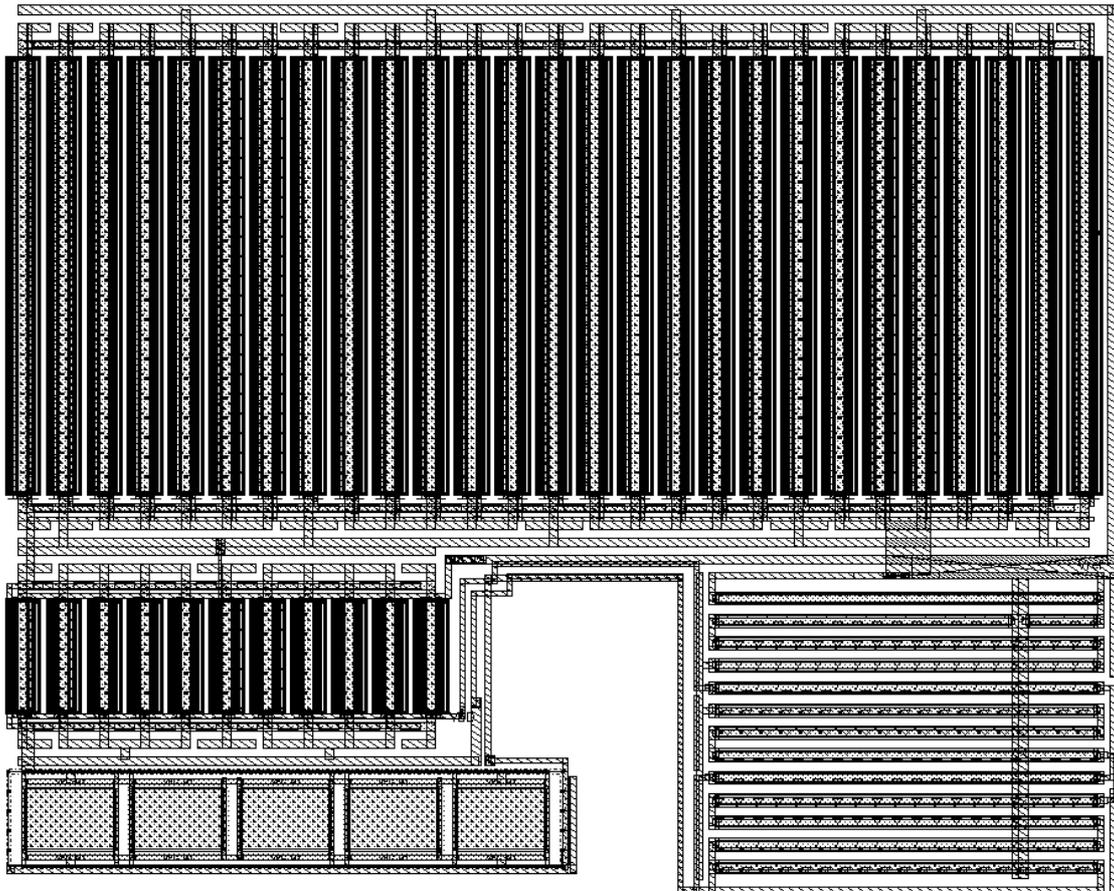


Figura 20 – Design do circuito referência de tensão.

Além disso, todas as conexões e níveis de metais de ligação foram desenhados simetricamente no entorno dos transistores. Um transistor que só necessitaria ter conexões em metal nível um, apresenta todas as conexões utilizadas pelo grupo com que está sendo casado, e ao seu redor passam todos os barramentos que são necessários a algum membro do grupo. Com essas técnicas cada transistor tem exatamente os mesmos dispositivos e sofre os mesmos efeitos oriundos dos processos de fabricação.

A Figura 20 apresenta o design final da referência de tensão sub-1V. Como a imagem indica, há uma simetria constante na disposição dos transistores e de suas conexões. A estrutura pode ser colocada dentro de um retângulo de  $103\mu\text{m}$  por  $127\mu\text{m}$ .

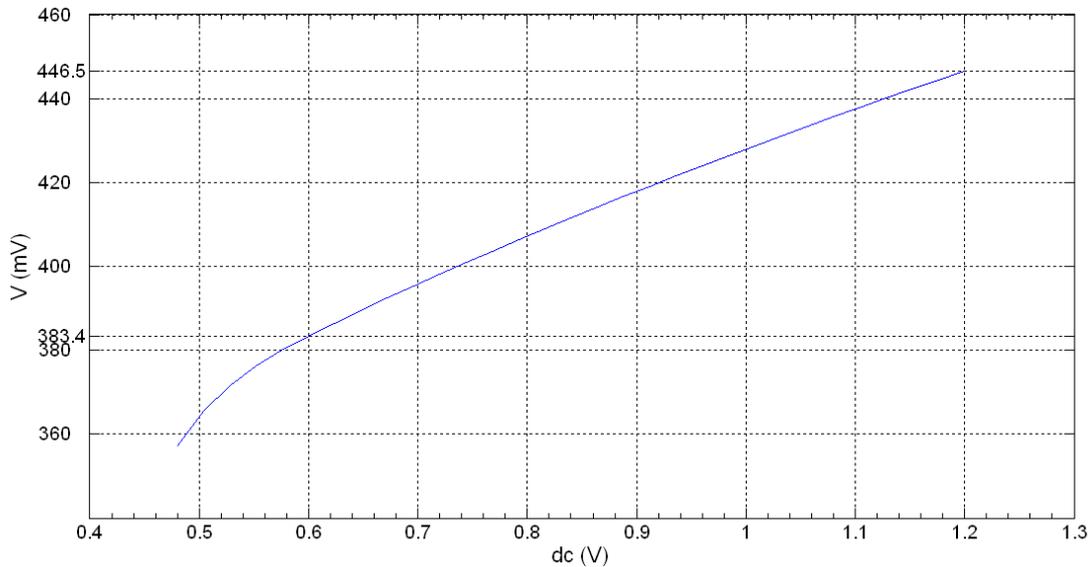
## 5.2 SIMULAÇÃO SOBRE O LAYOUT A REFERÊNCIA

Em posse do design da referência de tensão é necessário conferir o efeito dos componentes parasitas oriundos das conexões e da distância entre os componentes principais. Para realizar a extração dos parasitas foi utilizado o *software* Assura, ferramenta presente no Cadence, o qual está apto a realizar esse procedimento nessa tecnologia.

Após realizar a extração dos componentes parasitas o arquivo de dados é inserido no simulador e o circuito é novamente simulado para conferir seu funcionamento. Entre os parasitas é possível obter a partir do *design* as resistências das conexões e interconexões e/ou as capacitâncias entre componentes e conexões, sendo esses os tipos de extrações que a tecnologia e o simulador disponibilizam.

Com os componentes extraídos, suas contribuições são adicionadas ao simulador por um processo de alteração na lista de conexões básicas. Posteriormente repetimos as simulações sobre a referência de tensão mantendo as mesmas configurações de polarização. A

Figura 21 mostra a regulação de linha obtida da referência acrescida dos componentes parasitas da extração de resistências e capacitâncias do circuito.



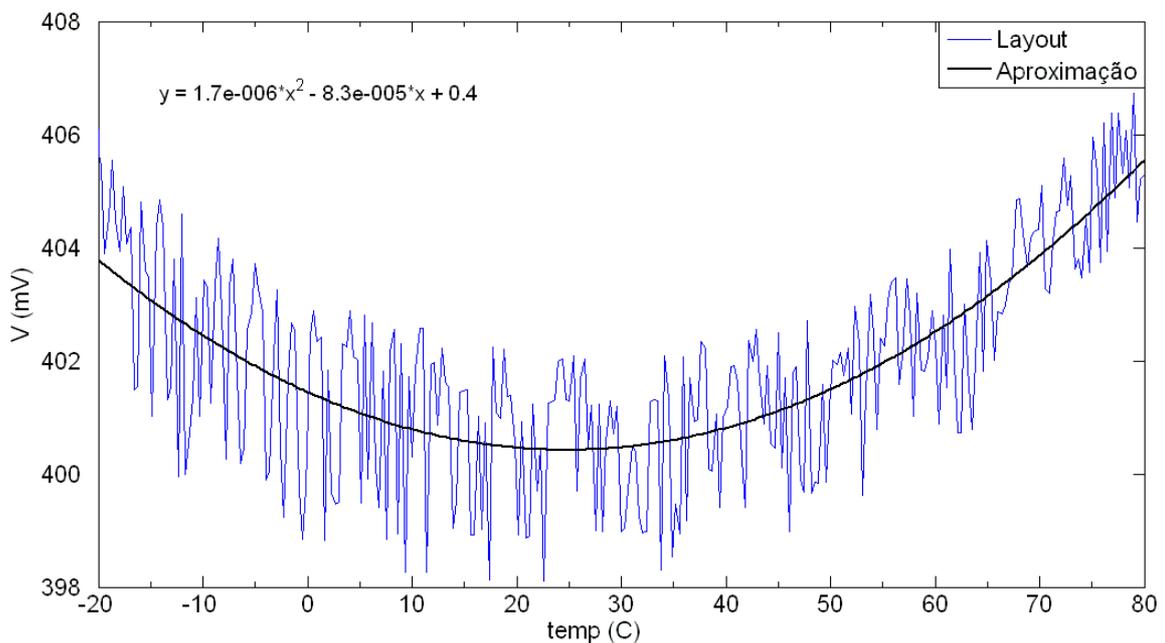
**Figura 21 – Vref vs. Vdd**

$$\frac{\Delta V_{REF}}{\Delta V_{VDD}} = \frac{446.5 - 383.4}{0.6} = 105.1 \text{ mV/V} \quad 5.3$$

A regulação obtida é similar à projetada, diferindo seu valor central por 10mV, fato que não influencia na qualidade da referência a medida que o objetivo é obter estabilidade. Esta sutil diferença no valor da tensão final tem ligação direta com as resistências parasitas extraídas, e pode ser compensa pelo ganho do LDO ou na aplicação em que a referência for inserida.

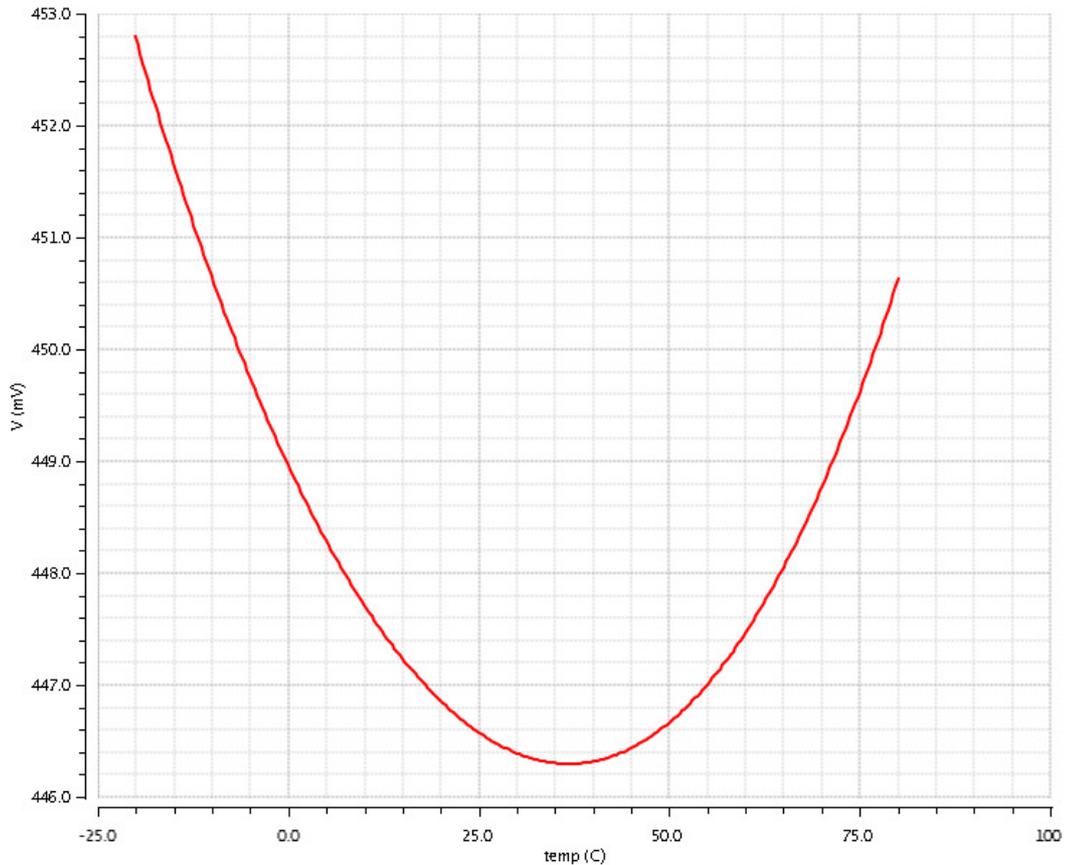
O simulador em questão utiliza diversas equações e modelos matemáticos para proporcionar os resultados aqui descritos. Em alguns casos essas equações não apresentam uma solução direta e envolve a suposição de algumas condições pelo *software* que provocam resultados não tão claros quanto o esperado.

Realizada a simulação utilizando os componentes parasitas capacitivos e resistivos sobre a referência de tensão obteve-se a resposta mostrada na Figura 22. Como se observa, o simulador não proporcionou uma resposta DC para VRef conforme esperado, apresentando algo similar a um ruído de simulação sobre a mesma. Fica claro que esse é um problema de simulação, onde a real resposta do circuito pode ser estimada por uma curva traçada sobre o gráfico que o aproxima de uma função de segunda ordem.



**Figura 22 – Vref vs. Temp. Utilizando o circuito extraído com componentes RC.**

Diante desse efeito é realizada uma nova extração apenas dos componentes parasitas resistivos. A Figura 23 mostra uma curva mais coerente em relação à linearidade ponto a ponto, mas diferente em valores comparado com a primeira simulação.



**Figura 23 – Vref vs. Temp. Utilizando o circuito extraído com componentes apenas resistivos.**

De posse dos dois gráficos é realizada uma análise sobre ambos, sobre a simulação da Figura 22 temos o mínimo da parábola em 25.4°C e obtemos os dados contidos na equação (5.4) que equivalem a 2.36 PPM/°C enquanto que para a Figura 23 temos o mínimo da parábola em 36.7°C e obtemos os dados contidos na equação (5.5) que equivalem a 254.9 PPM/°C.

$$\frac{\Delta V_1}{\Delta T} = \frac{400.4 - 404.0}{45.4} = -0.0792 \text{ mV}/(^{\circ}\text{C}) \quad \frac{\Delta V_2}{\Delta T} = \frac{405.6 - 400.4}{54.6} = 0.0952 \text{ mV}/^{\circ}\text{C} \quad 5.4$$

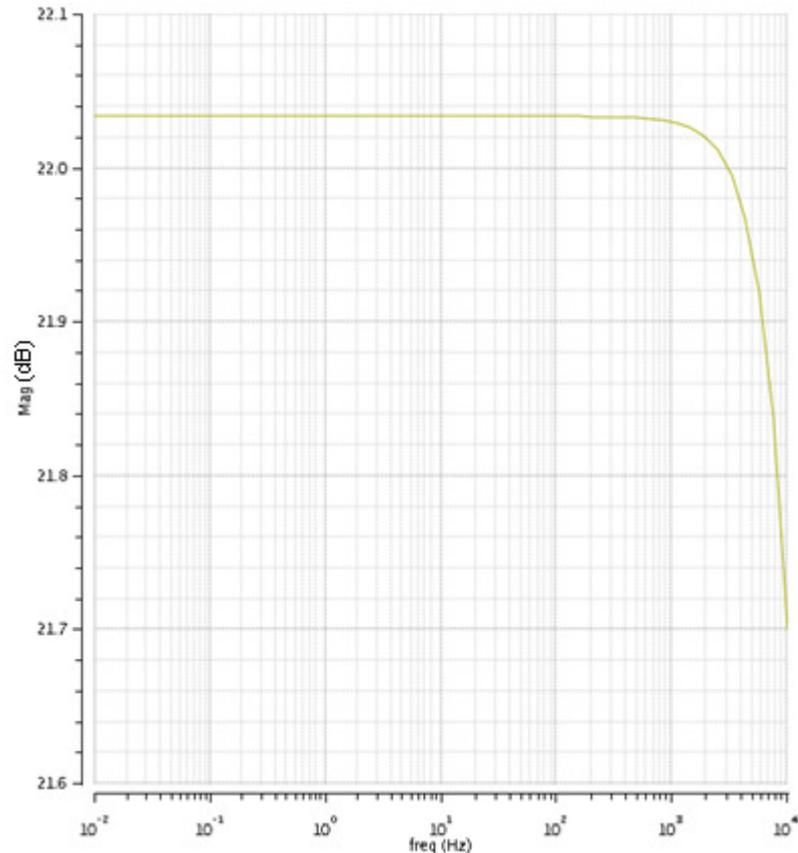
$$\frac{\Delta V_1}{\Delta T} = \frac{446.3 - 452.8}{56.7} = -0.1146 \text{ mV}/(^{\circ}\text{C}) \quad \frac{\Delta V_2}{\Delta T} = \frac{450.6 - 446.3}{43.3} = 0.0993 \text{ mV}/^{\circ}\text{C} \quad 5.5$$

A interpretação desses dados não é óbvia, pode-se considerar o circuito como puramente estático em relação à tensão e assim desconsiderar as capacitâncias, aceitando que o gráfico da Figura 23 seria uma solução. Entretanto a Figura 22 apresenta mais componentes

parasitas, portanto mais realista, além de tensões inferiores, indicando que teriam outras quedas de tensão provocadas por parasitas desconsiderados na primeira simulação. Outro fato igualmente importante é que a tensão a 27°C da resposta puramente resistiva é a mesma do demais gráficos, o que sugere que apesar de mais completa, estaria incoerente a Figura 22. Tais questionamentos podem ser resolvidos através de medições sobre o circuito fabricado ou como comparação com experiências similares. Nesse trabalho será considerado o pior caso de regulação em relação à temperatura, 254.9 PPM/°C.

Sobre a referência de tensão também foi avaliada a rejeição ao ruído oriundo de variações AC na tensão de alimentação (PSRR). A simulação realizada consiste do circuito já polarizado com 800mV à temperatura de 27°C e a aplicação de um sinal AC somado na tensão de alimentação de amplitude de 200mV. Foi utilizada a simulação AC disponibilizada pelo *software* simulador, aplicando uma oscilação entre o intervalo de 10mHz até 10kHz.

A Figura 24 demonstra uma rejeição de 22.03dB para frequências abaixo de 1kHz, acima desse limite a referência começa a atenuar a passagem do ruído de forma menos intensa. Quanto maior o valor da atenuação, melhor para a operação da referência e dos circuitos que dela depende por se tornarem menos influenciados por fenômenos transitórios na tensão alimentação.

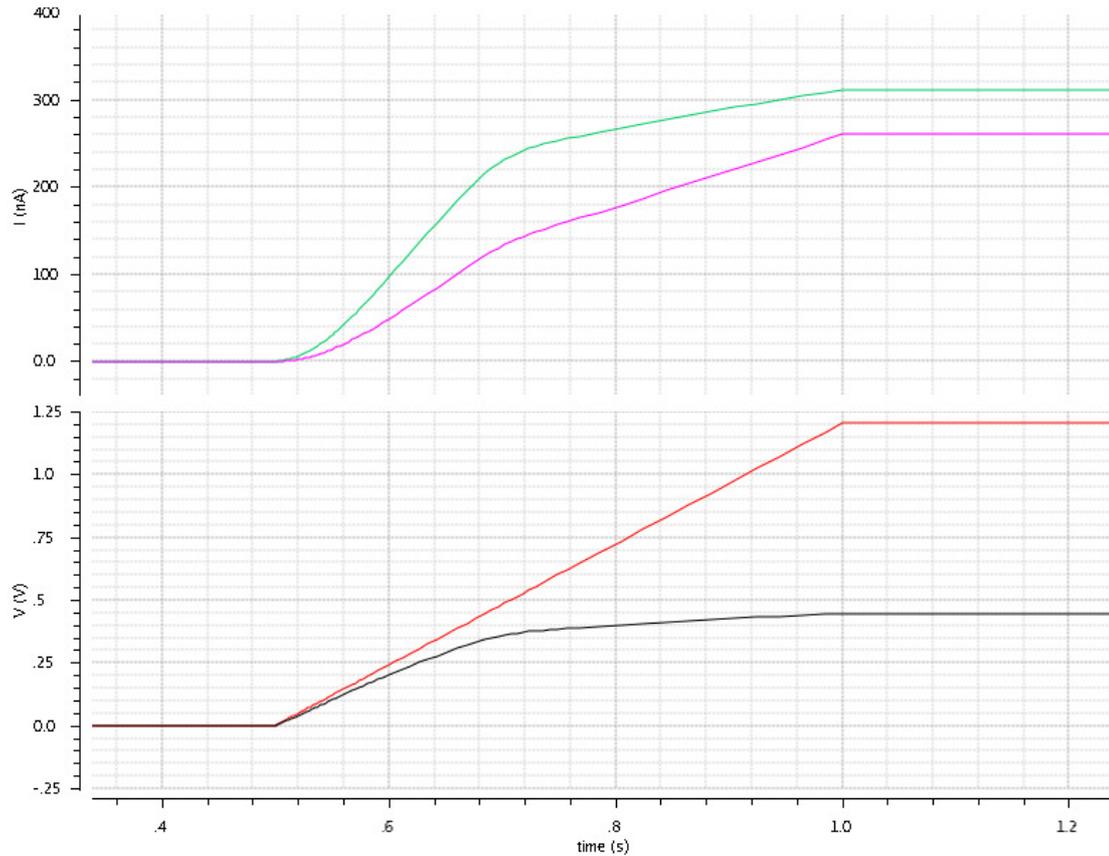


**Figura 24 – Rejeição de ruído vindo da alimentação na saída do circuito.**

A inicialização da referência de tensão ocorre conforme o esperado à medida que os componentes parasitas fazem com que as correntes do circuito converjam para o ponto de estabilidade escolhido. Para confirmar esse efeito é realizada uma simulação transiente em que é aplicada uma rampa equivalente à inicialização da referência.

O gráfico inferior da Figura 25 mostra a tensão de referência em relação à tensão de alimentação do circuito no momento de inicialização. Podemos concluir que a referência não necessita de um circuito de inicialização dedicado à medida que os componentes parasitas proporcionam a polarização inicial correta.

Na metade superior da Figura 25 é visível o comportamento das correntes  $I_{BIAS}$  e da corrente referente ao outro ramo do circuito na temperatura de 27°C. Conforme projetado a corrente de polarização  $I_{BIAS}$  está inferior a 350nA (310nA), enquanto a corrente total é de 570nA, resultando uma potência total de 685nW ao operar a 1.2V.



**Figura 25 – Análise transiente da inicialização da referência de tensão sub-1V**

Após a simulação do circuito somado aos componentes parasitas podemos concluir que o mesmo, em condições nominais, operará conforme especificado. Os resultados das simulações são apresentados na Tabela 2 resumindo as características da referência e de forma a possibilitar a comparação com outros trabalhos.

**Tabela 2 – Parâmetros da referência.**

Tensão mínima de regulação	600mV
Faixa de operação	-20°C a 80°C
Tensão de referência	446.5 mV
Corrente	570.07 nA
Potência	685 nW
Regulação de linha	105.1 mV/V
Variação térmica	254.9 PPM/°C
PSRR em 1kHz	22.03 dB
Área total	105µm x 130 µm

### 5.3 SIMULAÇÕES DAS VARIAÇÕES DO PROCESSO

O processo de fabricação de circuitos integrados na tecnologia CMOS produz uma variação considerável sobre os valores de parâmetros do chip [16]. Tal efeito faz com que circuitos idênticos variem seus valores e funcionamento tanto entre amostras diferentes quanto entre locais diferentes dentro do mesmo chip.

As variações sobre a tensão de limiar do transistor fazem com que o seu valor não seja preciso e nem constante, mas esteja dentro de um espalhamento do processo garantido pelo fabricante. Devido a esses fatores se justifica um estudo sobre os efeitos da variação da tensão de limiar sobre o circuito a fim de prever a sua operação e confiabilidade. Para isso realizaremos simulações de *corners* sobre a referência.

Entre as simulações previstas no conjunto de *corners*, está a influência da temperatura e da tensão de alimentação. Também é previsto simular a variação dos parâmetros para casos três casos; Típico (TT), Lento (SS) e Rápido (FF). Os casos são referentes ao efeito que a alteração provoca sobre o funcionamento do transistor MOS.

Iniciamos realizando a simulação dos *corners* sobre a referência de forma a alterar os seus parâmetros e obtemos a resposta do circuito a variação térmica, variação da tensão de alimentação e rejeição ao ruído vindo da fonte. A Figura 26 mostra a variação da resposta a temperatura dependendo dos *corners*, como os gráficos demonstram, as curvas estão transladadas por uma determinada tensão entre elas e ocorre uma variação nas inclinações como indicado na Tabela 3.

Na Figura 27 temos a resposta do circuito à tensão de alimentação para os diferentes *corners*. No melhor caso, a tensão de referência será mais baixa e mais estável como complementa a Tabela 3. Em relação à regulação de linha a Figura 28 e a Tabela 3 mostram que a relação de imunidade ao ruído da fonte também é alterada pelas variações no processo.

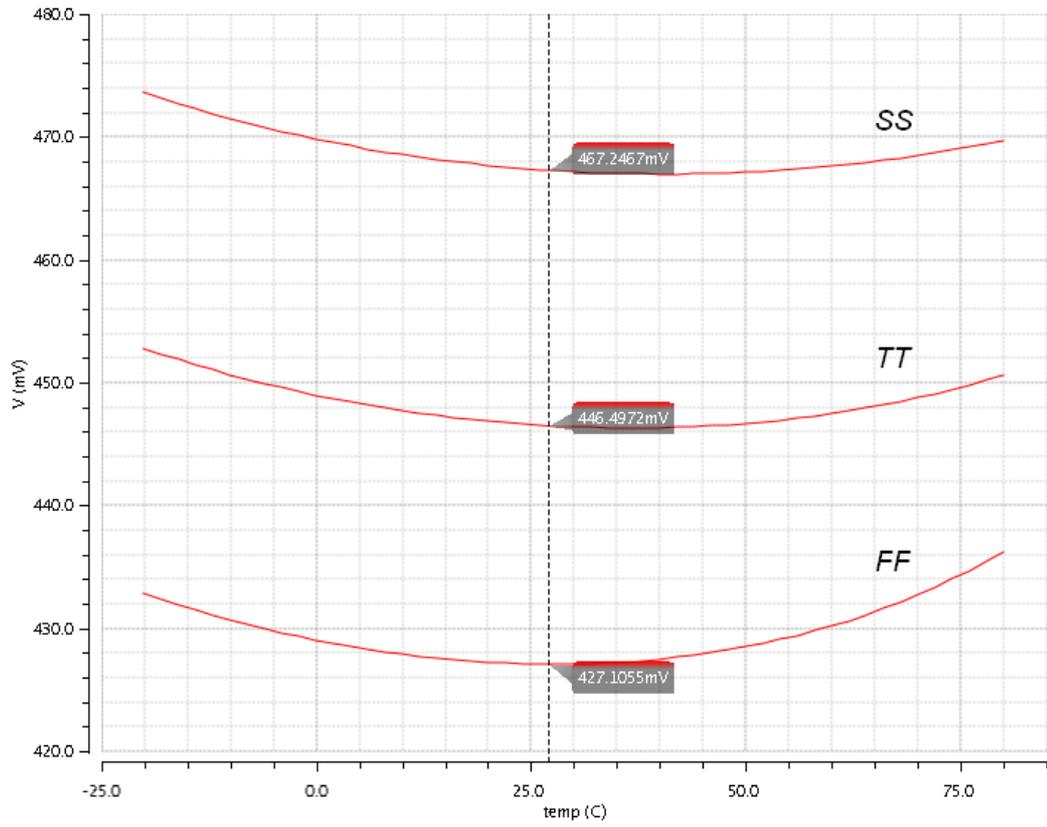


Figura 26 –  $V_{ref}$  vs. Temp. para os três casos de *corners* previstos.

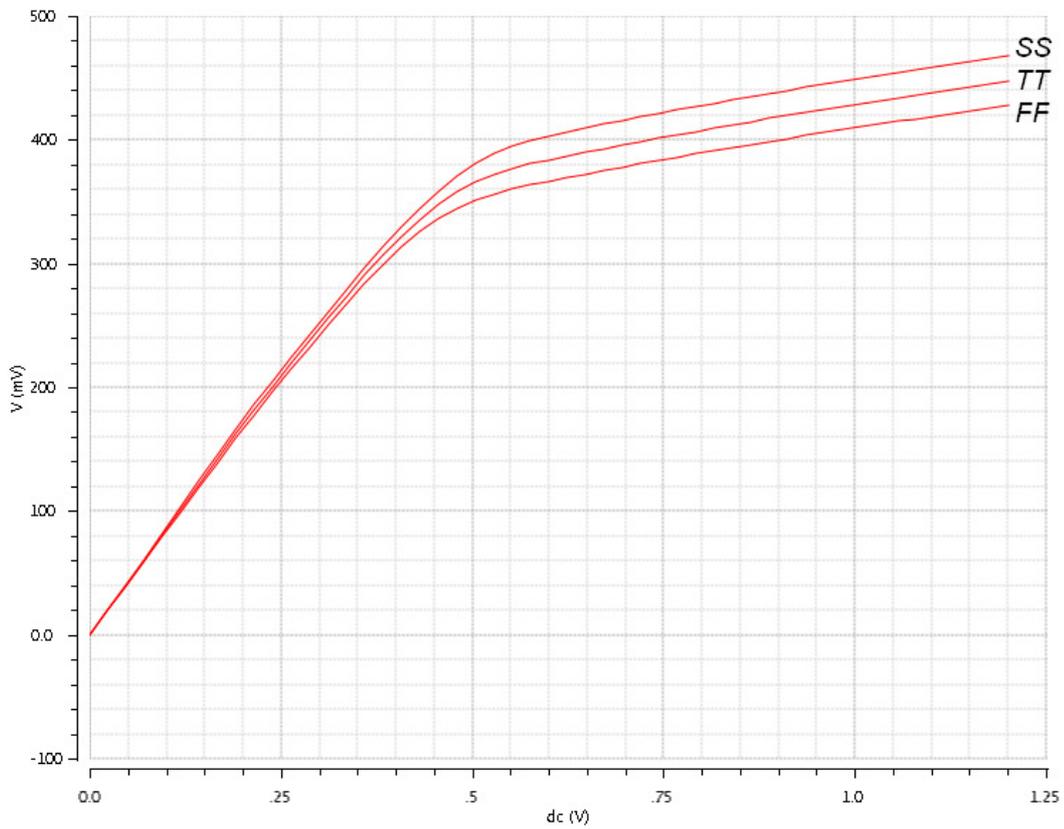


Figura 27 –  $V_{ref}$  vs.  $V_{dd}$ . para os três casos de *corners* previstos.

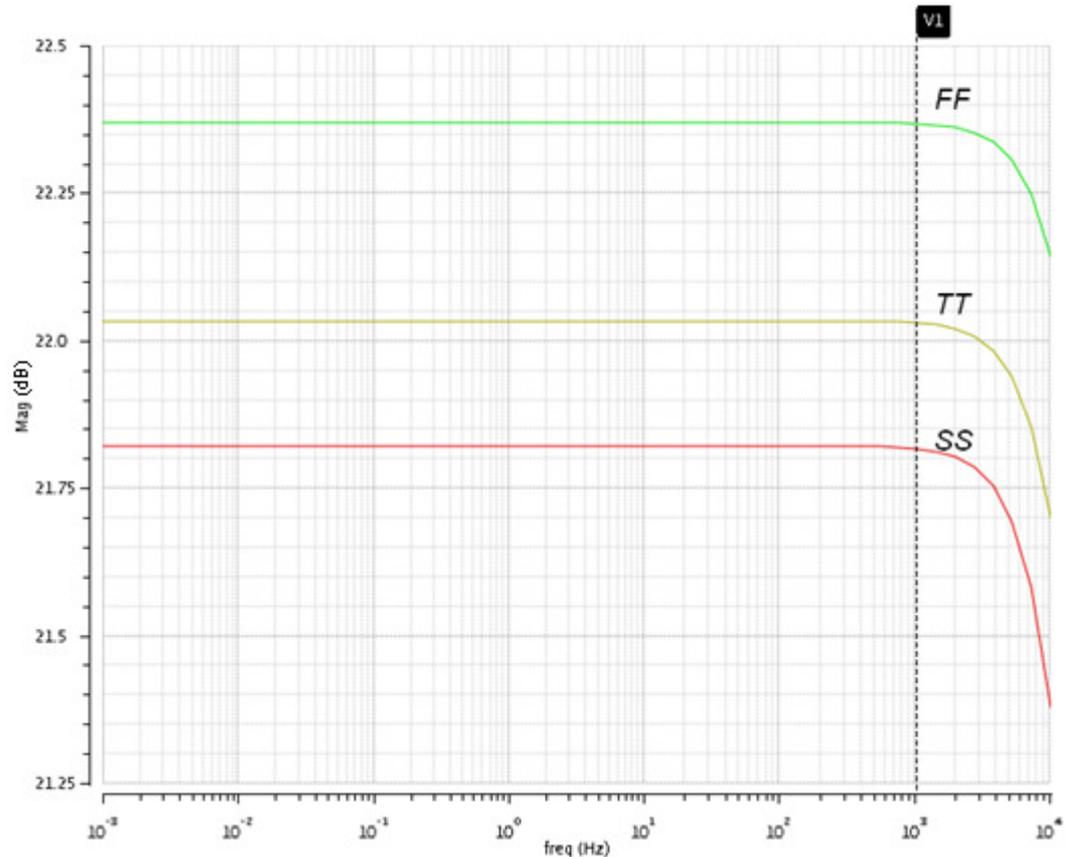


Figura 28 – Rejeição de ruído para os três casos de corners previstos.

Tabela 3 – Simulação de *corners* sobre a referência.

	Melhor caso (FF)	Caso Típico	Pior Caso (SS)
Faixa de operação	-20°C a 80°C	-20°C a 80°C	-20°C a 80°C
Tensão de referência	427.10 mV	446.5 mV	467.24 mV
Corrente	561.93 nA	570.07 nA	580.54 nA
Potência	696.6 nW	684 nW	674.3 nW
Regulação de linha	101.7 mV/V	105.1 mV/V	107.7 mV/V
Varição térmica	311.56 PPM/°C	254.9 PPM/°C	231.8 PPM/°C
PSRR em 1kHz	22.36 dB	22.03 dB	21.81 dB

As variações do valor da tensão de referência devido a variações de processo descritas justificam o uso de um amplificador LDO realimentado com ganho ajustável. Há mudanças nas características de regulação de linha e do coeficiente de temperatura, mas não acarretam mudanças significativas, sendo necessário na maioria das aplicações apenas o ajuste do ganho. Com o LDO se torna possível através de uma única calibração ajustar a tensão final para o valor desejado mantendo as características de regulação projetadas.

## 6 CONCLUSÃO

O trabalho apresenta o projeto e construção de uma referência de tensão CMOS sub-1V com características similares à referência de *bandgap*, mas apta a operar em tensões inferiores. A referência é projetada para que os transistores operem em inversão fraca, apresenta poucos transistores visando simplicidade e redução da potência dissipada, como é inerente à operação em regime de inversão fraca. Porém a geometria dos transistores é maior, consumindo uma maior área do circuito, sendo que a utilização de transistores de maior geometria também propicia uma menor variabilidade dos parâmetros dos transistores na fabricação. O maior dimensionamento buscou uma maior robustez do projeto em relação às variações de processo.

Com os dados da referência de tensão sub-1V a Tabela 4 apresenta um comparativo entre algumas soluções presentes nas referências desse trabalho. A referência de tensão *bandgap* em questão apresenta os melhores valores em termos de regulação térmica da tensão de saída em relação à alimentação. A referência proposta nesse trabalho apresenta a menor tensão em que o efeito de regulação se inicia, possibilitando o uso de tensões menores para alimentação do circuito. A mesma também apresenta um baixo consumo de corrente se comparada com a referência de *bandgap*. Essas duas características, somadas à regulação não tão eficiente torna esse circuito indicado para aplicações de controle de potência interno do chip, ou para medições de baixa resolução.

O circuito proposto pode ter sua regulação de linha melhorada pela garantia de que as tensões  $V_{DS}$  diminuam a sua influência sobre os transistores da referência, principalmente sobre os transistores nMOS que não foram montado de forma composta. Transformar o transistor nMOS em um transistor composto mesmo estando no mesmo substrato para ser uma boa solução em troca de um aumento na área do circuito.

**Tabela 4 – Comparativo com referências semelhantes.**

	Este trabalho	Colombo [6]	Ferreira [8]
Tecnologia	0.13 $\mu\text{m}$	0.18 $\mu\text{m}$	0.35 $\mu\text{m}$
Tipo de referência	CMOS	<i>Bandgap</i>	CMOS
Tensão mínima	600mV	1.7 V	950 mV
Faixa de operação	-20°C a 80°C	-55°C a 125°C	-20°C a 80°C
Tensão de referência (27°C)	446.5 mV	1.144 V	741 mV
Corrente	570.07 nA	260 $\mu\text{A}$	250 nA
Regulação de linha	105.1 mV/V	0.93mV/V	25 mV/V
Varição térmica	254.9 PPM/°C	3 PPM/°C	39 PPM/°C
PSRR (1kHz)	22.03 dB	60 dB	23 dB
Área total	105 $\mu\text{m}$ x 130 $\mu\text{m}$	60 $\mu\text{m}$ x 160 $\mu\text{m}$	330 $\mu\text{m}$ x 230 $\mu\text{m}$

A estabilidade térmica da referência pode ser melhorada pelo uso de mais de uma referência de tensão no mesmo circuito, onde cada referência está com o ponto de estabilidade térmica centrado em pontos diferentes [12]. Dessa forma a tensão de saída será oriunda da referência com menor variação térmica.

Em relação à precisão, para aplicação que exija uma boa resolução e estabilidade é recomendável que seja utilizada a referência de *bandgap* devido aos seus altos coeficientes de regulação, ou circuitos puramente CMOS mais complexos que utilizem outros estágios a fim de melhorar a regulação.

## BIBLIOGRAFIA

- [1] P. E. Allen and D. R. Holberg, CMOS Analog Circuits Design. Oxford University Press, inc. 2000.
- [2] Streetman, Ben G.; Sanjay Banerjee. Solid State electronic Devices. 5th edition. 2000.
- [3] R. J. Widlar, New Developments in IC Voltage Regulators. IEEE Journal of Solid-State Circuits, vol. SC-6, pp 2-7, February 1971.
- [4] D. F. Hilbiber, A New Semiconductor Voltage Standard. International Solid-State Circuits Conference, pp 32-33, February 1964.
- [5] J. P. Brito, Projeto de um circuito referência de tensão tipo bandgap em tecnologia CMOS 0,35 $\mu$ m. Projeto de diplomação – Departamento de Engenharia Elétrica, UFRGS, Porto Alegre. 2005.
- [6] D. M. Colombo, Bandgap Voltage References in submicrometer CMOS technology. Tese de mestrado – Programa de pós-graduação em microeletrônica, UFRGS, Porto Alegre. 2009.
- [7] F. R. Cortes, Modelagem e Projeto de Módulos Amplificadores e Comparadores em Tecnologia CMOS 0,35 $\mu$ m. Tese de mestrado – Programa de pós-graduação em computação, UFRGS, Porto Alegre. 2003.
- [8] L. H. Ferreira, Uma Referência de Tensão CMOS Baseada na Tensão de *Threshold* em Ultra-Baixa Tensão e Ultra-Baixa Potência. Tese de Doutorado – Programa de pós-graduação em Engenharia Elétrica. Itajubá, Minas Gerais. 2008.
- [9] A. D. Souza, Gerenciamento de Energia em Chip Dedicado a Dispositivos Portáteis. Tese de mestrado – Programa de pós-graduação em microeletrônica, UFRGS, Porto Alegre. 2012.
- [10] G. Giustolisi, G. Palumbo, M. Criscione, F. Cutrì. A Low-Voltage Low-Power Voltage Reference Based on Subthreshold MOSFETs. IEEE Journal Solid-State Circuits, vol. 38, pp. 151-154. 2003.
- [11] D. M. Colombo, C. Fayomi, F. Nabki, L. F. Ferreira, G. Wirth, S. Bampi. A Design Methodology Using the Inversion Coefficient for Low-Voltage Low-Power CMOS Voltage References. Journal Integrate Circuits and Systems, vol. 6, pp. 7-17. 2011.
- [12] H. Xing, L. Jin, D. Chen, R. Geiger. Characterization of a Current-Mode Bandgap Circuit Structure for High-Precision Reference Applications. ISCAS, pp. 569-572. 2006.
- [13] G. Tzanateas, C. A. Salama, and Y. P.Tsividis, A CMOS Bandgap Voltage Reference. IEEE Journal Solid-State Circuits, vol. SC-14, pp. 655-657, June 1979.
- [14] J. H. Choi, S. Bampi. Design Of Cmos Ota Amplifiers And Oscillators In A Digital Sea-Of-Transistors Array. 5th IEEE International Conference on Electronics, Circuits

- and Systems. Proceedings do 5th IEEE International Conference on Electronics, Circuits and Systems. v.1. p.321 – 324. Portugal, Lisboa - 7-10/Set. d. , 1998.
- [15] J. H. Choi, S. Bampi. TAT transistors on SOT Array for Mixed Analog/Digital Applications In: IEEE International Symposium o Circuits and Systems - ISCAS 2000, 2000, Genebra. IEEE International Symposium on Circuits and Systems (ISCAS). Los Alamitos: IEEE Computer Society. v.17. 2000.
- [16] J. P. Brito, F. C. Werle, G. R. Camaratta, S. Bampi. Local Random Variability Characterization Structures for FETs in CMOS 65 nm Test-Chip. VARI 2010 First European Workshop on CMOS Variability. Montpellier France. 2010.
- [17] MOSIS IBM 130nm 8RF-DM CMOS Process Disponível em: <https://www.mosis.com/vendors/view/ibm/8rf-dm> Visitado em: Maio 2012.
- [18] Foundry technologies 130-nm CMOS an RF CMOS. IBM Corporation. 2003.
- [19] CMRF8SF Model Reference Guide. IBM Corporation. 2010.
- [20] Y. Cheng and C. Hu, MOSFET Modeling & BSIM3 User's Guide, New York: Kluwer, 1999.
- [21] E. Vittoz and J. Fellrath, CMOS Analog Integrated Circuits Based on Weak Inversion Operation. IEEE Journal Solid-State Circuits, vol. SC-12, no. 3, pp. 224-231, June 1977.