

Carlos E.S. Kley

Universidade Federal do Rio Grande do Sul
Porto Alegre, Brasil
carlos.kley@ufrgs.br
Bolsista da PROPESQ - UFRGS - Brasil

H. Klimach

Universidade Federal do Rio Grande do Sul
Porto Alegre, Brasil
hamilton.klimach@ufrgs.br

VARIABILIDADE E DESCASAMENTO EM CIRCUITOS INTEGRADOS

A diferença do comportamento elétrico entre dois dispositivos semicondutores com desenhos idênticos e fabricados em processos semelhantes é chamada **descasamento**.

O estudo da variabilidade do comportamento elétrico de transistores MOS (*metal-oxide semiconductor*) é de grande importância para o projeto de circuitos integrados, pois é a tecnologia predominantemente empregada atualmente. O grau de variabilidade entre dispositivos MOS pode ser considerado como função basicamente dos fatores:

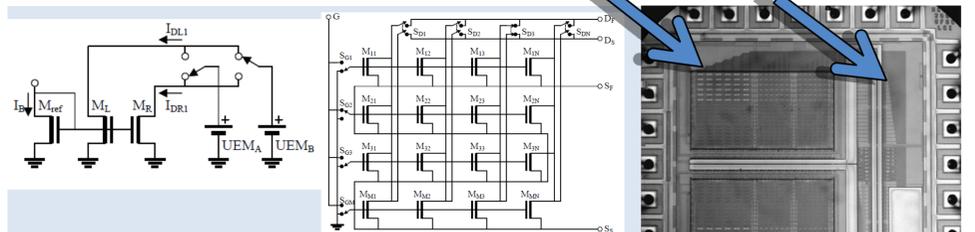
- **Limitações físicas do processo de fabricação;**
- **Definições geométricas e de polarização (projeto);**
- **Condições físicas de operação:**
 - **Variações de temperatura;**
 - **Tensões mecânicas;**
 - **Exposição à radiação;**
 - **Outros.**

A robustez de circuitos eletrônicos à radiação é fundamental em aplicações como equipamentos aeroespaciais, militares e satélites.

CIRCUITO DE TESTE

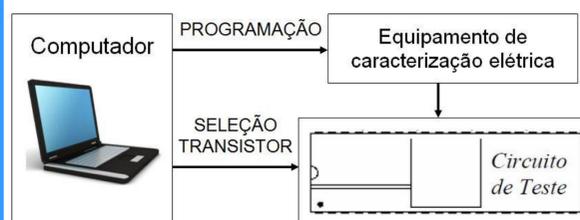
O circuito integrado utilizado nos testes foi fabricado em tecnologia *TSMC 0.35* e possui grupos de transistores com nove diferentes razões *W/L*.

Grupos de transistores MOS Controle e referências



Topologia do circuito de teste. Todas as chaves de seleção de dispositivo são internas, o que reduz o número de pinos.

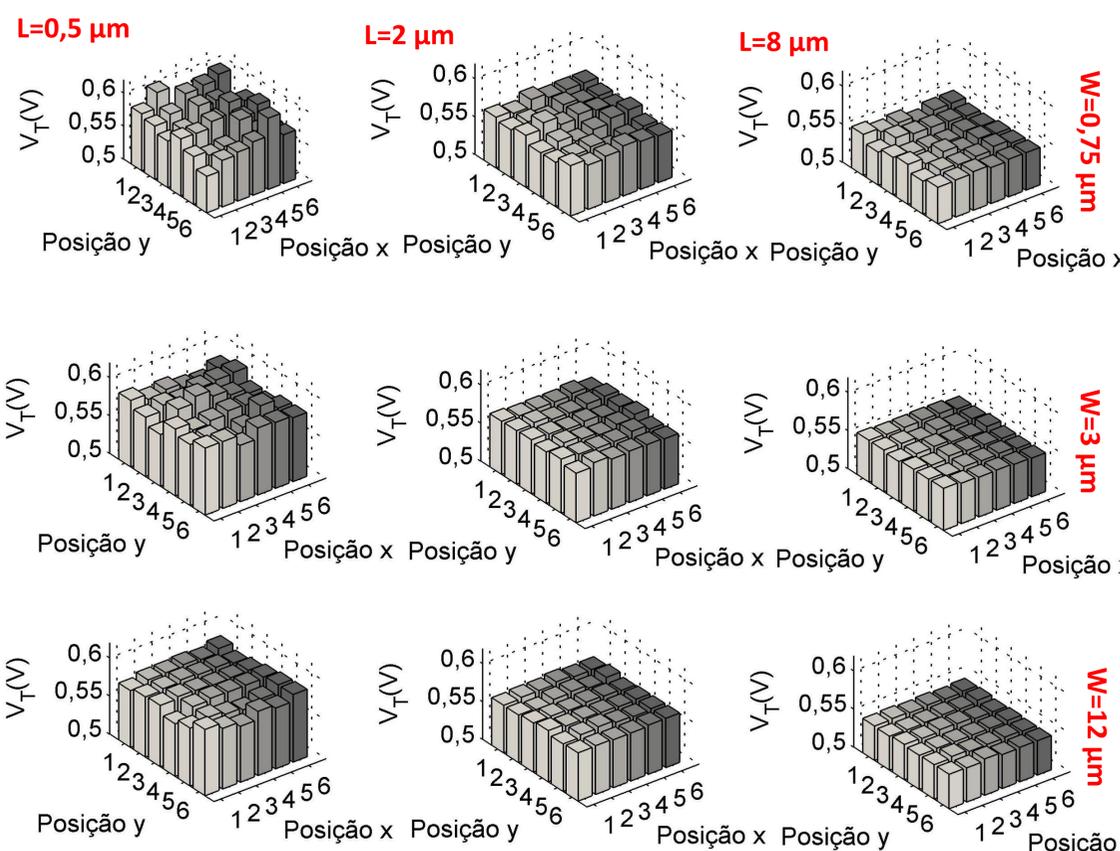
MÉTODO DE MEDIDAS E RESULTADOS



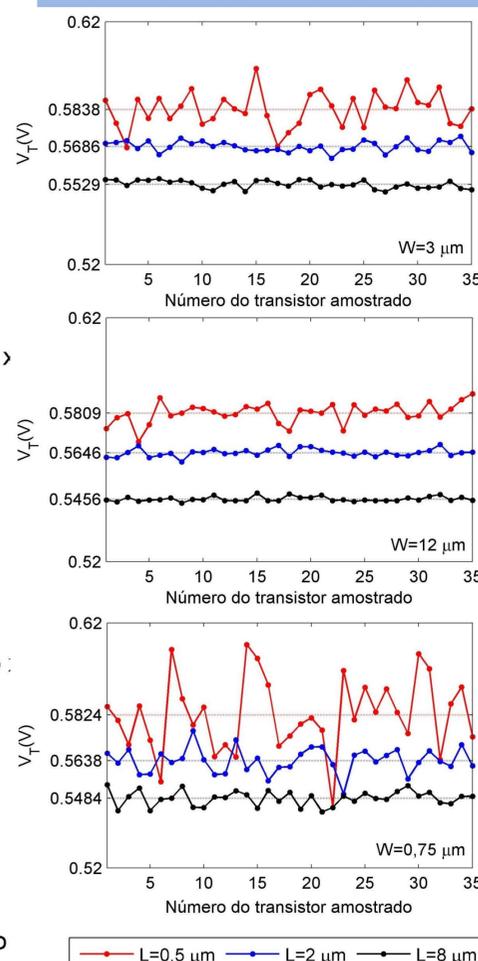
As medidas foram realizadas automaticamente através da execução de programas implementados em C++.

O software está em fase final de adaptação para realizar caracterizações dos circuitos de teste sob efeito da radiação gama no CTA-IEAv.

A **tensão de threshold** (V_T) é parâmetro fundamental para caracterização e modelamento de transistores MOS. Os gráficos de barras mostram V_T medida do grupo NMOS no eixo vertical em função da posição espacial do dispositivo no *chip*.



Abaixo, gráficos de V_T agrupados por largura de canal W dos dispositivos amostrados. Em ambas as figuras fica evidente a relação inversa da variabilidade com as dimensões do transistor.



Desvios-padrão e médias de V_T (V)

W=0,75 μ m

L	σ	V_{Tmed}
0,5	0.0153	0.5824
2	0.0052	0.5638
8	0.0031	0.5484

W= 3 μ m

L	σ	V_{Tmed}
0,5	0.0072	0.5838
2	0.0022	0.5686
8	0.0016	0.5529

W= 12 μ m

L	σ	V_{Tmed}
0,5	0.0041	0.5809
2	0.0016	0.5646
8	0.0010	0.5456