

Estudo da reconfiguração dinâmica de FPGAs em Redes de Sensores Sem Fio



Leandro Mateus Giacomini Rocha – lmgrocha@inf.ufrgs.br
David Cemin – david.cemin@ufrgs.br
Prof. Dr. Carlos Eduardo Pereira – cpereira@ece.ufrgs.br
LASCAR – Laboratório de Sistemas de Controle, Automação e Robótica

INTRODUÇÃO

As redes de sensores sem fio (RSSFs) consistem em um conjunto de sensores autônomos que comunicam-se entre si buscando a solução de algum problema de forma cooperativa. As RSSFs foram inicialmente concebidas para uso militar e hoje têm se espalhado no mercado, principalmente para monitoração de ambientes hostis e criação de ambientes inteligentes, pois eliminam a necessidade de uma infraestrutura fixa. Entretanto, um dos problemas das RSSFs é o consumo de energia, uma vez que cada nó sensor possui poucos recursos energéticos e de processamento. Assim, o uso de agentes móveis – programas que são responsáveis pela execução de uma ou mais tarefas e podem migrar entre os nós sensores – é uma alternativa na redução do consumo de energia e na ampliação da flexibilidade da rede, especialmente se esses agentes forem executados em *hardware*. Os agentes em execução no *hardware* dos nós sensores podem ser alterados dinamicamente e isso é possível com o uso de FPGAs que permitem a reconfiguração dinâmica. Essa reconfiguração do FPGA possibilita que a rede seja mais flexível e baseada na troca de dados pela rede. Dessa forma, essa pesquisa tem por objetivo o estudo do fluxo da implementação da reconfiguração parcial em FPGAs.

METODOLOGIA

Neste estudo emprega-se a pesquisa bibliográfica, baseada nos autores McDonald, Meng e na documentação fornecida pela Xilinx, fabricante dos *softwares* utilizados, visando compreender a implementação de um projeto de reconfiguração parcial de FPGAs.

REDES DE SENSORES SEM FIO E FPGAs

O uso de agentes móveis nas RSSFs aumenta a flexibilidade e a gama de aplicações para as quais a rede pode ser projetada. Esses agentes, executados ao nível de *software*[1], têm a capacidade de mover-se por meio dos nós a partir de certas condições do sistema, podendo mudar completamente o funcionamento de um nó e, até mesmo, o funcionamento da rede inteira. Como, geralmente, a rede está inserida em um ambiente altamente dinâmico, os nós necessitam alterar as aplicações que estão sendo executadas no momento para atenderem às novas necessidades da rede, atualizando os agentes em execução no nó sensor.

Entretanto, a execução desses agentes pode se tornar lenta, exigindo que o processador funcione à sua capacidade máxima. Assim, a inclusão de um FPGA é vantajosa, já que permite que o *hardware* seja modificado para uma aplicação específica para determinado momento, acelerando o processamento[2].

A reconfiguração dinâmica e parcial de um FPGA possibilita o uso de um *chip* menor e flexibiliza o *hardware* de modo que em um mesmo nó um filtro de Kalman e um processador de criptografia possam ser executados ao mesmo tempo, por exemplo, além de diminuir o tamanho das *bit streams*, reduzindo o tráfego da rede. Dessa forma, as funções ociosas no FPGA podem ser substituídas por outras; conseqüentemente, uma pequena porção do FPGA é reconfigurada quando houver necessidade para que acomode uma funcionalidade nova, sobrescrevendo uma funcionalidade inoperante no momento, sem interferência nas outras que estão ativas.

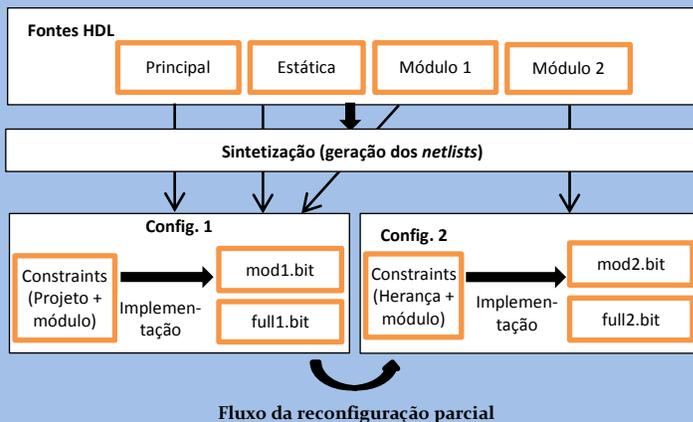
FLUXO DA RECONFIGURAÇÃO PARCIAL

Para a pesquisa foram utilizadas as ferramentas ISE 14.2 e PlanAhead 14.2, da Xilinx, e a reconfiguração parcial baseada em módulos, pois a

metodologia das ferramentas da Xilinx tem mudado drasticamente nos últimos anos, especialmente depois dos *bus macros* – roteamento manual necessário para comunicação dos módulos. O PlanAhead permite a criação das partições reconfiguráveis no FPGA e das configurações para cada região reconfigurável. Além disso, para que a reconfiguração seja possível, é necessário que o FPGA possua suporte à reconfiguração parcial e dispor de uma porta de comunicação específica para isso, como o ICAP (*Internal Configuration Access Port*) – porta interna responsável pela reconfiguração do FPGA.

Cada configuração reúne a parte estática do FPGA – gerenciadores de *clock*, processadores, barramentos – com a parte dinâmica de uma região específica. Quando uma configuração altera somente uma única região, ela importa dados sobre pinos das outras partições com as quais ocorre a comunicação. A partir de cada configuração é possível gerar um *bit file* que poderá ser transmitido pela rede sem fio para reconfigurar parcial ou totalmente o FPGA.

O fluxo de um projeto de reconfiguração parcial consiste, inicialmente, na descrição das funções que o *hardware* deve executar através de uma linguagem de descrição de *hardware* (HDL). Assim, é possível a sintetização dos módulos para que seja possível conectá-los, então, usando o PlanAhead. Antes da geração de cada *partial* ou *full bit file*, é necessário adicionar as *constraints* da placa e do projeto, sendo este o arquivo responsável por definir os *delays* mínimos na comunicação entre os módulos; os pinos aos quais os sinais de entrada e saída estão ligados; as coordenadas das *slices* que delimitam cada região reconfigurável.



CONSIDERAÇÕES FINAIS

Verificamos que a reconfiguração parcial de um FPGA em tempo de execução amplia a flexibilidade de um RSSF. A inclusão de novas funcionalidades e/ou a atualização das pré-existentes podem ser realizadas de forma mais simples usando essa técnica.

Constatamos também que com as novas ferramentas e FPGAs os projetos com reconfiguração parcial tornaram-se mais simples, diminuindo a complexidade e o *time to market* do projeto.

REFERÊNCIAS

- [1] Meng, Yan. "An Agent-based Mobile Robot System Using Configurable SOC Technique" in *Proceedings of the IEEE International Conference on Robotics and Automation*, 2006.
- [2] McDonald, Eric J. "Runtime FPGA Partial Reconfiguration" in *IEEE A&E Systems Magazine*, 2008.