UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM COMPUTAÇÃO

CLAUDIO CARVALHO MENEZES

Geração Automática de Leiaute Através de Matriz de Células – MARTELO

Dissertação apresentada como requisito parcial
para a obtenção do grau de
Mestre em Ciência da Computação

Prof. Dr. Ricardo Augusto da Luz Reis
Orientador

Porto Alegre, novembro de 2003

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

Menezes, Claudio Carvalho

Geração Automática de Leiaute através de uma Matriz de Células NAND – MARTELO / Claudio Carvalho Menezes. – Porto Alegre: Programa de Pós-Graduação em Computação, 2003.

58f.: il.

Dissertação (mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Computação, Porto Alegre, BR–RS, 2003. Orientador: Ricardo Augusto da Luz Reis.

1.Microeletrônica. 2. Ferramentas de CAD. 3.Síntese Física. 4. Posicionamento. 5. Algoritmos. I. Reis, Ricardo Augusto da Luz. II. Título.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
Reitora: Profa. Wrana Maria Panizzi
Pró-Reitor de Ensino: Prof. José Carlos Ferraz Hennemann
Pró-Reitor Adjunto de Pós-Graduação: Prof. Jaime Evaldo Fernsterseifer
Diretor do Instituto de Informática: Prof. Philippe Olivier Alexandre Navaux
Coordenador do PPGC: Prof. Carlos Alberto Heuser
Bibliotecária-chefe do Instituto de Informática: Beatriz Regina Bastos Haro

FELICIDADE

Casei por amor!!
Pois ela Roubou meu coração.
Foi Impossível dizer não.
Ser feliz?
Só o Tempo vai dizer.
Ilusão?
Não. Nasci para dividir:
Dar Alegria,

Dar Ternura,
Dar Emoção,

Dar Amizade,
Dar Magia.
E descobrir aO final,
Que não fui eu quem mais amou.

Claudio Menezes

AGRADECIMENTOS

À minha família que soube compreender meu esforço e, em especial, à minha esposa Cristina pelo carinho, incentivo e paciência nas horas difíceis. Aos meus filhos Vítor e Rafael peço desculpas pelas brincadeiras das quais não pude participar e momentos em que fui obrigado a interromper-lhes os jogos de computador.

Aos colegas Reginaldo Tavares, Cristiano Lazzari e Renato Hentschke que contribuíram de maneira decisiva para a conclusão desse trabalho.

Finalmente, agradeço ao Prof. Ricardo Reis, por ter incentivado meu ingresso no mestrado e por sua preocupação constante em virtude das dificuldades que minhas atividades externas impuseram ao andamento dos trabalhos.

SUMÁRIO

LISTA DE ABREVIATURAS E SIGLAS 6
LISTA DE FIGURAS 7
LISTA DE TABELAS.....8
RESUMO.....9
ABSTRACT.....10
1 INTRODUÇÃO.....11
1.1 Trabalhos Desenvolvidos pela UFRGS 12
1.2 Objetivo da pesquisa.....13
1.3 Organização da dissertação.....14
2 AS TECNOLOGIAS SUBMICRÔNICAS E ALTERNATIVAS PARA A SÍNTESE FÍSICA.....15
2.1 O impacto das interconexões nas tecnologias submicrônicas. 23
2.2 A Utilização de circuitos regulares.....26
3 O GERADOR DE LEIAUTE DE MATRIZES REGULARES - MARTELO.....28
3.1 Fluxo de síntese utilizado.....29
3.2 Descrição da ferramenta de geração de leiaute MARTELO.....30
3.3 A interface da ferramenta MARTELO 41
4 RESULTADOS.....43
5 CONSIDERAÇÕES FINAIS E TRABALHOS FUTUROS.....50
REFERÊNCIAS BIBLIOGRÁFICAS 52
ANEXO I.....56

LISTA DE ABREVIATURAS E SIGLAS

ASIC	Application Specific Integrated Circuit
CAD	Computer-Aided Design
CMOS	Complementary MOS
FPGA	Field Programmable Gate Array
FOTC	Full Over The Cell
GND	Ground – Tensão de Referência
ITRS	International Technology Roadmap for Semiconductors
LUT	Look-up Table
NAND	Célula lógica que representa a função booleana ~(A . B)
NOR	Célula lógica que representa a função booleana ~(A + B)
NMOS	N-channel Metal Oxide Semiconductor Field –effect transistor
PMOS	P-channel Metal Oxide Semiconductor Field –effect transistor
TOF	Time-of-Flight
VDD	Tensão da Fonte de Alimentação

LISTA DE FIGURAS

Figura 2.1 – Efeito de Diminuição do Atraso através do aumento da Relação W/L, mantido um Fan-out de 2 para a Tecnologia de 0.25 μm (SYLVESTER; KEUTZER, 1998).....17
Figura 2.2 – Efeito de diminuição do Atraso através do aumento da Relação W/L, mantido um Fan-out de 2 para a Tecnologia de 0,1um. (SYLVESTER; KEUTZER, 1998) 17
Figura 2.3 – Percentuais de Interconexões acima do Comprimento Crítico por Tecnologia e Tamanho do Módulo (HO et al., 1999),.....18
Figura 2.4 – Implementação de uma LUT de três entradas em VPGA (PILEGGI et al, 2003) 22
Figura 2.5 – Atraso das interconexões segundo o Processo Tecnológico (ITRS 2001)..24
Figura 2.6 – Visão em corte da distribuição das interconexões (ITRS, 2001). 24
Figura 2.7 – Dimensões das interconexões.....25
Figura 3.1 – Fluxo de síntese para a geração do leiaute através de matrizes de células NANDs.....30
Figura 3.2 – Leiaute de um par de NANDs utilizado como ***template*** para a geração da matriz. 31
Figura 3.3 – Leiaute de uma matriz 3 x 10 de NANDs gerada pelo MARTELO.....322
Figura 3.4 – Contatos em metal1 inseridos entre NANDs pertencentes ao mesmo par..33
Figura 3.5 – Contato em metal1 inserido entre NANDs de pares distintos.....344
Figura 3.6 – Inserção de trilha vertical pelo MARTELO.....366
Figura 3.7 – Inserção de trilhas horizontais pelo MARTELO.....36
Figura 3.8 – Leiaute do circuito 7seg com fanout 1 gerado com a ferramenta MARTELO.....39
Figura 3.9 – Leiaute do circuito 9symml com fanout máximo 4 gerado com a ferramenta MARTELO.....40
Figura 3.10 – Leiaute do circuito frg1 com fanout máximo 4 gerado com a ferramenta MARTELO.....40
Figura 3.11- Leiaute do circuito Lal com fanout 1 gerado com a ferramenta MARTELO. 41
Figura 3.12 – Interface da Ferramenta MARTELO.....42
Figura 4.1 – Leiaute do cirtuito 7seg com fanout 1 gerado com a ferramenta TROPIC. 48
Figura 4.2 – Leiaute do circuito 9symml com fanout máximo de 4 gerado com a ferramenta TROPIC.....48
Figura 4.3 – Leiaute do circuito 9symml com fanout 1 gerado com a ferramenta PKS_SHELL.....49
Figura 4.4 – Leiaute do circuito Lal com fanout máximo 4 gerado com a ferramenta PKS_SHELL.....49

LISTA DE TABELAS

Tabela 2.1 – Resultados de síntese utilizando ***Standard Cells***(A) e a metodologia VPGA (B e C).....22

Tabela 3.1 – Resultados das conexões realizadas em metal1 pelo MARTELO após posicionamento realizado com a Ferramenta MANGOPARROT. 34

Tabela 3.2 – Resultados da geração de leiaute de circuitos integrados com o MARTELO, segundo o número de camadas de metal disponíveis para roteamento, trilhas verticais e horizontais inseridas. 37

Tabela 3.3 – Resultados das conexões realizadas em metal1 antes e depois da inserção de células de interconexão 'estratégicas' pelo MARTELO. 39

Tabela 4.1 – Resultados comparativos da Simulação elétrica em potência 44

Tabela 4.2 – Resultados comparativos em área entre circuitos gerados pelos programas MARTELO e TROPIC, ambos utilizando circuitos somente composto por células NANDs.....44

Tabela 4.3 – Resultados comparativo do atraso entre MARTELO e TROPIC. 45

Tabela 4.4 – Comprimento das Interconexões de circuitos gerados pelo MARTELO / fanout 1 e 4.....**Erro! Indicador não definido.**

Tabela 4.5 – Resultados de leiautes gerados pelo Cadence com Standard Cells na Ferramenta PKS_SHELL na Tecnologia 0,35μm da AMS. 45

Tabela 4.6 – Resultados do comprimento médio das interconexões dos leiautes gerados pelo ***Cadence*** através da Ferramenta SEULTRA na Tecnologia 0,35 μm da AMS. .....**Erro! Indicador não definido.**

RESUMO

Esta dissertação enquadra-se em um processo de busca de soluções para a geração do leiaute de circuitos integrados que permitam aumentar a qualidade da previsibilidade do comportamento de um circuito após a sua implementação.

Isso é importante face ao crescimento dos problemas referentes aos efeitos elétricos adversos que surgem em nanocircuitos, tais como eletromigração, efeito antena, contatos mal formados e outros, assim como o aumento da variabilidade do processo de fabricação em tecnologias submicrônicas.

O foco deste trabalho de pesquisa é a busca de soluções regulares através do uso de matrizes de portas lógicas. A experimentação efetuada realiza a geração de uma matriz de portas NAND que viabiliza a implementação de equações lógicas mapeadas para redes de portas NAND e inversores, admitindo-se a parametrização do fanout máximo.

Foi desenvolvida uma ferramenta de CAD, o MARTELO, que permite efetuar a geração automática de matrizes de portas lógicas, sendo que a versão inicial está voltada para a geração de matrizes com portas NAND em tecnologia CMOS.

Os experimentos efetuados revelam que esta técnica é promissora, sendo apresentados alguns dos resultados obtidos.

Palavras-chave: síntese física, leiaute regular, Projeto visando Manufaturabilidade, CAD, tecnologia CMOS, concepção de circuitos integrados, microeletrônica.

ABSTRACT

This work fits in a search of soluctions for layout generation of integrated circuits to allow an increase of circuit behavior previsibility after its implementation.

This is important due to the increase of problems relating to the electric issues that must be considered in nanocircuits, like electromigration, antenna effect, bad contacts and others as well as the variability of the fabrication process in submicron technologies.

This research looks for solutions using regular circuits based on the use of matrix of logic cells. The experimentation is related to the generation of a matrix of NAND cells for circuits that were mapped to a set of NANDs and inverters, including the parametrization of the fanout.

It was developed a CAD tool, MARTELO, that allows the automatic generation of matrix of logic cells, and its initial version generates matrices with NAND cells using CMOS technology.

The experiments showed that this is a promising technique and some results are presented.

Keywords: physical synthesis, regular layout, Design for Manufacturability, CAD, CMOS technology, integrated circuits design, microelectronic.

1 INTRODUÇÃO

A geração do leiaute de circuitos integrados está sempre envolta em novos desafios decorrentes dos avanços tecnológicos que permitem a fabricação de circuitos cada vez menores, viabilizando assim, uma maior densidade de integração. Com o desenvolvimento de tecnologias em escalas submicrônicas, é possível integrar mais de um bilhão de transistores em um único circuito integrado, o que exige a adoção de estratégias bem planejadas para que se consiga obter resultados com desempenho satisfatório. Em especial, as interconexões exigem um esforço extra de pesquisa, pois elas constituem um dos desafios importantes em projetos com alta escala de integração.

Por esses motivos, torna-se necessária a obtenção de ferramentas de síntese física cada vez mais complexas para possibilitar o tratamento adequado dos parâmetros de projeto dos circuitos e que respondam inclusive, aos novos problemas decorrentes da variabilidade dos processos de fabricação.

Problemas de potência, aquecimento, níveis de ruído e distribuição do relógio também são variáveis que integram esse cenário e aumentam ainda mais a complexidade de um projeto, obrigando o estabelecimento de um alto nível de cooperação entre a equipe de projeto lógico e a de síntese física, visto que as possíveis soluções passam, provavelmente, por uma maior integração das ferramentas hoje disponíveis.

Verifica-se portanto, que é necessário buscar novas metodologias de projeto que permitam o aumento da previsibilidade das etapas do processo de síntese. Uma alternativa é a utilização de leiautes regulares, pois os mesmos facilitam o gerenciamento da complexidade de circuitos em tecnologias submicrônicas.

Esses trabalhos buscam através da diminuição da complexidade do problema, obter resultados que satisfaçam às especificações do projeto e viabilizem a produção de circuitos em escala comercial em menor prazo.

Desta forma, têm sido publicados trabalhos que exploram alternativas como VPGA – ***Via Pattern Gate Array*** (PILEGGI et al., 2003), River PLA – ***Programmable Logic Array*** (MO; BRAYTON, 2002), e metodologia de fabricação de circuitos ‘sem ruído’ (KHATRI et al., 1999). Entre os objetivos desses trabalhos cita-se: aumentar a capacidade de produzir circuitos com maior índice de produtividade e resolver problemas decorrentes da variabilidade randômica das tecnologias submicrônicas, ao mesmo tempo em que satisfazem às restrições impostas ao projeto.

A UFRGS possui dois trabalhos nessa área: o MARCELA (GÜNTZEL,1993) e o MARAGATA (LIMA, 1999). Ambos tratam da geração de leiaute de circuitos integrados com a utilização de matrizes regulares e se encaixam nos mesmos objetivos propostos pelos trabalhos acima citados.

Essas pesquisas envolvendo a utilização de estruturas regulares para a geração do leiaute de circuitos integrados estão buscando alternativas que permitam diminuir o

"Déficit de Produtividade de Projeto" – problema que está aumentando sensivelmente à medida que as tecnologias submicrônicas estão se aproximando dos limites físicos dos materiais e suscitando problemas de ordem atômica.

Ocorre que hoje, o aumento do número de etapas do processo de fabricação e a diminuição das dimensões dos dispositivos levam ao aumento da complexidade do mesmo, pois aumentam os detalhes de ordem física que precisam ser controlados com a precisão necessária para a correta fabricação de um circuito integrado.

Para a condução exata do processo de fabricação exige-se, não somente, instrumentos e técnicas avançados, mas trabalhar detalhes a nível de síntese física a fim de impedir que configurações que diminuem o rendimento predominem no leiaute do circuito integrado a ser fabricado, como por exemplo, áreas onde há maior número de camadas e áreas onde há menor número de camadas. A combinação desses dois fatores causa o surgimento de áreas espessas (com diversas camadas) e áreas finas (com poucas camadas) no circuito integrado e mesmo utilizando técnicas de correção de desnível, algumas acabam sofrendo distorções acima dos limites permitidos (Pileggi et al., 2003).

Em outro exemplo, a distribuição randômica de vias com contatos mal formados pode ser minimizada com utilização de pequenas quebras nas interconexões de forma a evitar a mudança desnecessária entre níveis de metal (Pileggi et al., 2003).

Por esses motivos, circuitos que seguem determinados padrões de repetição facilitam a condução do processo de fabricação, pois são mapeados para as máscaras com maior precisão e com menor probabilidade de gerar erros, permitindo que a fabricação em si possua maior rendimento e também aumentando o controle e a previsibilidade dos resultados.

Deste modo, a utilização de circuitos regulares consiste em uma metodologia de projeto que visa obter uma maior previsão dos resultados sem sacrificar demasiadamente o desempenho e/ou a área, ao mesmo tempo que concede ao projetista melhores estimativas de desempenho e consumo dos circuitos integrados produzidos.

1.1 Trabalhos Desenvolvidos pela UFRGS

A Universidade Federal do Rio Grande do Sul tem realizado pesquisas nessa área, cujos resultados fazem parte de diversas publicações. Especificadamente, tratando-se da área de projeto físico, destacam-se alguns trabalhos como o TRAMO – TRAnca Module Generator, elaborado por Lubaszewski (1990), que utiliza uma biblioteca de células padrão e busca otimizações baseadas nas observações realizadas em leiautes de bloco de lógica aleatória desenhados a mão, conforme trabalho de Reis (1983). Essa metodologia utiliza células provenientes de uma biblioteca específica, mas prevendo o uso de células geradas automaticamente.

Ainda nessa época, foi concluído o TRAGO (MORAES, 1990) que também utiliza a metodologia TRANCA (TRANspatrent Cell Approach), porém realiza a síntese automática de leiaute sem utilizar biblioteca de células. Este trabalho utiliza a topologia de leiaute em bandas, onde os transistores são dispostos em tiras horizontais para permitir a parametrização elétrica e a união dos transistores por justaposição.

Posteriormente, surgiu o TRAMO II, elaborado por Reis (1993), onde foi pesquisada a construção de um método para a geração automática das células e foram efetuadas modificações na ferramenta TRAMO para possibilitar a utilização de padrões gerados automaticamente, usar uma segunda camada de metal no roteamento e aumentar a transparência da célula em ambas as direções (horizontal e vertical).

Logo após foi desenvolvido o TRAMO III (KINDEL, 1997) que também faz a geração do leiaute de circuitos integrados, porém desta vez foi realizada a síntese automática das células em vez de utilização de uma biblioteca. Essa ferramenta utiliza o estilo ***linear matrix*** para a geração do leiaute, porém os transistores são dispostos verticalmente "[....] a fim de aproximar-se de resultados observados em leiautes manuais" (KINDEL, 1997).

Outro importante trabalho na área de síntese física é o TROPIC, desenvolvido por Moraes (1994), que utiliza uma biblioteca virtual de células, permite até três níveis de metal, tem independência tecnológica e roteamento interbandas. Esse trabalho compõe-se de um conjunto de três ferramentas: um posicionador, um roteador e um gerador de leiaute. Uma característica importante deste trabalho é a geração do leiaute de qualquer célula complexa de quatro entradas, possibilitando assim uma otimização da lógica utilizada.

Existem também dois trabalhos que tratam da geração de leiaute através de matrizes regulares. O primeiro trabalho denomina-se MARCELA – Geração de Circuitos Utilizando Matrizes de Células Pré-difundidas, desenvolvido por Güntzel (1993) que utiliza uma matriz composta por quatro de tipos de células básicas (NAND, NOR, Inversor e ***Transmission Gate***) como estrutura básica para a geração de circuitos integrados. Essa estrutura é replicada para formar uma matriz regular, e utiliza algoritmos dedicados para posicionamento e roteamento.

Outra pesquisa importante na área é o MARAGATA – Projeto de Matrizes de Células Lógicas Programáveis – elaborado por Lima (1999), que investigou a utilização de blocos lógicos programáveis – ***Universal Logic Gates (ULG)*** – para geração de circuitos integrados através de uma matriz programável pelo último nível de metal.

Além das pesquisas específicas para geração de leiaute, outras na área de síntese lógica (TAVARES, 1995), análise de ***timing*** (GÜNTZEL, 2000), roteamento (JOHANN, 1994) e posicionamento (Hentschke, 2002) complementam os estudos precedentes e compõem um conjunto de ferramentas para síntese de circuitos integrados disponibilizados pela Universidade através do projeto FUCAS (maiores detalhes podem ser obtidos na página www.inf.ufrgs.br/gme).

Face aos trabalhos já realizados na UFRGS, procurou-se então desenvolver um estudo que contemplasse a geração automática de leiaute baseando-se em matrizes que explorassem soluções visando à regularidade das estruturas. Essa proposta vem em encontro das dificuldades de geração de leiaute ***full custom*** por causa do aumento da complexidade da síntese física nas tecnologias submicrônicas, ao mesmo tempo em que se coloca como uma opção para a geração do leiaute de circuitos integrados que satisfizesse critérios para a obtenção de maior produtividade.

É necessário que a matriz possa gerar o leiaute de circuitos em tecnologia CMOS e que seja compatível com um método de síntese lógica que vise mapear a função para matrizes de células.

1.2 Objetivo da pesquisa

O objeto de pesquisa dessa dissertação é a busca de estratégias para geração de leiaute através de uma matriz de células. Porém existem duas diferenças importantes em relação aos dois estudos anteriores realizados na UFRGS: a primeira, diz respeito ao tipo de célula utilizada, pois se trata de uma matriz de células parametrizáveis de configuração; a segunda, é que estas células deverão estar dispostas numa estrutura regular que permita o roteamento total por sobre as células.

Os principais objetivos que se deseja alcançar com esse tipo de geração automática de leiaute são: regularidade do leiaute; possibilidade de produzir a matriz como um pré-difundido e fazer a customização pelas trilhas de metal; a obtenção de uma melhor e mais fácil caracterização elétrica dos atrasos das interconexões – pela regularidade e repetição da "paisagem" sobre as quais as conexões são realizadas; e a melhor caracterização do atraso das portas lógicas utilizadas, visto que as mesmas estão dispostas em uma estrutura regular.

Nessa dissertação, foi implementado um gerador de leiautes regulares baseado em uma matriz de NANDs de duas entradas. Elas estão dispostas segundo o estilo de leiaute ***linear matrix.*** Esta ferramenta fará parte de um fluxo de síntese de circuitos integrados desenvolvido pela UFRGS e que integra o projeto FUCAS.

1.3 Organização da dissertação

Para compreender o escopo desse estudo, inicia-se com uma discussão sobre as tecnologias submicrônicas, onde se coloca o estado da arte na geração de leiaute de circuitos integrados e os desafios decorrentes dos avanços tecnológicos. Procura-se informar as perspectivas de pesquisas que estão sendo realizadas na área.

Após esse detalhamento, procura-se justificar a escolha do modelo utilizado para a geração da matriz. Os resultados das simulações elétricas estão descritos no trabalho de Menezes, em 2003 e serão brevemente mencionados. Procurou-se, nesse texto, focar mais nos fatores estratégicos que resultaram na escolha realizada.

Esse mesmo capítulo descreve o funcionamento das ferramentas de CAD associadas ao projeto. A ferramenta de síntese física é descrita com mais detalhes, em especial os ajustes de largura dos transistores PMOS e NMOS, a realização de conexões em metal 1 entre NANDs vizinhas, as opções de ordenamento das redes para o roteador, a possibilidade de inserção de trilhas verticais e horizontais para facilitar a tarefa do roteador e a inserção de células de interconexão em posições estratégicas.

Posteriormente, passa-se a detalhar os resultados das simulações elétricas realizadas em vários circuitos, destacando-se os impactos em área e desempenho.

Por fim, apresentam-se as considerações finais e trabalhos futuros.

2 AS TECNOLOGIAS SUBMICRÔNICAS E ALTERNATIVAS PARA A SÍNTESE FÍSICA

As tecnologias submicrônicas, apesar de permitirem a geração de circuitos com maior desempenho e maior densidade de integração, também trazem dificuldades causadas por problemas como maior variabilidade dos parâmetros do processo e efeitos físicos indesejáveis como eletromigração, efeito 'antena', ***cross-talk***, contatos mal formados ou com alta resistividade, distribuição do relógio, aquecimento, níveis de ruído e outros.

Além disso, está se chegando ao limite físico dos materiais[1] atualmente utilizados, inclusive com a necessidade de busca de substitutos apropriados para aqueles que em virtude de suas propriedades físicas não poderão ser utilizados por causa da degradação do desempenho ou por incompatibilidade com o processo de fabricação.

Esses problemas vêm se intensificando cada vez mais por causa da redução da escala da tecnologia, do acréscimo do número de etapas no processo de fabricação, do aumento das dimensões do ***wafer*** e da área do circuito em virtude da maior quantidade de lógica incluída, em suma, a complexidade da tarefa tem aumentado.

No trabalho de Maly, et al. (1996), pode-se ter uma visão mais abrangente desses problemas e de estratégias que vêm sendo estudadas para contornar esses efeitos já que eles têm afetado drasticamente os custos de fabricação[2] pois reduzem a taxa de produtividade e conseqüentemente aumentam aqueles. São estudados nesse trabalho, desde problemas oriundos de poeiras, passando pelo mapeamento dos mecanismos de geração de erros no processo de fabricação e alcançando, inclusive, a identificação de tipos de projetos que são mais suscetíveis a falhas por maior sensibilidade às variações do processo.

Merecem destaque algumas metodologias que visam diminuir o impacto desses efeitos, como por exemplo:

- a utilização de bibliotecas mais 'resistentes' a mecanismos de erros: as células dessas bibliotecas são construídas de forma a ter menor probabilidade de falha quando submetidas a processo de fabricação em meio a contaminação;
- inclusão de modelos de produtividade na síntese lógica que indiquem o índice de aproveitabilidade do processo de fabricação baseado nos tipos de células utilizadas, densidade do leiaute e na disposição das interconexões; e

[1] O ITRS 2001 estima que no atual ritmo de ***scaling*** o Transistor MOS deve atingir seu limite físico por volta de 2007.

[2] Os custos de implantação de uma fábrica de circuitos integrados subiram de $ 50 milhões na década de 1980 para $ 2,7 bilhões em 2001[ITRS 2001].

- escolha da escala da tecnologia como fator ponderado entre produtividade, desempenho e ***time-to-market***[3].

Os trabalhos de Sylvester; Keutzer (1998) e Sylvester; Keutzer (1999), levantam diversas questões que precisam ser levadas em consideração para a obtenção de circuitos integrados que satisfaçam às restrições do projeto nas tecnologias submicrônicas. Um dos principais fatores diz respeito ao percentual de influência das interconexões no atraso total do circuito que em certos casos responde por 80% ou mais do atraso. Outro item importante são os efeitos decorrentes do aumento da densidade de corrente em algumas áreas do circuito, ocasionando problemas na potência dissipada.

Além disso, à medida que a escala da tecnologia diminui, os problemas acima mencionados aumentam pois as distâncias entre os diversos componentes do leiaute ficam cada vez menores. Por esses motivos, Sylvester; Keutzer (1998) buscam identificar qual a quantidade de transistores que, incluídos num mesmo módulo, não apresentariam efeitos que degradassem seu desempenho, quando submetidos à redução de escala da tecnologia.

Em seus estudos, eles chegam a conclusão de que módulos de, aproximadamente, 50.000 transistores**,** poderiam ser sintetizados utilizando o máximo que a tecnologia dispõe e não ocorreria a degradação do desempenho do circuito integrado quando da mudança de escala de tecnologia, pois as interconexões utilizadas nesse bloco seriam predominantemente curtas e uma redução de escala não afetaria o desempenho do circuito a ponto de comprometer seu funcionamento.

Observa-se que com essa quantidade de transistores, podem ser embutidos diversos tipos de ASIC num mesmo módulo.

Outro fato importante mencionado pelos autores, é que em blocos lógicos de até 50.000 transistores, um aumento da relação W/L, ou seja, entre a largura (W) da difusão do transistor e comprimento (L) do canal do transistor**,** reduz o efeito no atraso causado pelas interconexões, apesar do aumento da área do circuito. Entretanto, existe um ponto ideal acima do qual o aumento dessa relação não acarreta nenhum benefício.

Os autores inferem que isso se deve ao pequeno aumento do comprimento médio das interconexões e à utilização de novos materiais. As Figuras 2.1 e 2.2 mostram os resultados dos testes efetuados. Eles sugerem a manutenção de uma relação W/L em torno de 20 como relação ótima entre a largura (W) do transistor e a largura(L) do canal do transistor para se obter uma redução da influência do atraso das interconexões em contrapartida ao aumento de área do circuito em virtude do aumento da largura da difusão do transistor.

Cabe aqui uma menção no que diz respeito à utilização de circuitos regulares para a síntese desses módulos, pois como há área disponível, um acréscimo pequeno da mesma pode não representar perdas significativas. E conforme será colocado adiante, a regularidade permite uma maior probabilidade de geração de circuitos sem os erros decorrentes das variabilidades do processo de fabricação. Isso resultaria em maior número de circuitos funcionais por ***wafer.***

[3] É preferível lançar o produto no mercado, mesmo com menor desempenho, do que perder a oportunidade e o investimento aplicado.

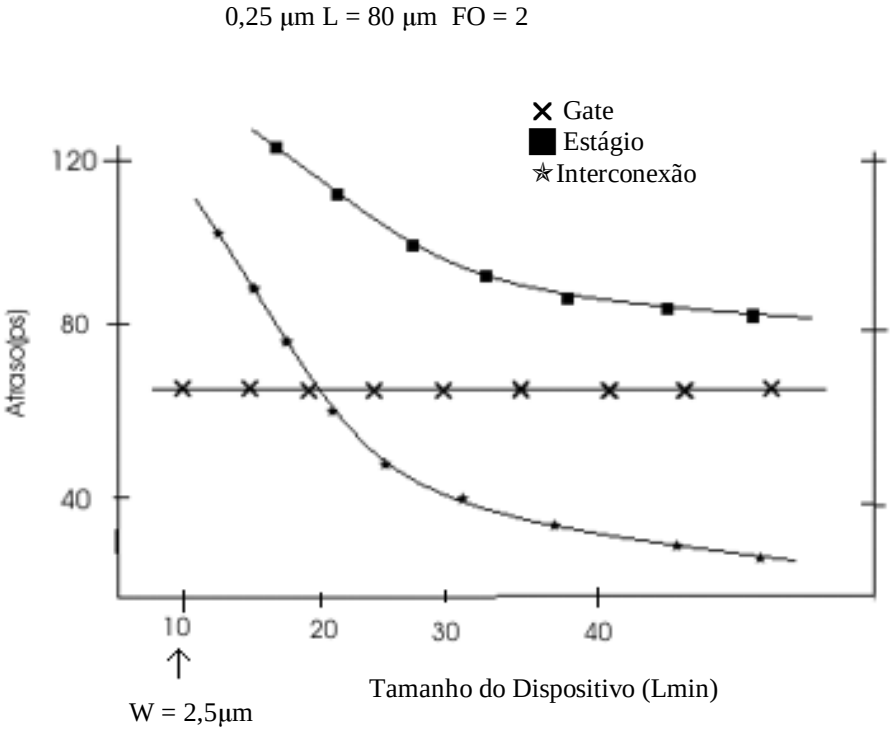

Figura 2.1 – Efeito de diminuição do atraso através do aumento da relação W/L, mantido um fanout de 2 para a tecnologia de 0.25 μm (SYLVESTER; KEUTZER, 1998)

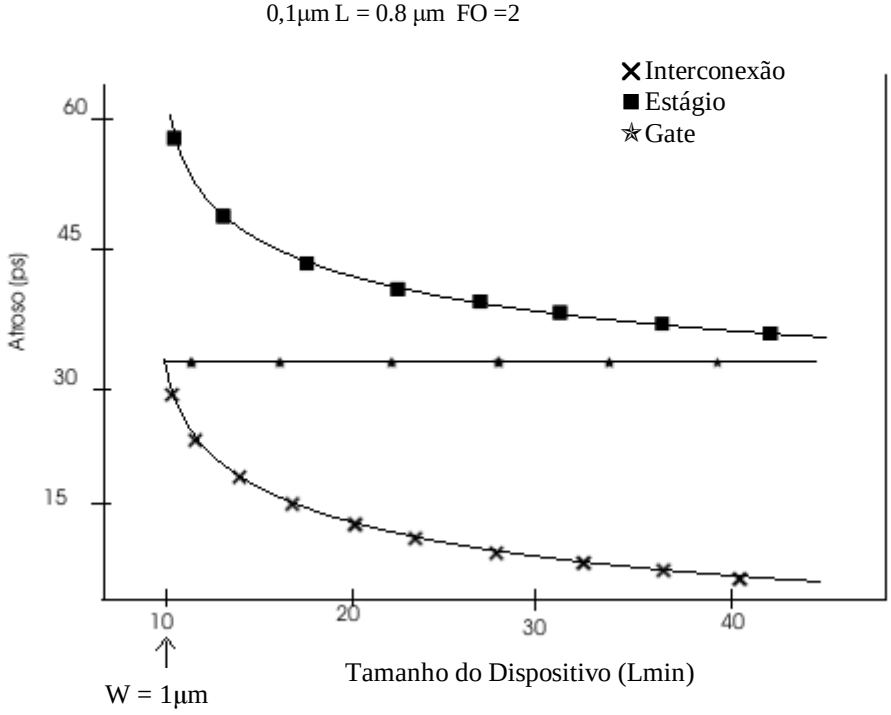

Figura 2.2 – Efeito de diminuição do atraso através do aumento da relação W/L, mantido um fanout de 2 para a tecnologia de 0,1um. (SYLVESTER; KEUTZER, 1998)

Em seu trabalho, Ho et al (1999), faz algumas colocações sobre os estudos de Sylvester; Keutzer (1998) e Sylvester;Keutzer (1999). Basicamente, ambos concordam que blocos de até 50.000 portas lógicas podem ter a escala da tecnologia reduzida sem comprometimento do desempenho do circuito e que as interconexões dentro desse bloco seriam predominantemente curtas.

Porém, divergem quanto a capacidade das ferramentas de CAD atuais manusearem circuitos com até 50.000 transistores por causa do aumento da complexidade do processo à medida que há redução da escala da tecnologia. Ho et al (1999) conclui que circuitos com essa quantidade de transistores podem apresentar interconexões acima do comprimento crítico[4], pois possuem perímetro em torno de 4mm para uma tecnologia de 0,25µm.

O trabalho de Ho et al (1999) apresenta uma estimativa do percentual da presença desse tipo de conexão, nesses circuitos. Observe na Figura 2.3 os resultados dos testes que estimam o percentual de interconexões que excedem o comprimento crítico para diversos tamanhos de circuitos integrados.

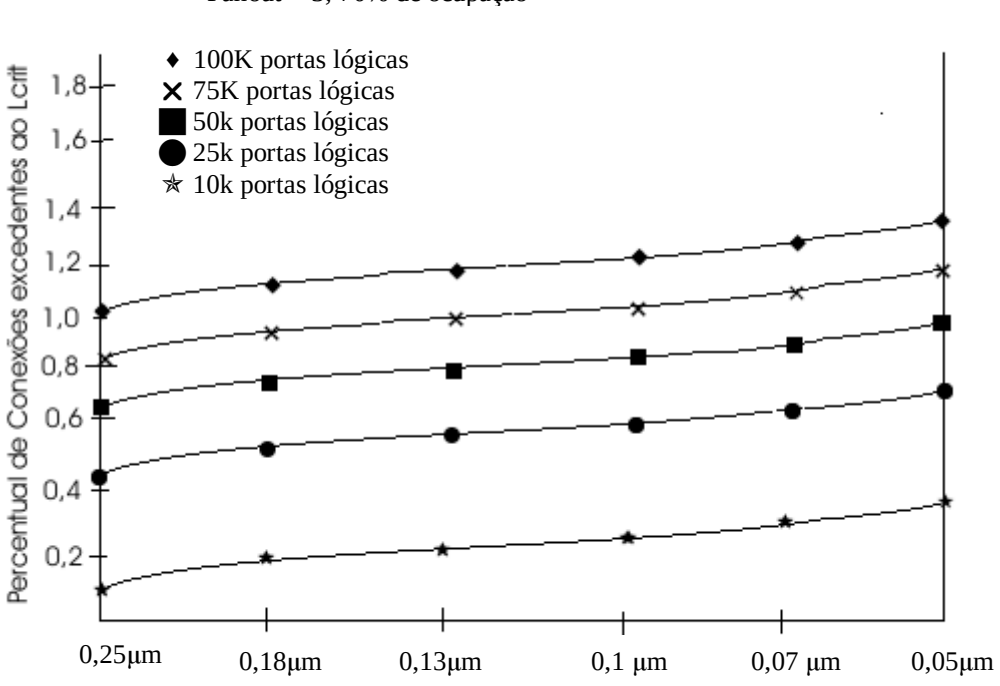

Figura 2.3 – Percentuais de interconexões acima do comprimento crítico por tecnologia e tamanho do módulo (HO et al., 1999),

Verifica-se portanto, que apesar dos pequenos percentuais de conexões longas para os diversos tamanhos de blocos lógicos apresentados, elas aumentam à medida que a escala de tecnologia é reduzida. Isso vai exigir ferramentas de CAD capazes de identificar e contornar essas dificuldades.

Assim, novos detalhes deverão ser tratados pelas ferramentas de CAD e entre eles cita-se: o gerenciamento das interconexões que ultrapassarem o comprimento crítico (HO et al., 1999), o aumento do número de módulos a serem gerenciados conjuntamente

[4] É o tamanho mínimo para que uma interconexão sofra degradação de propagação do sinal por causa das altas freqüências hoje utilizadas. Para a tecnologia 0,25um, o comprimento crítico é de aproximadamente, 1,3mm(Ho et al 1999).

(HO et al., 1999),o efeito da indutância associada a essas interconexões(MEIJS; SMEDES, 1996) e a influência do ***cross-talk*** entre circuito e substrato (MEIJS; SMEDES, 1996), dentre outras.

Todos os itens mencionados mostram a complexidade cada vez maior do problema e, além deles, outros também já causam problemas como: as interconexões globais[5] com vários milímetros de comprimento que exigem a inclusão de repetidores para que seja mantida a integridade do sinal; o tempo-de-vôo[6] (TOF) do sinal no circuito que representa um limite físico ao aumento da freqüência de operação; e, a complexidade de tratar em conjunto todos esses módulos, em especial quanto aos efeitos de ***cross-talk*** entre os circuitos e o substrato (MEIJS; SMEDES, 1996).

A partir desses problemas, outras dificuldades surgem decorrentes das alternativas de soluções propostas:

- ao criar níveis de metal específicos para o roteamento global, utilizando largura maior que o mínima – de duas a vinte vezes maior que a largura mínima da interconexão com o objetivo de diminuir a resistência das mesmas – é necessário resolver problemas de congestionamento, priorização das conexões e indutância associadas. Esses canais mais largos são ainda subdivididos de acordo com a localização das conexões globais a serem efetuadas em zonas isocrônicas[7] ou não isocrônicas.
- a inserção de repetidores é conseqüência da degradação do sinal por efeito do atraso RC e pelo aumento da capacitância associada a interconexões globais. Isso causa um aumento da potência dissipada pois juntos, as interconexões e os repetidores, na tecnologia de 50nm, respondem por valores entre 30% a 40% da potência dissipada pelo circuito, além de aumentar a sensibilidade ao ruído.
- Como o TOF inibe a utilização de freqüências acima da maior distância a ser percorrida, passa-se a trabalhar com mais de uma freqüência no ***chip***, sendo uma utilizada entre módulos isocrônicos e outra, de menor valor, utilizada para as conexões globais. Além disso, são necessárias adaptações no encapsulamento para permitir a distribuição do relógio por toda a superfície do circuito e não mais somente na periferia.

Com certeza, face aos obstáculos mencionados, a obtenção de resultados satisfatórios na geração dos circuitos integrados passa pela integração cada vez maior das ferramentas de CAD e, via de regra, se estará aquém daquilo que a tecnologia pode oferecer, pois aquelas necessitam tratar o aumento da densidade de integração conjuntamente com a complexidade cada vez maior do processo de fabricação. Todos esses fatores estão reduzindo a taxa de produtividade e, conseqüentemente, aumentando consideravelmente os custos de produção.

Esse é o conhecido "Déficit de Produtividade do Projeto" mencionado por Kahng (2001) e Pileggi et. al. (2003).

O trabalho de Kahng (2001) também menciona vários dos desafios que estão sendo enfrentados na busca por soluções que viabilizem os investimentos em novas tecnologias e propiciem a continuidade dos avanços tecnológicos na área de circuitos integrados. Entretanto, Kahng não se restringe apenas aos aspectos técnicos da geração

---

[5] Estima-se que uma conexão global num circuito integrado varie entre 2 a 8 mm dependendo da tecnologia utilizada e do tamanho do circuito. Casos extremos chegam a incluir conexões com até 15mm.(SYLVESTER; KEUTZER, 1999)

[6] Tempo que um sinal leva para percorrer o circuito integrado de ponta a ponta.

[7] Região dentro da qual o sinal de ***clock*** não sofre diferença de fase.

do circuito integrado, mas tenta interrelacionar outros campos, em especial o econômico, visto deste depender o aporte de recursos para o prosseguimento das pesquisas.

Após descrever alguns dos atuais desafios já acima apresentados, Kahng (2001) estima que para se obter produtos economicamente viáveis num futuro próximo, é necessário alcançar altos volumes de produção com alto valor agregado. Porém, para a obtenção desses resultados, será obrigatória a integração das diversas ferramentas de CAD e, além disso, ser capaz de contornar os obstáculos de produtividade.

Os projetos desenvolvidos por Kahng (2001), no ***MARCO Gigascale Silicon Research Center*** também estão procurando saídas factíveis para essas barreiras físicas e de complexidade crescente, descrevendo-se abaixo algumas das principais alternativas estudadas:

- A integração das ferramentas de síntese, posicionamento e roteamento é vista como um fator importante para se obter uma melhor convergência dos projetos e cada vez mais as otimizações são obtidas somente a partir de um trabalho harmônico entre essas ferramentas;
- As variabilidades randômicas do processo de fabricação e, em especial, as variabilidades sistemáticas devem ser consideradas ainda nas etapas de síntese lógica, posicionamento e roteamento. Como exemplo, eles citam problemas na litografia que, para a correção do arrendondamento nas bordas e diminuição da largura de interconexões, são utilizadas técnicas que afetam os custos de inspeção das máscaras e aumentam os erros produzidos por variabilidades do processo. Outros problemas decorrem da variação de densidade do leiaute, surgindo assim áreas altas e baixas no circuito integrado que causam dificuldades durante o processo de planarização químico-mecânica;
- Avanços nas técnicas de litografia também serão decisivos para se fabricar circuitos que, apesar de obedecerem às regras de projeto ainda possuem sérias restrições por problemas de variabilidades randômicas e sistemáticas do processo. Inclusive, dependendo do tipo de técnica utilizada durante a fabricação pode-se afetar substancialmente um ou outro aspecto do circuito, devendo o projetista ter conhecimento de qual setor do leiaute deve se ter mais atenção em seu projeto de forma a aumentar a produtividade através da redução de falhas devido à variabilidade do processo;
- A vida útil de uma máscara, por estar limitada a algo em torno de 500 ***wafers*** (KAHNG, 2001), precisa ser maximizada através da inclusão de uma maior quantidade de circuitos por máscara; e
- A complexidade dos projetos em desenvolvimento tem obrigado o projetista a procurar soluções utilizando estratégias em níveis de abstração cada vez mais altos. Como exemplo, os autores citam que a solução de problemas de potência dissipada pelo circuito pode envolver mudanças no posicionamento, na lógica, na distribuição do relógio e/ou adição de modo de ‘espera’ no circuito. Essas estratégias estão em um nível de hierarquia superior do projeto, porém a complexidade das informações manipuladas a nível de síntese física nas tecnologias submicrônicas, mantém a implementação do circuito integrado em baixo nível de abstração, inexistindo ainda ferramentas que façam a interligação entre essas duas etapas do processo a fim de estimar os efeitos decorrentes das mudanças propostas.

Todos esses desafios visam satisfazer não só à necessidade de aumento do desempenho dos circuitos, mas também aos critérios econômicos que sustentam os investimentos no setor. Além disso, o tempo que as inovações tecnológicas levam para serem utilizadas em produtos comerciais demora algo em torno de cinco a sete anos, conforme dados de Kahng (2001), obrigando os projetistas a trabalharem na busca de soluções sem poder dispor dessas inovações.

Como citado anteriormente, a isso se denomina "Déficit de Produtividade de Projeto" e consiste num obstáculo que foi bem resumido na frase abaixo:

> "[...] what we can build in a next generation technology is continually outpacing what we can afford to build in that technology." (PILEGGI et al., 2003)[8]

Como os autores anteriores, Pileggi et al. (2003), atribui essa dificuldade ao aumento da complexidade da síntese física e discute pontos específicos do processo de fabricação, apontando problemas decorrentes da existência de variabilidades randômicas e sistemáticas do processo de fabricação, dificuldades de realizar apropriadamente o ***etching,*** o polimento químico mecânico, além de outras etapas do processo de síntese física.

Por outro lado, a adoção de técnicas que aumentam a regularidade do projeto podem representar uma possibilidade que permita utilizar as vantagens decorrentes dos avanços tecnológicos sem os altos custos envolvidos face às perdas provocadas pelo rendimento do processo de fabricação.

Pileggi et al. (2003) exploram a utilização de uma estrutura denominada Via Patterned Gate Array – VPGA. Esta representa uma solução de compromisso entre o FPGA e ***standard cells***. Ao utilizarem ***look-up-tables*** como a da Figura 2.4 ou blocos de células lógicas heterogêneas e customizando o roteamento por meio de máscaras em vez de chaves CMOS, eles obtiveram um alto grau de regularidade do projeto.

Desta forma, apesar das perdas em área e desempenho, eles observam que a regularidade do projeto pode melhorar as estimativas das previsões de desempenho, que conseqüentemente podem ser ajustadas por meio de otimizações na lógica, compensando em parte as desvantagens do projeto regular.

Convém ressaltar que a utilização de estruturas regulares personalizáveis pelas camadas de metal já foi utilizada nos projetos MARCELA e MARAGATA desenvolvido na UFRGS, respectivamente por Güntzel (1993) e Lima (1999).

Pileggi et al. (2003) realiza testes com alguns circuitos e os resultados podem ser observados na Tabela 2.1. Todos os projetos foram gerados utilizando a tecnologia 0.13μm CMOS e foram sintetizados para alcançar o máximo desempenho possível. O resultado A refere-se à utilização de ***standard cells,*** os resultados B e C refletem o uso da metodologia VPGA. Os valores dos atrasos correspondem à média dos 10 maiores atrasos encontrados. Pode-se perceber que em termos de desempenho, ambos os resultados possuem valores aproximados, entretanto há uma perda considerável em área.

[8] [...] o que podemos construir com a próxima geração tecnológica está continuamente defasado com o que podemos ser capazes de construir naquela tecnologia.

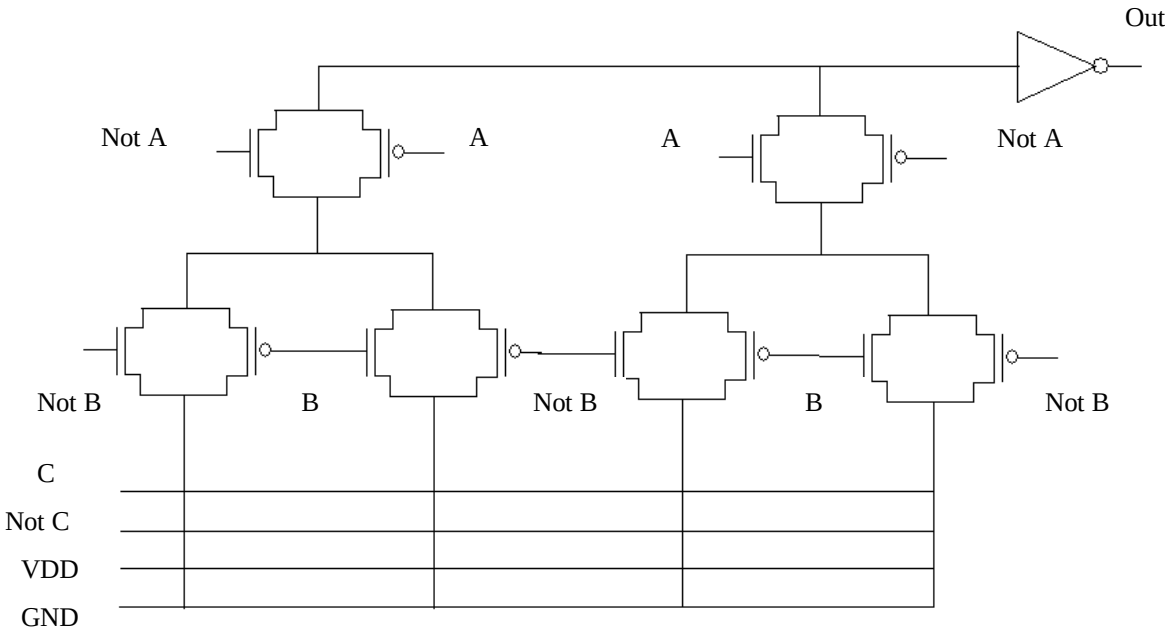

Figura 2.4 – Implementação de uma LUT de três entradas em VPGA (PILEGGI et al, 2003)

Tabela 2.1 – Resultados de síntese utilizando ***Standard Cells*** (A) e a metodologia VPGA (B e C).

Circuitos	n.° de portas	Atraso médio 1-10 (ns)			Área (micra quadrados)		
		A	B	C	A	B	C
A51LU	651	-0.45	-0.30	-0.31	5600	7800	18225
DLX Controller	552	-1.05	-0.942	-0.961	5476	9216	16875
Firewire	4247	-1.31	-1.45	-1.77	27027	40944	56250
FPU	24640	-7.68	-7.81	-9.35	409600	562500	1103625

Fonte: Pileggi et al., 2003**.**

Outro trabalho na área é o desenvolvido por Mo; Brayton (2002), através da estrutura denominada River-PLA. Como primeira justificativa para a adoção de estruturas regulares eles citam a utilização pelos fabricantes de técnicas que detectam padrões geométricos nas máscaras que permitam alcançar melhor qualidade de exposição e de imagem; e como segundo principal motivo, a previsibilidade das características dos circuitos.

Eles também incluem entre suas motivações que uma maior previsibilidade permite diminuir consideravelmente o tempo de projeto, face à não necessidade de refazer parte (ou todo) o trabalho por não se alcançar os resultados devido à dificuldade de se alcançar os valores de desempenho propostos em projetos ***standard cells***.

O River-PLA consiste em uma matriz de portas AND associada com portas OR de forma a mapear quaisquer soma-de-produtos da lógica booleana. Além disso, essa estrutura é 'empilhada' de forma que as saídas de um bloco podem ser utilizadas pelos blocos seguintes.

Uma vantagem dessa metodologia é a alta precisão das estimativas de área e atraso. Além disso, o tempo de síntese é muito menor que utilizando ***Standard Cells*** e elimina as etapas de posicionamento, roteamento e mapeamento tecnológico**.** Quando comparados resultados de síntese de circuitos com 300 a 17k ***portas***, num total de 16 circuitos, na tecnologia 0.35um, os resultados apresentados mostram que apesar das perdas em área, os tempos de atraso são compatíveis nas duas metodologias.

Cabe citar ainda o trabalho desenvolvido por Khatri et al. (1999). Nele se descreve uma metodologia de projeto imune a ruídos, ou seja, onde a influência entre interconexões vizinhas é inexpressiva e o atraso de uma conexão deve-se exclusivamente a sua capacitância intrínseca e sua resistência.

Para obter esse resultado, Khatri et al. (1999) utilizam em todos os níveis de metal a intercalação de uma linha de alimentação com uma de roteamento, ou seja, num nível há trilhas de roteamento intercaladas com VDD e no nível imediatamente superior ou inferior, há trilhas de roteamento intercaladas com GND. Assim, com a redução de influência da interconexão vizinha obtém-se com grande precisão, a capacitância de cada interconexão.

Entre as vantagens apresentadas por essa metodologia também estão a redução das resistências associadas à alimentação porque elas estão distribuídas por todo o circuito; maior previsibilidade do valor da indutância associada a cada interconexão; eliminação do ***cross-talk*** entre interconexões vizinhas; diminuição da complexidade dos extratores pela inexistência das influências acima citadas; maior precisão na estimativa do atraso do circuito; e não ser necessárias grandes adaptações no roteador, bastando modificar o espaçamento entre os metais.

Nos resultados dos testes apresentados ocorre perda em área em torno de 65%, o que é altamente comparável com o acréscimo da relação W/L proposto por Sylvester; Keutzer (1999) para minimizar os efeitos de ***cross-talk*** entre as interconexões, conforme indicação dos próprios autores.

2.1 O impacto das interconexões nas tecnologias submicrônicas.

Como mencionado nas pesquisas acima, as interconexões exercem grande influência na determinação da desempenho[9] e na produtividade[10] dos projetos submicrônicos. Por esse motivo, foi realizado um detalhamento maior desse item, a fim de descrever um pouco mais suas características principais, ou seja, sua capacitância, resistividade e indutância associadas, assim como as alternativas de projeto que estão sendo adotadas para diminuir sua influência.

A figura 2.5 apresenta uma estimativa do ITRS 2001 para os atrasos decorrentes das interconexões. Conforme pode ser observado na Figura 2.5, nas conexões locais, a influência das interconexões do atraso é compatível com os avanços do atraso do canal do transistor, entretanto, as conexões globais apresentam sérias restrições que são contornadas através de várias medidas como adoção de linhas de metal com largura maior que o mínimo admitido pela tecnologia, a inserção de repetidores, a identificação de zonas isocrônicas e a utilização de interconexões óticas ou por rádio-freqüência (ITRS, 2001).

[9] Na tecnologia 25nm, as interconexões globais respondem por mais de 40% do atraso nos piores casos, conforme Kahng;Mantik;Markov (2001).

[10] A existência de poeiras durante o processo de fabricação pode ocasionar a formação de curtos circuitos ou de linhas abertas que levam ao não funcionamento do circuito. Além disso, vias mal formadas podem aumentar em demasia a resistência da interconexão, levando à degradação do desempenho. Esses são exemplos de dois fatores que influenciam o rendimento do processo de fabricação de circuitos integrados.

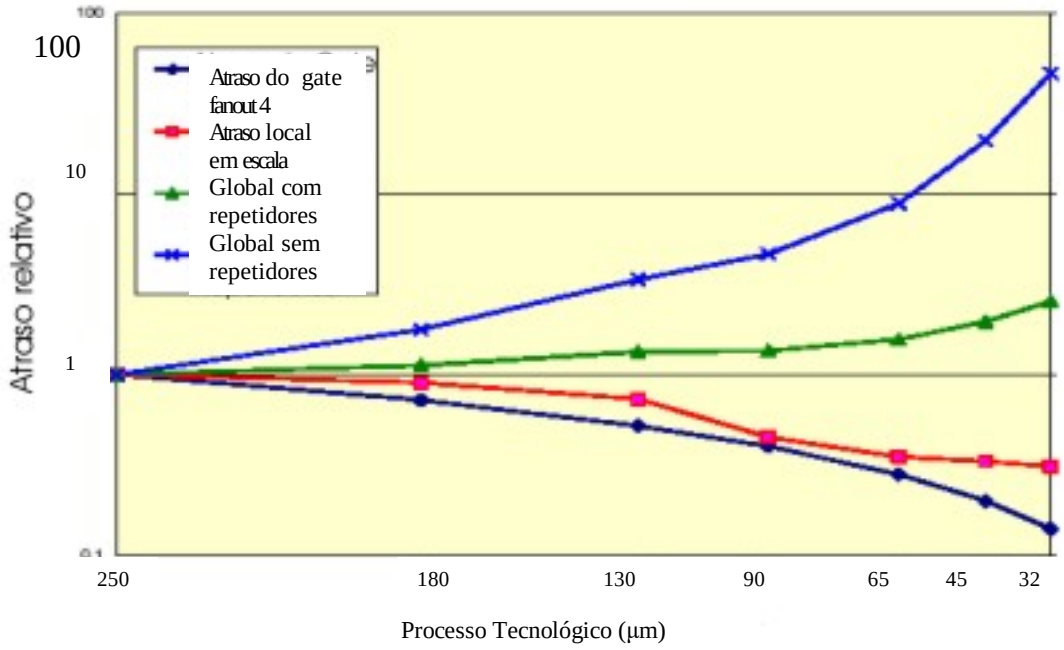

Figura 2.5 – Atraso das interconexões segundo o processo tecnológico (ITRS 2001).

Conforme citado acima, uma possibilidade amplamente utilizada, é a adoção de conexões com maior largura (W) nas camadas superiores a fim de diminuir a resistência das mesmas. Entretanto, ocorre aumento da capacitância entre camadas justapostas, de modo que deve existir uma solução de compromisso no dimensionamento dessa interconexão.

Além disso, várias camadas para roteamento (entre 7 e 8) estão sendo disponibilizadas para permitir a realização das conexões entre os milhões de transistores que podem ser incluídos em um ASIC. A figura 2.6 apresenta uma visão em corte da distribuição das conexões.

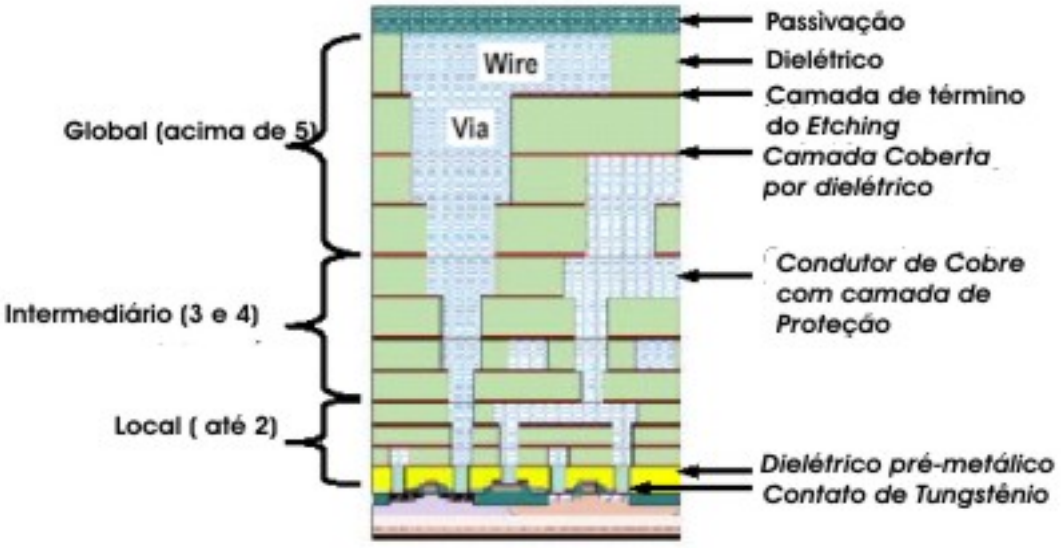

Figura 2.6 – Visão em corte da distribuição das interconexões (ITRS, 2001).

Apesar de todas essas medidas que visam reduzir o impacto no desempenho provocado pelas interconexões, ainda existem outros problemas que estão ligados às estimativas de atraso calculadas por ferramentas de CAD. Primeiramente, a qualidade dessas estimativas é bastante variável, pois o comprimento da interconexão não é o único fator a ser considerado, visto que as interconexões vizinhas também influenciam no cálculo do seu atraso, assim como o tipo de sinal que ela carrega e a sensibilidade às variações dos sinais de seus vizinhos.

Em especial, o Efeito de Acoplamento Miller – que ocorre quando ambos terminais de um capacitor são chaveados simultaneamente em direções opostas – provoca alterações nos valores dessas estimativas. Esse fator se agrava por causa da diminuição da tensão de alimentação dos circuitos integrados para acompanhar a redução da escala da tecnologia.

Além dele, o ruído causado pelas variações de tensão das interconexões vizinhas está causando o aumento do impacto do ***cross-talk***. Ressalta-se que essa influência devida ao ruído, só pode ser mensurada por ocasião dos testes.

Os efeitos acima são proporcionais à capacitância entre interconexões vizinhas e depende das dimensões do condutor. Com a redução da escala tecnológica, a largura (W) do condutor está diminuindo e, para impedir que a resistência deles cresça quadraticamente, a altura (T) está sendo mantida constante. Observe as equações de cálculo da resistência e das capacitâncias entre camadas diferentes(C_f), entre interconexões na mesma camada (C_P), conforme a representação gráfica constante da Figura 2.6.

$$R = \rho.L / T . W \qquad C_f = K . \varepsilon_o . W . L/H \qquad C_P = K . \varepsilon_o . T . L /D$$

Onde: ρ é resistividade do material;
L é o comprimento da interconexão
T é a altura da interconexão
W é a largura da interconexão
D é a distância entre interconexões
K é constante dielétrica do material
H é a altura relativa ao plano
ε_o é a constante de permissividade do espaço livre

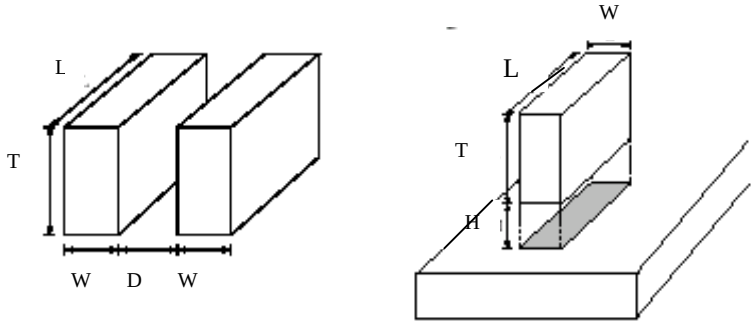

Figura 2.7 – Dimensões das interconexões.

Assim, a forma como está sendo realizada a redução de escala da tecnologia, de modo a evitar o aumento quadrático da resistência, está aumentando a capacitância entre duas conexões vizinhas. E como o atraso da interconexão é calculado através do produto da resistência pela capacitância, está se tornando difícil identificar qual a melhor relação de compromisso entre estes dois fatores.

Outros problemas decorrentes da redução da escala tecnológica**,** se devem ao aumento das influências recíprocas entre os transistores e o substrato. Elas aparecem em

virtude da diminuição das camadas de isolamento entre as diversas camadas de metal e pelo aumento das freqüências utilizadas (MEIJS; SMEDES, 1996). Não bastasse essa influência, o aumento do tamanho do circuito integrado agravou ainda mais essa questão. A indutância das interconexões, cujos principais efeitos adversos são a reflexão do sinal e aumento do ruído, também está começando a se fazer presentes e as estimativas de suas influências também passam a ser importantes.

Todas essas características das interconexões nas tecnologias submicrônicas, juntamente com a redução progressiva de escala das tecnologias, com o aumento do número de etapas do processo de fabricação e com as variabilidades randômicas e sistêmicas do processo, têm causado um incremento considerável na complexidade da síntese física. Além disso, modificações necessárias para ajustar o desempenho, a área ou a potência dissipada pelo projeto podem causar problemas que acarretem a total redefinição do mesmo ou serem difíceis de atingir pela inexistência de ferramentas ainda não capacitadas a tratar esse nível de complexidade.

2.2 A Utilização de circuitos regulares

A complexidade do processo de síntese física, assim como as variabilidades randômicas e sistemáticas do processo de fabricação estão provocando a busca de alternativas que permitam diminuir os custos decorrentes do maior tempo de projeto e do menor número de circuitos em bom estado de funcionamento ao final do processo.

Assim, os trabalhos de Khatri et al. (1999), Pileggi et al (2003) e Mo; Brayton (2002) utilizam circuitos regulares como opção ao projeto ***standard cells*** a fim de obter maior rendimento no processo de fabricação, diminuir a influência no desempenho das capacitâncias das interconexões e um menor tempo de projeto, porém, em contrapartida, obtêm circuito. S com maior área e desempenho um pouco menor.

Veja-se o caso do VPGA – ***ViaPatterned Gate Array –*** que consiste em blocos lógicos de um FPGA personalizável quanto ao roteamento. Com a estrutura regular do VPGA é possível a obtenção de uma maior taxa de aproveitabilidade dos circuitos com a utilização de técnicas que tornam a célula do VPGA mais estável às variações de processo.

Observe-se que não basta somente utilizar corretamente as regras para geração de máscaras da tecnologia para se obter um resultado exeqüível, é necessário estimar quais as configurações mais suscetíveis às variabilidades no processo e suas conseqüências no leiaute, para se obter circuitos em bom estado de funcionamento. O mapeamento desses problemas passa a ser importante para o projetista, que precisa levá-los em consideração nas suas decisões.

Assim, a impossibilidade do processo de litografia tratar corretamente os diversos problemas existentes por causa das flutuações atômicas ou pela própria natureza física dos materiais que estão chegando ao seu limite, está contribuindo para que se busquem alternativas que possam diminuir os impactos dos custos na produção dos circuitos integrados.

Por outro lado, a utilização de máscaras padronizadas contribui para melhor enquadramento das mesmas durante o processo de litografia e para a diminuição do seu custo associado, por repetirem o mesmo padrão.

Os fatos acima descritos mostram que na evolução tecnológica dos circuitos integrados existe uma distância entre o que se tem a capacidade de produzir e o que se pode produzir, ou seja, existem recursos tecnológicos ‘ociosos’ por falta de capacidade de utilizá-los proficuamente. Pileggi et al. (2003), se refere a essa distância como

“Déficit de Produtividade de Projeto”> Afirma ainda que essa barreira é decorrente da incapacidade humana em acompanhar os rápidos passo da tecnologia e tratar os complexos problemas dela decorrentes (complexidade do problema cresce exponencialmente, detalhes de implementação física, falhas paramétricas, ruído, atraso) de forma eficaz e eficiente.

A regularidade no projeto de circuitos integrados surge então, como uma opção que ao restringir as opções do projetista por um lado, permite-lhe obter melhores estimativas de desempenho, menor tempo de projeto e maior rendimento.

Um aspecto interessante é que apesar dos circuitos regulares, provavelmente, utilizarem maior área para produzir um mesmo circuito, pode-se obter maior número de circuitos aproveitáveis por ***wafer***, face ao melhor rendimento e conformidade com as restrições de tempo e potência necessários, quando comparado com um circuito que utilizando uma metodologia ***Standard Cells***, mesmo tendo maior número de unidade por ***wafer*** apresente uma menor taxa de produtividade e menor previsibilidade do cálculo do atraso. Ou seja, o aumento dos custos de produção pode não compensar a utilização desta metodologia.

Por outro lado, a redução do impacto no desempenho causado pelas interconexões na metodologia ***standard cells*** em virtude da redução de escala da tecnologia, exige a utilização de maior relação W/L, assim como maior número de iterações entre as etapas de síntese para que o projeto satisfaça os critérios de desempenho. Como ocorre aumento na área, há uma certa compensação na utilização de leiautes regulares**.**

Outro ponto a se considerar diz respeito a melhor previsibilidade e facilidade de cálculo do atraso das interconexões nos circuitos regulares, pois as células estão previamente caracterizadas e a paisagem do leiaute regular é repetitiva e conseqüentemente pode-se obter melhores estimativas da influência das interconexões no atraso.

Essas considerações iniciais suscitam a importância da pesquisa de opções de projeto que possam conduzir a geração de circuitos integrados regulares**,** que possuam maior aproveitabilidade e rendimento.

Assim, a opção de explorar esse espaço na geração de leiaute de circuitos integrados, permite obter novas informações que podem contribuir com soluções para os atuais problemas enfrentados na síntese de circuitos integrados usando tecnologias submicrônicas.

3 O GERADOR DE LEIAUTE DE MATRIZES REGULARES - MARTELO

Para o desenvolvimento dessa pesquisa, inicialmente foi identificado o tipo de matriz regular que seria elaborado. Foi analisado então, qual tipo de célula seria mais adequado para sintetizar circuitos em tecnologia CMOS.

Como a lógica booleana trabalha com soma-de-produtos ou produto-de-somas, procurou-se identificar uma célula que oportunizasse mapear essa solução. Observando-se ainda, que na tecnologia CMOS é melhor em termos de área e desempenho, implementar uma porta com saída negada, recaiu-se entre as opções de utilizar uma célula NAND ou uma NOR, como forma de diminuir o número de transistores por unidade lógica da matriz e também por ser mais fácil implementar uma função booleana através dessas portas lógicas.

Essas células possuem as seguintes características:

- facilidade de implementar um inversor nos dois tipos de célula, sendo apenas necessário conectar uma das entradas em VDD para a NAND ou GND para a NOR;
- a soma-de-produtos é implementada diretamente através de células NANDs e o produto-de-somas em células NOR, de acordo com as propriedades da lógica booleana.

Entretanto, em tecnologia CMOS é preferível implementar a célula NAND a célula NOR pelo seguinte motivo:

- A NAND, possui os transistores PMOS em paralelo, o que diminui o tempo de transição ***low-high***, quando comparado à célula NOR, visto que esses transistores têm maior dificuldade de chavear por causa de suas características elétricas;

Outro fator que também exerceu influência na escolha é a existência de uma ferramenta de síntese lógica (TAVARES, 2003) que realiza o mapeamento de qualquer função booleana através de células NAND e inversores. Essa ferramenta permite regular o ***fanout*** máximo do circuito, de forma que é possível controlar a quantidade de lógica gerada, dimensionando-a de acordo com o resultado desejado.

Além de gerar lógica dedicada a matriz de NANDs, outras características também são exploradas por essa ferramenta:

- ela busca explorar a possibilidade da formação de conexões curtas através da regulagem do fanout, embora isso implique em duplicação da lógica;
- a forma como a lógica foi gerada permite ao posicionador distribuir as células sem a existência de conexões que ficam percorrendo o circuito de um lado a outro.

3.1 Fluxo de síntese utilizado

A Figura 3.1 explicita o fluxo de síntese utilizado para a geração de leiautes através de matrizes de NANDs. Basicamente, o processo de geração do leiaute consiste em três etapas distintas. Durante a primeira é realizado o mapeamento do circuito para a lógica negativa através da ferramenta de síntese lógica. Essa etapa permite que o usuário informe qual o ***fanout*** máximo que o circuito pode ter e ao final da mesma obtém-se um circuito no formato ".sim", que consiste numa listagem das células, suas conexões e a identificação das entradas e saídas do circuito.

A opção de definição do ***fanout*** máximo é importante para a caracterização do circuito, pois permite regular a largura adequada da difusão dos transistores da matriz, baseando-se na estimativa da capacitância máxima que a saída de uma célula irá suportar. Essa informação precisa ser somada à capacitância das interconexões, mas a realização de testes comparativos pode identificar a relação de compromisso entre o ***fanout*** máximo admitido, a largura da difusão dos transistores e o número de transistores do circuito.

Além disso, a formação de conexões curtas também é um dos objetivos almejados e ao se reduzir o ***fanout*** máximo, obtêm-se resultados interessantes para esse item que também contribui para reduzir o atraso geral do circuito.

O próximo passo consiste em realizar o posicionamento das células a fim de obter-se a ordenação relativa das células para posterior geração do leiaute. Essa tarefa é efetuada pelo posicionador MANGOPARROT (HENTSCHKE, 2002) que possui uma configuração específica para efetuar o posicionamento das células da matriz.

Como as células possuem o mesmo tamanho, a qualidade do posicionamento obtido exerce influência significativa para o sucesso do roteamento do circuito conforme será visto mais adiante. Além disso, o posicionador realiza, se necessário, a inserção de células de interconexão[11] para diminuir o congestionamento e assim facilitar a tarefa do roteador.

Por fim, o posicionador procura manter NANDs que compartilham entradas e/ou saídas num mesmo par na matriz em virtude das estratégias de roteamento que foram utilizadas e que serão objeto de detalhamento na próxima seção.

Como saída, o posicionador gera um arquivo no formato ".mpp" com a descrição do número de bandas e a seqüência das células dentro das bandas. O usuário pode ainda especificar a quantidade de bandas e de células por banda ou permitir que o programa efetue o dimensionamento da matriz de forma a torná-la o mais quadrada possível.

A terceira etapa consiste na geração do leiaute propriamente dito. Com base nas informações do arquivo gerado pela síntese lógica e do arquivo gerado pelo posicionador, a ferramenta denominada MARTELO gera o leiaute do circuito integrado.

Ainda nessa etapa, são repassados ao programa, informações sobre a largura das difusões e opções para o roteamento. Este por sua vez é realizado com a ferramenta desenvolvida por Hentschke et al (2003) que realiza iterações conjuntamente com a ferramenta MARTELO até que seja finalizado o roteamento ou seja atingido o número máximo de iterações informadas pelo usuário. Menciona-se ainda que o roteamento é totalmente realizado por sobre as células, não existindo espaçamento interbandas.

O formato da saída do MARTELO é um arquivo .cif descrevendo o leiaute gerado.

[11] São espaços com as dimensões de uma NAND que são inseridos em posições específicas para facilitar a tarefa do roteador.

3.2 Descrição da ferramenta de geração de leiaute MARTELO

A estrutura da matriz gerada pela ferramenta deve permitir que a mesma se disponha em bandas justapostas de modo a ocupar a menor área possível. Para identificar um modelo compatível com as características desejadas, realizou-se um estudo entre dois modelos de leiaute onde foram realizadas simulações elétricas para identificação do desempenho e área. Esses modelos podem ser observados no Anexo I.

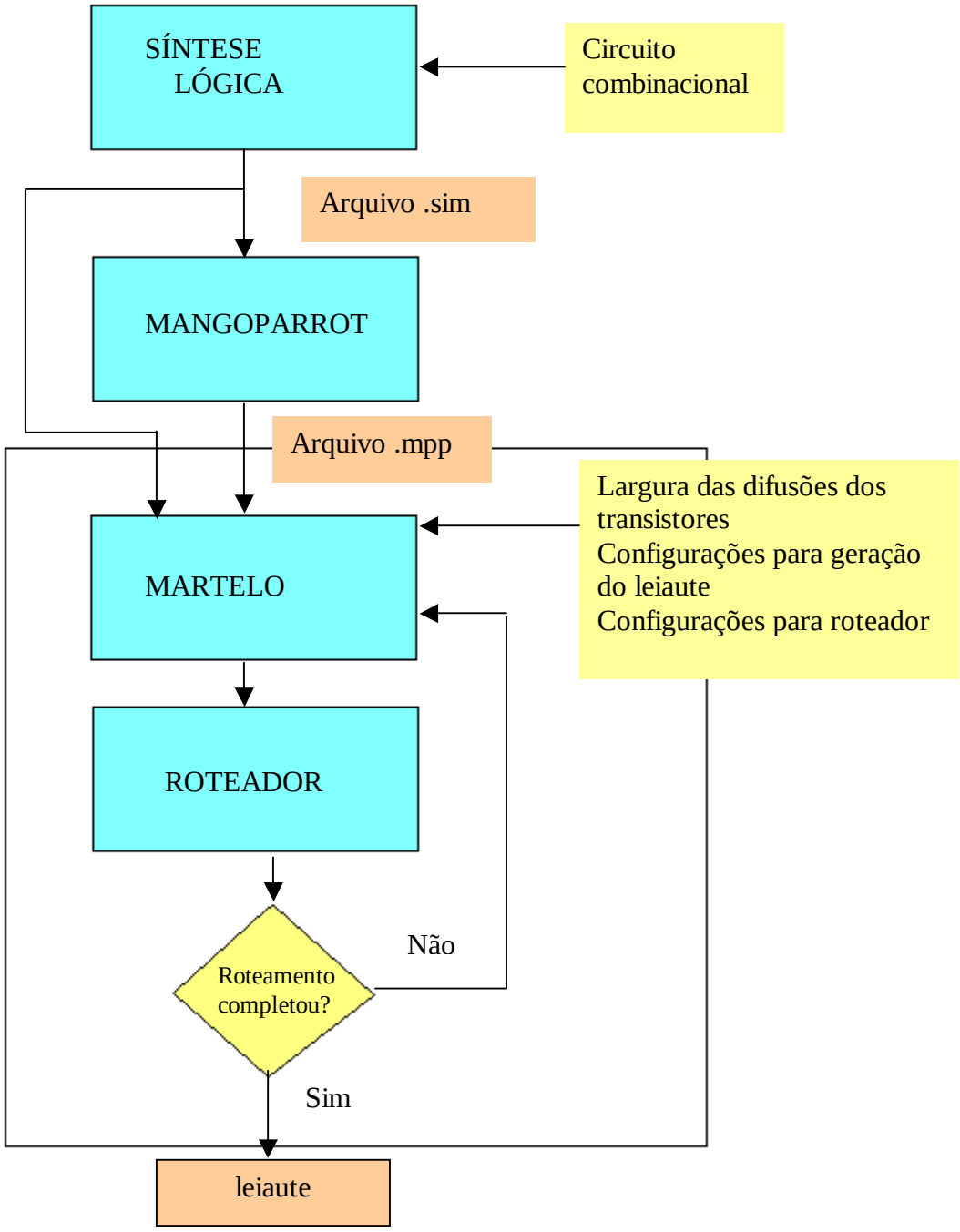

Figura 3.1 – Fluxo de síntese para a geração do leiaute através de matrizes de células NANDs.

No estudo precedente, chegou-se ao modelo constante da Figuras 3.2 e 3.3 que foi implementado nas regras da AMS 0,35µm. A Figura 3.2 representa um par de NANDs

que podem ser espelhadas em todos os sentidos. Na Figura 3.3 é representada a matriz de uma forma mais ampla, possibilitando a análise do arranjo global das células.

Na Figura 3.2 é apresentado o leiaute de um par de NANDs que será a célula básica de formação da matriz. Porém, quando uma banda possuir número ímpar de transistores, a última NAND estará sem o par. Observa-se ainda, que as NANDs que compõem o mesmo par possuem as mesmas dimensões, implicando em características elétricas semelhantes.

Para a geração de inversores existem duas opções: a primeira consiste em estabelecer uma linha de ***poly*** que conecte as duas entradas da NAND; a segunda consiste em conectar a entrada que fica mais ao centro da célula à VDD.

A opção utilizada na implementação da matriz foi a segunda porque ela diminui o tempo de transição ***High-Low*** visto que as capacitâncias do transistor próximo ao GND já estão descarregadas. Além disso, como apenas o ***gate*** de um transistor necessita ser descarregado, é menor o ***fanout*** da célula que antecede o inversor deve descarregar, permitindo um chaveamento mais rápido.

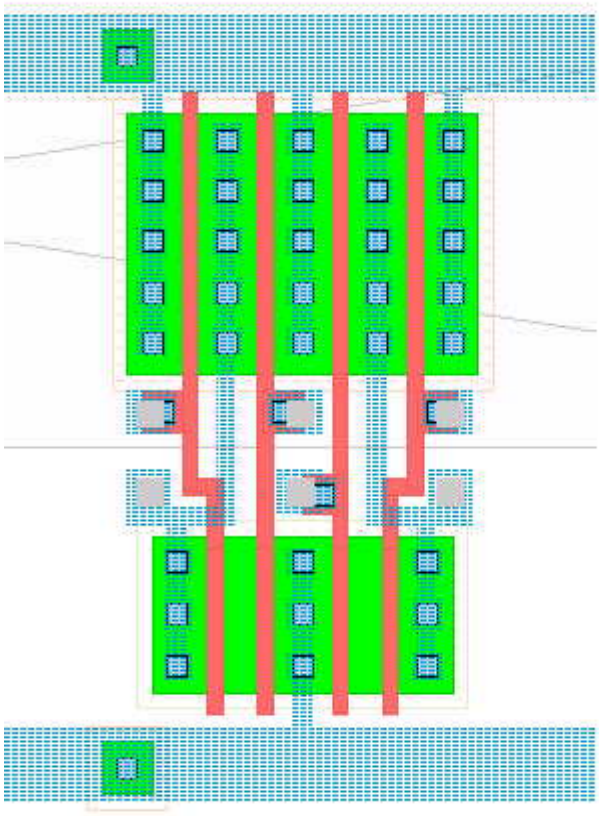

Figura 3.2 – Leiaute de um par de NANDs utilizado como ***template*** para a geração da matriz.

Para possibilitar a justaposição dos pares de NANDs conforme a Figura 3.3, foram colocados dois contatos com VDD entre os transistores PMOS (região demarcada por retângulo na Figura 3.3). Isso diminui a área de dreno do transistor assim como as capacitâncias parasitas, influenciando o desempenho elétrico do dispositivo.

O gerador de leiaute de matrizes MARTELO utiliza um ***template*** das células básicas para a tecnologia AMS 0,35 μm, porém podem ser criados ***templates*** para outras tecnologias.

A célula básica utilizada como ***template*** para a tecnologia AMS 0,35 μm permite ao usuário configurar a largura (W) dos transistores PMOS e NMOS. Para esse ***template***

existe entretanto, uma largura mínima de 2,0μm para o transistor PMOS e 1,0μm para o transistor NMOS, sendo estes os mínimos valores admitidos para as dimensões dos transistores.

A disposição dos contatos das entradas e saídas no centro da célula permitiu diminuir a altura geral da célula, pois a colocação de contatos externos à banda prejudicaria a justaposição das mesmas e, além disso, existe uma distância mínima entre as difusões P e N que impede uma aproximação que compense a colocação dos contatos externamente à célula. Porém, a concentração das entradas e saídas das células numa estreita faixa pode dificultar o roteamento.

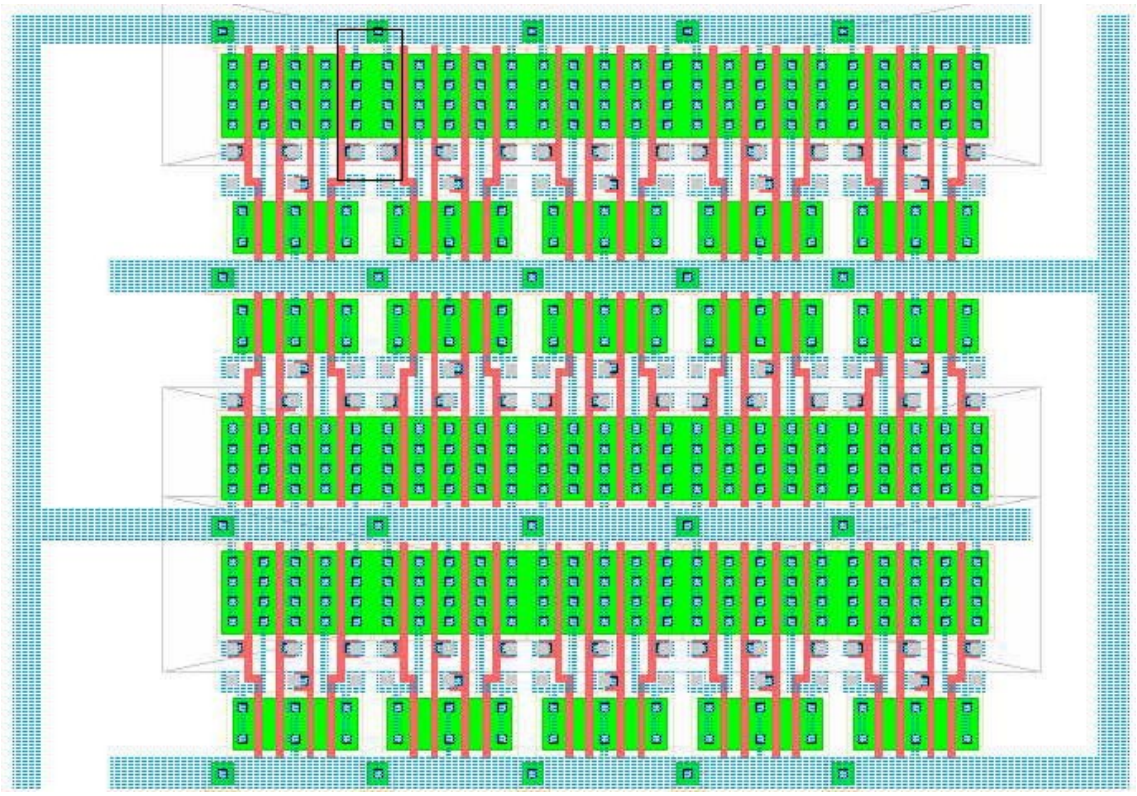

Figura 3.3 – Leiaute de uma matriz 3 x 10 de NANDs gerada pelo MARTELO.

Em virtude da limitação acima, foram implementadas estratégias que buscam diminuir o impacto da concentração dos contatos em estreitas faixas do circuito. A primeira delas consiste na realização de conexões em metal1 para casos específicos conforme abaixo detalhado.

Primeiramente, pode ocorrer da saída de uma NAND ser conectada à entrada da outra NAND do mesmo par. Essa situação é indicada na Figura 3.4 através das áreas selecionadas. A inclusão de conexões em metal1 permite a eliminação de uma ou duas vias para as camadas de metal superiores e desta forma diminui o trabalho do roteador, pois esses pontos do circuito já estarão conectados, além de liberar mais espaço para roteamento. Essa opção também reduz as capacitâncias parasitas associadas a essa interconexão, pois se a mesma tivesse que ser realizada em metal2 ou 3 teria maior comprimento e largura, estando também sujeita à influência das interconexões vizinhas.

Outra situação ocorre quando duas NANDs de pares distintos possuem a mesma entrada. Nesse caso, uma conexão em metal1 também pode ser estabelecida conforme ilustra a Figura 3.5. Esta conexão de metal possui comprimento variável pois depende do número de trilhas verticais inseridas.

Para dar a maior amplitude possível à utilização de conexões através de metal1, antes de fixar uma entrada da NAND, o programa verifica se a troca de posição das entradas (e não a troca de posição das NANDs) permite a realização da conexão com o metal1.

A adoção dessa estratégia permitiu nos vários circuitos analisados, uma redução de 7 a 16% das vias repassadas para as próximas camadas de roteamento, pois as conexões passaram a realizar-se em metal1, causando um impacto considerável na diminuição do congestionamento.

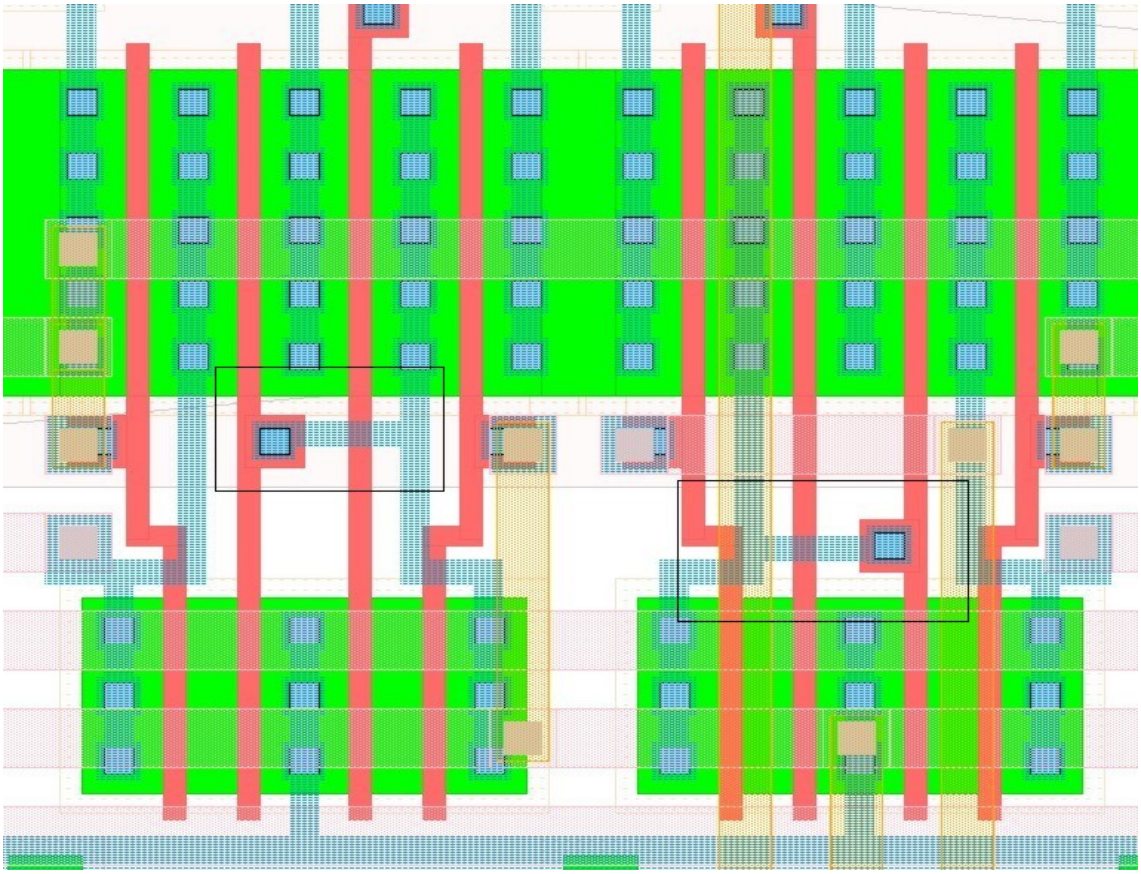

Figura 3.4 – Contatos em metal1 inseridos entre NANDs pertencentes ao mesmo par.

Observe a Tabela 3.1 com os resultados das conexões realizadas em metal1 e sua comparação com o total de conexões dos circuitos. O percentual representa o quanto o roteador terá de conexões a menos para realizar. Além disso, conforme já mencionado, o posicionador MANGOPARROT desenvolvido por Hentschke (2002), ao posicionar as células da matriz, procura formar pares entre NANDs que possuam entradas e saídas em comum para permitir a utilização dessa estratégia.

Além da possibilidade de realização de contatos em metal1, ainda foram utilizadas três estratégias para facilitar o roteamento:

- a inserção de trilhas verticais;
- a inserção de trilhas horizontais; e
- a inserção de células de interconexão.

As trilhas verticais e horizontais possuem a largura necessária a passagem de uma coluna ou uma linha de metal utilizada para o roteamento e foram importantes para possibilitar o roteamento dos circuitos gerados, pois com a concentração dos contatos numa estreita faixa, ocorre rápido congestionamento desta faixa.

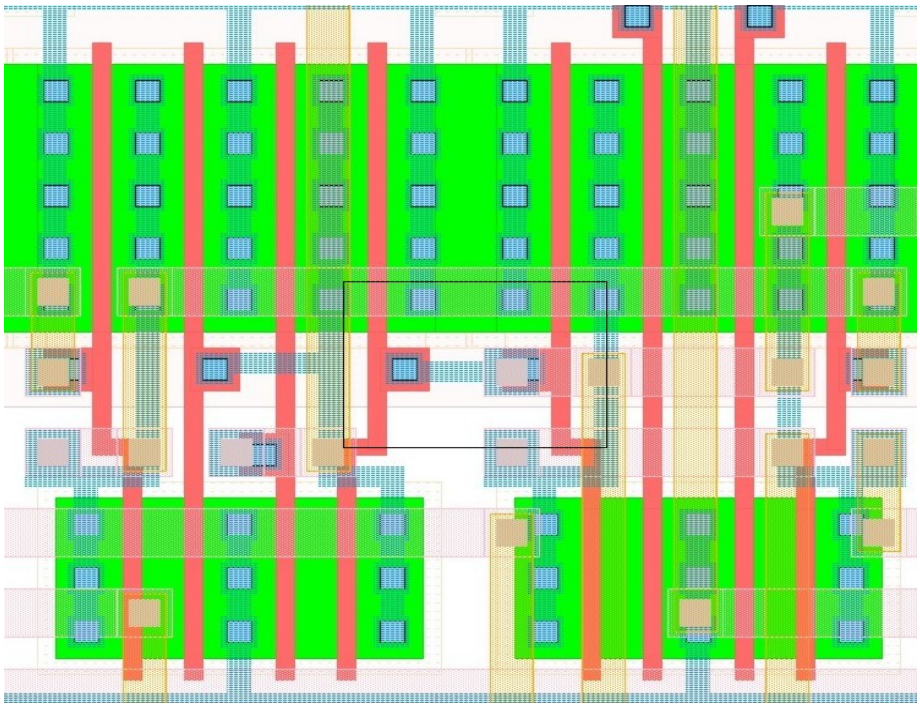

Figura 3.5 – Contato em metal1 inserido entre NANDs de pares distintos.

Tabela 3.1 – Resultados das conexões realizadas em metal1 pelo MARTELO após posicionamento realizado com a ferramenta MANGOPARROT.

Circuitos	**Fanout máximo**	**N.º de células**	**N.º total de contatos**	**N.º contatos conectados através de Metal1**	**Percentual**
7seg	1	160	391	63	16,11
7seg	4	92	241	28	11,62
9symml	1	784	1907	251	13,16
9symml	4	501	1271	148	11,64
Alu2	1	1333	3235	385	11,90
Alu2	4	796	2018	207	10,25
Alu4	4	2797	7023	574	8,17
Frg1	1	870	2086	256	12,27
Frg1	4	285	718	106	14,76
Lal	1	515	1258	159	12,64
Lal	4	266	684	116	16,95
X1	1	2688	6465	573	8,86
X1	4	1014	2554	196	7,67

Essa estratégia baseou-se na observação de que ao se abrir um espaço em toda uma coluna, ocorreria o deslocamento uma parte do circuito para a direita de uma forma conjunta, de modo que não ocorreriam prejuízos ao posicionamento relativo, visto que todas aquelas células após a coluna ou linha de inserção sofreriam igual deslocamento.

Para a inserção de trilhas horizontais e verticais, foi realizada uma análise dos nodos não roteados, identificando-se onde ocorreu o problema. Essa informação é fornecida pelo roteador que, não conseguindo terminar o roteamento, gera um arquivo de saída com essas informações. Essa tarefa evitou que houvesse a inserção de trilhas desnecessárias e somente no local onde há problema de roteamento é inserida uma trilha

horizontal ou vertical. Essa trilha, por sua vez estende-se por toda a altura ou largura da matriz.

Além disso, foi fixada uma prioridade: as trilhas verticais são preferenciais às horizontais, pois a NAND possui uma relação de aspecto aproximada de 1:4 quando comparada a largura com a altura (considerando-se o W do transistor PMOS igual a 5μm e do transistor NMOS igual a 3μm), logo há maior número de trilhas horizontais disponíveis. As Figuras 3.6 e 3.7 apresentam a ocorrência dessas situações.

Finalmente, cabe ao usuário personalizar o número máximo permitido de trilhas verticais e horizontais que o MARTELO pode inserir entre as colunas e/ou bandas.

Finalmente, o gerador de leiaute só insere uma trilha vertical por par de NANDs ou uma trilha horizontal por banda em cada iteração, pois pode ocorrer de uma única trilha resolver o problema em toda aquela coluna ou banda do leiaute. Também há a seguinte observação: antes de inserir trilhas horizontais, são inseridas trilhas verticais no ponto de localização do problema e entre os pares de NANDs imediatamente antes e depois do problema.

Essa estratégia revelou-se eficiente pois o roteador com esse espaço extra nas imediações, encontrou melhores opções para realizar as conexões entre as células. Finalmente, quando não se obtém sucesso após a inserção de trilhas verticais, é inserida uma ou mais trilhas horizontais, segundo os mesmos critérios para inserção de trilhas verticais, ou seja, uma trilha entre bandas por vez, de acordo com a localização do problema.

Como pode ser observado, enquanto o roteamento não é finalizado, o MARTELO efetua iterações conjuntamente com o roteador para completar o leiaute do circuito. A cada iteração, o roteador identifica os nodos que não foram completamente roteados. Estes pontos, por sua vez, são repassados ao MARTELO para que na próxima iteração seja inserida uma trilha de acordo com a localização do problema. Novamente o roteador é acionado e o programa fica realizando iterações até finalizar o roteamento ou pela quantidade de vezes que o usuário definir.

A Tabela 3.2, apresenta os resultados obtidos na geração do leiaute de vários circuitos. A inserção de trilhas horizontais e/ou verticais só é efetuada se o roteamento não conseguir rotear todos os pontos na primeira iteração e, conforme já mencionado, sua função é diminuir o congestionamento para facilitar o trabalho do roteador. Observa-se também que à medida que o número de camadas de metal aumenta, o roteador consegue realizar a tarefa com menos iterações e conseqüentemente o leiaute fica mais compacto.

Verifica-se pelos dados da Tabela 3.2 que havendo disponibilidade de quatro camadas de roteamento, todos os circuitos precisaram de apenas uma iteração para rotear completamente. Quanto aos demais, apenas o Alu4 com fanout 1 e o X1 com fanout 2 não conseguiram rotear com duas trilhas de metal, mesmo aumentando-se o número de iterações.

Finalmente, tem-se a inserção de células de interconexão. Destaca-se que a largura de uma célula de interconexão é aproximadamente a de duas trilhas verticais, com a vantagem de ser colocada apenas na banda e na posição onde houve o problema de roteamento.

Estas são inseridas de duas formas: a primeira e principal é efetuada pelo programa MANGOPARROT (Hentschke, 2002) – que realiza a posicionamento das células de forma a obter uma estrutura com menor comprimento médio das conexões e de forma a reduzir o congestionamento; a segunda pelo gerador de leiaute MARTELO através de dois métodos:

- insere células de interconexão como substituição às trilhas verticais e horizontais;
- insere células de interconexão ‘estratégicas’ após a primeira iteração com o objetivo de realizar mais conexões em metal1, para depois continuar inserindo trilhas verticais e horizontais.

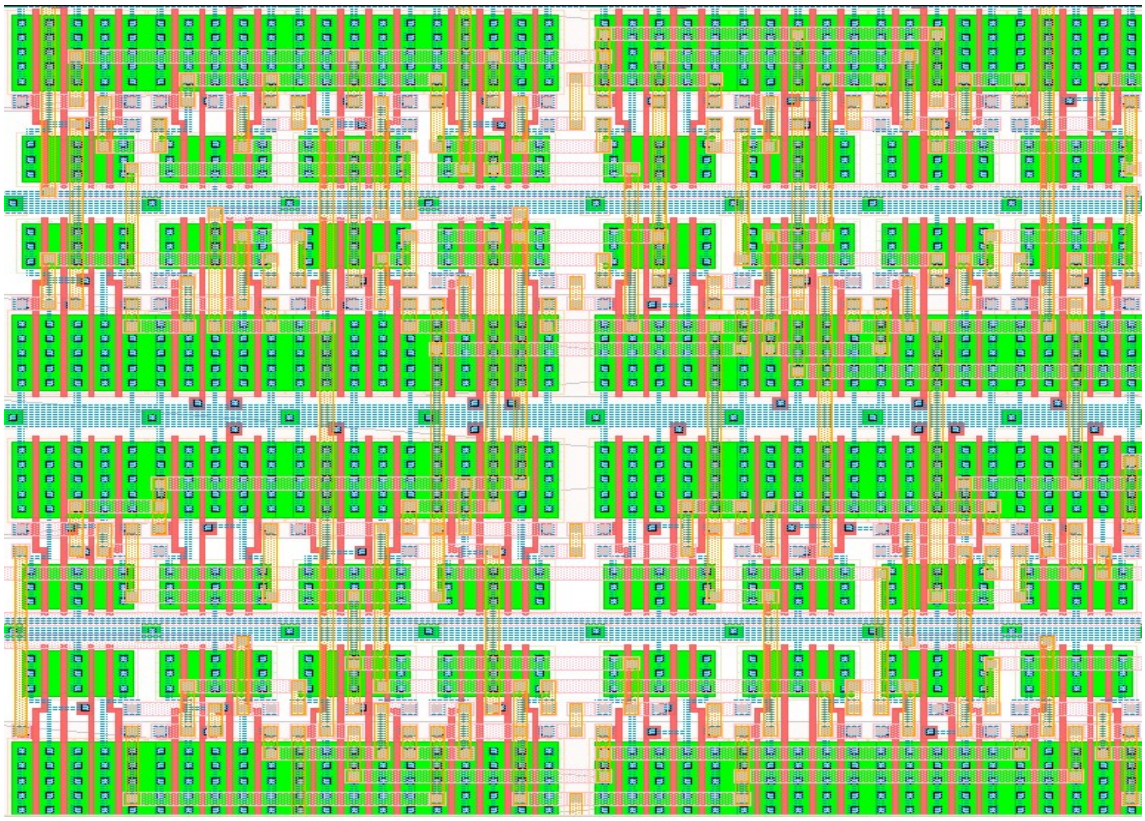

Figura 3.6 – Inserção de trilha vertical pelo MARTELO.

Figura 3.7 – Inserção de trilha horizontal pelo MARTELO.

Tabela 3.2 – Resultados da geração de leiaute de circuitos integrados com o MARTELO, segundo o número de camadas de metal disponíveis para roteamento, trilhas verticais e horizontais inseridas.

Circuitos	Fanout	N.º de células	Camadas de metal	Trilhas Verticais	Trilhas Horizontais	N.º Iterações	Completou Roteamento
7seg	1	160	2	0	0	1	Sim
			3	0	0	1	Sim
			4	0	0	1	Sim
7seg	4	92	2	0	0	1	Sim
			3	0	0	1	Sim
			4	0	0	1	Sim
9symml	1	784	2	6	0	5	Sim
			3	0	0	1	Sim
			4	0	0	1	Sim
9symml	4	501	2	12	0	4	Sim
			3	0	0	1	Sim
			4	0	0	1	Sim
Alu2	1	1333	2	8	0	5	Não
			3	0	0	1	Sim
			4	0	0	1	Sim
Alu2	4	796	2	28	0	5	Sim
			3	6	0	4	Sim
			4	0	0	1	Sim
Frg1	1	870	2	9	0	5	Não
			3	0	0	1	Sim
			4	0	0	1	Sim
Frg1	4	285	2	3	0	3	Sim
			3	0	0	1	Sim
			4	0	0	1	Sim
X1	4	1014	2	53	2	5	Não
			3	11	0	3	Sim
			4	0	0	1	Sim
X1	1	2688	2	72	3	5	Não
			3	14	0	5	Não
			4	0	0	1	Sim
Alu4	4	2797	2	77	2	5	Não
			3	34	0	5	Não
			4	0	0	1	Sim
Lal	4	266	2	2	0	4	Sim
			3	0	0	1	Sim
			4	0	0	1	Sim
Lal	1	515	2	4	0	4	Sim
			3	0	0	1	Sim
			4	0	0	1	Sim

A inserção de células de interconexão pelo posicionador MANGOPARROT permite uma melhor alocação do espaço disponível para a redução do congestionamento. O usuário define qual o percentual máximo de células a inserir com base no número total de NANDs do circuito, ficando ao posicionador a tarefa de realizar a inserção das mesmas.

A substituição das trilhas verticais e horizontais por inserção de células de interconexão possui ainda a característica de, se na próxima iteração o problema persistir no mesmo local, ser inserida nova célula na banda acima ou abaixo, dependendo do sentido de deslocamento da conexão. Além disso, uma célula de interconexão possui um impacto aproximado de duas trilhas verticais.

Entretanto, essa alternativa apesar de ter obtido resultados satisfatórios em circuitos com até 100 células, não conseguiu solucionar os problemas de roteamento em circuitos maiores, pois como a inserção da célula é pontual, ela prejudica o posicionamento como um todo, por alterar as posições relativas de todas as células.

Desta forma, mesmo conseguindo solucionar o problema em determinado ponto do circuito, outros pontos não roteados surgiram em virtude da modificação do posicionamento relativo entre as células, ocasionando mais uma inserção de células de interconexão em locais que antes tinham conseguido rotear. Esse fato causou a diminuição acentuada da taxa de ocupação dos circuitos por causa do elevado número de buracos inseridos.

Outro ponto é que se o problema de roteamento se concentrar numa mesma banda, são inseridas células de interconexão em todos os pontos da banda com problemas, aumentando consideravelmente sua largura e prejudicando a área do circuito como um todo.

Entretanto, a combinação da inserção de células de interconexão com trilhas verticais e horizontais, trouxe resultados satisfatórios. Essa opção baseou-se na observação de que ao inserir uma célula de interconexão numa posição determinada, ocorre a recombinação dos pares de NANDs subseqüentes a esta inserção, e desta forma, mais conexões podem ser realizadas em metal1 se as células que compartilharem o mesmo par possuírem entradas e saídas em comum, diminuindo um pouco mais a complexidade da tarefa do roteador. Além disso, só é inserida uma célula por banda (quando possível), o que não afeta o posicionamento relativo das células drasticamente como no caso anterior.

A tabela 3.3 apresenta as resultados decorrentes do aumento do número de conexões em metal1 após a inserção de células de interconexão ‘estratégicas’. O incremento, apesar de, percentualmente, não ser significativo, contribui para a redução do número de iterações e conseqüentemente no número de trilhas verticais e horizontais inseridas e, em alguns casos, foi fundamental para que o roteamento fosse concluído. Em especial, quando existem menos camadas de metal disponíveis para a tarefa.

Como última opção, o usuário pode ordenar as redes antes de repassá-las ao roteador em ordem crescente ou decrescente. A ordem crescente é preferencial, pois o roteador deixa as conexões com mais contatos para o final e desta forma, ficam menos conexões não roteadas entre as iterações realizadas e são inseridas menos trilhas verticais e/ou horizontais por iteração.

As Figuras 3.8, 3.9, 3.10 e 3.11 mostram alguns leiautes gerados pelo MARTELO .

Tabela 3.3 – Resultados das conexões realizadas em metal1 antes e depois da inserção de células de interconexão ‘estratégicas’ pelo MARTELO.

Circuitos	Fanout	n.º de Células	Contatos realizados em metal1		Células de interconexão Existentes /inseridas	Percentual de aumento de conexões em metal1
			Antes das C.I. *	Depois das C.I.		
9symml	1	784	251	264	13/6	5,18
9symml	4	501	148	163	2/5	10,14
Alu2	1	1333	385	403	92/10	4,67
Alu2	4	796	202	221	90/6	9,40
Frg1	1	870	239	254	9/6	6,28
Frg1	4	285	106	115	7/4	8,49
Lal	1	515	159	173	13/6	8,80
Lal	4	266	112	122	3/3	10,89
X1	1	2688	573	609	212/11	6,28
X1	4	1014	196	220	63/8	12,24

* Células de interconexão.

Figura 3.8 – Leiaute do circuito 7seg com fanout 1 gerado com a ferramenta MARTELO.

Figura 3.9 – Leiaute do circuito 9symml com fanout máximo 4 gerado com a ferramenta MARTELO.

Figura 3.10 – Leiaute do circuito frg1 com fanout máximo 4 gerado com a ferramenta MARTELO.

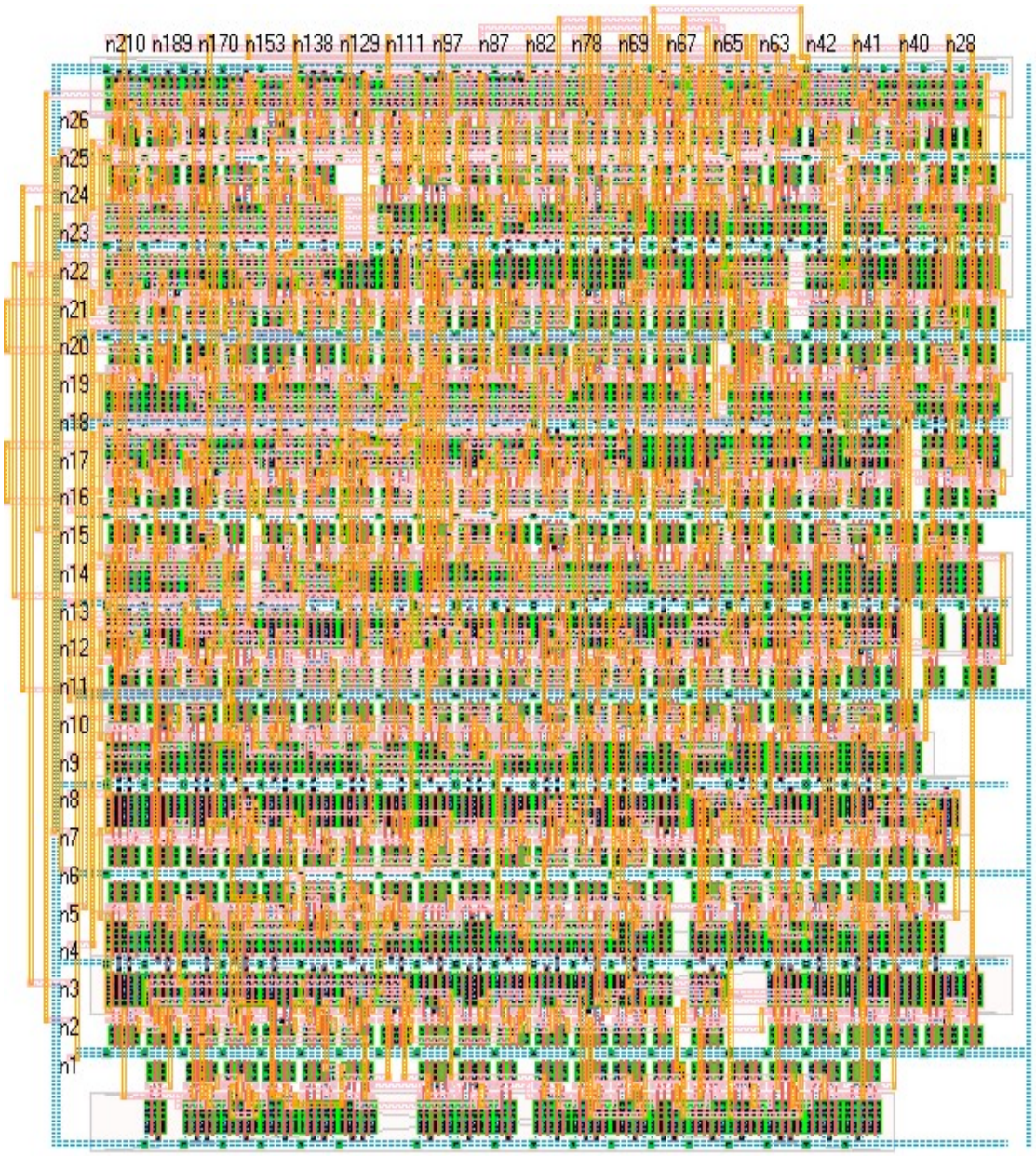

Figura 3.11- Leiaute do circuito Lal com fanout 1 gerado com a ferramenta MARTELO.

3.3 A interface da ferramenta MARTELO

A Ferramenta Martelo foi implementada em C++ e está disponível em versões para os sistemas operacionais Windows e UNIX. A versão Windows utiliza uma interface gráfica e a UNIX utiliza comandos de linha.

Apresenta-se a seguir a interface ao usuário utilizada para gerar leiautes pelo MARTELO.

Na versão para Windows, o usuário seleciona os arquivos de entrada para os quais deseja gerar o leiaute e insere as opções para largura dos transistores, iterações, número de camadas de metal para roteamento, número máximo de trilhas verticais e horizontais, ordenamento dos nodos para roteador e as opções de inserção de células de interconexão. Após definidas as opções, basta acionar o botão “Gerar Matriz”.

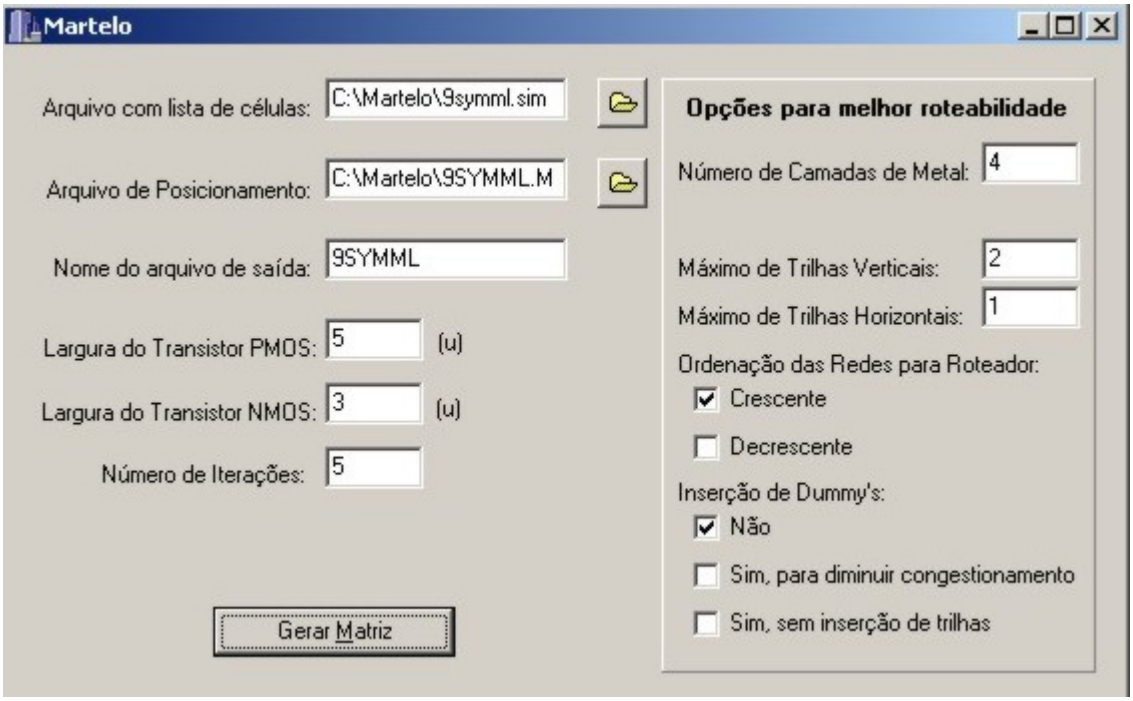

Figura 3.12 – Interface da Ferramenta MARTELO.

A Versão UNIX utiliza a palavra “martelo” para rodar o executável e necessita das seguintes informações que devem ser colocadas após a palavra “martelo”:

<nome do arquivo sem extensão> iterações WP WN TV TH <C/D> <T/D/DT> R

nome do arquivo sem extensão → nome do arquivo que se quer gerar o leiaute
iterações → número de iterações que se deseja deixar executando o programa
WP → número indicando a largura o WP em micra
WN → número indicando a largura do WN em micra
TV → número de trilhas verticais que podem ser inseridas
TH → número de trilhas horizontais que podem ser inseridas
<C/D> → opção do ordenamento das redes para o roteador crescente ou decrescente
<T/D/DT> → opção que identifica se serão inseridas somente trilhas, somente ***dummy's*** ou ***dummy's*** estratégicas e depois trilhas
R → número de camadas de metal para roteamento.

4 RESULTADOS

Para a avaliação dos leiautes, foram realizados testes comparativos de desempenho, potência e área entre circuitos gerados pelo MARTELO e pelo TROPIC (Moraes, 1994). Foi realizada a extração elétrica, obtendo-se descrições dos mesmos no formato SPICE através da Ferramenta ***Virtuoso*** da ***Cadence.*** As simulações elétricas de desempenho e potência foram realizadas com o PSPICE da ORCAD.

Através da síntese lógica, foram geradas duas soluções para o mesmo circuito: uma com fanout 1 e outra com fanout máximo 4. Logo, um mesmo circuito combinacional possui quatro leiautes – dois gerados com o TROPIC e dois gerados com o MARTELO – cujas áreas, potência e atraso foram analisados.

O resultado em atraso reflete o pior caso encontrado em simulações utilizando vetores aleatórios, não implicando que o mesmo represente o atraso do caminho crítico. Para uma melhor estimativa do atraso, todos os vetores de entrada variam simultaneamente.

Durante esses testes também foi realizada a validação dos circuitos com fanout 1 e fanout 4 a partir de comparações entre as saídas dos circuitos gerados pelo TROPIC e pelo MARTELO.

Além disso, foram gerados leiautes dos mesmos circuitos com ***standard cells*** através das ferramentas PKS_SHELL e SEULTRA da ***Cadence.*** Os resultados mostram que, ao utilizar ***standard cells*** e comparando-se a mesma lógica, a área do leiaute gerado pelo ***Cadence*** é menor que a área do leiaute gerado pelo MARTELO, entretanto o atraso máximo obtido pelo ***Cadence***, excede o encontrado pelo MARTELO.

Todos os circuitos gerados pelo MARTELO e pelo TROPIC utilizados nos testes têm o valor 5,0μm como largura do transistor PMOS e 3,0μm para o transistor NMOS. E para a realização das simulações elétricas, os circuitos foram sintetizados com três camadas de metal, sendo que duas delas são destinadas ao roteamento.

A Tabela 4.1 apresenta os resultados comparativos de potência entre o TROPIC e o MARTELO. Para medir o consumo de potência dos circuitos foi realizada uma simulação com vetores aleatórios durante 100ns, na freqüência de 125MHz. Em média, o MARTELO reduziu a potência consumida em 9,91%. Cabe citar que o TROPIC não efetua otimização das difusões dos transistores e também utiliza a camada de ***poly*** para efetuar o roteamento**.**

Com relação à área, os circuitos gerados pelo MARTELO apresentaram melhores resultados que os circuitos gerados pelo TROPIC, porém para essa comparação é importante frisar que, no TROPIC, o roteamento é interbandas, o que aumenta consideravelmente a área.

Tabela 4.1 : Resultados comparativos em potência entre TROPIC e MARTELO.

Circuitos	Fanout máximo	n.º de células	Potência(mW)		
			TROPIC	MARTELO	%
7seg	1	160	24	21	- 12,50
7seg	4	92	13	11,5	- 11,50
9symml	1	784	85	82	- 3,50
9symml	4	501	44	43	- 2,27
Frg1	1	870	132	115	- 12,87
Frg1	4	285	39	35	-10,25
Lal	1	515	68	58	- 14,70
Lal	4	266	34	30	- 11,76

Por utilizar um ***template*** otimizado e realizar o roteamento por sobre as células, o MARTELO produz leiautes bastante compactos embora existam células de interconexão em seu interior e seja necessária, na maioria dos casos, a inserção de algumas trilhas verticais e horizontais quando se disponibiliza apenas 2 camadas de metal para realizar o roteamento. Um resumo dos resultados pode ser visualizado na Tabela 4.2.

Tabela 4.2 : Resultados comparativos em área entre TROPIC e MARTELO.

Circuitos	Fanout máximo	n.º de células	área (µm2)		
			TROPIC	MARTELO	%
7seg	1	160	21309,24	12115,80	-43,14
7seg	4	92	12442,36	7187,32	-42,24
9symml	1	784	112308,99	55988,28	-50,15
9symml	4	501	77859,36	34396,20	-55,82
Alu2	1	1333	203722	89070	-56,28
Alu2	4	796	130628	64386	-50,71
Frg1	1	870	127570,56	60863,40	-52,29
Frg1	4	285	41671,26	19381,45	-53,35
Lal	1	515	71610,48	38901,36	-45,68
Lal	4	266	35528,22	22659,20	-36,22

Como pode ser observado, as diferenças em termos de área são consideráveis e em média, chegou-se a uma redução de 51,48% da área. Com certeza, esses resultados têm influência sobre a potência e sobre o atraso dos circuitos, conforme apresentados nas Tabelas 4.1 e 4.3, respectivamente.

Um ponto a se ressaltar é que o MARTELO utiliza uma NAND para gerar um inversor, enquanto o TROPIC utiliza um inversor propriamente dito. Cada circuito possui uma proporcionalidade que varia em torno de 40% para NANDs e 60% para inversores, o que representa uma perda considerável em área pois o inversor possui praticamente metade da área de uma NAND.

A Tabela 4.3 apresenta os resultados dos atrasos máximos encontrados nas simulações com vetores aleatórios. O percentual apresentado indica quanto o MARTELO diminuiu o atraso gerado pelo TROPIC.

Foram indicados apenas os ‘piores’ casos encontrados durante os teste. Porém, cabe ressaltar que esses resultados não são necessariamente o atraso do caminho crítico.

Os valores apresentados mostram que o MARTELO obteve uma redução do atraso, em média de 11,9%, quando comparado ao TROPIC. O MARTELO, por utilizar roteamento FOTC e ter células bem dimensionadas, evitando aumento das capacitâncias

parasitas através da otimização das difusões dos transistores, possui resultados em atraso significativamente melhores.

Tabela 4.3 : Resultados comparativo do atraso entre MARTELO e TROPIC.

Circuitos	Fanout máximo	n.º de células	Atraso(ns)		
			TROPIC	MARTELO	%
7seg	1	160	1,15	0,99	-13,91
7seg	4	92	1,26	1,22	-3,17
9symml	1	784	2,48	2,17	-12,50
9symml	4	501	2,75	2,41	-12,36
Frg1	1	870	2,16	1,87	-13,43
Frg1	4	285	2,01	1,91	-4,98
Lal	1	515	2,46	2,07	-15,85
Lal	4	266	2,83	2,41	-14,84

Deve-se verificar ainda que, ao se considerar os mesmos circuitos gerados no MARTELO com ***fanout*** 1 e ***fanout*** 4, os circuitos com menor fanout obtiveram atrasos menores. Este fato deve-se a dois fatores: primeiro, o ***fanout*** maior implica em maior capacitância de carga; e segundo, o menor comprimento médio das interconexões nos circuitos de fanout 1 – ver Tabela 4.4 – diminuiu a capacitância parasita das mesmas. Esses dois fatores compensaram o aumento da área nos circuitos de fanout 1, que em média, aumentaram 42,4%.

Por outro lado, quando se observa a potência consumida, os circuitos com fanout 1, por serem maiores, apresentaram maior consumo.

Outros testes foram realizados através da geração de ***standard cells*** com as Ferramentas PKS_SHELL e SEULTRA da ***Cadence***. Foram gerados os leiautes dos mesmos circuitos e realizadas comparações em área, atraso e comprimento médio das interconexões.

Tabela 4.4 : Resultados comparativos em área entre Cadence e MARTELO.

Circuito	**Fanout máximo**	**Número de NANDs/inversores**	**Área(μm^2) Cadence**	**Área (μm^2) MARTELO**	**%**
7seg	1	62/97	9800	12115,80	19,11
7seg	4	46/46	6427,20	7187,20	10,57
9symml	1	319/455	41979,12	55988,28	25,02
9symml	4	259/242	27654,69	34396,20	19,60
Lal	1	183/332	27182,12	38901,36	31,13
Lal	4	107/159	15824,64	22659,20	30,16
Frg	1	316/554	45234,80	60863,40	25,68
Frg	4	118/167	16263,62	19381,45	16,09

O percentual indicado representa o quanto o Cadence diminui a área do leiaute gerado pelo MARTELO. Em média, a redução foi de 24,3 %. Algumas observações porém, são importantes: primeiro, a altura da banda das ***standard cells*** é de 12μm e no MARTELO, a altura da banda é de 15μm; segundo, o ***Cadence*** utiliza inversores e o MARTELO utiliza NANDs para gerar inversores, o que representa uma perda em área em torno de 50% para cada inversor do circuito; e terceiro, quanto maior a proporcionalidade entre inversores e NANDs, maior a perda em área.

Por outro lado, o atraso dos circuitos gerados com ***standard cells*** é superior ao encontrado pelo MARTELO, conforme os dados apresentados na Tabela 4.5 e, em média, o MARTELO reduziu o atraso em 14,15%.

Para identificar esses resultados, foram geradas descrições em VHDL dos circuitos, bem como a estimativa de atraso das interconexões. Esses dados, permitem que a ferramenta NCLAUNCH da ***Cadence*** realize a simulação em VHDL incluindo a estimativa dos atrasos das interconexões e das portas lógicas.

Tabela 4.5 : Resultados comparativos em atraso entre ***Cadence*** e MARTELO.

Circuito	Fanout máximo	Atraso(ns) Cadence	Atraso(ns) MARTELO	%
7seg	1	1,09	0,99	- 9,17
7seg	4	1,28	1,22	- 4,69
9symml	1	2,46	2,17	- 11,79
9symml	4	3,29	2,41	- 26,75
Lal	1	2,2	2,07	- 5,91
Lal	4	2,96	2,41	- 18,58
Frg	1	2,06	1,87	- 9,22
Frg	4	2,19	1,91	- 12,79

Esses dados mostram que os leiautes produzidos pelo MARTELO possuem características interessantes e hoje, com as tecnologias submicrônicas, existe espaço disponível no circuito integrado, logo uma perda de área pode ser compensada por um menor atraso, por uma maior previsibilidade na identificação das características elétricas e por um melhor rendimento durante a fabricação dos circuitos.

Tabela 4.6 : Resultados comparativos do comprimento médio das interconexões entre MARTELO e ***Cadence***.

Circuito	Fanout máximo	N.º de células	Comp. médio Cadence (µm)	Comp. médio MARTELO (µm)	%
7seg	1	160	21,82	29,49	35,15
7seg	4	92	26,14	35,71	36,61
9symml	1	784	27,47	36,83	34,07
9symml	4	501	34,95	45,47	30,10
Lal	1	515	24,53	40,26	64,13
Lal	4	266	22,40	40,50	80,80
Frg1	1	870	31,11	40,43	29,96
Frg1	4	285	28,08	40,87	45,55

Foi analisado também, o comprimento médio das interconexões dos circuitos gerados pelo ***Cadence*** e MARTELO. A Tabela 4.6 apresenta os resultados encontrados. Em média, o MARTELO obteve valores 43% maiores e mesmo com essa desvantagem obteve atrasos menores. Essa característica mostra que melhorando a qualidade do roteamento provavelmente haverá repercussões no atraso global do circuito.

Os circuitos com ***fanout*** 1 gerados pelo MARTELO obtiveram valores menores no comprimento médio das interconexões que os circuitos com ***fanout*** 4 e isso também influenciou o menor atraso que os circuitos de ***fanout*** 1 apresentaram.

Esse conjunto de testes revela algumas características promissoras do gerador de leiautes regulares MARTELO, pois o mesmo permite a obtenção de circuitos regulares

com boas características em termos de área e atraso. Esses fatores podem ser explorados juntamente com a regulagem do ***fanout*** a fim de se obter uma relação de compromisso entre área e atraso.

Apesar das perdas relativas em área, quando comparado com ***standard cells***, o objetivo maior do gerador de leiautes MARTELO é explorar a regularidade como alternativa na geração de circuitos integrados, podendo utilizar o dimensionamento dos transistores e a regulagem do fanout como forma de se ter certo controle sobre o atraso que se deseja gerar.

Finalmente, para avaliar o impacto da regularidade do leiaute, seria necessário enviar alguns circuitos para fabricação.

As Figuras 4.1, 4.2, 4.3 e 4.4 apresentam alguns leiautes gerados pelo TROPIC e pelo ***Cadence***.

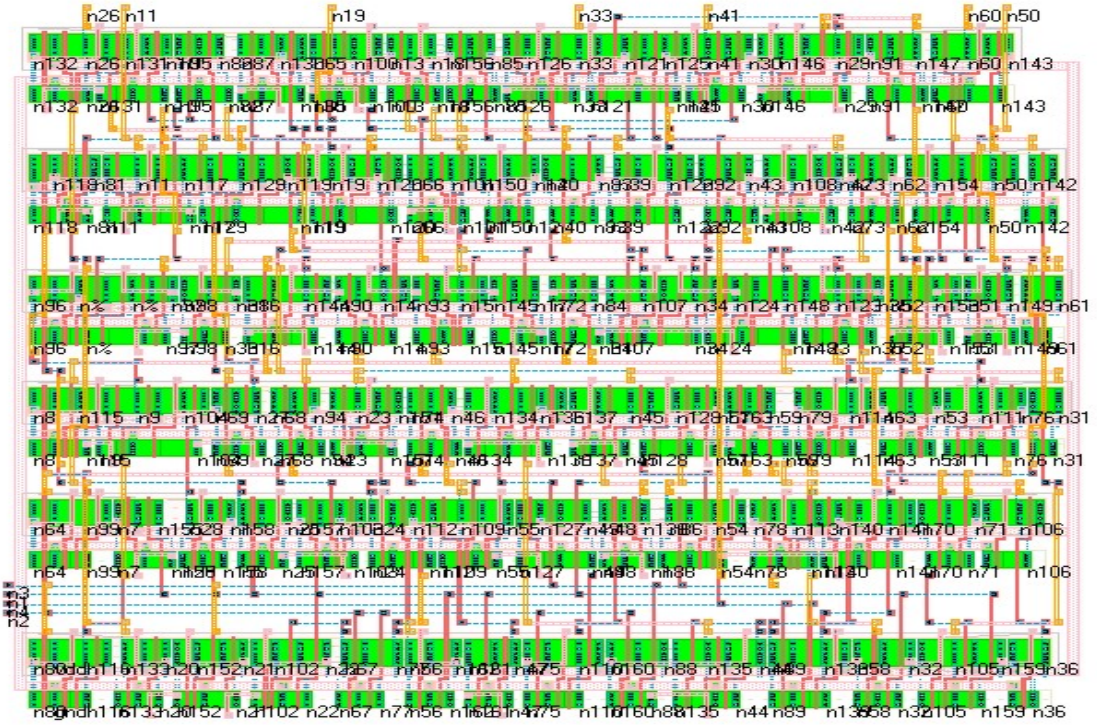

Figura 4.1 – Leiaute do cirtuito 7seg com fanout 1 gerado com a ferramenta TROPIC.

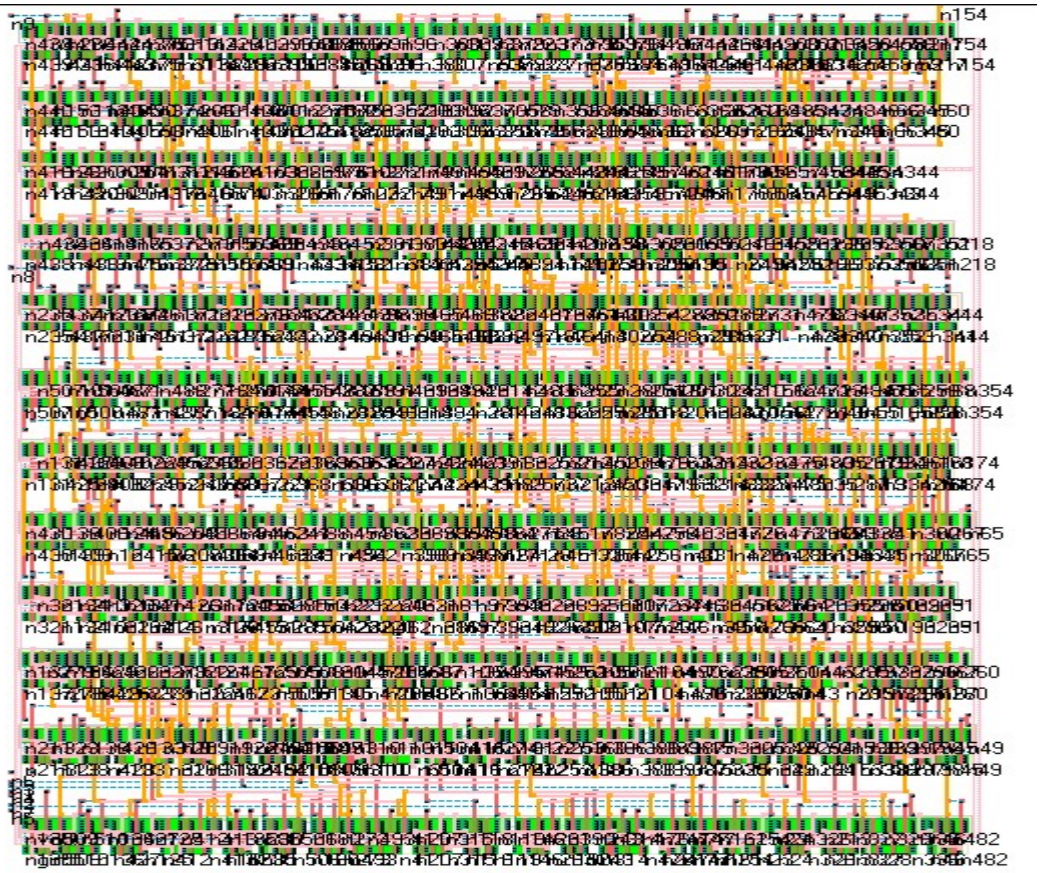

Figura 4.2 – Leiaute do circuito 9symml com fanout máximo de 4 gerado com a ferramenta TROPIC.

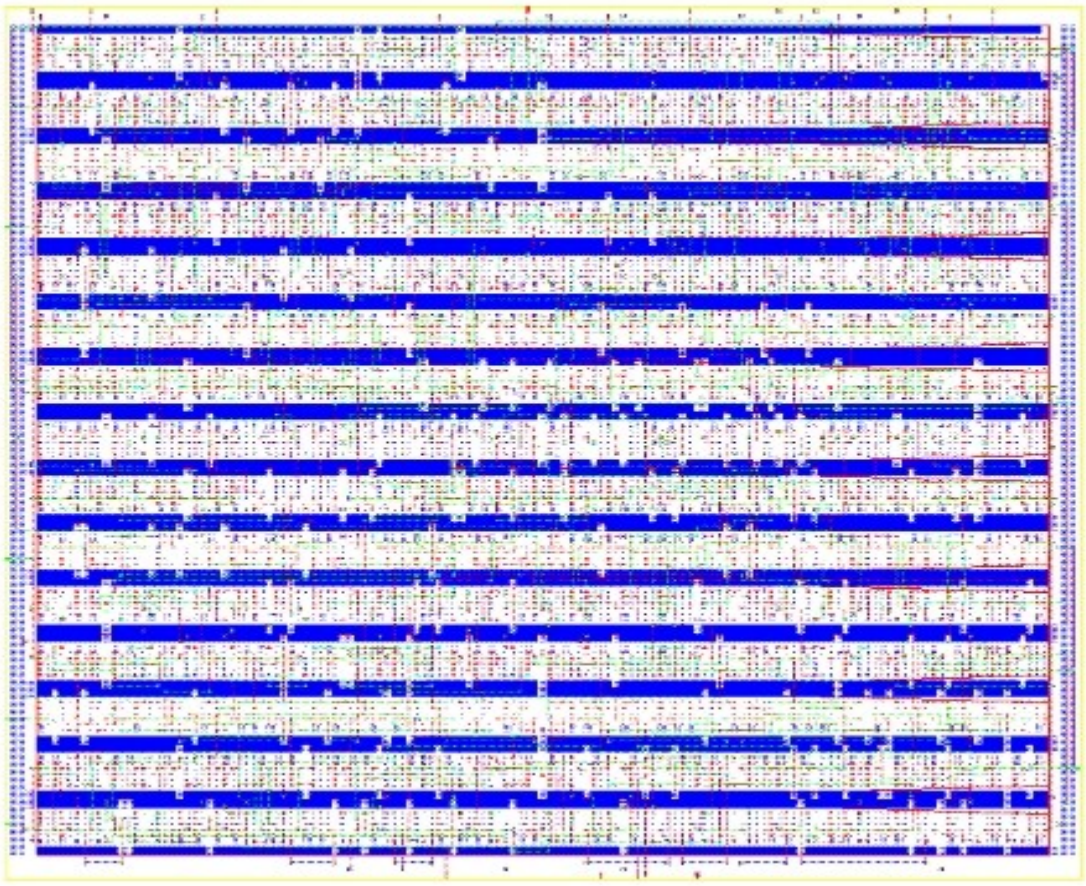

Figura 4.3 – Leiaute do circuito 9symml com fanout 1 gerado com a ferramenta SEULTRA.

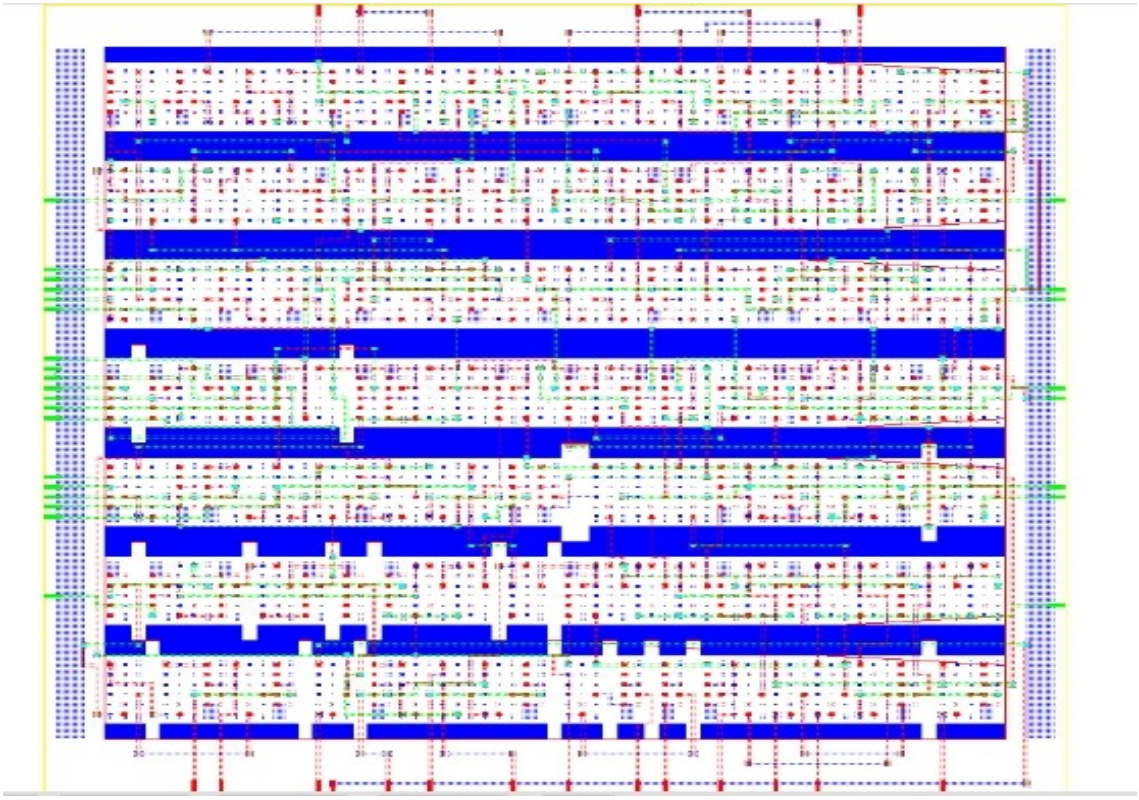

Figura 4.4 – Leiaute do circuito Lal com fanout máximo 4 gerado com a ferramenta SEULTRA.

5 CONSIDERAÇÕES FINAIS E TRABALHOS FUTUROS

As tecnologias submicrônicas estão possibilitando o aumento da densidade de integração e com isso são gerados circuitos integrados cada vez maiores e mais complexos. Entretanto, a possibilidade de se colocar mais circuitos dentro do ***chip*** trouxe aumento da complexidade do processo de síntese física, pois a redução de escala da tecnologia está se aproximando dos limites físicos dos materiais hoje utilizados.

Além disso, as variabilidades do processo por flutuações atômicas dos materiais e as limitações dos processos de litografia estão elevando drasticamente os custos de fabricação, o que torna importante a busca por soluções que permitam aumentar o rendimento do processo de fabricação.

Uma alternativa factível é a utilização de circuitos regulares, pois estes permitem melhor estimativa do atraso face à caracterização topológicas das células e a regularidade da paisagem sobre a qual correm as interconexões. Destacam-se nessa área, a implementação de processos de fabricação 'imunes ao ruído', a utilização de células regulares de um FPGA com roteamento realizado por máscaras e PLA que implementam matrizes de portas AND associadas a portas OR.

Nesse trabalho de pesquisa foi explorada a geração de leiautes regulares baseados em matrizes para a tecnologia CMOS. Foi escolhida como célula básica para o projeto a porta NAND de duas entradas, porque ela implementa facilmente a soma-de-produtos da lógica boolena e apresenta características elétricas superiores a uma porta NOR.

Para a geração do leiaute utiliza-se um fluxo de síntese composto por três ferramentas: uma responsável pela síntese lógica, traduzindo circuitos combinacionais para lógica negativa; a segunda faz o posicionamento das células geradas; e finalmente a terceira faz a geração do leiaute propriamente dito, estando combinada com um roteador.

A ferramenta MARTELO, responsável pela terceira etapa, possui ***templates*** de NANDs na tecnologia 0,35 μm, não utiliza espaço interbandas e o roteamento – que é efetuado logo após a geração dos transistores – é realizado totalmente por sobre as células.

Para a geração do leiaute são utilizadas estratégias para diminuir o congestionamento causado pela concentração das conexões em estreitas faixas do circuito. As principais consistem na inserção de trilhas verticais e horizontais, inserção de células de interconexão e uma combinação entre essas duas técnicas. Também são realizadas conexões em metal1 quando possível. A utilização conjunta das técnicas acima permitiu, em associação ao bom posicionamento alcançado, efetuar o roteamento completo de circuitos com até 10.000 transistores, utilizando-se até quatro camadas de metal.

Os resultados das simulações elétricas mostram que a ferramenta MARTELO possui características interessantes, pois quando comparada com leiautes gerados com a ferramenta TROPIC, os resultados foram melhores em área, desempenho e potência.

Além disso, nas comparações realizadas com os mesmos circuitos gerados com ***Standard Cells*** através da ferramenta PKS_SHELL da ***Cadence***, observou-se que quando mantido o mesmo lógica, apesar da perda em área, o atraso gerado é bem superior ao do MARTELO. Convém, entretanto alertar que o atraso identificado pela ferramenta PKS_SHELL corresponde ao atraso do caminho crítico, enquanto que o MARTELO utilizou vetores aleatórios para identificar o atraso.

Permitindo-se à ferramenta PKS_SHELL realizar otimizações para alcançar o mesmo atraso gerado pelo MARTELO, há modificação da lógica, eliminação de redundâncias e inserção de ***buffers***. Essas otimizações reduzem a área ocupada pelo leiaute gerado em ***Standard Cells*** e mostram que ao utilizar lógica positiva, os circuitos gerados pelo MARTELO possuem desvantagem.

Porém, deve-se ressaltar que os resultados de atraso identificados pela ferramenta PKS_SHELL da ***Cadence*** podem ainda estar mascarados porque essa ferramenta não considera o atraso das interconexões para cálculo do atraso. Acredita-se entretanto, que mesmo corrigindo esse problema, a área ainda será menor que a dos leiautes gerados pelo MARTELO pois há menos lógica.

Finalmente, cita-se que o leiaute em ***Standard Cells*** resultante é bastante irregular, quando comparado ao gerado pelo MARTELO, podendo representar perdas maiores em rendimento quando submetidas ao processo de fabricação.

Assim, conclui-se que a geração do leiaute de circuitos integrados com matrizes de NANDs apresentou resultados satisfatórios para os circuitos analisados. Além disso, o controle sobre o fanout máximo admitido e a regulagem da largura das difusões dos transistores permitem obter algum controle sobre a estimativa de desempenho do circuito.

A geração de conexões curtas também foi avaliada e comparada com resultados gerados por St***andard Cells*** encontrando-se valores similares.

Por fim, ressalta-se que outras abordagens ainda se fazem necessárias, em especial, testes de fabricação para se identificar quais os índices de produtividade alcançados, assim como a melhor disposição da matriz para efeito de diminuir a influência das variabilidades randômicas no processo.

Como futuros trabalhos, coloca-se a possibilidade de estudos com outros tipos de células para a geração da matriz, assim como a utilização de matrizes utilizando NANDs e inversores, visto que estes compõem, aproximadamente 50% das células dos circuitos gerados pela síntese lógica. Outro trabalho que pode ser realizado é a identificação da solução de compromisso entre o máximo fanout admitido e área do circuito gerado.

REFERÊNCIAS BIBLIOGRÁFICAS

ALPERT,C.J.; HUANG, J-H.; KAHNG, A. B. Multilevel Circuit Partitioning**.** In: ACM IEEE DESIGN AUTOMATION CONFERENCE, DAC, 1997, Anaheim, California, United States. **Proceedings …** New York: ACM Press, 1997. p. 530-533.

BAMJI, C. S.; HAUCK, C. E.; ALLEN J. A Design by Example Regular Structure Generator. In: ACM IEEE DESIGN AUTOMATION CONFERENCE, DAC, 1985, Las Vegas, Nevada, United States. **Proceedings …** New York: ACM Press, 1985. p. 16-22.

BEEKMAN, J.A.; OWENS, R. M.; IRWIN, M.J. Mesh Arrays and LOGICIAN: A Tool for Their Efficient Generation. In: ACM IEEE DESIGN AUTOMATION CONFERENCE, DAC, 1987, Miami Beach, Florida, United States. **Proceedings …** New York: ACM Press, 1987. p. 357-362.

CHANG, H.; SHRAGOWITZ, E.; LUI, J.; YOUSSEF, H.; LU, B.; SUTANTHAVIBUL, S. Net Critically Revisited: An Effective Method to Improve Timing in Physical Design. In: INTERNATIONAL SYMPOSIUM ON PHYSICAL DESIGN, ISPD, 2002, San Diego, California, United States. **Proceedings ...** New York: ACM Press, 2002. p. 155-160.

CHEN, C. C.; CHOW, S.L. The Layout Synthesizer: An Automatic Netlist-to-Layout System. In: ACM IEEE DESIGN AUTOMATION CONFERENCE, DAC, 1989, Las Vegas, Nevada, United States. **Proceedings …** New York: ACM Press, 1989. p. 232-238.

CHEN, I.Y.; CHEN, G.L.; HILL, F. J.; KUO, S.Y. The Sea-of-Wires Array Synthesis System. In: ACM IEEE DESIGN AUTOMATION CONFERENCE, DAC, 1993, Texas, Dallas, United States. **Proceedings …** New York: ACM Press, 1993. p. 188-193.

FERREIRA, F. K. **Extração de elementos Parasitas em Circuitos Submicrônicos**. 2000, 89 f. Dissertação (Mestrado em Ciência da Computação) – Instituto de Informática, UFRGS, Porto Alegre.

GEREZ, S. H. **Algorithms for VLSI Design Automation.** New York: John Wiley & Sons, 1998.

GUPTA,A.; HAYES, J.P. CLIP: Integer-Programming-Based Optimal Layout Synthesis of 2D CMOS Cells. **Transactions on Design Automation of Electronic Systems**, New York, v. 5, n. 3, p. 510-547, July, 2000.

GUNTZEL, J. L. A. **Geração de Circuitos Utilizando Matrizes de Células Pré-difundidas**. 1993. 174 f. Dissertação (Mestrado em Ciência da Computação) – Instituto de Informática, UFRGS, Porto Alegre.

GÜNTZEL, J.L.A. **Fuctional Timing Analysis of VLSI Circuits Containing Complex Portas.** 2000. 182 f. Tese (Doutorado em Ciência da Computação) – Instituto de Informática, UFRGS, Porto Alegre.

HENTSCHKE, R. F. **Algoritmos para o Posicionamento de Células em Circuitos VLSI.** 2002. 137 f. Dissertação (Mestrado em Ciência da Computação) – Instituto de Informática.

HENTSCHKE, R.F.; REIS, R.; JOHANN, M.; FLACH,G. **Desenvolvimento de um roteador** (em elaboração). 2003.E-mail: Renato@inf.ufrgs.br UFRGS, Porto Alegre.

HO, R.; Mai, K.; Kapadoa, H.; Horowitz, M. Interconnect Scaling Implications for CAD. In: ACM IEEE INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN, ICCAD, 1999, San Jose, California, United States. **Proceedings …** New York: IEEE Press,1999. p. 425-429.

IGUSA, M.; BEARDSLEE, M.; SANGIOVANNI, A. V. ORCA A Sea-of-Gates Place and Route System. In: ACM IEEE DESIGN AUTOMATION CONFERENCE, DAC, 1989. Las Vegas, Nevada, United States. **Proceedings …** New York: ACM Press, 1989. p. 122-127.

JOHANN, M.O. **MARTE:** ambiente de roteamento simbólico**.** 1992. 106 f. Projeto de Diplomação (Bacharelado em Ciência da Computação) – Instituto de Informática, UFGRS, Porto Alegre.

JOHANN, M. O. **Roteamento sobre Células Transparentes**. 1994, 161 f. Dissertação (Mestrado em Ciência da Computação) – Instituto de Informática, UFRGS, Porto Alegre.

KAHNG, A. B. Design Technology Productivity in the DSM Era. In: ACM IEEE DESIGN AUTOMATION CONFERENCE, DAC, 2001, Yokohama, Japan. **Proceedings …** New York: ACM Press, 2001. p. 443-448.

KAHNG, A. B.; MANTIK, S.; MARKOV, I. L. Min-Max Placement For Large Scale Timing Optimization. In: INTERNATIONAL SYMPOSIUM ON PHYSICAL DESIGN, 2002, San Diego, USA. **Proceedings …** New York: ACM Press, 2002. p.143-148.

KHATRI, S. P., et all. A Novel VLSI Layout Fabric for Deep Sub-Micron Applications. In: ACM IEEE DESIGN AUTOMATION CONFERENCE, 1999, New Orleans, USA. **Proceedings …** New York: ACM Press, 1999. p.491-496.

KINDEL, M. **Síntese Automática de Células CMOS.** 1997, 79 f. Dissertação (Mestrado em Ciência da Computação). Instituto de Informática, UFRGS, Porto Alegre.

LIMA, F. G. **Projeto com Matrizes de Células Lógicas Programáveis.** 1999. 124 f. Dissertação (Mestrado em Ciência da Computação) – Instituto de Informática, UFRGS, Porto Alegre.

LUBASZEWSKI, Marcelo S. **Geração Automática de Lógica Aleatória Utilizando a Metodologia TRANCA.** 1990. 232 f. Dissertação (Mestrado em Ciência da Computação) – Instituto de Informática, UFRGS, Porto Alegre.

LUE, W.J., MCNAMEE, L.P. VLSI Leaf Cell Design by Understanding Circuit Structures. In: INTERNATIONAL CONFERENCE ON INDUSTRIAL AND ENGINEERING APPLICATIONS OF ARTIFICIAL INTELLIGENCE AND EXPERT SYSTEMS, 1989, Tullahoma, USA. **Proceedings …** New York: ACM Press, 1989. p. 500-508.

MALY, W., et al.. Design for Manufacturability in Submicron Domain. In: INTERNATIONAL CONFERENCE ON COMPUTER AIDED DESIGN, 1997, San Jose, USA. **Proceedings …** Washington: IEEE Computer Society, 1997. p. 690-697.

MENEZES, C. C. **Pesquisa sobre Modelos de Leiaute de NANDs.** 2003. 25 f. Trabalho Individual (Mestrado em Ciência da Computação) – Instituto de Informática, UFRGS, Porto Alegre.

MEIJS, N. P. van der; SMEDES, T. Accurate Interconnect Modeling: Towards Multi-million Transistor Chips As Microwave Circuits. In: INTERNATIONAL CONFERENCE ON COMPUTER AIDED DESIGN, 1997, San Jose, USA. **Proceedings…** Washington: IEEE Computer Society, 1996. p. 244-251.

MO, F.; BRAYTON, R. K. River PLAs: A Regular Circuit Structure. In: ACM IEEE DESIGN AUTOMATION CONFERENCE, 2002, New Orleans, USA. **Proceedings…** New York: ACM Press, 2002. p. 201-206.

MORAES, F. **TRAGO:** Síntese Automática de Leiaute para Circuitos em Lógica Aleatória. 1990, 199 f. Dissertação (Mestrado em Ciência da Computação) – Instituto de Informática, UFRGS, Porto Alegre.

MORAES, F. **Synthese Topologique de Macro-Cellules en Technologie CMOS**. 1994. 180 f. Tese (Doutorado em Ciência da Computação) Universidade de MontPellier II, Glenoble.

MORAES, F.; REIS, R.; LIMA, F. A Efficient Layout Style for Three-Metal CMOS Macro-Cells. In: IFIP INTERNATIONAL SYMPOSIUM ON VERY LARGE SCALE INTEGRATION, 1997, Gramado, Brazil. **Proceedings …** [S.l.:s.n.], 1997. p. 415-426.

PATEL, C., et al. An Architectural Exploration of Via Patterned Gate Arrays. In: INTERNATIONAL SYMPOSIUM ON PHYSICAL DESIGN, 2003, Monterey, USA. **Proceedings …** New York: ACM Press, 2003. p. 184-189.

PILEGGI, L., et al. Exploring Regular Fabrics to Optimize the Performance-Cost Trade-off. In: ACM IEEE DESIGN AUTOMATION CONFERENCE, 2003, Anaheim, USA, **Proceedings...** New York: ACM Press, 2003. p. 782-787.

REIS, A. **Geração de Células Transparentes.** 1993. 128 f. Dissertação (Mestrado em Ciência da Computação) – Instituto de Informática, UFRGS, Porto Alegre.

REIKI, S.; TROTTER, J.D.; LINDER, D. H. Automatic Layout Synthesis of Leaf Cells. In: ACM IEEE DESIGN AUTOMATION CONFERENCE, 1995, San Francisco, USA. **Proceedings…** New York: CM Press, 1995. p. 267-272.

SYLVESTER, D.; KEUTZER, K., Getting to the Bottom of Deep Submicron. In: IEEE/ACM INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN, 1998, San Jose, USA, **Proceedings…** New York: ACM Press, 1998. p. 203-211.

SYLVESTER, D.; KEUTZER, K., Getting to the Bottom of Deep Submicron II: A Global Wiring Paradigm. In: INTERNATIONAL SYMPOSIUM ON PHYSICAL DESIGN, 1999, Monterey, USA. **Proceedings…** New York: ACM Press, 1999. p. 193-200.

SHERVANI, N. A. **Algorithms for VLSI Physical Design Automation.** Massachusetts: Kluver Academic Publishers, 1999. p 572.

TAVARES, R. N. **Síntese de circuitos combinacionais baseada em diagramas de decisão binária**. 1995. 95 f. Dissertação (Mestrado em Ciência da Computação) – Instituto de Informática, UFRGS, Porto Alegre.

TAVARES, R. N. **Síntese Lógica Baseada em Nands** (em elaboração), 2003. E-mail: regi@inf.ufrgs.br.

UM, J.; KIM, T. Layout-Aware Synthssis of Arithmetic Circuits. In: ACM IEEE DESIGN AUTOMATION CONFERENCE, 2002, New Orleans, USA. **Proceedings…** New York: ACM Press, 2002. p. 207-212.

WESTE, Neil H.; KANRAN, E. **Principles of CMOS VLSI Design**. 2nd. ed. Reading, Massachussetes: Addison-Wesley Publishing Company, 1993. 713p.

WICHLUND, S.; ASS, E. J. On Multilevel Circuit Partitioning. In: INTERNATIONAL CONFERENCE ON COMPUTER AIDED DESIGN, 1998, San Jose, USA. **Proceedings…** New York: ACM Press, 1998. p. 505-511.

YU, H.; HONG, X.; CAI,Y. MMP: a Novel Placement Algorithm for Combined Macro Block and Standard Cell Layout Design. In: TECHNOFAIR DESIGN AUTOMATION CONFERENCE ASIA AND SOUTH PACIFIC, 2000, Yokohama, Japão. **Proceedings…** New York: ACM Press, 2000. p. 271-276.

ANEXO I
Leiautes de células NANDs

Para gerar o ***template*** utilizado pelo MARTELO, foram realizados testes a partir de dois modelos básicos: um com as difusões dos transistores dispostas horizontalmente – estilo ***linear matrix*** – e outro com as difusões dispostas verticalmente.

Com o modelo ***linear matrix*** foram geradas duas versões: uma com os contatos nas bordas das células e outro com os contatos localizados no centro da célula. A solução com contatos nas bordas obriga à colocação de espaço interbandas, além dos transistores ficaram com maiores comprimentos de ***poly.***

A solução com contatos no centro da célula aproveita o espaçamento mínimo entre as difusões, que as regras de desenho exigem e deixa os ***polys*** com menor tamanho. Por esses motivos, a segunda versão foi utilizada para as simulações, conforme Figura I.2

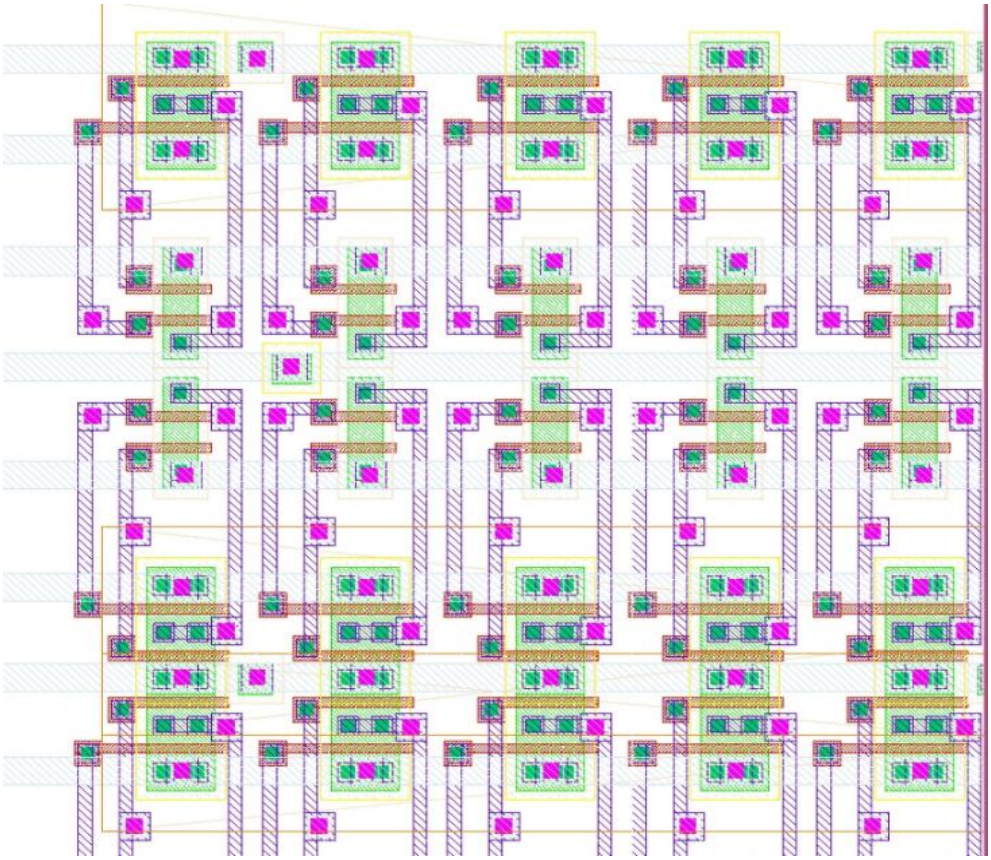

Figura I.1 – Matriz de células NANDs com difusão na vertical.

Para a matriz de NANDs com difusões dispostas na vertical foram utilizadas duas camadas de metal para completar o leiaute da mesma. E como na tecnologia 0,35 μm da AMS, estão disponíveis apenas 3 camadas de metal para o roteamento, essa restrição dificulta a realização das conexões entre as células.

Por outro lado, as dimensões dos ***polys*** foram inferiores a do estilo ***linear matrix***, pois foi utilizado metal 1 para ligar os gates dos transistores.

A área da matriz com difusões na vertical é praticamente o dobro da área da matriz estilo ***linear matrix***.

Foram realizadas simulações elétricas com ambos os modelos e chegou-se ao resultados elétricos semelhantes tanto em atraso, quanto em potência. Por esses motivos, foi então utilizado o modelo ***linear matrix*** para a geração dos ***templates***. A Figura I.2 mostra o leiaute do estilo ***linear matrix*** que foi utilizado durante as simulações.

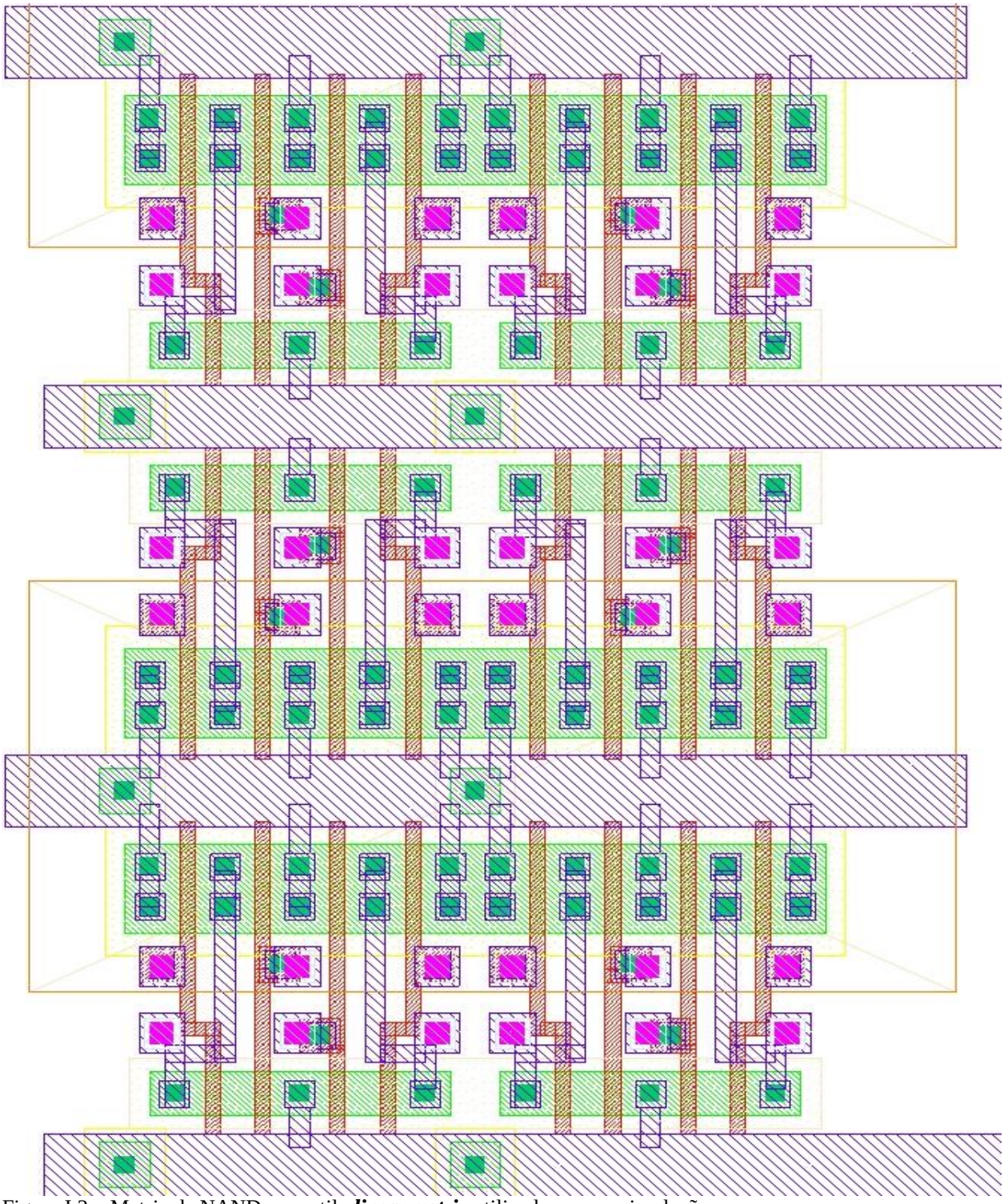

Figura I.2 – Matriz de NANDs no estilo ***linear matrix*** utilizada para as simulações.