

287

**AVALIANDO MULTIPLICADORES PARALELOS EM VHDL COM PLD'S.** *Carlos Afonso Ferreira da Silva, Milene Händel, Renato Perez Ribas (orient.) (UFRGS).*

O objetivo do trabalho é implementar multiplicadores paralelos utilizando VHDL e avaliar o desempenho dos diferentes tipos em diferentes dispositivos, como FPGA's e PLD's. Os fabricantes utilizados foram a Altera, Xilinx e Actel. Foram avaliados multiplicadores do tipo Array, Wallace Tree, em Blocos e os das bibliotecas dos fabricantes. Os multiplicadores desenvolvidos foram de 4x, 8x8, 16x16 e 32x32 bits. Os resultados obtidos comprovaram que os multiplicadores das bibliotecas são os mais rápidos, porém, alguns outros multiplicadores possuem desempenho semelhante com menor número de portas lógicas.