

308

AVALIAÇÃO DA PROBABILIDADE DE PROPAGAÇÃO DE FALHAS ATRAVÉS DO USO DE BDD'S. *Alexandre Ferronato Zimmermann, Fernanda Gusmao de Lima Kastensmidt (orient.) (UFRGS).*

Falhas de efeito transiente podem acontecer em circuitos combinacionais fabricados em tecnologia nanométrica. Faz-se necessário avaliar a probabilidade destas falhas de propagarem pelo circuito lógico sem serem mascaradas logicamente. Uma técnica utilizada é a simulação lógica do circuito junto com a injeção de falhas no mesmo. O problema desta técnica é que vetores de entrada devem ser inseridos para a simulação, e quando usamos em circuitos com um grande número de entradas, precisamos também de um grande número de vetores, o que torna o tempo para a simulação de falhas exaustiva proibitivo. É aí que entra o uso dos diagramas de decisão binários, conhecidos como BDD's. Atráves deles, acreditamos que será muito mais simples a detecção de quais partes do circuito serão mais sensíveis a falhas. O objetivo é verificar se o uso de BDD's é mais eficiente que simulação lógica, para circuitos grandes. A idéia é usar a técnica "dividir para conquistar", fazendo um diagrama de decisão binário para cada porta lógica do circuito, e criar um método que consiga percorrer todos esses diagramas, calculando a probabilidade da falha se propagar por ele até o dado instante. Uma ferramenta em linguagem C está sendo implementada para analisar os circuitos com os diagramas de decisão binários, usando a técnica dividir para conquistar e recebendo como entrada a equação do circuito. (CNPq).