

Posicionamento de circuitos baseados em *Standard Cells* é um problema NP-Completo. Em vista disso, diversos algoritmos, tais como *branch-and-bound*, *Simulated Annealing*, algoritmos quadráticos, hoje são estudados para efetuar o posicionamento visando, entre muitos fatores, reduzir o comprimento de fio médio entre as células.

Neste estudo, abordaremos o posicionador global *PlaceDL*, analisando o seu desempenho tanto em tempo de execução quanto em qualidade do resultado. A principal evolução feita nesse estudo demonstra que é possível, através da paralelização do algoritmo de posicionamento, que é o algoritmo quadrático, reduzir em alguns casos 50% do tempo de execução em relação a versão anterior, mantendo-se a qualidade dos resultados. Cabe ressaltar que, já na versão anterior, a ferramenta já apresentava desempenho satisfatório frente a outros posicionadores acadêmicos do estado da arte, como *CAPO* e *FastPlace*.

Por o *PlaceDL* se tratar de um posicionador global, os testes comparativos se procederam da seguinte maneira: posicionar globalmente um circuito-teste no *PlaceDL*, *FastPlace-GP* e *CAPO* e posicionar detalhadamente as saídas de cada posicionador no *FastPlace-DP*. Dessa forma, analisamos justamente a contribuição do posicionamento global de cada ferramenta, considerando o tempo de execução das duas etapas, uma vez que um posicionamento global feito de maneira menos ótima onera o posicionamento detalhado também em tempo de execução.