

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

Eduarda de Castro Guterres

Análise do Envelhecimento e da Robustez à Radiação em Circuitos Digitais

Porto Alegre

2024

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

Eduarda de Castro Guterres

Análise do Envelhecimento e da Robustez à Radiação em Circuitos Digitais

Projeto de Diplomação II, apresentado ao Departamento de Engenharia Elétrica da Escola de Engenharia da Universidade Federal do Rio Grande do Sul, como requisito para a obtenção do grau de Engenheira Eletricista

UFRGS

Orientador: Prof. Dr. Paulo Francisco Butzen

Coorientador: Prof. Dr. Tiago Roberto Balen

Porto Alegre

2024

Eduarda de Castro Guterres

Análise do Envelhecimento e da Robustez à Radiação em Circuitos Digitais

Projeto de Diplomação II, apresentado ao Departamento de Engenharia Elétrica da Escola de Engenharia da Universidade Federal do Rio Grande do Sul, como requisito para a obtenção do grau de Engenheira Eletricista

BANCA EXAMINADORA

Prof. Dr. Gilson Inácio Wirth
UFRGS

Prof. Rafael Budim Schwitz
FURG

Prof. Dr. Paulo Francisco Butzen
Orientador - UFRGS

Aprovado em 20 de Fevereiro de 2024.

Agradecimentos

Gostaria de expressar minha profunda gratidão à minha família, especialmente aos meus pais, Patrícia e Luís Fernando, como também, as minhas avós, Iara Maria e Maria Helena, que sempre se esforçaram para me proporcionar uma boa educação, mesmo diante das dificuldades. O apoio incondicional e incentivo foram fundamentais para minha jornada até a UFRGS. Agradeço também à família do Murilo, que me acolheu como parte deles e se tornou minha segunda família aqui no sul do país.

Gostaria de expressar minha profunda gratidão aos professores Paulo F. Butzen e Tiago R. Balen, que foram verdadeiros guias durante minha jornada no DELET. Em particular, sou imensamente grata ao Professor Butzen por sua constante orientação e apoio. Obrigada por acreditar em mim mesmo quando eu mesma não acreditava.

Não menos importante, agradeço ao meu pequeno núcleo familiar não convencional, Luísa, Murilo, Tomilho, Tapioca e Pepper. Sem vocês eu realmente não estaria aqui hoje. Obrigada por serem meu esteio e cuidarem de mim todas as vezes que eu tive uma crise de depressão ou ansiedade. Obrigada por não desistirem de mim e por sempre estarem por perto quando eu preciso. Obrigada por serem sempre tão amorosos quando eu preciso e por mostrarem que o amanhã com vocês é sempre melhor do que o hoje. Vale a pena respirar mais um dia por vocês. Eu amo muito vocês.

Resumo

Este estudo teve como objetivo analisar como o envelhecimento afeta a robustez de circuitos integrados em relação à radiação, focalizando nos efeitos do *Bias Temperature Instability* (BTI) e do *Single Event Transient* (SET). Utilizou-se o NGSpice para simulações. Foi observado que o BTI afetou as transições de sinais nas portas lógicas, mostrando uma evolução semelhante à medida que envelhecem, embora não tenha sido identificado um padrão consistente entre todas as portas. Na análise do SET, nota-se que as correntes necessárias para desencadear um SET na saída das portas variam para cargas positivas e negativas. Quando combinado o BTI e SET, houve uma diminuição da energia necessária para que o SET ocorra à medida que o circuito envelhece. Nos osciladores em anel, teve-se um aumento no período conforme envelhecem. Como também, um padrão de aumento no tempo de sinal alto dos OAs conforme o BTI aumenta, mas essa tendência não foi consistente nos tempos de sinal baixo. Nos OAs com SET e BTI, nota-se uma tendência semelhante nos resultados para correntes negativas, mas houve descontinuidades nos valores para sinais positivos.

Palavras-chave: BTI, SET, Circuitos Digitais, Osciladores em Anel.

Abstract

This study aimed to analyze how aging affects the robustness of integrated circuits concerning radiation, focusing on the effects of Bias Temperature Instability (BTI) and Single Event Transient (SET). The NGSpice was used for simulations. It was observed that BTI affected signal transitions in logic gates, showing a similar evolution as they age, although a consistent pattern was not identified among all gates. In the analysis of SET, it is noted that the currents required to trigger a SET at the output of gates vary for positive and negative charges. When BTI and SET are combined, there is a decrease in the energy required for the SET to occur as the circuit ages. In ring oscillators, there was an increase in the period as they aged. Additionally, a pattern of increasing high signal time in OAs was observed as BTI increases, but this trend was not consistent in low signal times. In OAs with SET and BTI, a similar trend in results for negative currents was noted, but there were discontinuities in values for positive signals.

Keywords: BTI, SET, Digital Circuits, Ring Oscillator.

Lista de Figuras

Figura 1 – Conceito de falha, erro e defeito.	17
Figura 2 – Mascaramento Lógico.	18
Figura 3 – Mascaramento Elétrico.	18
Figura 4 – Janela de Amostragem.	19
Figura 5 – Mudanças de tensão limite para MOSFETs p e n para polarização de porta positiva e negativa.	20
Figura 6 – Efeitos do BTI na tensão <i>threshold</i> do transistor.	21
Figura 7 – Modelo do NMOS de Envelhecimento.	24
Figura 8 – Modelo do PMOS de Envelhecimento.	24
Figura 9 – Partícula incidindo em um transistor NMOs, podendo gerar qualquer uma das três formas.	27
Figura 10 – Modelo de corrente de impacto de partículas.	28
Figura 11 – Inversor, NAND e NOR respectivamente.	34
Figura 12 – AOI-1 e AOI-2 respectivamente.	34
Figura 13 – Oscilador em Anel.	36
Figura 14 – Oscilador em Anel com SET.	36
Figura 15 – Saída do circuito Inversor (Autora).	38
Figura 16 – Saída da NAND.	38
Figura 17 – Saída da NOR.	39
Figura 18 – Saída da AOI-1.	40
Figura 19 – Saída da AOI-2.	41
Figura 20 – Análise do tempo necessário para que o inversor altere o sinal de saída em seu ponto ótimo, utilizando o modelo de envelhecimento.	42
Figura 21 – Análise do tempo necessário para que a NAND altere o sinal de saída em seu ponto ótimo, utilizando o modelo de envelhecimento.	43
Figura 22 – Análise do tempo necessário para que a NOR altere o sinal de saída em seu ponto ótimo, utilizando o modelo de envelhecimento.	43
Figura 23 – Análise do tempo necessário para que a AOI-1 altere o sinal de saída em seu ponto ótimo, utilizando o modelo de envelhecimento.	44
Figura 24 – Análise do tempo necessário para que a AOI-2 altere o sinal de saída em seu ponto ótimo, utilizando o modelo de envelhecimento.	44
Figura 25 – Inversor com o modelo de BTI e SET.	49
Figura 26 – NAND com o modelo de BTI e SET.	50
Figura 27 – NOR com o modelo de BTI e SET.	50
Figura 28 – AOI-1 com o modelo de BTI e SET.	51
Figura 29 – AOI-2 com o modelo de BTI e SET.	51

Figura 30 – Portas das AOIs.	52
Figura 31 – Curva da degradação das portas lógicas utilizando o modelo analítico de longo prazo.	53
Figura 32 – Relação do número de inversores no OA com o período dele.	56
Figura 33 – OA com modelo BTI nos transistores.	57
Figura 34 – Variação do período do OA de 17 com modelos de BTI aplicados separadamente nos transistores NMOS e PMOS, bem como com ambos transistores utilizando o modelo de BTI.	59
Figura 35 – OA com modelo BTI nos transistores, análise do tempo que o OA ficou em cada estado.	59
Figura 36 – OAs com TID e SET.	61

Lista de Tabelas

Tabela 1 – Tabela Verdade do circuito inversor.	37
Tabela 2 – Tabela Verdade do circuito NAND.	38
Tabela 3 – Tabela Verdade do circuito NOR.	39
Tabela 4 – Tabela Verdade do circuito AOI.	40
Tabela 5 – Resultado das portas lógicas desenvolvidas em seu estado Gold.	41
Tabela 6 – Resultado da variação na entrada do inversor mediante a alteração da fonte de tensão que simula o envelhecimento.	45
Tabela 7 – Tempo requerido para a mudança de estado na saída da porta lógica NAND, tendo fontes de tensão que simulam o envelhecimento.	46
Tabela 8 – Tempo requerido para a mudança de estado na saída da porta lógica NOR, tendo fontes de tensão que simulam o envelhecimento.	46
Tabela 9 – Tempo requerido para a mudança de estado na saída da porta lógica AOI-1, tendo fontes de tensão que simulam o envelhecimento.	46
Tabela 10 – Tempo requerido para a mudança de estado na saída da porta lógica AOI-2, tendo fontes de tensão que simulam o envelhecimento.	47
Tabela 11 – SET com a saída FoF1 com W igual aos dos transistores.	48
Tabela 12 – SET com a saída FoF4 com W quatro vezes aos dos transistores.	48
Tabela 13 – Valores de tensão de cada transistor de acordo com o tempo em que o transistor permanece sob polarização negativa.	53
Tabela 14 – Resultados da variação da entrada do AOI-1 e AOI-2, com a fonte de tensão de 80mV e 160mV, para simulação do BTI.	54
Tabela 15 – Resultado dos parâmetros dos AOIs com o envelhecimento proporcional.	54
Tabela 16 – Valores do SET e BTI obtido para o AOI-1.	54
Tabela 17 – Valores do SET e BTI obtido para o AOI-2.	55
Tabela 18 – Valores do SET e BTI (modelo analítico de longo prazo) obtido para as AOIs de acordo com a degradação apresentada na Tabela 13.	55
Tabela 19 – Valores do AO em seu estado gold.	56
Tabela 20 – Valores do AO de 17 inversores com apenas o transistor NMOS sofrendo envelhecimento.	58
Tabela 21 – Valores do AO de 17 inversores com apenas o transistor PMOS sofrendo envelhecimento.	58
Tabela 22 – Valores do AO com o SET.	60
Tabela 23 – Resultado da corrente necessária para desencadear um evento transitório único (SET) ao oscilar a entrada do AOI-1, mantendo uma saída Fan-out com largura (W) diferentes.	74

Lista de abreviaturas

ASIC	Circuitos Integrados de Aplicação Específica
BTI	Bias Temperature Instability
CI	Circuitos Integrados
FoF1	Fant-out of 1
FoF4	Fant-out of 4
I_{ds}	Corrente de Dreno
NBTI	Bias Temperature Instability em NMOS
NMOS	nFET Metal Oxide Silicon
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
OA	Oscilador em Anel
PBTI	Bias Temperature Instability em PMOS
PPGEE	Programa de Pós-Graduação em Engenharia Elétrica
PMOS	pFET Metal Oxide Silicon
SET	Evento Único Transiente
TCC	Trabalho de Conclusão de Curso
V_{dd}	Tensão do Circuito
V_g	Tensão de <i>Gate</i>
V_{gs}	Tensão <i>Gate-Source</i>
V_{th}	Tensão de limiar
TSP	Transistor Stress Probability

Sumário

1	INTRODUÇÃO	13
1.1	Objetivos Específicos	14
2	FUNDAMENTAÇÃO TEÓRICA	15
2.1	Projeto de Sistemas Digitais	15
2.1.1	Fluxo de Projeto Baseado em Portas Padrões	15
2.2	Efeitos da Radiação em Circuitos Eletrônicos	16
2.2.1	Falha, Erro e Defeito	16
2.2.2	Mascaramento	17
2.2.2.1	Mascaramento Lógico	17
2.2.2.2	Mascaramento Elétrico	18
2.2.2.3	Mascaramento Janela de Amostragem	18
2.3	Envelhecimento	19
2.3.1	NBTI - Negative Bias Temperature Instability	20
3	BTI - BIAS TEMPERATURE INSTABILITY	21
3.1	A física do efeito BTI	21
3.1.1	<i>Reaction-Difusion</i>	22
3.1.2	<i>Trapping/Detrapping</i>	22
3.2	Modelo do BTI	23
3.2.1	BTI nos circuitos digitais	24
3.2.2	Modelo analítico de longo prazo	25
4	SET - SINGLE EVENT TRANSIENT	26
4.1	Geração e propagação do SET	26
4.2	Modelo Transiente	28
4.2.1	Parâmetros para Fontes de Corrente	28
5	METODOLOGIA	30
5.1	Parâmetros da Simulação	31
5.1.1	Tansistores	31
5.1.2	Modelo SET	31
5.1.2.1	SET nas portas lógicas	32
5.1.2.2	SET nos OAs	33
5.1.3	Modelo BTI	33
5.1.4	Portas Lógicas	33

5.1.4.1	Oscilações das Entradas	34
5.1.4.2	AOI utilizando o modelo analítico de longo prazo	35
5.1.5	Oscilador em Anel	35
5.1.5.1	Oscilador em Anel com BTI	35
5.1.5.2	Oscilador em Anel com SET	36
6	RESULTADOS	37
6.1	Portas Lógicas	37
6.1.1	Inversor	37
6.1.2	NAND	37
6.1.3	NOR	39
6.1.4	AOI	39
6.1.5	Análise das Portas Lógicas	40
6.1.5.1	Portas lógicas em seu estado Gold	40
6.1.6	BTI nas portas lógicas	42
6.1.6.1	Análise da transição do nível lógico da entrada em relação à saída	42
6.1.6.2	Análise do tempo de transição do sinal da saída	45
6.1.7	SET nas portas lógicas	47
6.1.8	BTI e SET nas portas lógicas	49
6.1.9	AOI utilizando o modelo analítico de longo prazo	52
6.2	Oscilador em Anel	55
6.2.1	OA no estado gold	55
6.2.2	Análise do BTI no OA	56
6.2.2.1	Análise da Período	57
6.2.2.2	Análise do OA aplicando o modelo BTI separadamente em cada tipo de transistor	57
6.2.2.3	Análise do tempo em cada estado do OA	58
6.2.2.4	Análise do tempo de transição entre estados do OA	58
6.2.3	OA com SET	60
6.2.4	OA com BTI e SET	60
7	CONCLUSÕES	62
	REFERÊNCIAS BIBLIOGRÁFICAS	65
A	APÊNDICE A - RESULTADOS DO BTI, SET E AMBOS NO INVERSOR	68
B	APÊNDICE B - RESULTADOS DO BTI, SET E AMBOS NA NAND	69
C	APÊNDICE - RESULTADOS DO BTI, SET E AMBOS NA NOR	71
D	APÊNDICE - RESULTADOS DO BTI, SET E AMBOS NA AOI-1	73

E	APÊNDICE - RESULTADOS DO BTI, SET E AMBOS NA AOI-2 .	75
F	APÊNDICE - RESULTADOS DO BTI NOS OAS	77
G	APÊNDICE - RESULTADOS DO BTI NO OA DE 3 INVERSORES	78
H	APÊNDICE - RESULTADOS DO BTI NO OA DE 5 INVERSORES	80
I	APÊNDICE - RESULTADOS DO BTI NO OA DE 7 INVERSORES	82
J	APÊNDICE - RESULTADOS DO BTI NO OA DE 11 INVERSORES	84
K	APÊNDICE - RESULTADOS DO BTI NO OA DE 13 INVERSORES	85
L	APÊNDICE - RESULTADOS DO BTI NO OA DE 17 INVERSORES	86
M	APÊNDICE - RESULTADOS DO SET NO INVERSOR	87
N	APÊNDICE - RESULTADOS DO SET NA NAND	97
O	APÊNDICE - RESULTADOS DO SET NA NOR	113
P	APÊNDICE - RESULTADOS DO SET NA AOI-1	136
Q	APÊNDICE - RESULTADOS DO SET NA AOI-2	173
R	APÊNDICE - RESULTADOS DO SET NO OA COM 17 INVERSORES	186
S	APÊNDICE	192
T	APÊNDICE - RESULTADOS DO SET NO MODELO ANALÍTICO AO LONGO PRAZO	197

1 Introdução

O desenvolvimento dos transistores representou um marco significativo na evolução da fabricação de semicondutores, promovendo maior complexidade e miniaturização desses componentes. Simultaneamente, a concepção dos circuitos integrados possibilitou uma integração mais abrangente da tecnologia em diversos setores. A miniaturização contínua dos CIs, conforme o postulado de Moore, no qual diz que o número de transistores que podem ser integrados em uma única matriz aumentaria duas vezes a cada 24 meses (MOORE, 1998), viabilizou a integração de inúmeros circuitos em um único chip (BALEN, 2010).

Atualmente, os circuitos integrados (CIs) estão presentes em uma ampla variedade de dispositivos, desde eletrodomésticos comuns, como geladeiras, até objetos mais sofisticados, a exemplo de automóveis, computadores e smartphones (SCHVITZ, 2020). Essa abrangência demonstra a versatilidade e a presença universal dos CIs em diversas aplicações.

Com a miniaturização dos circuitos, surgiram os primeiros projetos de ASIC (Circuitos Integrados de Aplicação Específica), que são desenvolvidos para desempenhar uma única ou um conjunto de funções específicas. O ASIC, proporciona a abordagem de *standard cell*, que consiste em uma biblioteca de células padrão, que são um conjunto de portas lógicas, em que é possível criar interconexões para produzir outras portas lógicas ou circuitos. O processo de criação de um circuito usando o fluxo *standard cell* é influenciada por três principais fatores: a ferramenta de síntese lógica, a ferramenta de síntese física (*layout*) e a biblioteca de células. É crucial utilizar uma biblioteca de células apropriada, já que elas possuem um impacto significativo nas características do circuito produzido (JUNIOR *et al.*, 2009). Cada biblioteca de células é caracterizada por meio de várias simulações elétricas, fornecendo informações precisas sobre os transistores que a compõem (SECHEN *et al.* apud JUNIOR *et al.*, 2009). Com essa abordagem, foi possível implementar testes nos CIs de forma rápida, barata e precisa, facilitando o estudo de eventuais fenômenos no chip.

A miniaturização dos transistores trouxe benefícios, como o aumento do desempenho e a redução da potência dissipada por dispositivo, além da escalabilidade dessa tecnologia. No entanto, também apresenta desafios, como uma menor tensão de alimentação, tornando o dispositivo mais suscetível a falhas transientes, como também, a redução do desempenho do componente ao longo do tempo. Com isso, a cada redução nas dimensões dos transistores, novas incertezas surgem em relação ao que será produzido, tornando

ainda mais necessário estimar todos os fatores que os blocos lógicos podem sofrer para evitar possíveis comportamentos e características indesejadas (ALMEIDA, 2018).

Dessa forma, este trabalho tem como objetivo avaliar como o fenômeno do BTI afeta a robustez de circuitos a eventos singulares únicos. Em que foi analisado como o envelhecimento de um circuito pode influenciar a capacidade dele de resistir aos efeitos da radiação. Será estudado e analisado profundamente as características do circuito que podem ser afetadas pelo BTI, e como essas alterações podem impactar a sua resistência à sofrer SET.

1.1 Objetivos Específicos

- Implementar blocos digitais, estruturas de caracterização com o software de simulação NGSPICE utilizando os modelos Preditivo PTM de 32nm HP na sua implementação.
- Realizar análises lógicas e elétricas nos circuitos implementados, analisando tanto a potência quanto o atraso.
- Avaliar os efeitos da radiação e do envelhecimento nos circuitos estudados e analisar seus impactos de forma conjunta e separada.
- Identificar e selecionar um modelo de envelhecimento adequado para a avaliação do impacto da radiação.
- Observar e comparar os resultados das simulações em condições normais de operação, sob exposição à radiação, envelhecimento e ambas, a fim de identificar possíveis tendências ou padrões observados nos dados.
- Analisar e discutir os resultados obtidos em relação ao impacto do envelhecimento do circuito na robustez da radiação.

2 Fundamentação Teórica

2.1 Projeto de Sistemas Digitais

Hoje em dia, com a complexidade e variedade de aplicações que um circuito pode ter, a escolha de uma metodologia assertiva é crucial para a construção de um projeto eletrônico (WESTE; HARRIS, 2004). Um sistema digital pode ser concebido por diferentes meios, como pela programação de microprocessadores ou microcontroladores, uso de dispositivos lógicos programáveis (PLDs) e por meio dos circuitos integrados de aplicação específica (ASIC) (BUTZEN, 2012).

Os primeiros ASIC surgiram na década de 80 e eram produzidos através de uma tecnologia de matrizes de portas (*gate array*). Contudo, esse sistema era limitado a um número fixo de transistores por chip além de possuir um alto custo por unidade. Com isso, caso um cliente fosse necessário apenas alguns transistores mas o fornecedores só tivesse chips com um grande número de transistores, o cliente teria que adquirir uma solução desnecessariamente grande e custosa. Com isso, a abordagem de standard cells (células padrão) tornou-se amplamente difundida (REINICKE, 2014).

2.1.1 Fluxo de Projeto Baseado em Portas Padrões

O standard cell é uma metodologia baseada na criação de células, sendo principalmente usado no design de ASIC. Essa técnica consiste em utilizar células lógicas padronizadas ou/e pré-projetadas para a criação de diferentes projetos de CIs. Essas células consistem de uma rede de transistores interconectados capazes de criar funções lógicas booleanas em suas entradas, como AND, NOR, inversor, entre outros. Essa síntese é traduzida para uma linguagem intermediária (as *netlists*), que são usadas para interconectar as células. A abordagem de células padrão permitiu a fabricação de chips menores e mais eficientes, sendo a tecnologia mais usada nos projetos ASIC.

As bibliotecas de célula tem como função reduzir o esforço da implementação de células, além de possibilitar a reutilização das bibliotecas. Dessa forma, as células de uma determinada tecnologia só precisam ser criadas e verificadas uma vez, diminuindo assim os custos dos projetos. Contudo, as células são limitadas pela biblioteca, fazendo com que não seja possível ajustar ou adaptar seu design (RABAEY; CHANDRAKASAN; NIKOLIC, 2003).

A utilização de standard cell padroniza o nível de entrada da porta lógica no projeto, criando assim, blocos funcionais. Além disso, por as bibliotecas de células conterem uma ampla gama de portas lógicas, contendo desde funções lógicas básicas, como:

AND/NAND, OR/NOR, XOR/XNOR e inversores, quanto blocos mais complexos, como: MUX, Full-adder, Comparador, entre outros, é possível haver uma diminuição no tempo do desenvolvimento de projetos. Ademais, esse tipo de design possibilita se ter um resultado próximo à excelência em relação ao desempenho de área e energia do CI (SCHNEIDER, 2007).

Um bom design baseado em células padrão possui três principais componentes: a ferramenta de síntese, as ferramentas de posicionamento e roteamento e a biblioteca de células alvo. Com isso, pode-se perceber que a seleção de uma biblioteca de células tem um impacto expressivo nas características do circuito projetado (SCOTT; KEUTZER, 1994).

2.2 Efeitos da Radiação em Circuitos Eletrônicos

A radiação consiste em energia que se propaga por meio da emissão de partículas subatômicas como elétrons e nêutrons, e fótons, tais como luz visível, ultravioleta, ondas de rádio, radiação gama e X (FRIEDBERG; COPELAND, 2011). Por estar presente em todos os lugares, a radiação pode afetar de diversas formas os circuitos eletrônicos. Em 1962, obteve-se a primeira evidência de uma perturbação em circuitos eletrônicos causada por radiação, tornando esse assunto objeto de estudo pela comunidade acadêmica desde então (BALEN, 2010).

Quando um circuito integrado é exposto à radiação ionizante, ocorre um processo fundamental no silício chamado criação de pares elétron-lacuna. Essa criação de pares é responsável pelos efeitos de radiação aos quais o circuito integrado pode ser vulnerável, sendo eles: Dano por Deslocamento, Dose Ionizante Total e Efeitos de Evento Único. Em outras palavras, a radiação ionizante causa a criação de pares elétron-lacuna no percurso percorrido pela partícula no silício, o que pode gerar diversos efeitos prejudiciais ao circuito integrado (LIMA, 2006).

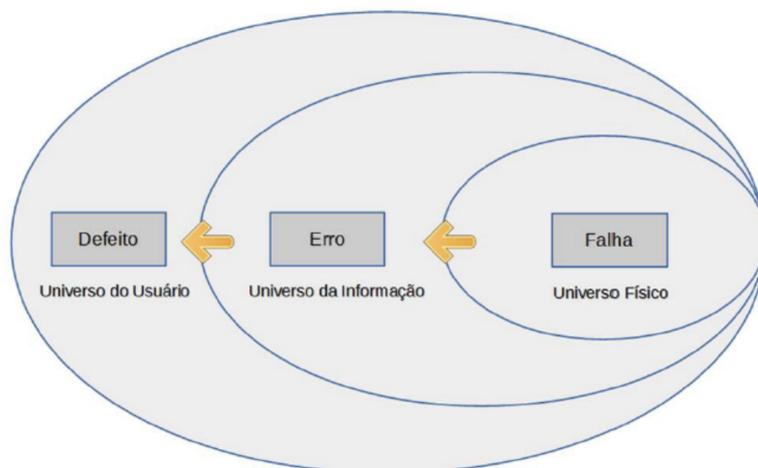
2.2.1 Falha, Erro e Defeito

O modelo de Três Universos ilustrado na Figura 1, é uma ferramenta útil para entender os conceitos de falha, erro e defeito. Adaptado do modelo de Quatro Universos proposto por (AVIZIENIS, 1982), o modelo descreve as diversas etapas envolvidas na evolução de uma falha para um defeito (SCHVITZ, 2020).

Falha: condição indesejada que pode ocorrer em qualquer componente de hardware ou software. Quando essa falha ocorre, ela afeta o universo da informação de maneira significativa, impactando a integridade, disponibilidade e confidencialidade dos dados.

Erro: é quando uma falha consegue alterar o estado do sistema gerando inconsistência nos dados.

Figura 1 – Conceito de falha, erro e defeito.



Fonte: (SCHVITZ, 2020).

Defeito: é um problema que ocorre quando há um desvio na funcionalidade do circuito, resultando na incapacidade de um componente de realizar sua função pré-definida, podendo levar a interrupções na operação do sistema.

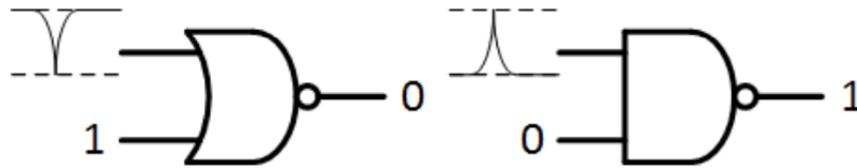
2.2.2 Mascaramento

Mascaramento é uma característica que torna as falhas de um sistema imperceptíveis ao usuário final, garantindo que essas falhas não causem erros ou defeitos visíveis (SCHVITZ, 2020). Existem diferentes tipos de mascaramentos, como o mascaramento lógico, elétrico e por janela de amostragem, que visam mascarar as falhas em diferentes níveis do sistema, como na lógica do circuito, na sua eletrônica ou na sua operação temporal. Essas técnicas são importantes para aumentar a confiabilidade e a segurança dos sistemas, especialmente em aplicações críticas onde as falhas podem ter consequências graves (BRENDLER, 2018).

2.2.2.1 Mascaramento Lógico

O mascaramento lógico ocorre quando uma porta lógica, ao ser atingida por uma partícula, consegue mascarar o efeito desta partícula, impedindo que ela afete a saída do circuito. Essa técnica pode ocorrer de duas formas: quando uma falha afeta uma entrada que não tem capacidade de modificar a saída da porta lógica ou quando ela afeta uma região do circuito que não é determinante para o resultado obtido na saída. Assim, o sistema pode manter uma resposta correta, mesmo na presença de falhas, sem levar a um comportamento inesperado ou defeitos visíveis ao usuário (ZIMPECK; MEINHARDT; BUTZEN, 2014).

Figura 2 – Mascaramento Lógico.



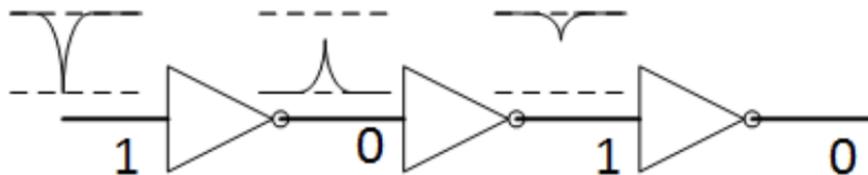
Fonte: (LIEBL, 2016).

Na Figura 2 apresentada é possível notar a ocorrência de um pulso elétrico nas portas lógicas NOR e NAND. Entretanto, nesse caso, não há variações de transição na saída, uma vez que a função aplicada à outra entrada não permite mudanças nestes casos específicos (LIEBL, 2016).

2.2.2.2 Mascaramento Elétrico

O mascaramento elétrico ocorre quando uma partícula colide com o circuito, gerando um pulso elétrico e, conseqüentemente, uma falha (ZIMPECK; MEINHARDT; BUTZEN, 2014). No entanto, essa falha é atenuada à medida que se propaga pelas portas lógicas do circuito (LIEBL, 2016).

Figura 3 – Mascaramento Elétrico.



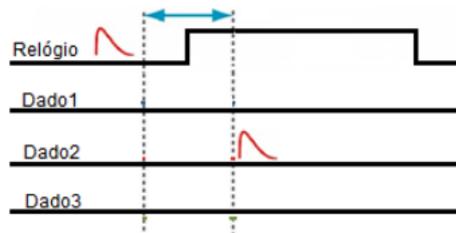
Fonte: (LIEBL, 2016).

Na Figura 3 é possível verificar a propagação do pulso elétrico pelos outros três inversores, o pulso sofre atenuação, perdendo sua energia durante o percurso no circuito. Essa perda de energia é observada ao chegar no último inversor da cadeia, onde o pulso não tem energia suficiente para ser propagado pela saída. Essa redução da energia gerada é denominada mascaramento elétrico (SCHVITZ, 2020).

2.2.2.3 Mascaramento Janela de Amostragem

A janela de amostragem é o intervalo de tempo que ocorre em torno da borda de transição do sinal de clock, nesse momento é quando há a captura dos sinais das linhas de dados nos elementos de memória. Já o mascaramento janela de amostragem surge quando um pulso transiente atinge as linhas de dados fora da área da janela de amostragem e não é armazenado na memória (SCHVITZ, 2020), como mostra a Figura 4.

Figura 4 – Janela de Amostragem.



Fonte: (ZIMPECK; MEINHARDT; BUTZEN, 2014).

Por conseguinte, o aumento da frequência de operação dos circuitos faz com que ocorra uma diminuição no mascaramento por janela de amostragem. Com uma frequência mais alta, o ciclo de relógio pode ser mais breve do que o tempo necessário para o amortecimento dos pulsos transientes que acontecem na lógica combinacional. Dessa forma, os elementos de memória terão mais chances de capturar as informações dentro da janela de amostragem (BALEN, 2010). Contudo, esse tipo de mascaramento não é mais tão relevante pois com o aumento da frequência dos circuitos o tempo do *clock* passou a possuir um tempo bem menor do que o tempo necessário para o amortecimento dos pulsos (SCHVITZ, 2020).

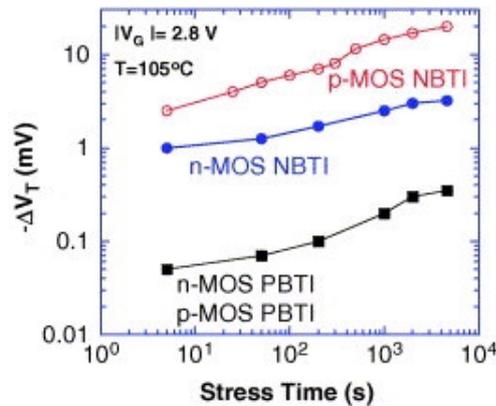
2.3 Envelhecimento

O fenômeno do envelhecimento de circuitos integrados tem sido objeto de estudo e observação ao longo de décadas. No entanto, durante a década de 90, esse processo tornou-se mais problemático devido à miniaturização dos dispositivos. A redução significativa no tamanho dos CIs possibilitou a integração de um elevado número de transistores em chips extremamente pequenos, resultando em desafios, como o aumento das correntes de fuga, redução do rendimento, redução da confiabilidade e os efeitos de envelhecimento (SCHVITZ, 2020). Esse cenário acelerou os estudos da confiabilidade dos transistores nanométricos, e conseqüentemente, dos efeitos do envelhecimento nos circuitos.

O BTI (Bias Temperature Instability) é um fenômeno comum em transistores de silício que afeta o desempenho e a confiabilidade de circuitos eletrônicos. Um dos mecanismos que ele ocorre é devido ao aprisionamento (*trapping*) de cargas na interface Si-SiO₂ do transistor, resultante do movimento de hidrogênio durante o estresse elétrico e térmico. Esse *trapping* gera uma mudança gradual na tensão de limiar do transistor, afetando a velocidade do circuito e seu desempenho. Especialmente na tensão de limiar do transistor, que aumenta sob estresse e diminui durante a recuperação (BEM, 2010). O envelhecimento BTI é um fenômeno que pode afetar tanto transistores PMOS quanto NMOS. Contudo, o efeito PBTI costumava ser negligenciado, enquanto o efeito NBTI em transistores PMOS é considerado o principal responsável pela degradação dos circuitos

(SILVA, 2012). A Figura 5 ilustra a diferença de impacto entre os efeitos NBTI e PBTI em ambos os tipos de transistores.

Figura 5 – Mudanças de tensão limite para MOSFETs p e n para polarização de porta positiva e negativa.



Fonte: (SCHRODER, 2007).

O BTI é uma preocupação crescente na indústria de semicondutores, uma vez que a miniaturização dos transistores torna-os mais suscetíveis a esse efeito. Portanto, a compreensão do BTI e o desenvolvimento de técnicas de mitigação que reduzam o trapping são essenciais para garantir a confiabilidade de dispositivos eletrônicos em escala nanométrica (BEM, 2010).

2.3.1 NBTI - Negative Bias Temperature Instability

O Negative Bias Temperature Instability (NBTI) é um fenômeno de degradação que afeta os dispositivos PMOS quando submetidos a altas temperaturas e polarização negativa no terminal da porta. Isso resulta em uma diminuição da tensão de limiar na e uma redução na corrente de dreno, sendo a principal limitação da vida útil dos circuitos em tecnologias abaixo de 130nm (SILVA *et al.*, 2019; ISLAM, 2011).

A medida que os transistores ficam cada vez menores, a tensão de *threshold* tornou-se um fator dominante para limitar o tempo de vida de um transistor PMOS. Com isso, é fundamental compreender e minimizar o impacto que o NBTI produz no transistor, para que seja possível garantir uma operação confiável e duradoura. No próximo capítulo será aprofundado os detalhes sobre o BTI.

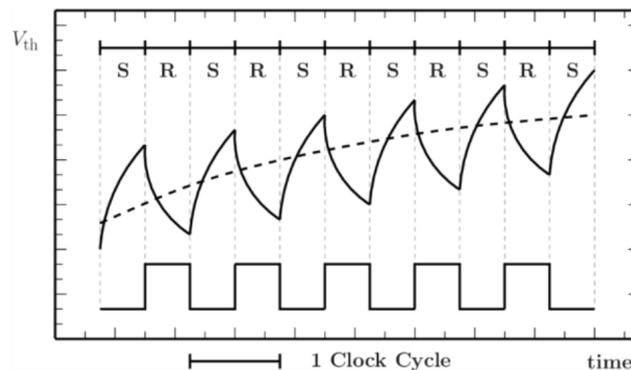
3 BTI - Bias Temperature Instability

A redução no tamanho dos transistores resultou em um aumento do campo elétrico no óxido, levando a uma degradação do dispositivo devido aos efeitos do BTI. Esse efeito afeta o tempo de vida dos circuitos integrados, tornando o BTI uma das principais preocupações sobre a confiabilidade dos CIs.

O *Bias Temperature Instability* (BTI) provoca o envelhecimento dos transistores MOSFETs, ocasionando uma modificação gradual e progressiva no comportamento dos transistores que compõem um CI. Esse efeito faz com que a tensão de limiar (V_{th}) dos transistores aumente em módulo de forma logarítmica ao longo do tempo (SILVA, 2012).

Existem dois tipos de BTI: o NBTI, que ocorre em dispositivos PMOS, e o PBTI, que acontece em dispositivos NMOS. Eles ocorrem devido ao estresse causado nos transistores enquanto eles estão conduzindo, ao passo que, quando eles não estão conduzindo eles passam pela fase de recuperação. Na Figura 6 é possível observar a tensão de limiar no decorrer do tempo, cariando entre fases de recuperação e estresse do transistor. Contudo, o transistor não consegue ter uma recuperação total da tensão limiar, fazendo com que ela aumente ao longo do tempo, degradando o desempenho do transistor ao longo do tempo (ALMEIDA, 2018).

Figura 6 – Efeitos do BTI na tensão *threshold* do transistor.



Fonte: (HU; SU; CHUANG, 2016).

3.1 A física do efeito BTI

A degradação NBTI é geralmente considerada o resultado da sobreposição de vários processos individuais. Embora não exista um único mecanismo físico abrangente capaz de explicar todos os comportamentos relacionados ao fenômeno NBTI (BUTZEN, 2012),

duas abordagens são amplamente aceitas: o modelo de *trapping/detrapping* e o modelo de *Reaction-Difusion*.

No entanto, o modelo de *trapping/detrapping* é atualmente mais amplamente aceito devido à sua melhor concordância com a prática, em contraste com o modelo de *Reaction-Difusion*, que apresenta grandes discrepâncias entre a teoria e a aplicação prática (SILVA, 2012).

3.1.1 *Reaction-Difusion*

Em 1977, surgiu uma abordagem para lidar com o comportamento do NBTI. Essa proposta consiste na criação de estados de interface controladas pela difusão do hidrogênio (JEPPSON K. O.; SVENSSON, 1977). A teoria de reação-difusão tem sido um pilar da literatura ao longo dos anos. Com base nessa teoria, acredita-se que o aumento de V_{th} devido ao BTI resulte na quebra de ligações Si-H ou Si-H₂. Essas ligações rompidas são provocadas pelo campo elétrico e as altas temperaturas presentes nos transistores nanométricos, gerando lacunas positivas no canal do transistor (BUTZEN, 2012). À medida que os átomos de hidrogênio se difundem em direção ao óxido, surgem lacunas de interface positivas, culminando no aumento de V_{th} (BUTZEN, 2012).

Ou seja, com a quebra da ligação Si-H o hidrogênio migra para a porta do transistor, reagindo com outros átomos de hidrogênio, formando o H₂. Isso faz com que haja uma ligação incompleta de silício na interface. Com a retirada do campo elétrico, temos a recuperação do BTI. Com isso, o hidrogênio se difunde de volta à interface, ligando-se ao átomo de silício novamente, recriando a ligação Si-H e amenizando os defeitos da interface (SILVA, 2012).

A teoria de reação-difusão tem sido alvo de revisões e adaptações à medida que novas medições experimentais que continuam a desvendar detalhes relacionados ao comportamento da degradação NBTI (BUTZEN, 2012).

3.1.2 *Trapping/Detrapping*

Segundo o modelo, o campo elétrico que atravessa o óxido do transistor provoca a formação de lacunas na interface Si-SiO₂. Essas lacunas se originam das ligações Si-H após o processo de passivação do hidrogênio, que visa remover átomos de silício pendentes na interface Si-SiO₂. No entanto, quando submetidas a estresse, como altas temperaturas ou campos elétricos intensos, essas ligações se rompem facilmente, resultando na geração de lacunas na interface (BEM, 2010).

Nesse contexto, temos que a geração de lacunas na interface não é a única fonte de degradação NBTI, tendo-se um segundo mecanismo que também contribui para o aumento de V_{th} . Esse fenômeno relacionado ao aumento de V_{th} pode ser descrito como o túnel de

portadores do canal em defeitos do óxido, que são induzidos pelo campo elétrico através do óxido do *gate* quando o transistor PMOS está polarizado negativamente. Esses defeitos no óxido podem ser tanto preexistentes na estrutura do transistor quanto criados pelo estresse elétrico. Dessa forma, o aprisionamento/desaprisionamento de lacunas pode se tornar o principal fator contribuinte para a degradação NBTI (BUTZEN, 2012)(KACZER *et al.*, 2010).

Outro aspecto relevante no fenômeno NBTI é seu comportamento dinâmico, que consiste em duas fases distintas, dependendo da polarização de um transistor PMOS. A primeira fase é conhecida como "estresse", onde ocorre a degradação do dispositivo. Isso se dá quando o transistor está polarizado negativamente, com a tensão de *gate* (V_g) em '0' e a tensão de dreno-fonte (V_{gs}) em '-V_{dd}'. Nessa condição, ocorre um campo elétrico elevado através do óxido do *gate*. Através de um mecanismo de reação-difusão, as lacunas de interface positivas se acumulam ao longo do tempo de estresse, com o hidrogênio difundindo em direção ao *gate*. O aprisionamento de lacunas está relacionado à injeção e aprisionamento de portadores no óxido do *gate*. Na segunda fase, denominada "recuperação", as condições de polarização do PMOS são $V_g = 'V_{dd}'$ e $V_{gs} = '0'$. Nesse momento, não há mais presença do campo elétrico através do óxido do *gate*, e não são criadas novas lacunas de interface, nem portadores realizam o tunelamento. Em vez disso, os portadores previamente aprisionados no óxido são liberados de volta para o substrato, e o hidrogênio difunde-se de volta, recompondo as ligações de Si-H ou Si-H₂ que haviam sido quebradas na interface. (BUTZEN, 2012)

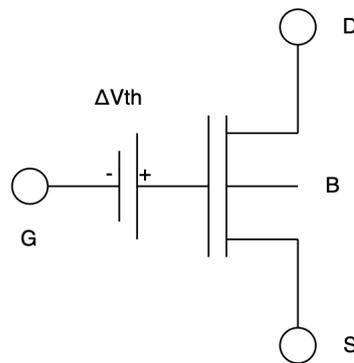
A degradação dinâmica do NBTI pode-se ser decomposta em dois componentes, sendo eles a degradação permanente ou universal que está associada à geração de defeitos na interface. Já o segundo componente é a degradação não universal ou recuperável, que está associada ao aprisionamento de lacunas (HUARD, 2006) (ISLAM, 2011). Essa abordagem é explicada pela teoria de reação-difusão, em que o mecanismo universal é mais lento, enquanto o aprisionamento de lacunas atua como o mecanismo não universal mais rápido. Dessa forma, o aprisionamento de lacunas desencadeia o efeito de recuperação, e a reação-difusão representa a degradação de longo prazo (BUTZEN, 2012).

3.2 Modelo do BTI

Como dito anteriormente, o BTI acontece em ambos os transistores, NMOS e PMOS. Como mostra na Figura 5 o efeito do NBTI sempre foi mais considerado em tecnologias SiO₂ e SiON. Sendo ele, o principal responsável pela degradação dos circuitos. Contudo, nesse trabalho será abordado ambos os efeitos para fim de comparação entre eles.

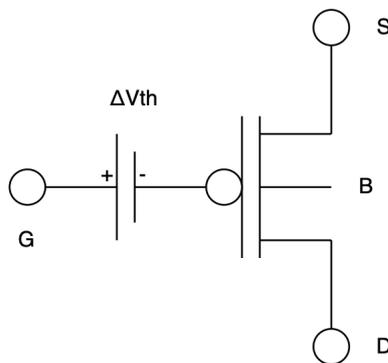
Para realizar a análise do envelhecimento dos blocos lógicos é necessário simular os efeitos do NBTI e PBTI, que impactam principalmente o valor de limiar (V_{th}) dos transistores, como foi discutido em 3.1. Tendo isso em vista, adotou-se um modelo que reproduza a degradação da tensão de *threshold*. O modelo elétrico que representa os efeitos do envelhecimento, nas Figuras 7 e 8, é baseado na inclusão de uma fonte de tensão na porta dos transistores pMOS e nMOS (MARTINS *et al.*, 2017). Essa abordagem permite capturar o comportamento de degradação do V_{th} e avaliar seus impactos nos circuitos lógicos em análise.

Figura 7 – Modelo do NMOS de Envelhecimento.



Fonte: A autora.

Figura 8 – Modelo do PMOS de Envelhecimento.



Fonte: A autora.

3.2.1 BTI nos circuitos digitais

Com o aumento do módulo V_{th} dos transistores, tem-se a diminuição da corrente de dreno (I_{ds}), que influencia o tempo de propagação do sinal elétrico em uma porta lógica. Além disso, tem-se que o BTI possui uma grande dependência com o *duty factor*, que é a quantidade de tempo que um transistor esteve funcionando. Como também, o dimensionamento dos transistores dos circuitos exerce uma grande influência na degradação. Com isso, faz-se necessário um correto dimensionamento dos transistores, a fim de minimizar

os impactos do BTI no atraso do circuito. Dessa forma, deve-se determinar a melhor relação entre o W_p/W_n de um inversor variando com o tempo de degradação (SILVA, 2012).

3.2.2 Modelo analítico de longo prazo

Diferencialmente dos modelos discutidos anteriormente em que são baseados na teoria do mecanismo físico para que aconteça o BTI, o modelo dinâmico de degradação estima a degradação do V_{th} do ciclo a ciclo. Contudo, em condições regulares, a degradação da tensão limiar é perceptível ao longo prazo. Contudo, é impraticável executar simulações de ciclo a ciclo para a estimativa da degradação do transistor. Portanto, uma expressão derivada em forma fechada para a degradação de V_{th} que considera um nó de tecnologia específico e um conjunto dado de condições ambientais pode ser expressa pela Equação 1.

$$\Delta V_{th} = A.(TSP.t)^n \quad (1)$$

Na equação, temos que A é uma constante dependente da tecnologia, t é o tempo e n é a constante exponencial de tempo do NBTI e TSP é a probabilidade de que o transistor esteja sob polarização de degradação. É uma função da probabilidade do sinal de entrada e da posição do transistor no arranjo (BUTZEN, 2012).

4 SET - Single Event Transient

Dispositivos eletrônicos utilizados em aplicações espaciais enfrentam a possibilidade significativa de experienciar efeitos indesejados provocados por raios cósmicos e radiação. Esses circuitos, predominantemente empregados em satélites artificiais para diversas finalidades, como comunicação, sensoriamento remoto, pesquisas, objetivos militares, entre outros, estão sujeitos a eventos singulares ocasionados por íons pesados e partículas altamente energéticas presentes no espaço. Apesar de as dimensões reduzidas dos transistores modernos demandarem baixa energia para gerar atividade elétrica, os satélites em órbitas espaciais nem sempre conseguem evitar completamente essas partículas, mesmo com o uso de blindagens de alumínio (BALEN, 2010). Existem basicamente três tipos de efeitos que podem afetar os circuitos eletrônicos em aplicações espaciais, são eles:

(a) Dose Ionizante Total (Total Ionizing Dose - TID): É um efeito que degrada a propriedade elétrica acumulando cargas, ao longo prazo, nos circuitos, contudo, pode ser reversível. Esse efeito não será abordado nesse trabalho.

(b) Danos por Deslocamento (Displacement Damage - DD): São danos físicos na estrutura cristalina do transistor. Esse efeito não será abordado nesse trabalho.

(c) Efeitos Singulares (Single Event Effects - SEEs): Esse efeito ocorre quando há um impacto de uma partícula fortemente ionizada no silício, ionizando-o densamente e podendo provocar pulsos de corrente. Os SEEs são subdivididos em 3 tipos, (BALEN, 2010), são eles:

- i) Single Event Upset (SEU);
- ii) Single Event Transient (SET);
- iii) Eventos Singulares Catastróficos.

4.1 Geração e propagação do SET

O Single Event Transient pode ocorrer quando uma partícula atravessa um dispositivo semicondutor. Com isso, dois mecanismos de ionização podem ocorrer: ionização direta e ionização indireta (DODD; MASSENGILL, 2002).

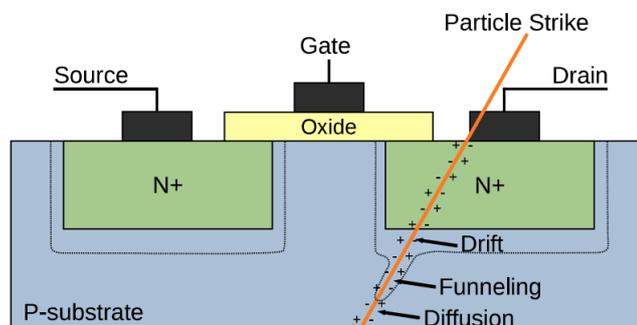
A partícula de energia pode colidir com elétrons dentro do transistor, criando pares elétron-lacuna e gerando carga ao longo do caminho da partícula. A geração direta de carga pode ser causada por íons pesados (partículas com número atômico maior ou igual a dois) e é chamada de ionização direta. No entanto, partículas mais leves não podem ser ignoradas. Prótons e nêutrons podem iniciar múltiplas reações nucleares, e as reações

podem ionizar a matéria e induzir um evento SET. Essa carga produzida por partículas secundárias de reações nucleares é conhecida como ionização indireta (KESSLER *et al.*, 2003).

A ionização indireta de prótons de baixa energia não era algo preocupante e não possuía nenhum tipo de efeito da radiação em eletrônicos. Contudo, como foi dito anteriormente, a redução das dimensões dos transistores houve a redução da carga crítica para haver uma perturbação nesse sistema, ameaçando a confiabilidade dos circuitos eletrônicos.

Nos dispositivos CMOS, os transistores estão constantemente em estado desligado. Assim, esses dispositivos são suscetíveis ao acúmulo de carga provocado por uma partícula de três maneiras distintas: deriva (dentro da camada de depleção), funneling (deformação na camada de depleção) e difusão (fora da camada de depleção) (DODD; MASSENGILL, 2002), conforme ilustrado na Figura 9. A carga coletada pelo transistor, apresentada na Figura 9, resulta em um pulso de corrente devido à energia acumulada pela partícula. O tipo de interação no transistor depende da tecnologia do transistor e do tipo de partícula envolvida.

Figura 9 – Partícula incidindo em um transistor NMOs, podendo gerar qualquer uma das três formas.

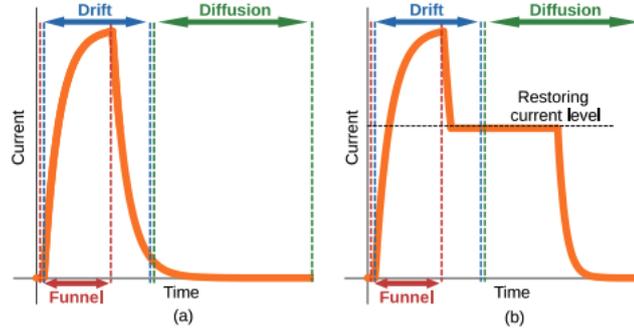


Fonte: (DODD; MASSENGILL, 2002).

Existem dois padrões típicos de pulsos de corrente em um Evento Transitório Único (SET) com baixa transferência linear de energia (linear energy transfer - LET). Um deles é ilustrado na Figura 10 (a), onde o LET é baixo e apenas apresenta a curva da dupla exponencial. Por outro lado, quando o LET é mais elevado, como mostrado na Figura 10 (b), há uma região de platô. No entanto, neste trabalho, o foco é obter a quantidade mínima de corrente necessária para que um SET seja viável. Para isso, consideraremos apenas a representação do modelo de corrente para um LET baixo.

O SET é um fenômeno que ocorre quando uma carga, de um valor determinado, faz com a energia seja o suficiente para que haja uma mudança de estado temporária na saída do circuito.

Figura 10 – Modelo de corrente de impacto de partículas.



Fonte: (DODD; MASSENGILL, 2002).

4.2 Modelo Transiente

Uma abordagem frequentemente empregada para modelar a forma de onda da corrente induzida em um Evento Transitório Único (SET) é a utilização da função dupla exponencial. Essa forma de onda é amplamente empregada em simulações transientes (BLACK *et al.*, 2015). A equação 2 descreve o pulso de corrente no SPICE

$$I(t) = \begin{cases} 0, & \text{se } t < t_{d1} \\ I_{Peak} \left(1 - e^{-\frac{(t-t_{d1})}{\tau_1}} \right), & \text{se } t_{d1} < t < t_{d2} \\ I_{Peak} \left(e^{-\frac{(t-t_{d2})}{\tau_2}} - e^{-\frac{(t-t_{d1})}{\tau_1}} \right), & \text{se } t > t_{d2} \end{cases} \quad (2)$$

Na equação fornecida, t_{d1} representa o início da forma de onda, enquanto t_{d2} indica o momento em que a corrente começa a diminuir. I_{peak} corresponde ao valor máximo da corrente, τ_1 representa o tempo de subida constante, e τ_2 refere-se ao tempo de queda constante. A carga total para o pulso de corrente, Q_{total} , é calculada como a integral da corrente $I(t)$ em relação ao tempo, como mostra a equação 3.

$$Q_{Total} = I_{Peak} \left[\tau_1 + \tau_2 + (t_{d2} - t_{d1}) - \tau_1 e^{-\frac{(t_{d2}-t_{d1})}{\tau_1}} \right] \quad (3)$$

4.2.1 Parâmetros para Fontes de Corrente

Para simular o efeito transitório único (SET), a fonte de corrente no SPICE requer a determinação de quatro parâmetros: I_{Peak} , $(t_{d2} - t_{d1})$, τ_1 e τ_2 . Os valores mais próximos encontrados para a tecnologia de 32nm neste projeto foram baseados nos parâmetros da tecnologia de 90nm. Para a fonte de corrente de curta duração, foram adotados $(t_{d2} - t_{d1}) = 15$ ps, $\tau_1 = 2$ ps e $\tau_2 = 4$ ps (BLACK *et al.*, 2015). O valor de I_{Peak} é ajustado empiricamente para obter uma transição de sinal na saída. Em outras palavras, se a

saída estava em nível lógico '1', ela temporariamente se tornará nível lógico '0' com uma determinada corrente testada.

5 Metodologia

Neste capítulo, serão delineadas a metodologia utilizada para investigar os efeitos do BTI e dos eventos únicos transientes em blocos digitais. Para alcançar este objetivo, serão descritos e caracterizados os circuitos digitais a serem estudados. A descrição de circuitos é muito utilizada para se possuir informações sobre sua arquitetura, tecnologia de fabricação, dimensões físicas, parâmetros elétricos, dentre outras características relevantes. Por sua vez, a caracterização dos circuitos consistirá na realização de uma série de testes elétricos e funcionais, com o objetivo de obter um conjunto de dados que represente o comportamento do circuito em diferentes situações de contorno.

Com isso, foram analisados diferentes blocos digitais: NAND, NOR e inversor, além dos circuitos que são formados por esses blocos, a AOI, a ser estudada neste trabalho para se possuir um maior entendimento e aprofundamento sobre os efeitos com diferentes topologias dos arranjos de transistores. Em seguida, foi construído um oscilador em anel, com n diferentes inversores, que é uma estrutura de caracterização largamente usada para a análise do comportamento de tecnologias frente a esses e outros efeitos. Eles permitem uma avaliação mais precisa e abrangente do comportamento, sendo assim, uma importante ferramenta para o desenvolvimento e validação de novas técnicas e soluções na área de projeto de circuitos eletrônicos.

Após, foi escolhido um modelo de envelhecimento e do SET, apresentados nas seções 3.2 e 4.2, para que seja possível implementar a caracterização dos circuitos estudados sob essas duas situações distintas. O objetivo dos testes é avaliar possíveis diferenças que possam surgir nas situações de contorno enfrentadas pelos blocos lógicos. Cada modelo de teste apresenta características e requisitos específicos, e a escolha do modelo mais apropriado depende do tipo de componente eletrônico, ambiente de aplicação e dos objetivos da pesquisa, como os parâmetros específicos para a simulação do SET em cada tipo de tecnologia.

Em seguida, foi realizado o teste que visa analisar o comportamento individual de cada modelo em um circuito considerado GOLD, ou seja, sem nenhum tipo de intervenção. Após, foi combinado os modelos de envelhecimento e SET utilizados nos testes anteriores para avaliar os efeitos em conjunto desses dois fatores no desempenho dos blocos lógicos. Esse teste permitirá uma análise mais completa dos efeitos desses fatores nos circuitos, possibilitando uma melhor compreensão de como eles interagem e afetam o desempenho dos componentes eletrônicos.

Para a simulação dos circuitos digitais testados, optou-se pela utilização do software de simulação NGSpice devido ao fato de ser *open-source* e a capacidade de gerar gráficos

e relatórios de análise de desempenho. Inicialmente, foram desenvolvidos *netlists* dos circuitos, tanto os blocos lógicos quanto do Oscilador em Anel (OA), com n inversores diferentes.

Com a caracterização dos circuitos, foram gerados gráficos que permitem uma análise mais detalhada do comportamento do sistema em diferentes condições. A comparação dos circuitos foi feita observando o *delay*, o tempo que um sinal leva para atravessar o circuito, o tempo de transição de um valor lógico, a frequência do circuito, e quando implementado o SET, o valor de carga mínima para que ocorra uma transição temporária no circuito. Esses parâmetros indicam variações no desempenho e eficiência dos circuitos digitais.

Por fim, foram comparados os resultados obtidos a partir do desempenho de circuitos digitais submetidos a envelhecimento e SET, visando identificar possíveis diferenças causadas por esses fatores. Essas informações serão valiosas para o desenvolvimento de sistemas mais robustos e resistentes aos desgastes e interferências externas, possibilitando uma avaliação mais completa do desempenho do sistema em diferentes cenários. A caracterização dos circuitos, gerando gráficos do circuito e permitindo uma análise mais detalhada do comportamento do sistema em diferentes condições.

5.1 Parâmetros da Simulação

Para a realização dos testes de simulação no NGSpice, foram empregados transistores da tecnologia de 32nm. A fonte de alimentação aplicada durante todos os testes foi mantida constante a 0,9V. Além disso, todas as simulações foram executadas com temperatura de 25°C. Esses parâmetros foram uniformemente empregados ao longo de todas as análises realizadas, estabelecendo uma base para avaliar os impactos do envelhecimento e da radiação nos transistores e nos circuitos como um todo.

5.1.1 Transistores

Os transistores foram configurados com especificações distintas para pMOS e nMOS. Os transistores pMOS foram definidos com uma largura (W) de 200n, enquanto os nMOS tiveram sua largura fixada em 100n. Essa escolha baseou-se na prática comum de manter uma proporção de 2 para 1 entre as larguras dos transistores, proporcionando equilíbrio na operação do circuito. Essa relação foi adotada para otimizar o desempenho da porta lógica, considerando as características específicas de cada tipo de transistor.

5.1.2 Modelo SET

Conforme abordado na seção 4.2, a tecnologia usada viabiliza a simulação de uma fonte de corrente de dupla exponencial, com um intervalo de tempo ($t_{d2} - t_{d1}$) estabelecido

em 15 ps. Além disso, os parâmetros τ_1 e τ_2 foram fixados em 2 ps e 4 ps, respectivamente. Essa configuração possibilita a introdução de uma falha transiente na saída de circuitos digitais por meio da formulação exponencial no SPICE.

Para realizar isso, bastou substituir os valores na fórmula geral da exponencial que se encontra no manual do NGSpice, conforme a equação 4. Nesse contexto, utilizou-se o valor de $I2$, mantendo $I1$ igual a zero para simular uma transição de quando o nível lógico da saída é baixo, e ao contrário para quando ele é alto.

$$\text{EXP}(I1 I2 td1 \tau_1 td2 \tau_2) \quad (4)$$

Na análise do SET, foram verificadas tanto a corrente necessária para a transição do circuito do nível lógico baixo para o alto quanto do alto para o baixo. Para a transição do nível lógico baixo para o alto, é necessário injetar uma corrente positiva no circuito. Já para a transição do nível lógico alto para o baixo, é necessária uma corrente negativa para que o SET ocorra. Nos resultados, há sempre uma coluna com o nome "positivo", que representa a corrente positiva necessária para que haja um SET do nível lógico baixo para o alto, e uma coluna com "negativo", que é a corrente necessária para que o SET ocorra do nível lógico alto para o baixo. Além disso, é importante ressaltar que os resultados das correntes são todos em uA. Para validar a ocorrência de um SET em todos os circuitos analisados, foi examinada a saída do sinal sempre no final do circuito. Se houvesse uma excursão de sinal superior a 50% do valor, ou seja, maior que 450mV, ou menor que 450mV para a corrente negativa, considerava-se que ocorreu um SET.

5.1.2.1 SET nas portas lógicas

A análise SET nas portas lógicas foi conduzida com uma abordagem de variação incremental de 5 unidades nos valores, uma vez que não se observa uma diferença significativa ao utilizar variações de 1 unidade. Além disso, enquanto as portas lógicas foram verificadas isoladamente para o BTI, pois é apenas necessário saber o sinal de entrada e saída da porta, a análise do SET requer a presença de um circuito como carga para sua análise, pois queremos ver como o SET ocorrendo na saída da porta lógica afeta os demais. Com isso, foi adicionado o circuito Fan-out, e foram realizados testes tanto com um Fan-out-of-1 (FoF1) quanto com um Fan-out-of-4 (FoF4).

Os circuitos Fan-out foram construídos utilizando a porta lógica inversora construída neste trabalho, nos quais foram adicionados 3 inversores em série após a porta lógica a ser estudada. Os circuitos FoF1 apresentam as mesmas características elétricas conforme o que é detalhado em 5.1. No entanto, os FoF4 possuem uma largura quatro vezes maior do que a dos transistores analisados, ou seja, apresentam uma largura de 800n para o pMOS e 400n para o nMOS.

Para avaliar a ocorrência de um SET, considerou-se o resultado da saída do último inversor do FoF, conforme mencionado em 5.1.2. Assim, é possível afirmar que o SET que ocorreu na porta lógica analisada será suficiente para afetar os demais circuitos.

5.1.2.2 SET nos OAs

Ao contrário das portas lógicas, foi notada uma diferença significativa na variação de 5 unidades nos valores para o OA. Portanto, optou-se pela abordagem de variação de 1 unidade, uma vez que o OA é um circuito retroalimentado. Considerando que o OA não é uma porta lógica isolada, mas sim um conjunto delas, definiu-se que o SET ocorresse na segunda porta inversora, pois todos os OAs estudados neste trabalho apresentavam esse inversor. Com isso, não foi necessário incorporar outro circuito para analisar os efeitos do SET.

Dessa forma, para confirmar a ocorrência de um SET, foi analisado o resultado obtido pela saída do primeiro inversor. Era necessário que a corrente injetada na saída do inversor 2 se propagasse por todo oscilador e fosse observada na saída do primeiro inversor, entrada do inversor 2. Com isso, é preciso que, ao afetar a entrada do inversor 2, isso influencie novamente a saída, sendo considerado um SET apenas quando for maior que 50% da fonte, ou seja, mais que 450mV.

5.1.3 Modelo BTI

Para uma análise abrangente dos efeitos de envelhecimento no transistor, foi integrado um único modelo que engloba o fenômeno de degradação do V_{th} , como é falado em 3.2. Esse modelo inclui a introdução de uma fonte de tensão na porta dos transistores pMOS e nMOS.

5.1.4 Portas Lógicas

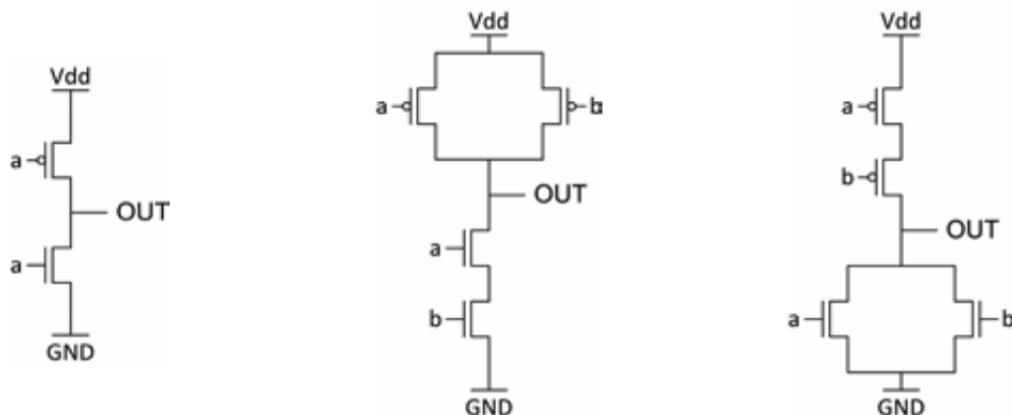
Para conduzir os testes, foram criados três tipos de portas lógicas: um inversor, uma porta NAND e uma porta NOR, como mostra na Figura 11. Além disso, foi construído uma AOI, que é uma combinação das portas AND, OR e inversor. Ela pode ser construída de dois modos diferentes, como mostrado nas equações a seguir 5 e 6.

$$\overline{(AB)C} \quad (5)$$

$$\overline{(\overline{A} + \overline{B})C} \quad (6)$$

Nesse trabalho será utilizado o AOI-1, sendo o circuito representado pela equação booleana 5 e a AOI-2 por esse 6. O desenho dessas portas é apresentado na Figura 12.

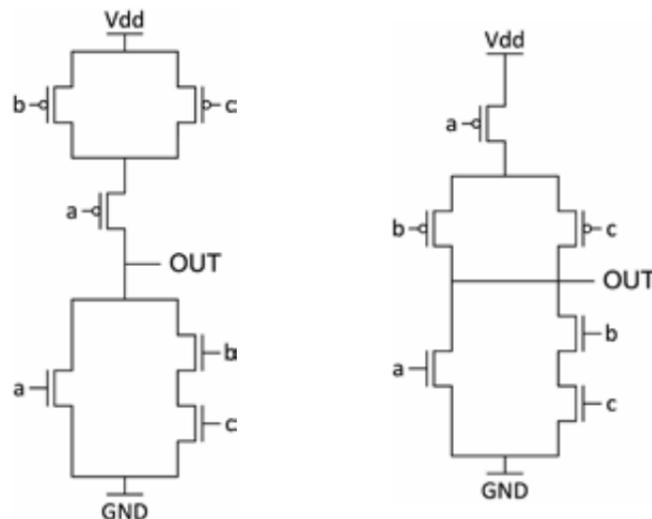
Figura 11 – Inversor, NAND e NOR respectivamente.



Fonte: (BUTZEN, 2012).

Para estes circuitos, foram conduzidas simulações de envelhecimento, seguindo o mesmo procedimento adotado nos demais circuitos. Além disso, realizou-se a análise do SET. Verificou-se a porcentagem de envelhecimento a qual cada porta desse circuito seria submetida. Posteriormente, aplicou-se a tensão que representa essa porcentagem. Dessa forma, é possível examinar o comportamento de cada porta em um cenário mais realista após o envelhecimento.

Figura 12 – AOI-1 e AOI-2 respectivamente.



Fonte: (BUTZEN, 2012).

5.1.4.1 Oscilações das Entradas

Na análise das portas lógicas, foi examinada a oscilação das entradas desses circuitos. Nesse contexto, quando uma entrada oscila, é ela que provoca a transição, resultando em um sinal de saída diferente, enquanto as demais entradas permanecem constantes.

Assim, para a análise, todas as entradas das portas lógicas foram submetidas a oscilação, observando o tempo em que cada entrada está relacionada com a saída da porta lógica em análise.

5.1.4.2 AOI utilizando o modelo analítico de longo prazo

Optou-se por analisar a porta lógica AOI por meio do modelo analítico de longo prazo, apresentado no Capítulo 3.2.1. Essa escolha deve-se à complexidade superior da AOI em comparação com outras portas lógicas. Para realizar essa análise, foi necessário examinar o envelhecimento de cada transistor que compõe a AOI, determinando o tempo em que cada transistor entra em polarização negativa.

Posteriormente, elaborou-se um gráfico para visualizar os valores correspondentes a diferentes porcentagens de envelhecimento. A equação utilizada, conforme descrita no Capítulo 3.2.1, incorporou a probabilidade do transistor estar em polarização negativa como valor de TSP. Os parâmetros utilizados foram de A igual a $3,9 \times 10^{-3}$ e n igual a $1/6$ para a topologia de 65nm, uma vez que valores específicos para a topologia de 32nm, empregada neste estudo, não foram encontrados.

Em seguida, procedeu-se à análise de todos os parâmetros estudados nas demais portas lógicas. Além disso, investigou-se o efeito do envelhecimento no SET, considerando tanto o *Fan-out* de 1 (FoF1) quanto o *Fan-out* de 4 (FoF4) com esse tipo de degradação.

5.1.5 Oscilador em Anel

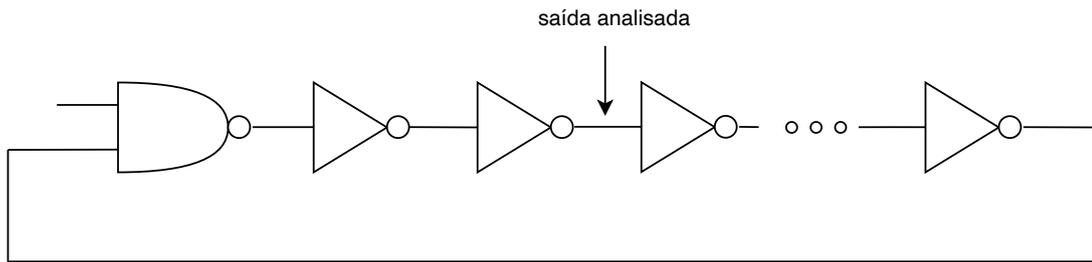
Para a realização das simulações com o oscilador em anel foram construídos 6 osciladores com diferentes número de inversores, especificamente com 3, 5, 7, 11, 13 e 17 portas inversoras. Todas as medidas foram realizadas no mesmo ponto do oscilador, sendo feitas na saída do segundo inversor após a NAND como mostra na figura 13. Essa é a porta analisada por ser uma porta que existe em todos os osciladores construídos.

Para que o oscilador oscile, é injetado um pulso na entrada da NAND que não está ligada ao oscilador. Dessa forma, o oscilador inicia o processo de oscilação por todo o circuito.

5.1.5.1 Oscilador em Anel com BTI

Inicialmente, as medições foram realizadas nos osciladores em seu estado inicial, também conhecido como estado *gold*, onde não foi aplicado nenhum envelhecimento ou evento único transiente. Foram obtidas medidas do período do oscilador, bem como dos tempos em que ele permanece no estado lógico alto e lógico baixo. Além disso, o tempo necessário para a transição do estado lógico baixo para o alto e vice-versa também foi registrado.

Figura 13 – Oscilador em Anel.



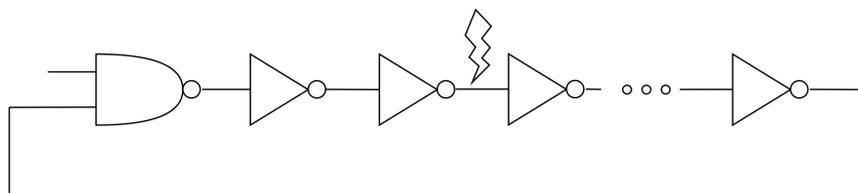
Fonte: A autora.

Posteriormente, o modelo de envelhecimento foi incorporado aos osciladores, conforme detalhado na seção 3.2. Para a simulação da fonte de tensão do modelo, foram aplicados valores de 10mV, 20mV, 40mV, 80mV e 160mV. Para cada um desses valores, foram analisados o período do oscilador, os tempos nos estados lógicos alto e baixo, bem como os tempos de transição entre esses estados.

5.1.5.2 Oscilador em Anel com SET

A simulação do Single-Event Transient (SET) foi especificamente realizada no oscilador composto por 17 e 13 inversores. Nesse contexto, foi inserida uma falha na saída do segundo inversor, conforme apresentado na Figura 14. Foi simulado um evento de SET tanto na versão original do oscilador quanto na presença do envelhecimento.

Figura 14 – Oscilador em Anel com SET.



Fonte: A autora.

Por fim, a combinação dos modelos de envelhecimento e SET foi aplicada aos osciladores, conforme discutido na seção 5.1.3. Os parâmetros das fontes de corrente e tensão foram mantidos consistentes com os modelos individuais, e o mesmo conjunto de medições foi realizado. Essa abordagem permitiu uma avaliação completa dos efeitos do envelhecimento e da radiação nos osciladores, considerando diferentes cenários de degradação e suas interações.

6 Resultados

Durante o desenvolvimento deste projeto, foram criados blocos digitais básicos com o objetivo de garantir a reutilização dos componentes em outros circuitos e aprimorar a eficiência do processo de desenvolvimento. Esses blocos foram especialmente projetados para facilitar a integração em outros componentes, visando garantir a eficácia e qualidade do projeto. Além disso, sua criação teve como intuito possibilitar futuras comparações para análise dos efeitos do BTI e do SET nos circuitos, contribuindo para uma melhor compreensão e avaliação do desempenho desses componentes ao longo do tempo.

6.1 Portas Lógicas

Nesta seção, serão abordados os resultados das portas lógicas desenvolvidas para analisar os fenômenos BTI e SET.

6.1.1 Inversor

A função inversora é responsável por inverter ou complementar o estado da variável. Dessa forma, quando a variável está em 0, a saída será 1 (CAPUANO; IDOETA, 2014). A partir dessa funcionalidade, é possível gerar a tabela 1. Com isso, é possível afirmar que a porta lógica criada, Figura 15, se comporta como previsto na tabela verdade.

6.1.2 NAND

A porta NAND é responsável por realizar a operação de negação conjunta, ou seja, a saída é 0 somente quando todas as entradas são 1, caso contrário, a saída é 1 (CAPUANO; IDOETA, 2014). Com base nessa funcionalidade, é possível gerar a tabela verdade apresentada na Tabela 2.

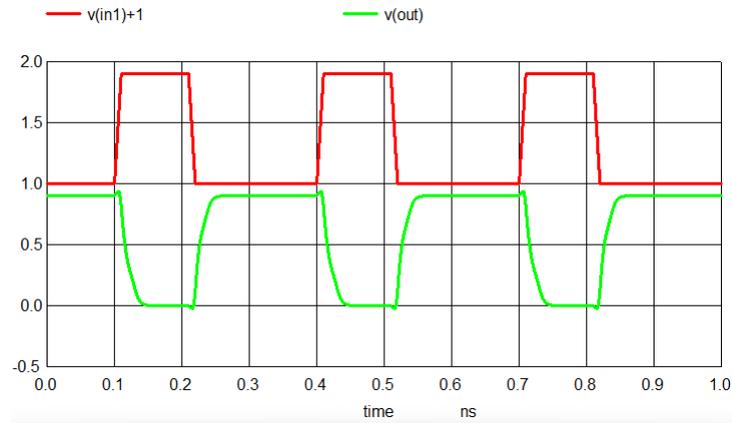
Ao analisar a saída do circuito na Figura 16, é possível perceber uma pequena variação na forma de uma queda seguida de uma subida, ambas ocorrendo em nanossegundos. Essa oscilação é comum em circuitos digitais, que são bastante sensíveis aos tempos de

Tabela 1 – Tabela Verdade do circuito inversor.

In	Out
0	1
1	0

Fonte: A autora.

Figura 15 – Saída do circuito Inversor (Autora).



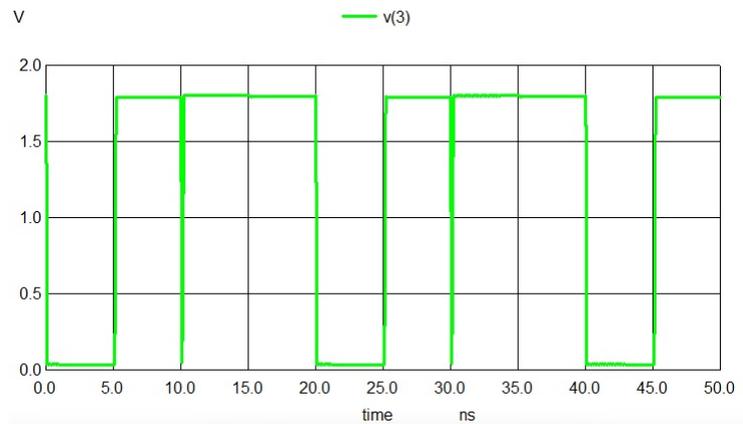
Fonte: A autora.

Tabela 2 – Tabela Verdade do circuito NAND.

A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

Fonte: A autora.

Figura 16 – Saída da NAND.



Fonte: A autora.

transição do sinal de entrada. Nesse caso, a variação ocorreu devido ao uso de frequências diferentes na operação, o que causou instabilidades na saída do circuito.

Além disso, é importante considerar que os circuitos digitais apresentam atrasos nas saídas, o que significa que os resultados podem não ser precisos nos primeiros nanossegundos após a mudança de entrada. Apesar dessas oscilações, é possível verificar que a porta

NAND está conduzindo adequadamente, produzindo saídas coerentes com as entradas fornecidas.

6.1.3 NOR

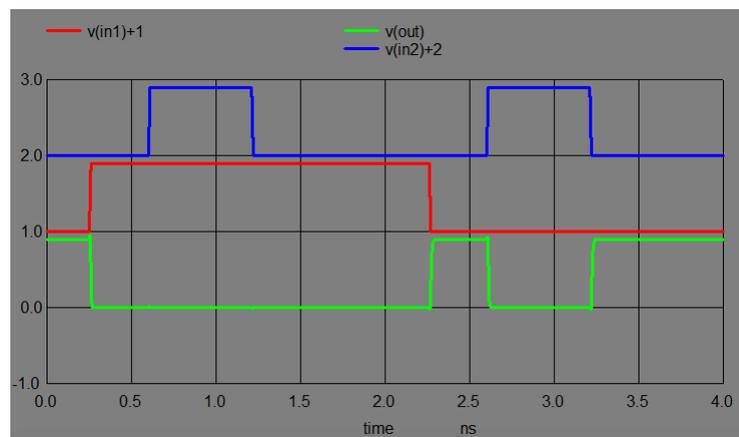
A porta NOR assume o valor 1 apenas quando ambas as entradas possuem o valor zero, caso contrário, a saída será zero (CAPUANO; IDOETA, 2014). Com base nessa característica, podemos gerar a seguinte tabela verdade:

Tabela 3 – Tabela Verdade do circuito NOR.

A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

Fonte: A autora.

Figura 17 – Saída da NOR.



Fonte: A autora.

Na Figura 17, temos que o sinal vermelho é a entrada 1 e o sinal azul é a entrada 2. Já o sinal verde, corresponde a saída da porta lógica. Ao analisar a Figura 17 e a Tabela 3, é possível afirmar que a porta lógica construída obedece a tabela verdade da NOR.

6.1.4 AOI

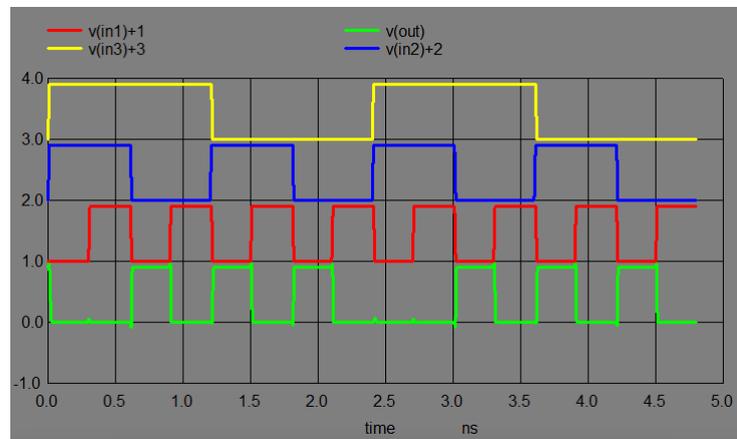
A AOI (AND-OR-inverter) é um circuito que contém uma porta AND e uma NOR, sua lógica é comparada a uma lógica usando NAND seguida de uma NOR. Com isso é possível gerar a Tabela 19, e as Figuras 18 e 19.

Tabela 4 – Tabela Verdade do circuito AOI.

A	B	C	Out
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Fonte: A autora.

Figura 18 – Saída da AOI-1.



Fonte: A autora.

6.1.5 Análise das Portas Lógicas

Para analisar as portas lógicas, foi observado o intervalo em que a entrada vai de 45% a 100%, refletindo na saída de 45% a 100%. Durante a subida da entrada, foi observada a queda na saída, e vice-versa. Essa análise visa compreender o tempo necessário para a transição da saída em resposta às variações da entrada.

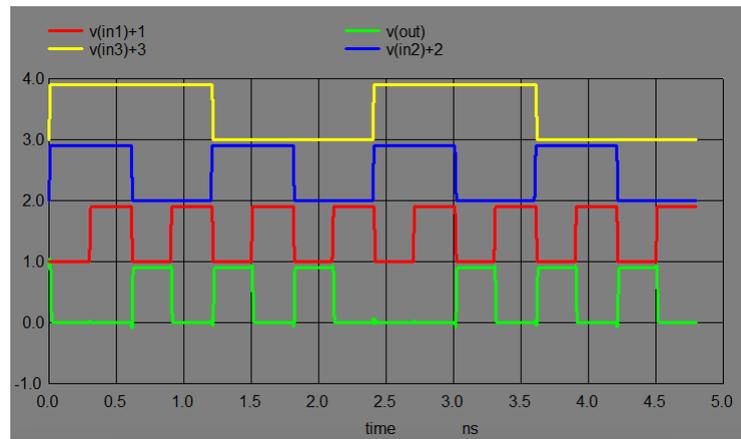
Adicionalmente, examinamos o tempo em que a saída se situa entre 80% e 20%, uma área considerada de indeterminação, ou seja, nem sinal alto nem baixo. Da mesma forma, analisamos o tempo de descida de 20% a 80%.

6.1.5.1 Portas lógicas em seu estado Gold

Antes de aplicar qualquer um dos modelos a serem estudados nesse trabalho foi analisado as portas lógicas em seu estado Gold. Os resultados obtidos foram a Tabela 5.

Como explicado 6.1.5, foi observado a transição da entrada de nível lógico baixo para alto e a saída de alto para baixo, que está representada na coluna *High/Low*. Já na

Figura 19 – Saída da AOI-2.



Fonte: A autora.

Tabela 5 – Resultado das portas lógicas desenvolvidas em seu estado Gold.

Porta Lógica	High/Low (ps)	Low/High (ps)	Descida (ps)	Subida (ps)
Inversor	2,603	2,726	2,275	2,741
NAND (In 1)	4,568	6,052	2,265	4,538
NAND (In 2)	3,265	4,329	3,038	3,368
NOR (In 1)	3,489	4,704	2,629	4,252
NOR (In 2)	4,796	6,499	3,456	3,666
AOI-1 (In 1)	3,361	3,593	2,624	3,300
AOI-1 (In 2)	6,561	5,984	4,907	3,175
AOI-1 (In 3)	7,149	6,513	4,907	3,656
AOI-2 (In 1)	5,113	5,764	3,599	3,410
AOI-2 (In 2)	5,902	5,158	4,355	4,204
AOI-2 (In 3)	6,497	5,641	4,178	4,617

Fonte: A autora.

coluna *Low/High* há os resultados da variação do sinal de entrada de alto para baixo e a saída de baixo para alto. Já a coluna de descida apresenta os resultados do tempo em que a saída se encontrou entre 80% e 20%, e o de Subida, assim como o tempo de descida, de 20% a 80%. Quando a entrada avaliada possui mais de um arco de atraso (definido pela condição estática dos outros sinais de entrada), o arco de pior atraso é considerado.

Ao verificar a Tabela 5 é possível observar que o Inversor possui valores de *High/Low* e *Low/High* similares, como também no tempo de descida e subida. Já a NAND, apresentou um tempo de *High/Low* quanto o *Low/High*, mais baixos na entrada 2. Já o inverso acontece na NOR. O tempo de descida em ambos os casos foi maior na entrada 2, contudo o de subida foi maior na entrada 1.

As AOIs não possuíram um comportamento parecido em todos nos parâmetros *Low/High* e Descida. Nesse, a AOI-1 obteve um valor menor na entrada 1, seguido pela 2 e 3. Já a AOI-2 teve um valor menor na entrada 2, seguido pela 1, e sendo a entrada 3 a

maior. A descida teve um tempo menor na entrada 1 de ambas AOIs. A AOI-1 obteve o mesmo valor na entrada 2 e 3, já a AOI-2 teve um valor maior na entrada 2 que na entrada 3.

Para o *High/Low* das AOs, obteve-se um menor valor nas entradas 1 e o maior na entrada 3. Já a subida, foi verificado o menor na entrada 2 e o maior valor na entrada 3.

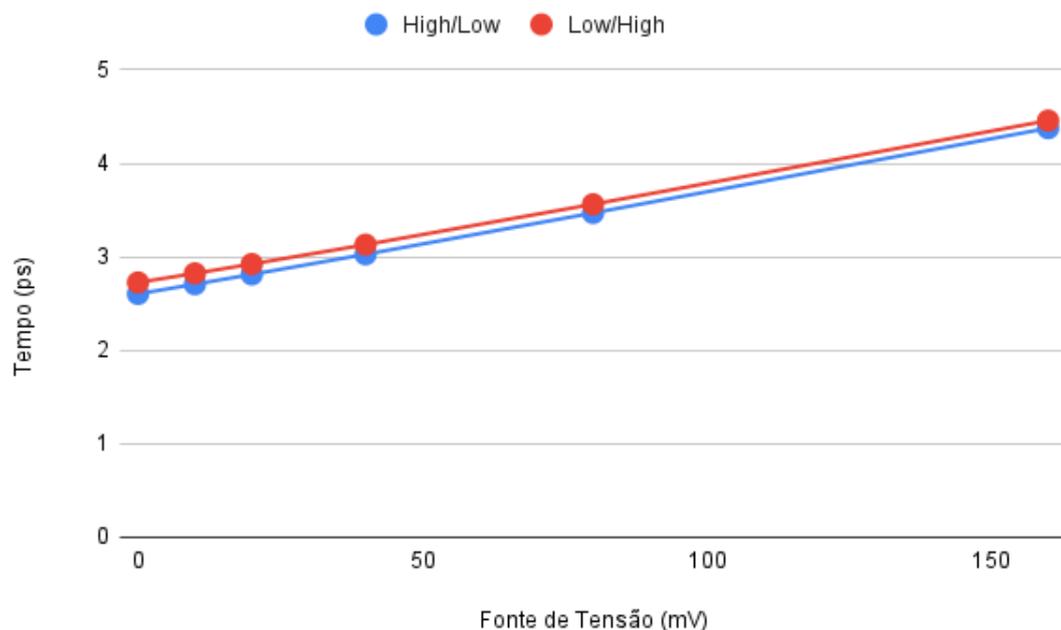
6.1.6 BTI nas portas lógicas

Para analisar o BTI das portas lógicas foi adicionado o modelo de envelhecimento nos transistores, descrito em 3.2. Para cada transistor foi adicionado a fonte de tensão em cada transistor tanto PMOS quanto NMOS.

6.1.6.1 Análise da transição do nível lógico da entrada em relação à saída

Nesta seção, serão apresentados os resultados referentes ao tempo necessário para a mudança do sinal de saída do sistema em resposta a alterações em cada entrada, tanto de um estado lógico baixo para alto quanto de um estado lógico alto para baixo. É possível observar esses resultados tanto nas Figuras 20, 21, 22, 23 e 24, quanto em forma de tabela nos Apêndices A ao E.

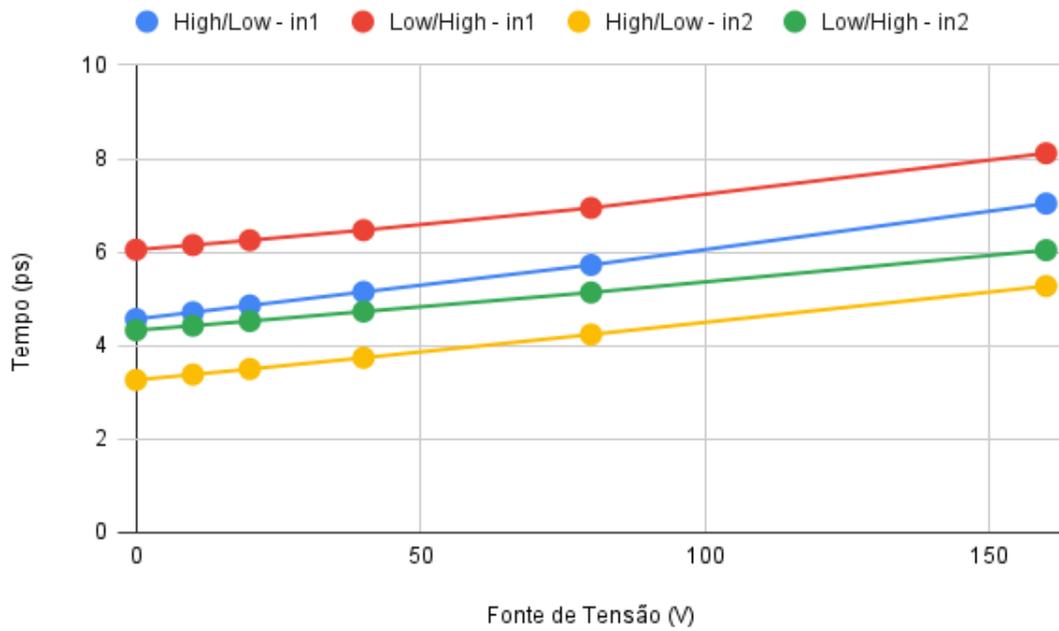
Figura 20 – Análise do tempo necessário para que o inversor alterne o sinal de saída em seu ponto ótimo, utilizando o modelo de envelhecimento.



Fonte: A autora.

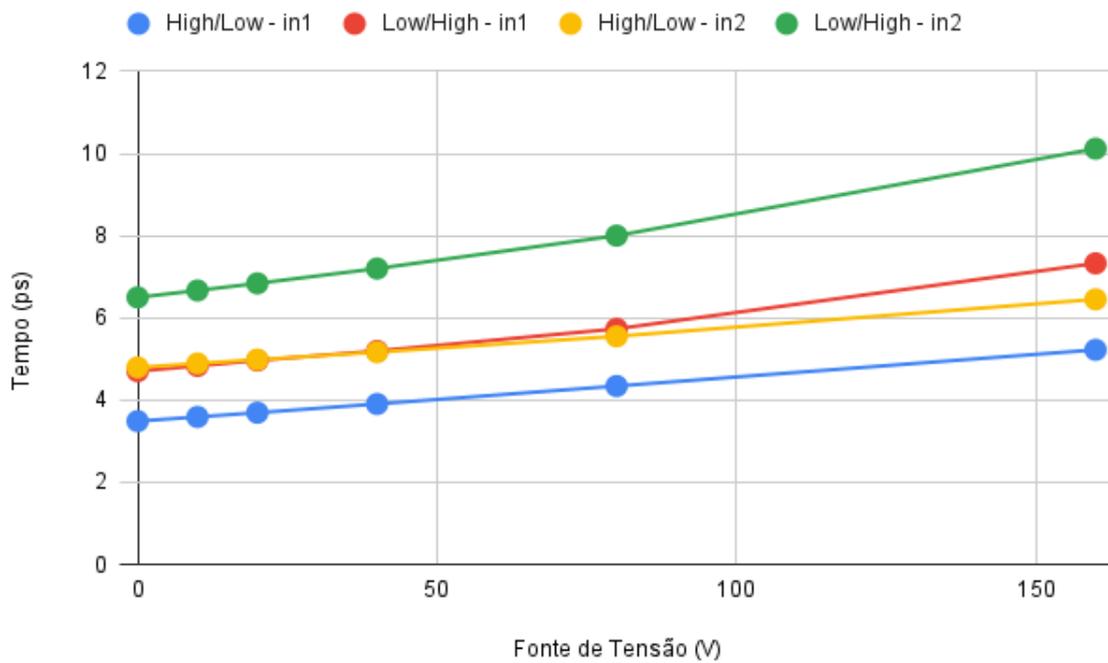
Ambas as figuras exibem uma curva de segundo grau, indicando uma evolução semelhante à medida que a fonte de tensão é aumentada. Isso sugere que, à medida

Figura 21 – Análise do tempo necessário para que a NAND altere o sinal de saída em seu ponto ótimo, utilizando o modelo de envelhecimento.



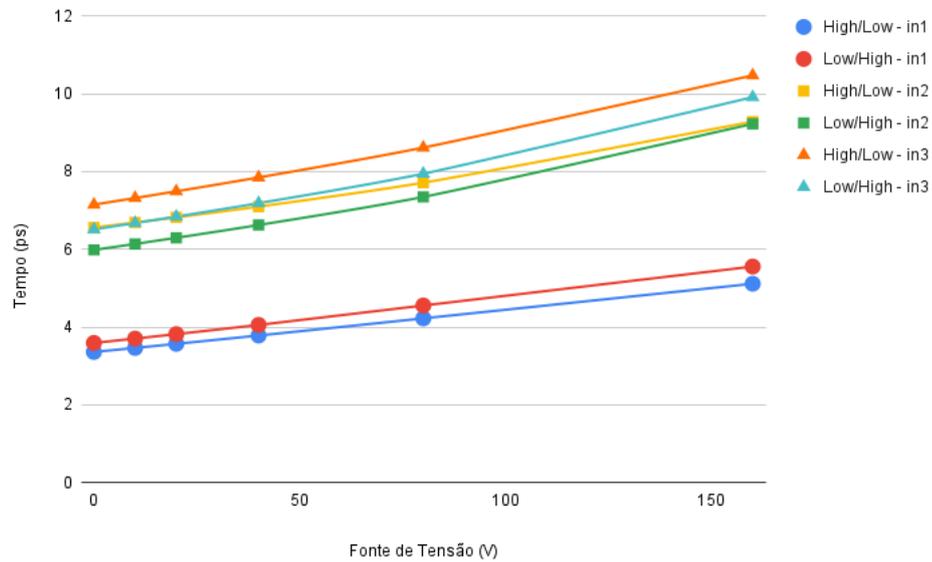
Fonte: A autora.

Figura 22 – Análise do tempo necessário para que a NOR altere o sinal de saída em seu ponto ótimo, utilizando o modelo de envelhecimento.



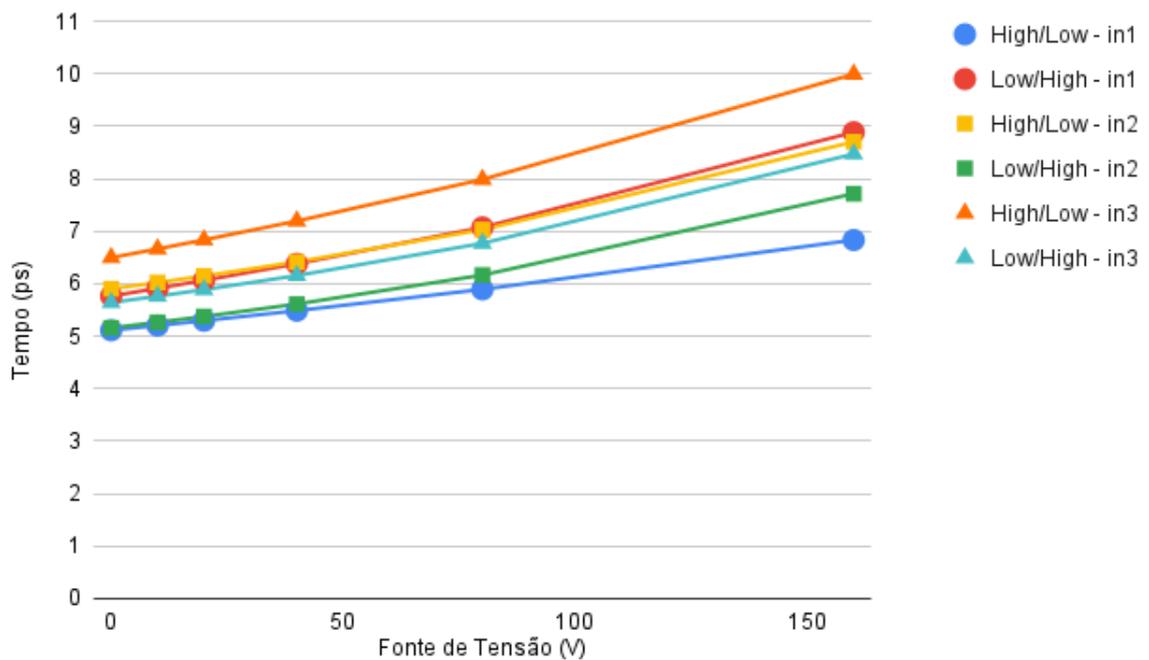
Fonte: A autora.

Figura 23 – Análise do tempo necessário para que a AOI-1 alterne o sinal de saída em seu ponto ótimo, utilizando o modelo de envelhecimento.



Fonte: A autora.

Figura 24 – Análise do tempo necessário para que a AOI-2 alterne o sinal de saída em seu ponto ótimo, utilizando o modelo de envelhecimento.



Fonte: A autora.

que o transistor envelhece, há um aumento no tempo de transição da entrada para a saída. Apesar da aparente degradação linear no inversor, ao observar os pontos finais, especialmente quando a fonte de tensão atinge 160mV, percebe-se que eles estão mais próximos em comparação ao estado inicial, representado pelo zero no eixo x, mostrando que não é um crescimento linear.

Na Figura da NAND, é evidente a forma exponencial, com linhas que se afastam ao longo do tempo. Por exemplo, as linhas verde e azul começam próximas, mas no final apresentam uma diferença de cerca de 1ps. Além disso, as linhas vermelha e azul, assim como a verde e amarela, começam afastadas e convergem à medida que a fonte aumenta. Isso sugere que diferentes associações de transistores impactam de maneira distinta na degradação do atraso.

Já na NOR, as linhas amarela e vermelha partem do mesmo ponto, mas a vermelha cresce mais rapidamente, indicando uma tendência exponencial. Além disso, ao comparar as inclinações das curvas High/Low e Low/High da mesma entrada, nota-se que elas diferem, corroborando para a sugestão de que a associação dos transistores afeta a degradação do atraso de forma variada.

A forma exponencial é mais evidente em portas lógicas com mais transistores, como nas AOIs. Na AOI-2, observa-se claramente um comportamento exponencial da degradação. Isso reforça a conclusão de que o tempo de transição entre a entrada e saída é impactado pelo BTI, com variações notáveis dentro da mesma porta lógica e suas entradas, devido à sua estrutura interna.

6.1.6.2 Análise do tempo de transição do sinal da saída

Como explicado anteriormente, foi verificado tempo em que a saída alcança dos 20% até os 80% que são considerados uma área de indeterminação, ou seja, não sendo nem um sinal alto nem baixo, como também o tempo de descida de 80% até os 20%. Os resultados desses dados estão nas Tabelas 6, 7, 8, 9 e 10.

Tabela 6 – Resultado da variação na entrada do inversor mediante a alteração da fonte de tensão que simula o envelhecimento.

Fonte (mV)	Descida (ps)	Subida (ps)
Gold	2,275	2,741
10	2,269	2,748
20	2,261	2,751
40	2,242	2,750
80	2,198	2,728
160	2,082	2,594

Fonte: A autora.

Tabela 7 – Tempo requerido para a mudança de estado na saída da porta lógica NAND, tendo fontes de tensão que simulam o envelhecimento.

Fonte (mV)	In 1 (oscilando)		In 2 (oscilando)	
	Descida (ps)	Subida (ps)	Descida (ps)	Subida (ps)
Gold	2,265	4,538	3,038	3,368
10	2,262	4,553	3,039	3,371
20	2,263	4,573	3,040	3,374
40	2,276	4,631	2,999	3,385
80	2,353	4,828	2,930	3,447
160	2,840	5,731	3,062	3,894

Fonte: A autora.

Tabela 8 – Tempo requerido para a mudança de estado na saída da porta lógica NOR, tendo fontes de tensão que simulam o envelhecimento.

Fonte (mV)	In 1 (oscilando)		In 2 (oscilando)	
	Descida (ps)	Subida (ps)	Descida (ps)	Subida (ps)
Gold	2,629	4,252	3,456	3,666
10	2,623	4,271	3,444	3,720
20	2,617	4,294	3,435	3,786
40	2,585	4,356	3,426	3,945
80	2,519	4,576	3,460	4,375
160	2,571	5,721	3,816	5,857

Fonte: A autora.

Tabela 9 – Tempo requerido para a mudança de estado na saída da porta lógica AOI-1, tendo fontes de tensão que simulam o envelhecimento.

Fonte (mV)	In 1 (oscilando)		In 2 (oscilando)		In 3 (oscilando)	
	Descida (ps)	Subida (ps)	Descida (ps)	Subida (ps)	Descida (ps)	Subida (ps)
Gold	2,624	3,300	4,907	3,175	4,907	3,657
10	2,616	3,280	4,942	3,202	4,942	3,684
20	2,607	3,261	4,981	3,235	4,981	3,724
40	2,585	3,225	5,071	3,337	5,071	3,831
80	2,493	3,183	5,310	3,646	5,310	4,139
160	2,493	3,405	6,158	4,757	6,158	5,254

Fonte: A autora.

Os dados revelam diferentes padrões de transição entre estados. Na Tabela 8, ao analisar a Subida da entrada 1 (In 1) e da entrada 2 (In 2), observamos um aumento gradual no tempo, como esperado. No entanto, na Descida, em ambas as entradas, nota-se uma aumento crescente, conforme a fonte de tensão diminui, do tempo entre 40mV e o

Tabela 10 – Tempo requerido para a mudança de estado na saída da porta lógica AOI-2, tendo fontes de tensão que simulam o envelhecimento.

Fonte (mV)	In 1 (oscilando)		In 2 (oscilando)		In 3 (oscilando)	
	Descida (ps)	Subida (ps)	Descida (ps)	Subida (ps)	Descida (ps)	Subida (ps)
Gold	3,599	3,410	4,356	4,205	4,179	4,618
10	3,588	3,434	4,389	4,225	4,229	4,638
20	3,581	3,462	4,429	4,249	4,287	4,663
40	3,577	3,539	4,530	4,315	4,461	4,735
80	3,620	3,823	4,831	4,540	4,898	4,987
160	3,996	4,967	6,202	5,738	6,262	6,335

Fonte: A autora.

estado *gold* para a entrada 2 e do tempo entre 80mV e o estado *gold* para a entrada 1. Contudo, quando a fonte de tensão foi de 160mV, teve-se um valor maior que ao de 80mV para ambas as entradas, mas para a entrada 2, o valor obtido nesse campo foi maior que os demais.

Por outro lado, a Tabela 7 mostra uma diminuição entre o estado *gold* e 20mV, em seguida, um aumento no tempo da descida na entrada 1. Já na estrada 2, a descida apresenta um aumento no tempo entre o *gold* e o 20mV, seguida de uma diminuição no tempo entre 40mV e 80mV. Contudo, obteve-se o maior tempo em 160mV. Ao analisar a subida da NAND, ambas as entradas possuem um aumento crescente do tempo conforme a fonte de tensão aumenta.

No caso do inversor (Tabela 6), há uma diminuição no tempo durante a Descida conforme a fonte de tensão aumenta. Em contraste, na Subida, observamos um aumento até 20mV. Em seguida, há uma diminuição do tempo para as demais fontes.

O AOI-1 e AOI-2, apresentaram o mesmo padrão nas entradas 2 e 3, tanto para Descida quanto para a Subida, e na Subida da entrada 1 da AOI-2, um aumento do tempo conforme o aumento da fonte de tensão, como é possível ver os dados nas Tabelas ??, ??, ?? e ??. Para a entrada 1 na AOI-1, obteve-se um valor de Descida decrescente. Já para a AOI-2, houve uma diminuição no tempo entre 40mV e *gold*, seguido de um crescimento do tempo conforme a fonte de tensão cresce. Em relação a Subida da AOI-1, teve-se um tempo decrescente entre *gold* e 80mV, mas obteve-se o maior valor do tempo em 160mV.

6.1.7 SET nas portas lógicas

As Tabelas 11 e 12 apresentam os valores de corrente simulados nas portas lógicas, usando o modelo explicado em 5.1.2, que resultaram em um SET no circuito, ou seja, provocaram uma mudança de estado. A aquisição desses dados utilizou a fórmula apresentada em 5.1.2, e é importante destacar que todos os resultados estão em uA.

Para considerar um evento transitório único, foi analisada a última saída de todos os circuitos, sendo necessário um pico superior a 50% do valor. Como os circuitos possuem um Vdd de 0,9V, uma onda maior que 0,45V foi considerada como indicativa de um SET. Os resultados das formas de onda obtidas podem ser visualizados nos Apêndices M ao Q.

Adicionalmente, nas portas lógicas, foram incorporados *Fan-out-of-1* (FoF1) e *Fan-out-of-4* (FoF4) em suas saídas, sendo a última saída de um *Fan-out* analisada para determinar a ocorrência ou não de um SET. Os circuitos com FoF1 mantiveram o mesmo W apresentado em 5.1. Em contrapartida, os circuitos que possuem FoF4 foram projetados com valores de W iguais a 800n para pMOS e 400n para nMOS. Essa escolha possibilita a observação e análise dos resultados apresentados nas tabelas.

Tabela 11 – SET com a saída FoF1 com W igual aos dos transistores.

	In 1 (uA)		In 2 (uA)		In 3 (uA)	
	Positivo	Negativo	Positivo	Negativo	Positivo	Negativo
Inversor	135	165	-	-	-	-
NAND	90	175	90	175	-	-
NOR	140	90	145	90	-	-
AOI-1	140	120	95	95	95	95
AOI-2	150	120	95	100	145	90

Fonte: A autora.

Tabela 12 – SET com a saída FoF4 com W quatro vezes aos dos transistores.

	In 1		In 2		In 3	
	Positivo	Negativo	Positivo	Negativo	Positivo	Negativo
Inversor	180	205	-	-	-	-
NAND	130	210	130	210	-	-
NOR	180	130	185	130	-	-
AOI-1	185	160	135	135	135	135
AOI-2	190	160	135	140	135	135

Fonte: A autora.

Em ambas as tabelas, observa-se que o Inversor e NAND apresentaram um valor maior para que ocorra um SET na corrente negativa que na positiva. Contrariamente, a porta NOR teve valores para correntes positivas maiores do que para correntes negativas, em ambas as entradas. Isso comprova que o arranjo de transistores e o dimensionamento dos mesmos tem forte impacto na carga necessária para causar uma perturbação na saída.

Analisando as portas AOIs, observa-se um comportamento mais semelhante entre elas. Na entrada 1, ambas apresentam um valor maior para a corrente positiva. Entretanto, na entrada 2, a AOI-1 e a AOI-2 mostram valores iguais, enquanto na entrada 3 há uma

variação significativa. A AOI-1 mantém resultados consistentes em ambas as tabelas (FoF1 e FoF4), enquanto a AOI-2 apresenta uma pequena diferença nos valores de corrente positiva e negativa da entrada 2 e 3.

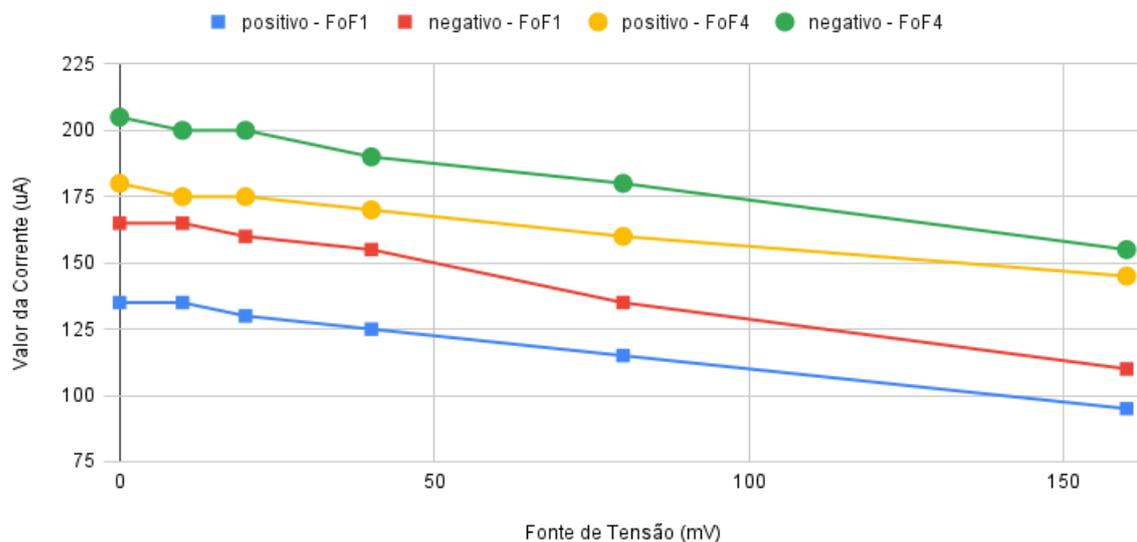
6.1.8 BTI e SET nas portas lógicas

Nessa seção será abordado os dois modelos em conjunto, ou seja, foi adicionado o modelo de BTI em todos os transistores das portas lógicas e o modelo de SET foi aplicado na saída das portas lógicas. É importante ressaltar que os FoF1 e FoF4 não foram envelhecidos por apenas representarem uma carga.

Nas Figuras 25, 26, 27, 28 e 29, os valores da fonte de tensão estão representados no eixo x. O primeiro valor indica o estado Gold, ou seja, quando não há fonte de tensão no circuito (representado no zero do eixo x do gráfico).

O eixo y representa o valor da corrente necessária para causar um SET no circuito. É importante destacar que todas as tabelas apresentam as entradas de sua respectiva porta lógica, assim como os resultados para FoF1 e FoF4.

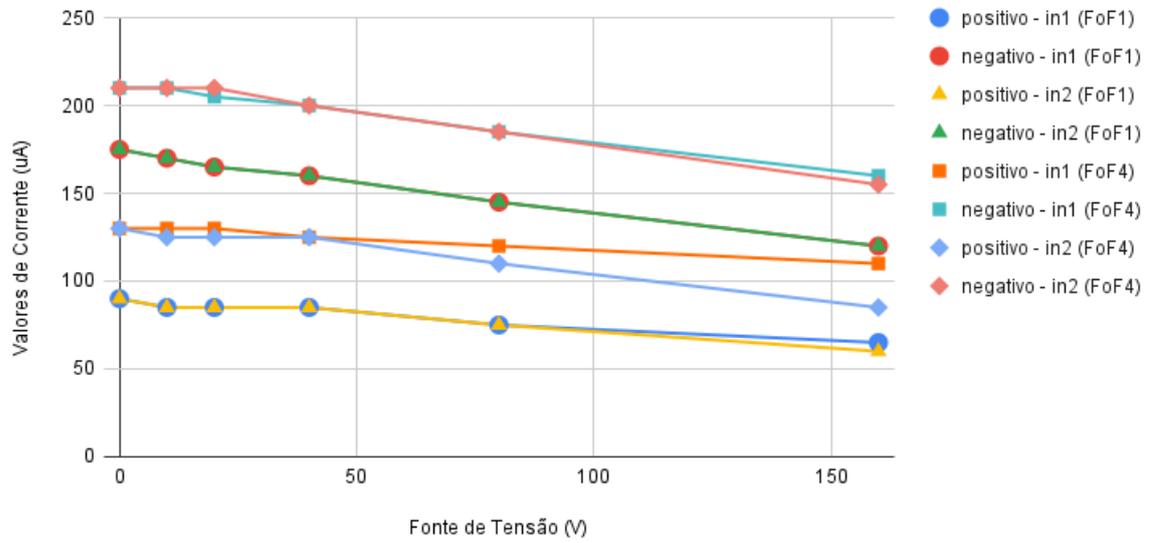
Figura 25 – Inversor com o modelo de BTI e SET.



Fonte: A autora.

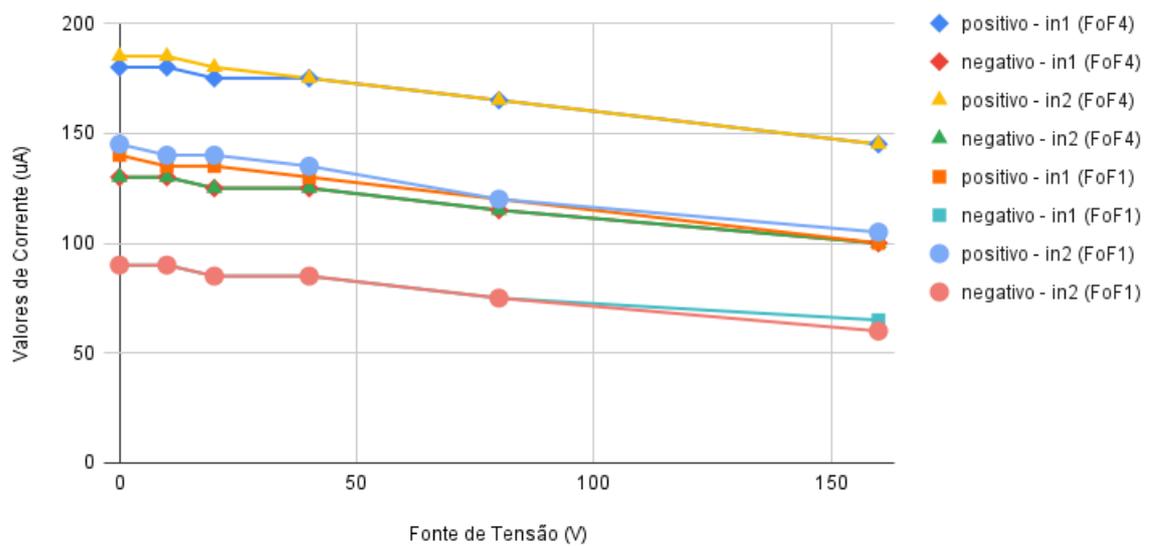
Nota-se de maneira consistente que os valores de FoF4 são superiores aos de FoF1, mesmo com o aumento da fonte de tensão. Isso sugere que uma saída com uma largura (W) maior será mais resistente aos efeitos de SET à medida que o circuito envelhece. Além disso, é possível observar que todas as figuras exibem uma curva que se assemelha a uma exponencial decrescente, tanto pelo afastamento das linhas do gráfico quanto pela sua convergência, independentemente se a saída do sinal é um FoF1 ou FoF4. Isso sugere que

Figura 26 – NAND com o modelo de BTI e SET.



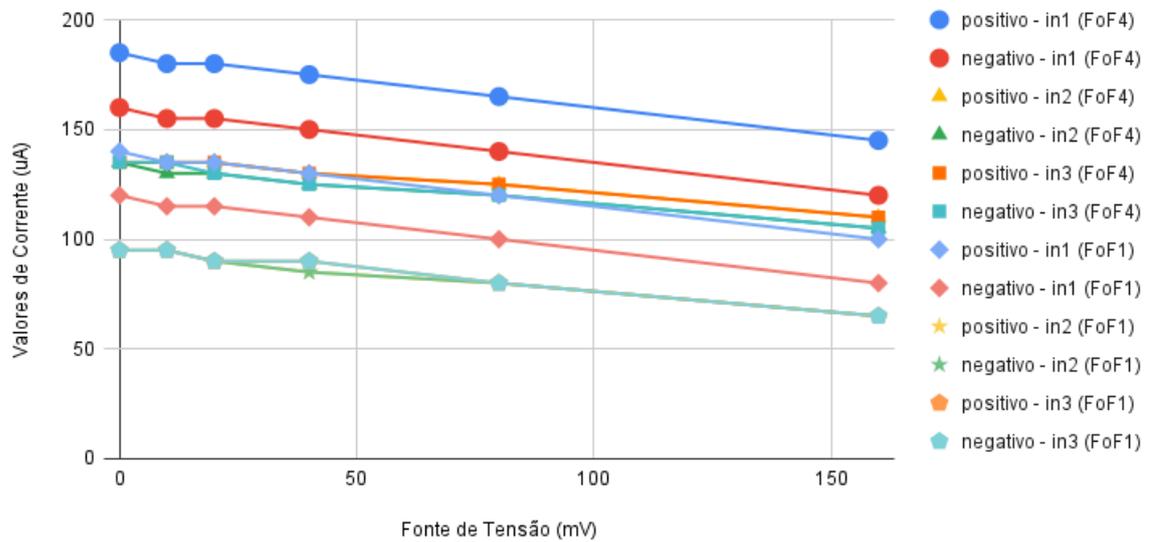
Fonte: A autora.

Figura 27 – NOR com o modelo de BTI e SET.



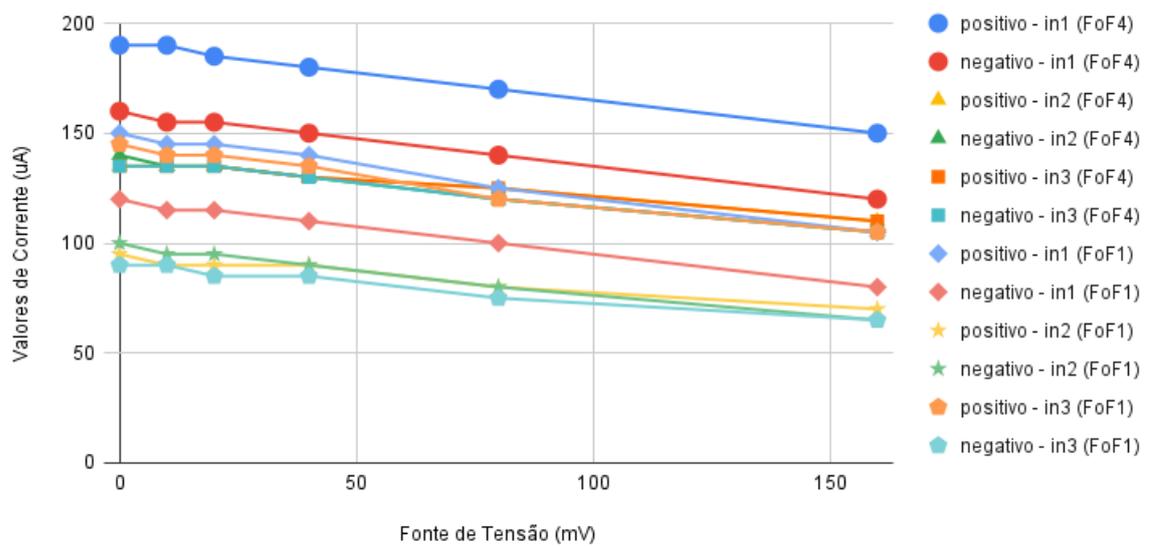
Fonte: A autora.

Figura 28 – AOI-1 com o modelo de BTI e SET.



Fonte: A autora.

Figura 29 – AOI-2 com o modelo de BTI e SET.



Fonte: A autora.

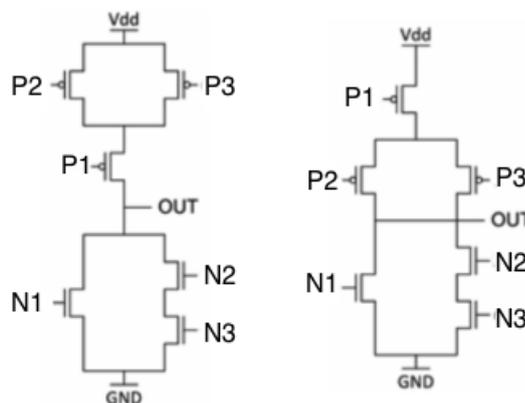
a associação de transistores impacta de forma distinta na degradação do atraso, como observado anteriormente apenas quando há o BTI.

6.1.9 AOI utilizando o modelo analítico de longo prazo

Inicialmente, é essencial avaliar a probabilidade associada a cada porta da AOI para determinar o tempo em que cada transistor permanece em uma polarização negativa para a análise do pMOS e positivo no nMOS. A relação dos nomes de cada porta encontram-se na Figura 30.

Para associarmos o valor da tensão com a probabilidade de cada porta, primeiro criamos o gráfico 31. Nele, o eixo x representa a porcentagem da porta estar conduzindo, enquanto o eixo y indica o nível de degradação. Para gerar esse gráfico, utilizou-se a equação 1. Inicialmente, calculou-se o tempo necessário para que uma porta se degradasse em 100%, considerando que esse ponto corresponde a uma tensão de 160mV. Em seguida, foi determinado a porcentagem do tempo de degradação de cada porta conforme a Tabela 13, o que resultou nos valores de tensão listados na mesma tabela. Dessa forma, ajustando os valores adequados da fonte de tensão para cada transistor, é possível compará-los com os resultados obtidos sem a utilização do modelo analítico.

Figura 30 – Portas das AOIs.

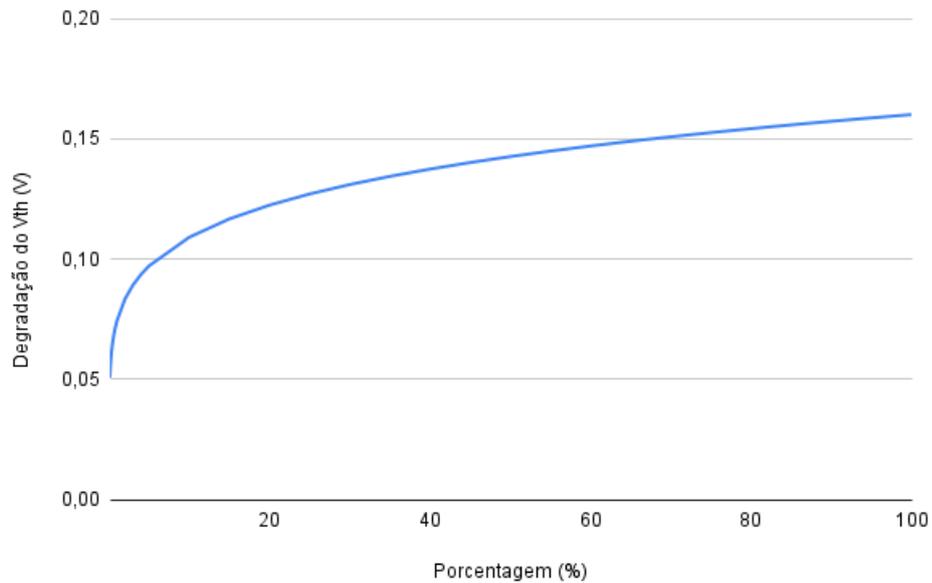


Fonte: A autora.

Para uma melhor comparação entre os resultados obtidos com a degradação proporcional e com apenas as fontes fixas do BTI, foi criada a Tabela 14. Nela, é possível observar os resultados das fontes de tensão de 80mV e 160mV, que são os valores que estão entre os resultados das tensões proporcionais obtidos na Tabela 13. Os demais valores das outras fontes de tensão encontram-se no Apêndice D e E.

Dessa forma, ao comparar os resultados da Tabela 15 com os das Tabelas 14, é evidente que os valores de *High/Low*, *Low/High*, *Subida* e *Descida* do AOI-1 e AOI-2 na Tabela 14 foram valores situados entre os obtidos com fontes de tensão entre 80mV e

Figura 31 – Curva da degradação das portas lógicas utilizando o modelo analítico de longo prazo.



Fonte: A autora.

Tabela 13 – Valores de tensão de cada transistor de acordo com o tempo em que o transistor permanece sob polarização negativa.

Transistor	TSP - AOI-1	Valor da tensão (V)	TSP - AOI-2	Valor da tensão (V)
pmos 1	3/8	0,136	1/2	0,143
pmos 2	1/2	0,143	1/4	0,127
pmos 3	1/2	0,143	1/4	0,127
nmos 1	1/2	0,143	1/2	0,143
nmos 2	1/4	0,127	1/4	0,127
nmos 3	1/2	0,143	1/2	0,143

Fonte: A autora.

160mV, o que é compreensível, já que as fontes de tensão de cada transistor estão nesse intervalo.

Semelhante ao feito anteriormente, foi retirado do Apêndice D e E os valores obtidos com os efeitos de BTI e SET, para as fontes de tensão de 80mV e 160mV, gerando as Tabelas 16 e 17. Ao observar todas as entradas do AOI-1 e do AOI-2, tanto para o FoF1 quanto para o FoF4, é possível analisar que os valores para que ocorra um SET negativo, foram maiores no modelo analítico de longo prazo. Já para um SET positivo, os valores do modelo analítico ficaram dentro da faixa dos resultados obtidos do BTI com todos os transistores com o mesmo valor de fonte de tensão.

Tabela 14 – Resultados da variação da entrada do AOI-1 e AOI-2, com a fonte de tensão de 80mV e 160mV, para simulação do BTI.

	80 mV					
	AOI-1			AOI-2		
	In 1	In 2	In 3	In 1	In 2	In 3
High/Low (ps)	4,225	7,713	8,615	5,425	7,031	7,986
Low/High (ps)	4,556	7,347	7,944	7,494	6,164	6,770
Descida (ps)	2,493	5,310	5,310	3,420	4,831	4,898
Subida (ps)	3,183	3,646	4,139	4,545	4,540	4,987

	160 mV					
	AOI-1			AOI- 2		
	In 1	In 2	In 3	In 1	In 2	In 3
High/Low	5,164	9,284	10,471	6,322	8,702	9,992
Low/High	6,584	9,226	9,912	9,488	7,714	8,471
Descida	2,545	6,128	6,128	3,731	6,202	6,262
Subida	4,536	4,757	5,254	5,957	5,738	6,335

Fonte: A autora.

Tabela 15 – Resultado dos parâmetros dos AOIs com o envelhecimento proporcional.

	AOI-1			AOI-2		
	In 1	In 2	In 3	In 1	In 2	In 3
High/Low	4,993	8,620	9,847	6,154	8,005	9,319
Low/High	6,169	8,690	9,383	8,839	7,074	7,796
Descida	2,512	5,713	5,723	3,663	5,616	5,690
Subida	4,261	4,388	4,908	5,377	5,142	5,736

Fonte: A autora.

Tabela 16 – Valores do SET e BTI obtido para o AOI-1.

	80 mV					
	In 1		In 2		In 3	
	positivo	negativo	positivo	negativo	positivo	negativo
FoF1	120	100	80	80	80	80
FoF4	165	140	125	120	125	120

	160 mV					
	In 1		In 2		In 3	
	positivo	negativo	positivo	negativo	positivo	negativo
FoF1	100	80	65	65	65	65
FoF4	145	120	110	105	110	105

Fonte: A autora.

Tabela 17 – Valores do SET e BTI obtido para o AOI-2.

80 mV						
In 1		In 2		In 3		
	positivo	negativo	positivo	negativo	positivo	negativo
FoF1	125	100	80	80	120	75
FoF4	170	140	125	120	125	120

160 mV						
In 1		In 2		In 3		
	positivo	negativo	positivo	negativo	positivo	negativo
FoF1	105	80	70	65	105	65
FoF4	150	120	110	105	110	105

Fonte: A autora.

Tabela 18 – Valores do SET e BTI (modelo analítico de longo prazo) obtido para as AOIs de acordo com a degradação apresentada na Tabela 13.

AOI-1						
In 1		In 2		In 3		
	positivo	negativo	positivo	negativo	positivo	negativo
FoF1	105	65	70	65	70	70
FoF4	150	105	115	105	115	105

AOI-2						
In 1		In 2		In 3		
	positivo	negativo	positivo	negativo	positivo	negativo
FoF1	110	70	75	70	75	70
FoF4	155	110	115	110	115	110

Fonte: A autora.

6.2 Oscilador em Anel

A análise do oscilador em anel abrangeu diversos cenários: estado inicial (*gold*), modelo de BTI, SET na saída do segundo inversor após a NAND e a combinação de ambos. Durante essa análise, foram avaliados os parâmetros do período do oscilador, além dos tempos de estado alto e baixo, bem como os tempos de transição (subida e descida) da forma de onda.

6.2.1 OA no estado gold

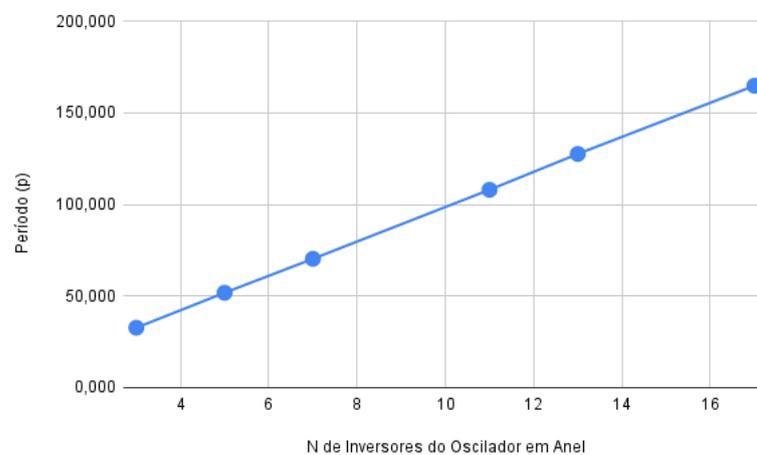
Após criar os osciladores em anel foi realizado medições como mostrado na Tabela 19. Ao analisar o período, fica claro que há um aumento à medida que o número de

Tabela 19 – Valores do AO em seu estado gold.

N de inversores	Período (p)	Alto (ps)	Baixo (ps)	Subida (ps)	Descida (ps)
3	32,681	15,391	17,290	6,903	6,369
5	51,754	24,114	27,641	6,515	6,088
7	70,285	33,307	36,978	6,384	6,187
11	107,962	51,940	56,022	6,513	6,351
13	127,519	63,355	64,163	6,234	6,156
17	165,070	85,046	80,024	6,264	6,465

Fonte: A autora.

Figura 32 – Relação do número de inversores no OA com o período dele.



Fonte: A autora.

inversores cresce. Para ilustrar esse comportamento, foi gerada a Figura 32, que revela um crescimento linear do período conforme o número de inversores no AO aumenta. Além disso, os tempos nos estados alto e baixo do OA também crescem, enquanto os tempos de transição (subida e descida) permanecem relativamente estáveis. Esses resultados refletem as propriedades de atraso e tempo de transição do oscilador em anel, sendo influenciados pelo número de inversores no circuito. Esses valores agora serão utilizados como referência para avaliar os OAs com os modelos aplicados.

6.2.2 Análise do BTI no OA

No Apêndice F é possível verificar os resultados obtidos com aplicação do envelhecimento nos transistores pMOS e nMOS em todos os Osciladores em Anel, conforme o modelo exemplificado em 3.2.

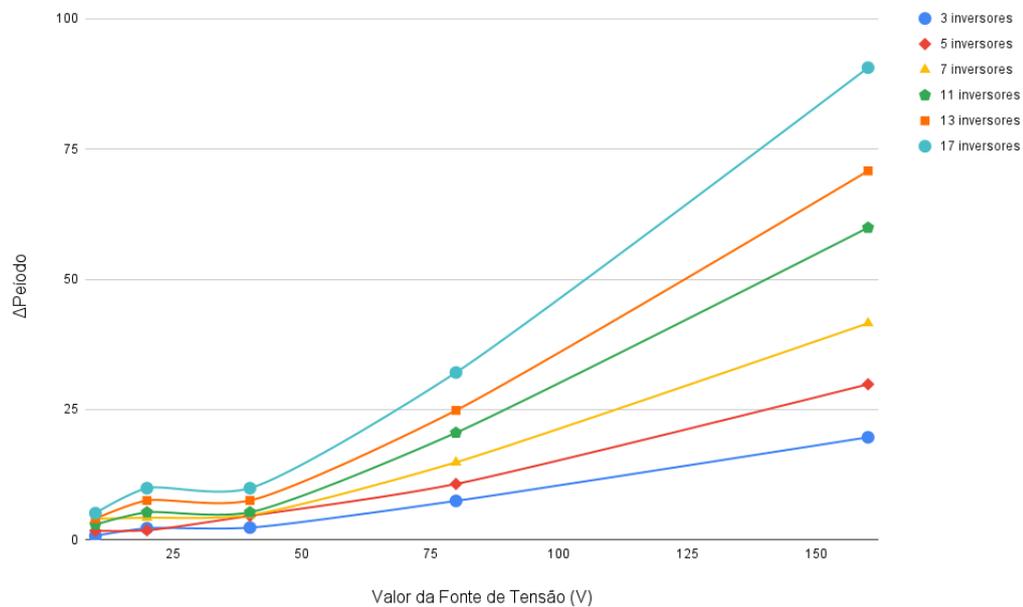
6.2.2.1 Análise da Período

Na Figura 33 é apresentada os resultados obtidos dos OAs. No eixo x, estão representados os valores de tensão dos transistores, que correspondem à simulação do BTI. Já no eixo y, observa-se a diferença entre o valor do período do oscilador com o modelo de envelhecimento e o valor do oscilador no estado *gold*, ou seja, sem nenhum modelo aplicado.

$$\Delta\text{Período} = \text{Período Com BTI} - \text{Período Gold} \quad (7)$$

Para a análise do período foi escolhido analisar a variação do período *gold* em relação ao período com o modelo do BTI como mostra a Equação 7. Ao analisar a Figura 33 é possível observar que o número de inversores teve impacto no período do Oscilador Anelar (OA), conforme esperado. Além disso, à medida que a fonte de tensão é aumentada, o valor do período cresce de forma exponencial em todos os OAs, como previsto. É importante destacar que houve uma pequena variação entre os resultados de 20mV e 40mV em todos os OAs testados. Para aprofundar a compreensão do que ocorreu nesse trecho, foi realizado o envelhecimento separado dos transistores, que será abordado na subseção a seguir.

Figura 33 – OA com modelo BTI nos transistores.



Fonte: A autora.

6.2.2.2 Análise do OA aplicando o modelo BTI separadamente em cada tipo de transistor

Para esta análise, escolheu-se apenas o OA de 17 inversores devido à sua forma de onda mais quadrada e, portanto, mais estável. No procedimento da análise, o modelo de

BTI foi aplicado separadamente em ambos os transistores, e os mesmos dados analisados no OA foram verificados. Assim, foram geradas as Tabelas 20 e 21.

Tabela 20 – Valores do AO de 17 inversores com apenas o transistor NMOS sofrendo envelhecimento.

Fonte de Tensão (V)	Período (p)	Alto (ps)	Baixo (ps)	Subida (ps)	Descida (ps)
Gold	165,070	85,046	80,024	6,264	6,465
10m	167,446	86,156	81,102	6,241	6,720
20m	170,318	89,216	81,290	6,251	6,806
40m	175,000	90,509	84,491	6,248	6,180
80m	176,627	92,120	84,506	6,211	6,986
160m	205,779	107,993	97,786	6,068	7,466

Fonte: A autora.

Tabela 21 – Valores do AO de 17 inversores com apenas o transistor PMOS sofrendo envelhecimento.

Fonte de Tensão (V)	Período (p)	Alto (ps)	Baixo (ps)	Subida (ps)	Descida (ps)
Gold	165,070	85,046	80,024	6,264	6,465
10m	166,244	85,545	80,699	6,265	6,405
20m	170,382	86,562	83,821	6,279	6,346
40m	175,000	89,684	85,316	6,257	6,411
80m	175,001	89,710	85,291	6,314	5,860
160m	199,128	101,312	97,815	6,783	5,878

Fonte: A autora.

Ao analisar separadamente a variação do período que cada transistor gera no OA, pode-se verificar que há uma sobreposição nos valores de 20mV a 40mV, isso fica mais claro ao observar a Figura 34. Com isso, pode-se concluir que o ocorreu na Figura 33 pode-se ser fruto de ambos os transistores possuírem o mesmo valor do período nesse momento.

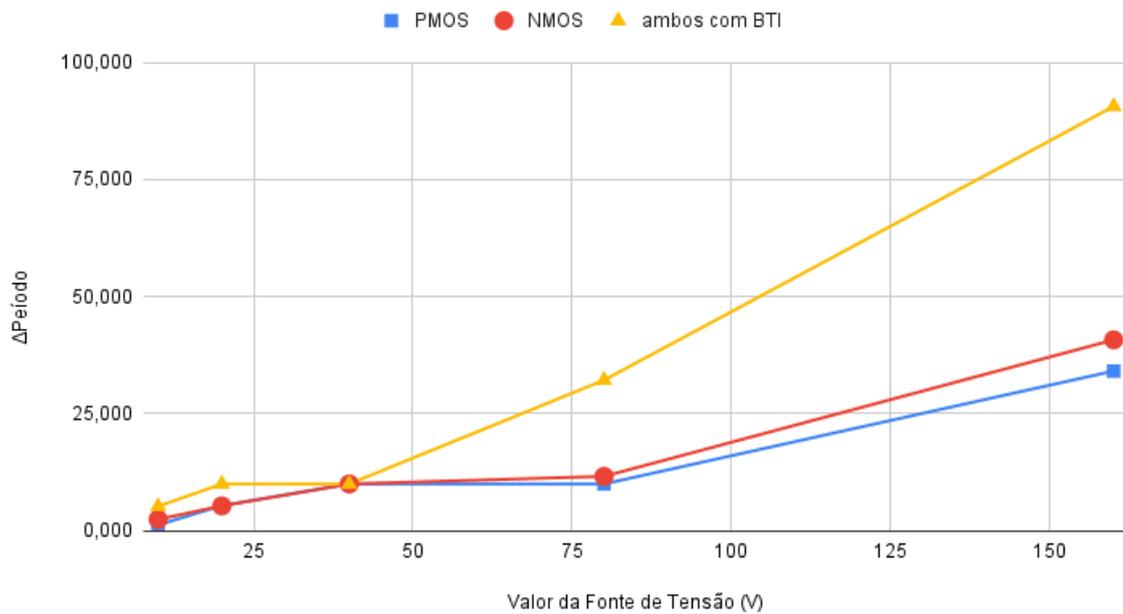
6.2.2.3 Análise do tempo em cada estado do OA

Na Figura 35, é evidente que o aumento do valor da fonte de tensão resulta em um aumento do tempo em que o OA permanece em cada estado. Isso sugere que o BTI diminui a resposta do OA. Além disso, a curva é semelhante para todos os OAs e exibe características que se assemelham a uma função exponencial.

6.2.2.4 Análise do tempo de transição entre estados do OA

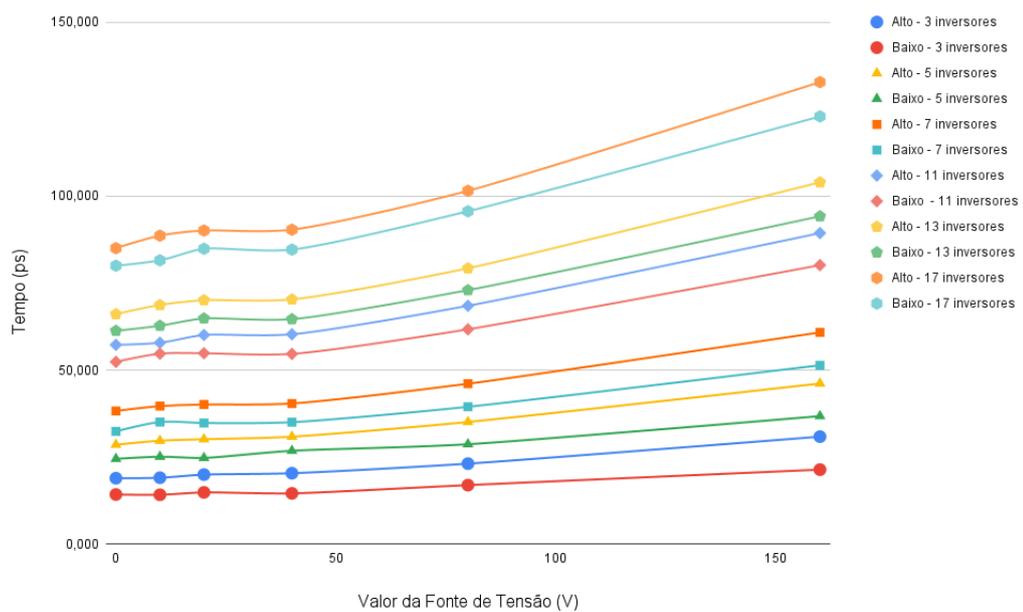
Ao se observar as colunas do tempo de subida e o tempo de descida do OA no Apêndice F é possível verificar que há uma grande variação nos tempos conforme a fonte de tensão vai aumentando. Houve momentos em que o tempo diminuiu com o aumento do

Figura 34 – Variação do período do OA de 17 com modelos de BTI aplicados separadamente nos transistores NMOS e PMOS, bem como com ambos transistores utilizando o modelo de BTI.



Fonte: A autora.

Figura 35 – OA com modelo BTI nos transistores, análise do tempo que o OA ficou em cada estado.



Fonte: A autora.

valor de fonte de tensão, como também, em momentos o tempo de transição aumentou. Acredita-se que isso se deva pela construção do OA, que possui uma retroalimentação.

6.2.3 OA com SET

Apesar de terem sido construídos diversos OA, apenas foram escolhidos os de 13 e 17 inversores para a aplicação do SET devido a possuir uma onda quadrada melhor desenhada. Os valores obtidos para cada um deles ao ter sido implementado o SET encontram-se na Tabela 22.

Tabela 22 – Valores do AO com o SET.

	Positivo (uA)	Negativo (uA)
13 inversores	169	189
17 inversores	175	191

Fonte: A autora.

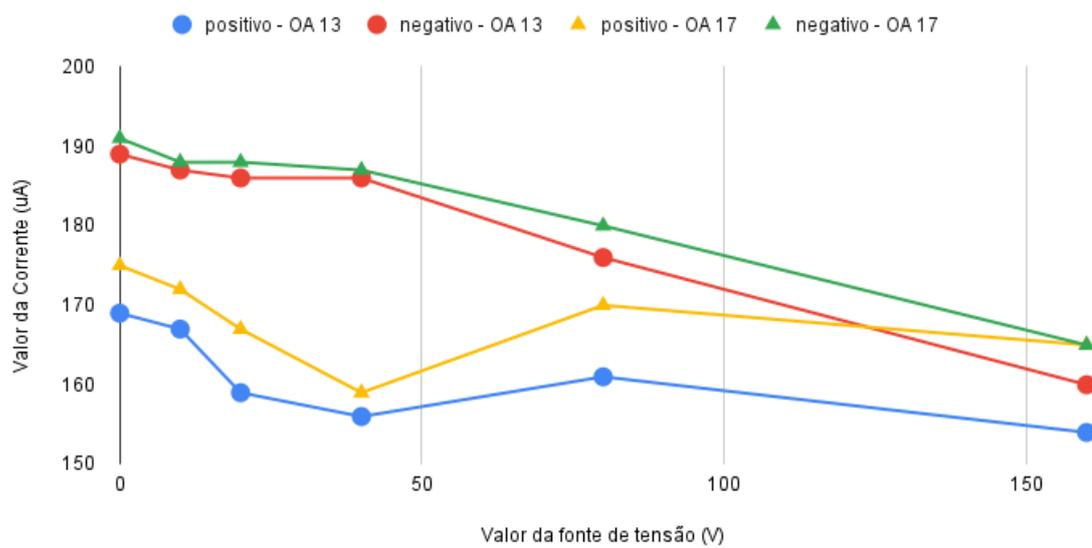
Observa-se um aumento na corrente necessária conforme o número de inversores aumenta, como era esperado. Além disso, verifica-se que o valor necessário para fazer a transição de um nível lógico alto para baixo, ou seja, para ocorrer um SET com uma corrente negativa, é significativamente maior do que para fazer a transição da saída de zero para um nível lógico alto.

6.2.4 OA com BTI e SET

Na Figura 36, podemos observar o comportamento dos OAs com os modelos de BTI e SET. É perceptível que, com uma corrente negativa, há uma diminuição do valor necessário para um SET ocorra à medida que a fonte de tensão aumenta. Também, nota-se um aumento no valor necessário para um SET à medida que mais inversores são adicionados ao OA.

Entretanto, surge uma variação inesperada na corrente positiva necessária para ocorrer um SET conforme a tensão aumenta. Observa-se um aumento na corrente entre os pontos de 40mV e 80mV, seguido por uma diminuição no valor da corrente entre 80mV e 160mV.

Figura 36 – OAs com TID e SET.



Fonte: A autora.

7 Conclusões

O presente trabalho teve como proposta realizar simulações para a análise da robustez dos circuitos digitais com a aplicação dos efeitos do BTI e SET, de forma a estudar tanto os fenômenos separadamente, como também, o efeito deles em conjunto. O software utilizado para a simulação dos circuitos foi o NGSpice. Ademais, os parâmetros de simulação utilizado em todas as *netlist* foi de realizar a simulação em uma temperatura de 25°C, uma fonte de alimentação aplicada de 0,9V e utilização do modelo Preditivo PTM de 32nm HP e com largura de 200n para o pMOS e 100n para o nMOS.

Para a análise foi observado os circuitos em 4 modos diferentes, eles em seu estado *gold*, com o efeito do BTI, com o efeito do SET e com ambos os efeitos. Para a simulação do efeito do BTI foi utilizado um modelo em que descreve o fenômeno adicionando uma fonte de tensão na porta do transistor. Já o modelo SET, é implementado na saída da porta lógica do transistor, em que é colocado uma função no NGSpice que simula esse efeito. Com isso, foi testado os fenômenos nas portas lógicas NAND, NOR, inversor e AOI como também em osciladores em anel com diversos números de inversores.

Para as portas lógicas, foi verificado que o tempo de transição entre a entrada e saída é impactada pelo BTI. Houve variações de tempo dentro de uma mesma porta lógica, o que pode se atribuir a construção da mesma. Pois foi notado um tempo menor para a transição de sinal alto para baixo na NAND, NOR e inversor. Contudo, nas AOIs não houve nenhum tipo de padrão, corroborando para que se conclua que isso decorre da estrutura interna da porta lógica.

Além disso, foi observado o tempo de transição da saída. Os dados revelaram diferentes padrões de resultado. No inversor foi observado uma diminuição no tempo de ambas as transições, conforme a fonte de tensão é aumentada. Já na NAND, houve uma diminuição seguida de um aumento no tempo de ambas as entradas. A NOR obteve um aumento gradual apenas no tempo de subida da saída. As AOIs apresentaram o mesmo padrão, tendo um aumento do tempo nas entradas 3 e 2, enquanto na entrada 1 houve uma diminuição.

Para o estudo do SET nas portas lógicas, foi adicionado na saída delas um *Fan-out* sendo incorporado um FoF1, que possui os mesmos valores de W do que os transistores da porta lógica, e um FoF4, que possuem um W quatro vezes maior do que os dos transistores da porta lógica. Além disso, foi verificado o valor da ocorrência de um SET, tanto para correntes positivas, quanto para negativas. Foi observado um aumento consistente no valor necessário para desencadear um SET em todas as portas lógicas. A comparação dos resultados revelou que as saídas FoF4 exigiam um valor maior em comparação com as

saídas FoF1. Essa tendência foi observada em todas as portas lógicas analisadas. Além disso, foi verificado valores semelhantes, em algumas portas lógicas, para tanto a corrente positiva quanto para a negativa.

Ao se implementar o BTI junto com o SET nas portas lógicas, foi possível analisar que os valores do FoF4 são superiores aos da FoF1. Com isso, é possível observar que uma saída com um W maior é mais resistente aos efeitos de SET a medida que o circuito envelhece. Como também, todas as figuras apresentam a mesma curva descendente conforme a fonte de tensão aumenta.

Além disso, foram avaliadas as AOIs utilizando o modelo analítico de longo prazo. Observou-se que os valores de High/Low, Low/High, Subida e Descida do AOI-1 e AOI-2 com o modelo analítico de longo prazo estão dentro do intervalo dos valores obtidos com fontes de tensão entre 80mV e 160mV. Essa correspondência é esperada, uma vez que as fontes de tensão de cada transistor estão nesse intervalo. Essa análise confirma a consistência dos resultados e a adequação das simulações realizadas para os diferentes valores de tensão.

Já os resultados do SET com o BTI, obteve-se um resultado em que todas as entradas tanto do AOI-1 quanto do AOI-2, para FoF1 e FoF4, obtiveram valores mais elevados no modelo analítico de longo prazo, para que um SET negativo ocorra. Por outro lado, para um SET positivo, os valores do modelo analítico permaneceram dentro da faixa dos resultados obtidos pelo BTI, quando todos os transistores possuíam o mesmo valor de fonte de tensão no *gate*.

Além das portas lógicas criadas, foi também desenvolvido testes da análise do BTI e SET em osciladores em anéis, onde foram criados diversos osciladores com números diferentes de inversores (3,5,7,11,13 e 17). Todos os dados foram obtidos analisando a saída do segundo inversor após a NAND do OA por ele existir em todos os OAs examinados. Ao realizar a medida deles em estado *gold* foi observado que os valores do tempo em que o OA permanece em estado lógico alto e baixo, como também, o período dele está ligado diretamente ao número de inversores que ele possui, tendo-se um valor menor, para o tempo desse, conforme há menos inversores no circuito. Além disso, foi possível analisar uma relação linear do período do OA com o número de inversores que ele possui.

Ademais, a análise do BTI nos OAs mostrou um aumento exponencial no período à medida que a fonte de tensão era aumentada. Contudo, em ambos os resultados foi observado uma pequena variação entre as fontes de 20mV e 40mV. Para a análise do que ocorria nesse trecho, foi avaliado o modelo de BTI separadamente para cada tipo de transistor. Contudo, essa análise apenas foi realizada no OA de 17 inversores, por ele apresentar uma forma de onda mais regular. Essa análise concluiu que como ambos os transistores possuíam o mesmo valor do período nesses pontos, a pequena variação pode ser fruto disso.

Além disso, notou-se que o aumento da fonte de tensão está diretamente relacionado ao aumento no tempo de permanência do OA em cada estado, indicando a influência do BTI na resposta do OA. Quanto aos valores de tempo de descida e subida, não apresentaram nenhum tipo de padrão.

Para a análise do SET, optou-se por escolher apenas os de 13 e 17 inversores, pois apresentavam uma onda quadrada mais claramente definida. Nota-se um aumento na corrente necessária à medida que o número de inversores aumenta, conforme o esperado. Além disso, o valor da corrente negativa para que ocorra um SET foi maior do que da corrente positiva, ou seja, é necessário menos energia numa partícula para mudar o estado do OA quando ele está em nível lógico zero.

Os OAs, analisados com modelos de BTI e SET, apresentam um padrão de diminuição na corrente negativa necessária para um SET ocorra, conforme a fonte de tensão aumenta. Além disso, há uma redução no valor necessário para um SET à medida que mais inversores são adicionados ao OA. No entanto, destaca-se uma variação inesperada na corrente positiva necessária para um SET conforme a tensão aumenta, com um aumento entre 40mV e 80mV, seguido por uma diminuição entre 80mV e 160mV.

Com os resultados obtidos é possível afirmar os circuitos se mostraram mais robustos quando se apresentou um valor de W maior nas saídas das portas lógicas. Além disso, ao aplicar o BTI no OA observou-se uma relação exponencial do período e do tempo em que o OA permanece em cada estado, com o número de inversores. Como também, um maior conhecimento sobre os fenômenos do BTI e SET em conjunto.

Como possíveis trabalhos futuros, seria interessante realizar as mesmas análises para outro tipo de transistor, como o PTM 32nm LP. Além disso, poderia-se realizar uma maior investigação dos Osciladores em Anel em relação aos resultados obtidos para a corrente positiva quando os dois fenômenos estavam em conjunto. Um último trabalho poderia ser implementar esse cenário de testes com um valor de W diferente e adicionando mais tipos de circuitos *benchmarks* no estudo.

Referências Bibliográficas

ALMEIDA, R. B. Avaliação do impacto da variabilidade pvt e envelhecimento em células de memória sram. *Dissertação - Instituto de Ciências Computacionais, Universidade Federal do Rio Grande*, 2018. Disponível em: <<https://repositorio.furg.br/bitstream/handle/1/8201/27.pdf?sequence=1&isAllowed=y>>.

AVIZIENIS, A. The four-universe information system model for the study of fault tolerance. In: *roceedings of 12th International Symposium on Fault-Tolerant Computing*. [S.l.: s.n.], 1982. p. 6–13.

BALEN, T. R. Efeitos da radiação em dispositivos analógicos programáveis (fpaas) e técnicas de proteção. *Tese - Escola de Engenharia, Universidade Federal do Rio Grande do Sul*, 2010. Disponível em: <<https://www.lume.ufrgs.br/bitstream/handle/10183/27254/000763742.pdf?sequence=1>>.

BEM, D. V. Cmos digital integrated circuit design faced to nbti and other nanometric effects. *Dissertação de Mestrado - Universidade Federal do Rio Grande do Sul. Progrsms de Pós-Graduação em Microeletrônica*, 2010. Disponível em: <<https://lume.ufrgs.br/handle/10183/37180>>.

BLACK, D. A.; ROBINSON, W. H.; WILCOX, I. Z.; LIMBRICK, D. B.; BLACK, J. D. Modeling of single event transients with dual double-exponential current sources: Implications for logic cell characterization. *IEEE Transactions on Nuclear Science*, v. 62, n. 4, 8 2015.

BRENDLER, L. H. Impacto da variabilidade de processo e das falhas transientes em diferentes arranjos de transistores. *Universidade Federal do Rio Grande do Sul. Instituto de Informática.*, 2018. Disponível em: <<https://lume.ufrgs.br/handle/10183/184952>>.

BUTZEN, P. F. Aging aware design techniques and cmos gate degradation estimative. *Tese - Escola de Engenharia, Universidade Federal do Rio Grande do Sul*, 2012. Disponível em: <<https://www.lume.ufrgs.br/bitstream/handle/10183/27254/000763742.pdf?sequence=1>>.

CAPUANO, F. G.; IDOETA, I. V. *Elementos de Eletrônica Digital*. 41. ed. [S.l.]: Érica, 2014.

DODD, P.; MASSENGILL, L. Single event transient on combinational logic: An introduction and their mitigation. *Journal of Integrated Circuits and Systems*, v. 17, n. 3, 2002.

FRIEDBERG, W.; COPELAND, K. In: *Ionizing radiation in Earth's atmosphere and in space near earth*. [S.l.: s.n.], 2011.

HU, V. P.-H.; SU, P.; CHUANG, C.-T. Investigation of bti reliability for monolithic 3d 6t sram with ultra-thin-body geoi mosfets. p. 2106–2109, 2016.

HUARD, V. e. a. Nbti degradation: From physical mechanisms to modelling. In: *Microelectron. Reliab.* [S.l.: s.n.], 2006. v. 46, n. 1, p. 1–23.

- ISLAM, A. E. e. a. Essential aspect of negative bias temperature instability (nbt). In: *ECS Transactions*. [S.l.: s.n.], 2011. v. 35, n. 4, p. 145–174.
- JEPPSON K. O.; SVENSSON, C. M. Negative bias stress of mos devices at high electric fields and degradation of mnos devices. In: *Journal of Applied Physics*. [S.l.: s.n.], 1977. v. 48, n. 5, p. 2004–2014.
- JUNIOR, L. S. D. R.; CALLEGARO, V.; RIBAS, R. P.; REIS, A. I. *Desafios e Avanços em Computação: O Estado da Arte*. Editora e Gráfica Universitária - PREC UFPel, 2009. v. 1. 197-224 p. Disponível em: <https://www.inf.ufrgs.br/logics/docman/book_ufpel_leomar.pdf>.
- KACZER, B.; GRASSER, T.; ROUSSEL, P. J.; FRANCO, J.; DEGRAEVE, R.; RAGNARSSON, L.-A.; SIMOEN, E.; GROESENEKEN, G.; REISINGER, H. Origin of nbt variability in deeply scaled pfts. In: *2010 IEEE International Reliability Physics Symposium*. [S.l.: s.n.], 2010. p. 26–32.
- KESSLER, H.; FERRAZ, B.; JR, L. R.; AGUIAR, Y.; CAMARGO, V. Basic mechanisms and modeling of single-event upset in digital microelectronics. *IEEE Transactions on Nuclear Science*, v. 50, n. 3, p. 583–602, 2003.
- LIEBL, E. Avaliação da robustez de diferentes topologias de circuitos votadores. *Dissertação de Mestrado em Engenharia da Computação - Universidade Federal do Rio Grande*, 2016. Disponível em: <<http://repositorio.furg.br/handle/1/8735>>.
- LIMA, K. G. d. Estruturas aps resistentes à radiação para aplicações espaciais. *Dissertação de Mestrado em Engenharia Elétrica - Universidade Federal do Rio de Janeiro, COPPE*, 2006. Disponível em: <<http://www.pee.ufrj.br/index.php/pt/producao-academica/dissertacoes-de-mestrado/2006-1/2006032302-2006032302/file>>.
- MARTINS, M.; MEDEIROS, G.; COPETTI, T.; F.L.VARGAS; POEHLS, L. B. Analysing nbt impact on srams with resistive defects. *Journal of Eletronic Testing*, v. 33, n. 2, p. 637–655, February 2017.
- MOORE, G. E. Cramming More Components Onto Integrated Circuits. *IEEE*, v. 86, n. 1, p. 82–85, 1998.
- RABAEY, J. M.; CHANDRAKASAN, A.; NIKOLIC, B. *Digital Integrated Circuits: A Design Perspective*. 3rd. ed. [S.l.]: Upper Saddle River, N.J. : Pearson Education, 2003. ISBN 0130909963.
- REINICKE, L. H. Construction of a low-voltage standard cell library for ultra-low power applications. *Instituto de Informática, Universidade Federal do Rio Grande do Sul*, 2014. Disponível em: <<https://www.lume.ufrgs.br/bitstream/handle/10183/110750/000953004.pdf?sequence=1>>.
- SCHNEIDER, F. R. Building transistor-level networks following the lower bound on the number of stacked switches. *Dissertação - Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Computação.*, 2007. Disponível em: <<https://lume.ufrgs.br/bitstream/handle/10183/55446/000858253.pdf?sequence=1&isAllowed=y>>.
- SCHRODER, D. Negative bias temperature instability: What do we understand?.. In: *Microelectronics Reliability*. [S.l.: s.n.], 2007. v. 47, p. 841–852. ISSN 0026-2714.

SCHVITZ, R. B. Análise da suscetibilidade de portas lógicas na presença de falhas de efeitos singulares. *Tese - Centro de Desenvolvimento Tecnológico, Universidade Federal de Pelotas*, 2020. Disponível em: <https://ppgc.ufpel.edu.br/documentos/defesa/Rafael_Budim_Schvitz_-_Analise_da_Suscetibilidade_de_Portas_Logicas_na_Presenca_IxnHfRq.pdf>.

SCOTT, K.; KEUTZER, K. Improving cell libraries for synthesis. In: *Proceedings of IEEE Custom Integrated Circuits Conference - CICC '94*. [S.l.: s.n.], 1994. p. 128–131.

SILVA, M. Banaszkeski da. Circuito on-chip para a caracterização em alta escala do efeito de bias temperature instability. *Dissertação de Mestrado - Universidade Federal do Rio Grande do Sul. Progrms de Pós-Graduação em Microeletrônica*, 2012. Disponível em: <<https://www.lume.ufrgs.br/handle/10183/147989>>.

SILVA, V. C. P.; WIRTH, G. I.; MARTINO, J. A.; AGOPIAN, P. G. D. A negative-bias-temperature-instability study on omega-gate silicon nanowire soi pmosfets. In: *2019 34th Symposium on Microelectronics Technology and Devices (SBMicro)*. [S.l.: s.n.], 2019. p. 1–4.

WESTE, N.; HARRIS, D. *CMOS VLSI Design. A Circuits and Systems Perspective*. 3rd. ed. [S.l.]: Addison Wesley, 2004.

ZIMPECK, A.; MEINHARDT, C.; BUTZEN, P. Análise do comportamento de portas lógicas cmos com falhas stuck-on em nanotecnologia. v. 1, n. 2, 2014. Disponível em: <<http://repositorio.furg.br/handle/1/4810>>.

A Apêndice A - Resultados do BTI, SET e ambos no Inversor

Resultado da variação na entrada do inversor CMOS mediante a alteração da fonte de tensão que simula o efeito do BTI.

Fonte de Tensão (mV)	High/ Low (p)	Low/High (p)	Descida (p)	Subida (p)
Gold	2,603	2,726	2,275	2,741
10	2,707	2,823	2,269	2,748
20	2,812	2,923	2,261	2,751
40	3,027	3,130	2,242	2,750
80	3,469	3,562	2,198	2,728
160	4,376	4,457	2,082	2,594

Fonte: A autora.

Resultado da corrente necessária para desencadear um evento transitório único (SET) no inversor CMOS, mantendo uma saída FoF1 com largura (W) iguais às do inversor.

FoF1 na saída do Inversor		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	135	165
10	135	165
20	130	160
40	125	155
80	115	135
160	95	110
FoF4 na saída do Inversor		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	180	205
10	175	200
20	175	200
40	170	190
80	160	180
160	145	155

Fonte: A autora.

B Apêndice B - Resultados do BTI, SET e ambos na NAND

Resultado da variação nas entradas da NAND mediante a alteração da fonte de tensão que simula o efeito do BTI.

In 1					
Fonte de Tensão (mV)	High/	Low (ps)	Low/High (ps)	Descida (ps)	Subida (ps)
Gold		4,568	6,052	2,265	4,538
10		4,713	6,151	2,262	4,553
20		4,858	6,254	2,263	4,573
40		5,148	6,470	2,276	4,631
80		5,725	6,945	2,353	4,828
160		7,038	8,115	2,840	5,731
In 2					
Fonte de Tensão (mV)	High/	Low (ps)	Low/High (ps)	Descida (ps)	Subida (ps)
Gold		3,265	4,329	3,038	3,368
10		3,381	4,426	3,039	3,371
20		3,499	4,525	3,040	3,374
40		3,740	4,729	2,999	3,385
80		4,238	5,136	2,930	3,447
160		5,274	6,042	3,062	3,894

Fonte: A autora.

Resultado da corrente necessária para desencadear um evento transitório único (SET) ao oscilar a entrada da NAND, mantendo uma saída Fan-out com largura (W) diferentes.

FoF1 - In 1 (oscilando)		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	90	175
10	85	170
20	85	165
40	85	160
80	75	145
160	65	120
FoF1 - In 2 (oscilando)		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	90	175
10	85	170
20	85	165
40	85	160
80	75	145
160	60	120
FoF4 - In 1 (oscilando)		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	130	210
10	130	210
20	130	205
40	125	200
80	120	185
160	110	160
FoF4 - In 2 (oscilando)		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	130	210
10	125	210
20	125	210
40	125	200
80	110	185
160	85	155

Fonte: A autora.

C Apêndice - Resultados do BTI, SET e ambos na NOR

Resultado da variação na entrada da NOR mediante a alteração da fonte de tensão que simula o efeito do BTI.

In 1 (oscilando)				
Fonte de Tensão (mV)	High/ Low (p)	Low/High (p)	Descida (p)	Subida (p)
Gold	3,489	4,704	2,629	4,252
10	3,591	4,832	2,623	4,271
20	3,694	4,964	2,617	4,294
40	3,906	5,196	2,585	4,356
80	4,343	5,734	2,519	4,576
160	5,224	7,327	2,571	5,721
In 2 (oscilando)				
Fonte de Tensão (mV)	High/ Low (p)	Low/High (p)	Descida (p)	Subida (p)
Gold	4,796	6,499	3,456	3,666
10	4,891	6,667	3,444	3,720
20	4,985	6,840	3,435	3,786
40	5,166	7,201	3,426	3,945
80	5,552	8,001	3,460	4,375
160	6,452	10,116	3,816	5,857

Fonte: A autora.

Resultado da corrente necessária para desencadear um evento transitório único (SET) ao oscilar a entrada da NAND, mantendo uma saída Fan-out com largura (W) diferentes.

FoF1 - In 1		
Fonte de Tensão (mV)	Corrente Positiva	Corrente Negativa
Gold	90	175
10	85	170
20	85	165
40	85	160
80	75	145
160	65	120
FoF1 - In 2		
Fonte de Tensão (mV)	Corrente Positiva	Corrente Negativa
Gold	90	175
10	90	170
20	85	165
40	85	160
80	75	145
160	60	120
FoF4 - In 1		
Fonte de Tensão (mV)	Corrente Positiva	Corrente Negativa
Gold	130	210
10	130	210
20	130	205
40	125	200
80	120	185
160	110	160
FoF4 - In 2		
Fonte de Tensão (mV)	Corrente Positiva	Corrente Negativa
Gold	130	210
10	125	210
20	125	210
40	125	200
80	110	185
160	85	155

Fonte: A autora.

D Apêndice - Resultados do BTI, SET e am-bos na AOI-1

Resultado da variação na entrada do AOI-1 mediante a alteração da fonte de tensão que simula o efeito do BTI.

In 1 (oscilando)				
Fonte de Tensão (mV)	Hight/Low (p)	Low/Hight (p)	Descida (p)	Subida (p)
Gold	3,431	4,316	2,639	3,763
10	3,534	4,440	2,632	3,761
20	3,638	4,566	2,625	3,760
40	3,850	4,829	2,595	3,768
80	4,286	5,315	2,514	3,849
160	5,164	6,584	2,545	4,536
In 2 (oscilando)				
Fonte de Tensão (mV)	Hight/Low (p)	Low/Hight (p)	Descida (p)	Subida (p)
Gold	6,561	5,985	4,959	3,175
10	6,689	6,139	4,963	3,202
20	6,821	6,296	4,975	3,235
40	7,098	6,625	5,018	3,337
80	7,713	7,347	5,214	3,646
160	9,284	9,226	6,128	4,757
In 3 (oscilando)				
Fonte de Tensão (mV)	Hight/Low (p)	Low/Hight (p)	Descida (p)	Subida (p)
Gold	7,149	6,514	4,907	3,657
10	7,318	6,675	4,942	3,684
20	7,491	6,841	4,981	3,724
40	7,848	7,186	5,071	3,831
80	8,615	7,944	5,310	4,139
160	10,471	9,912	6,128	5,254

Fonte: A autora.

Tabela 23 – Resultado da corrente necessária para desencadear um evento transitório único (SET) ao oscilar a entrada do AOI-1, mantendo uma saída Fan-out com largura (W) diferentes.

FoF1 - In 1		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	140	120
10	135	115
20	135	115
40	130	110
80	120	100
160	100	80
FoF1 - In 2		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	95	95
10	95	95
20	90	90
40	85	85
80	80	80
160	65	65
FoF1 - In 3		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	95	95
10	95	95
20	90	90
40	90	90
80	80	80
160	65	65
FoF4 - In 1		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	185	160
10	180	155
20	180	155
40	175	150
80	165	140
160	145	120
FoF4 - In 2		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	135	135
10	135	130
20	135	130
40	130	125
80	125	120
160	110	105
FoF4 - In 3		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	135	135
10	135	135
20	135	130
40	130	125
80	125	120
160	110	105

Fonte: A autora.

E Apêndice - Resultados do BTI, SET e am- bos na AOI-2

Resultado da variação na entrada do AOI-2 mediante a alteração da fonte de tensão que simula o efeito do BTI.

In 1 (oscilando)				
Fonte de Tensão (mV)	Hight/Low (p)	Low/Hight (p)	Descida (p)	Subida (p)
Gold	4,657	6,064	3,441	3,922
10	4,754	6,224	3,426	3,967
20	4,851	6,388	3,415	4,018
40	5,043	6,733	3,402	4,142
80	5,425	7,494	3,420	4,545
160	6,322	9,488	3,731	5,957
In 2 (oscilando)				
Fonte de Tensão (mV)	Hight/Low (p)	Low/Hight (p)	Descida (p)	Subida (p)
Gold	5,902	5,159	4,356	4,205
10	6,022	5,264	4,389	4,225
20	6,148	5,375	4,429	4,249
40	6,416	5,613	4,530	4,315
80	7,031	6,164	4,831	4,540
160	8,702	7,714	6,202	5,738
In 3 (oscilando)				
Fonte de Tensão (mV)	Hight/Low (p)	Low/Hight (p)	Descida (p)	Subida (p)
Gold	6,497	5,641	4,179	4,618
10	6,663	5,761	4,229	4,638
20	6,835	5,887	4,287	4,663
40	7,194	6,155	4,461	4,735
80	7,986	6,770	4,898	4,987
160	9,992	8,471	6,262	6,335

Fonte: A autora.

Resultado da corrente necessária para desencadear um evento transitório único (SET) ao oscilar a entrada da AOI-2, mantendo uma saída Fan-out com largura (W) diferentes.

FoF1 - In 1		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	150	120
10	145	115
20	145	115
40	140	110
80	125	100
160	105	80
FoF1 - In 2		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	95	100
10	90	95
20	90	95
40	90	90
80	80	80
160	70	65
FoF1 - In 3		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	145	90
10	140	90
20	140	85
40	135	85
80	120	75
160	105	65
FoF4 - In 1		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	190	160
10	190	155
20	185	155
40	180	150
80	170	140
160	150	120
FoF4 - In 2		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	135	140
10	135	135
20	135	135
40	130	130
80	125	120
160	110	105
FoF4 - In 3		
Fonte de Tensão (mV)	Corrente Positiva (uA)	Corrente Negativa (uA)
Gold	135	135
10	135	135
20	135	135
40	130	130
80	125	120
160	110	105

Fonte: A autora.

F Apêndice - Resultados do BTI nos OAs

Resultados das simulações dos osciladores em anel com modelo de BTI nos transistores.

mV	Período (p)	Alto (ps)	Baixo (ps)	Subida (ps)	Descida (ps)
OA - 3 inversores					
10	33,474	19,124	14,232	6,306	6,718
20	34,937	20,024	14,913	6,260	6,444
40	35,056	20,423	14,633	6,223	6,926
80	40,172	23,167	17,005	6,108	7,010
160	52,372	30,921	21,450	6,717	6,209
OA - 5 inversores					
10	54,914	29,757	25,157	6,245	6,561
20	54,992	30,180	24,812	6,252	6,196
40	57,771	30,907	26,863	6,409	6,422
80	63,881	35,139	28,742	6,287	6,859
160	82,998	46,182	36,816	6,569	7,281
OA - 7 inversores					
10	74,801	39,692	35,109	6,239	6,617
20	74,997	40,149	34,848	6,249	6,238
40	75,517	40,445	35,073	6,243	6,355
80	85,625	46,126	39,498	6,341	6,660
160	112,295	60,868	51,426	7,251	7,126
OA - 11 inversores					
10	112,644	57,895	54,749	6,232	6,700
20	114,9996	60,125	54,875	6,250	6,282
40	115,019	60,327	54,692	6,186	6,231
80	130,253	68,503	61,751	6,181	7,015
160	169,577	89,393	80,184	6,931	7,218
OA - 13 inversores					
10	131,508	68,729	62,779	6,229	6,736
20	135,000	70,120	64,880	6,250	6,292
40	135,005	70,337	64,668	6,201	6,199
80	152,280	79,282	72,997	6,354	6,164
160	198,199	103,977	94,222	7,205	7,296
OA - 17 inversores					
10	170,217	88,649	81,568	6,244	6,275
20	175,000	90,118	84,882	6,250	6,300
40	175,001	90,359	84,641	6,199	6,167
80	197,183	101,535	95,648	6,197	6,072
160	255,646	132,749	122,897	7,230	7,294

Fonte: Autora.

G Apêndice - Resultados do BTI no OA de 3 inversores

Resultados das simulações dos osciladores em anel de 3 inversores com modelo de BTI.

Fonte de Tensão (mV)	Período (p)	Alto (ps)	Baixo (ps)	Subida (ps)	Descida (ps)
Gold	33,294	18,987	14,307	6,354	6,552
10	33,474	19,124	14,232	6,306	6,718
20	34,937	20,024	14,913	6,260	6,444
40	35,056	20,423	14,633	6,223	6,926
80	40,172	23,167	17,005	6,108	7,010
160	52,372	30,921	21,450	6,717	6,209

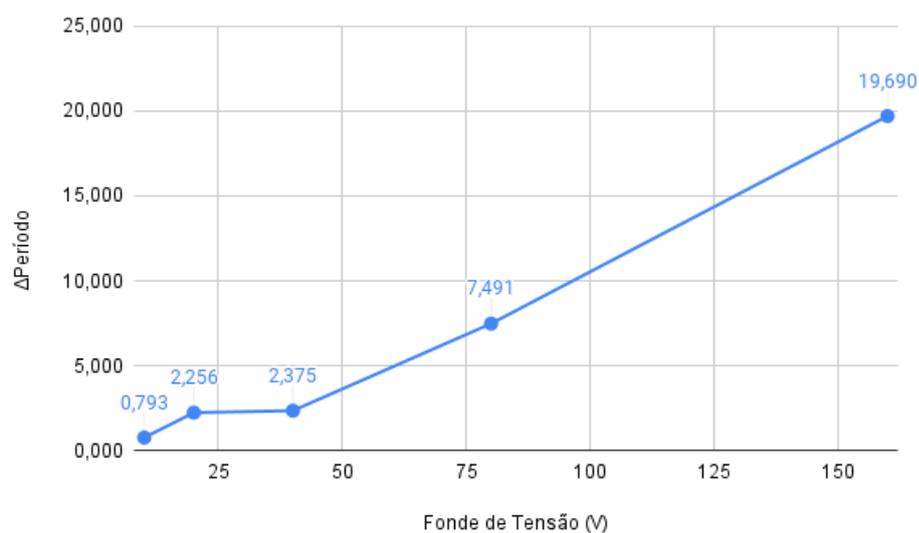
Fonte: Autora.

Resultados da variação do Período Gold em relação ao modelo de BTI nos osciladores em anel de 3 inversores.

Fonte de Tensão (mV)	Período (p)	Δ Período
Gold	32,681	-
10	33,474	0,793
20	34,937	2,256
40	35,056	2,375
80	40,172	7,491
160	52,372	19,690

Fonte: A autora.

Resultado da variação do período do oscilador em Anel de 3 inversores com BTI.



Fonte: A autora.

H Apêndice - Resultados do BTI no OA de 5 inversores

Resultados das simulações dos osciladores em anel de 5 inversores com modelo de BTI.

Fonte de Tensão (mV)	Período (p)	Alto (ps)	Baixo (ps)	Subida (ps)	Descida (ps)
Gold	53,138	28,603	24,536	6,216	6,710
10	54,914	29,757	25,157	6,245	6,561
20	54,992	30,180	24,812	6,252	6,196
40	57,771	30,907	26,863	6,409	6,422
80	63,881	35,139	28,742	6,287	6,859
160	82,998	46,182	36,816	6,569	7,281

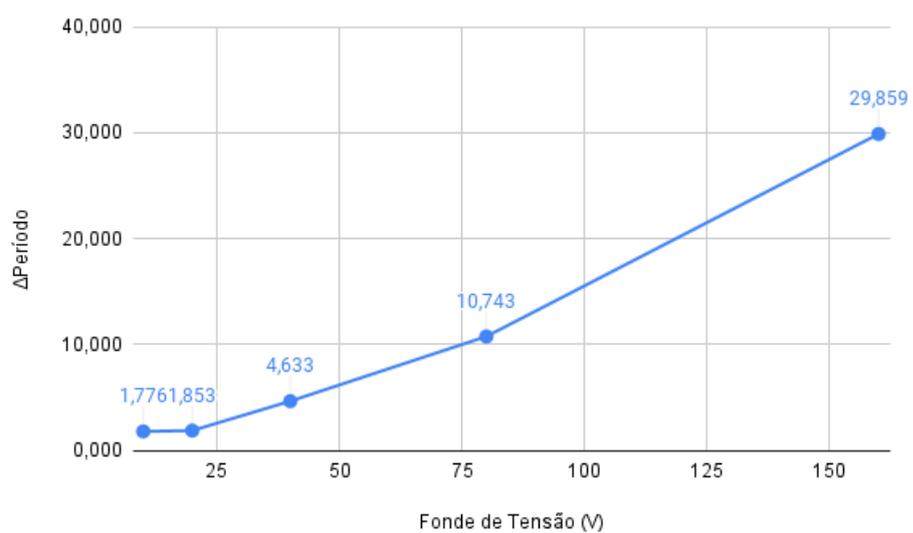
Fonte: A autora.

Variação do Período Gold em relação ao modelo de envelhecimento nos osciladores em anel de 5 inversores.

Fonte de Tensão (mV)	Período (p)	Δ Período
Gold	53,138	-
10	54,914	1,776
20	54,992	1,853
40	57,771	4,633
80	63,881	10,743
160	82,998	29,859

Fonte: A autora.

Resultado da variação do período do oscilador em Anel de 5 inversores com Envelhecimento



Fonte: A autora.

I Apêndice - Resultados do BTI no OA de 7 inversores

Resultados das simulações dos osciladores em anel de 7 inversores com modelo de BTI.

Fonte de Tensão (mV)	Período (p)	Alto (ps)	Baixo (ps)	Subida (ps)	Descida (ps)
Gold	70,729	38,305	32,423	6,265	6,276
10	74,801	39,692	35,109	6,239	6,617
20	74,997	40,149	34,848	6,249	6,238
40	75,517	40,445	35,073	6,243	6,355
80	85,625	46,126	39,498	6,341	6,660
160	112,295	60,868	51,426	7,251	7,126

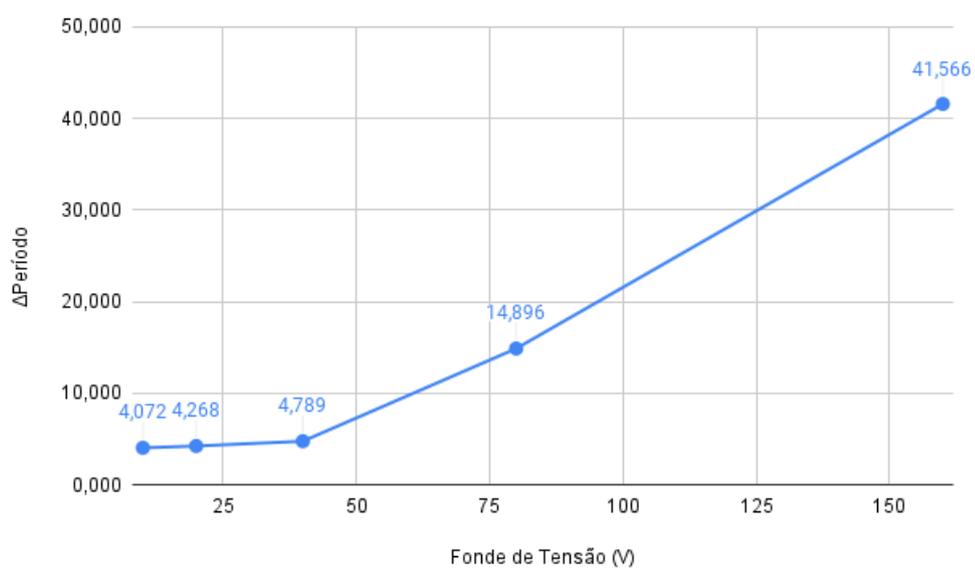
Fonte: A autora.

Resultados da variação do Período Gold em relação ao modelo de BTI nos osciladores em anel de 7 inversores.

Fonte de Tensão (mV)	Período (p)	Δ Período
Gold	70,729	-
10	74,801	4,072
20	74,997	4,268
40	75,517	4,789
80	85,625	14,896
160	112,295	41,566

Fonte: A autora.

Resultado da variação do período do oscilador em Anel de 7 inversores com Envelhecimento



Fonte: A autora.

J Apêndice - Resultados do BTI no OA de 11 inversores

Resultados das simulações dos osciladores em anel de 11 inversores com modelo de BTI.

Fonte de Tensão (mV)	Período (p)	Alto (ps)	Baixo (ps)	Subida (ps)	Descida (ps)
Gold	109,693	57,300	52,394	6,262	6,724
10	112,644	57,895	54,749	6,232	6,700
20	114,9996	60,125	54,875	6,250	6,282
40	115,019	60,327	54,692	6,186	6,231
80	130,253	68,503	61,751	6,181	7,015
160	169,577	89,393	80,184	6,931	7,218

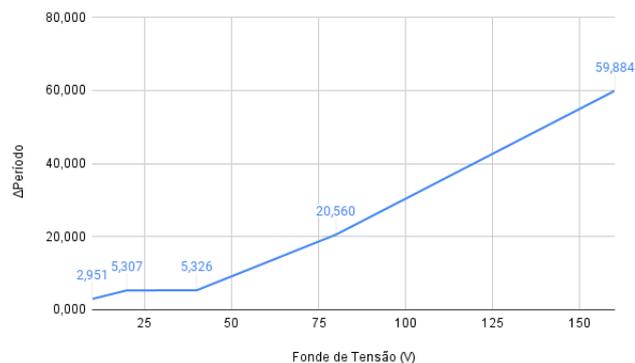
Fonte: A autora.

Variação do Período Gold em relação aos com o modelo de BTI no osciladores em anel de 11 inversores.

Fonte de Tensão (mV)	Período (p)	Δ Período
Gold	109,693	-
10	112,644	2,951
20	114,9996	5,307
40	115,019	5,326
80	130,253	20,560
160	169,577	59,884

Fonte: A autora.

Resultado da variação do período do oscilador em anel de 11 inversores com BTI.



Fonte: A autora.

K Apêndice - Resultados do BTI no OA de 13 inversores

Resultados das simulações dos osciladores em anel de 13 inversores com modelo de BTI.

Fonte de Tensão (mV)	Período (p)	Alto (ps)	Baixo (ps)	Subida (ps)	Descida (ps)
Gold	127,429	66,104	61,325	6,245	6,515
10	131,508	68,729	62,779	6,229	6,736
20	135,000	70,120	64,880	6,250	6,292
40	135,005	70,337	64,668	6,201	6,199
80	152,280	79,282	72,997	6,354	6,164
160	198,199	103,977	94,222	7,205	7,296

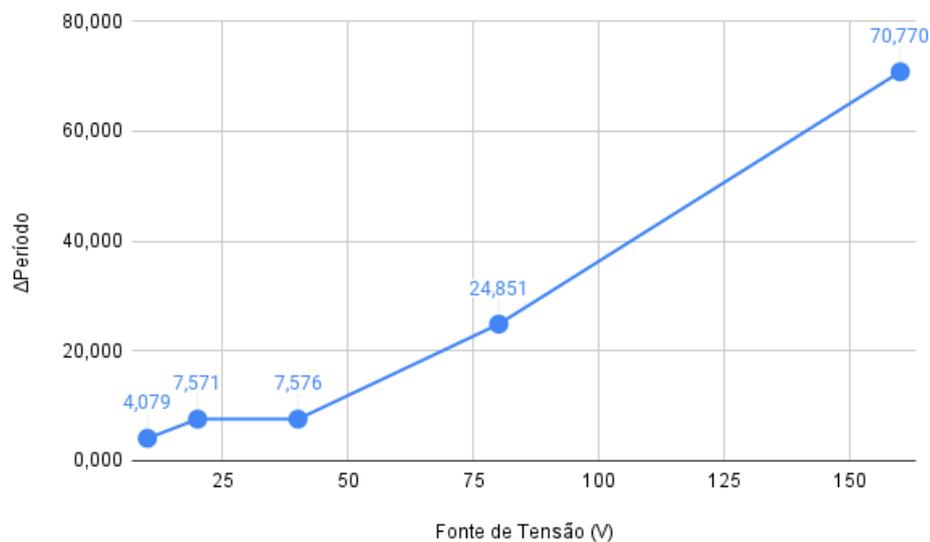
Fonte: A autora.

Resultados das simulações dos osciladores em anel de 17 inversores com modelo de BTI.

Fonte de Tensão (mV)	Período (p)	Alto (ps)	Baixo (ps)	Subida (ps)	Descida (ps)
Gold	165,070	85,046	80,024	6,264	6,465
10	170,217	88,649	81,568	6,244	6,275
20	175,000	90,118	84,882	6,250	6,300
40	175,001	90,359	84,641	6,199	6,167
80	197,183	101,535	95,648	6,197	6,072
160	255,646	132,749	122,897	7,230	7,294

Fonte: A autora.

Resultado da variação do período do oscilador em anel de 13 inversores com BTI



Fonte: A autora.

L Apêndice - Resultados do BTI no OA de 17 inversores

Resultados das simulações dos osciladores em anel de 17 inversores com modelo de BTI.

Fonte de Tensão (mV)	Período (p)	Alto (ps)	Baixo (ps)	Subida (ps)	Descida (ps)
Gold	165,070	85,046	80,024	6,264	6,465
10	170,217	88,649	81,568	6,244	6,275
20	175,000	90,118	84,882	6,250	6,300
40	175,001	90,359	84,641	6,199	6,167
80	197,183	101,535	95,648	6,197	6,072
160	255,646	132,749	122,897	7,230	7,294

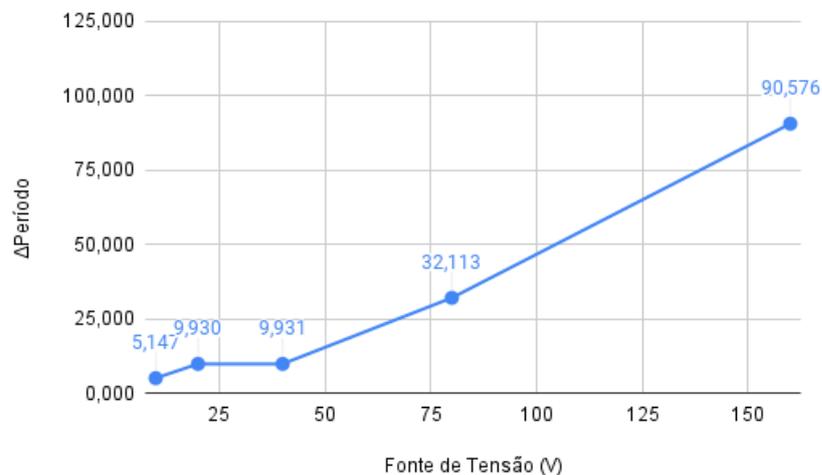
Fonte: A autora.

Variação do período Gold em relação aos com o modelo de BTI no osciladores em anel de 17 inversores.

Fonte de Tensão (mV)	Período (p)	Δ Período
Gold	165,070	-
10	170,217	5,147
20	175,000	9,930
40	175,001	9,931
80	197,183	32,113
160	255,646	90,576

Fonte: A autora.

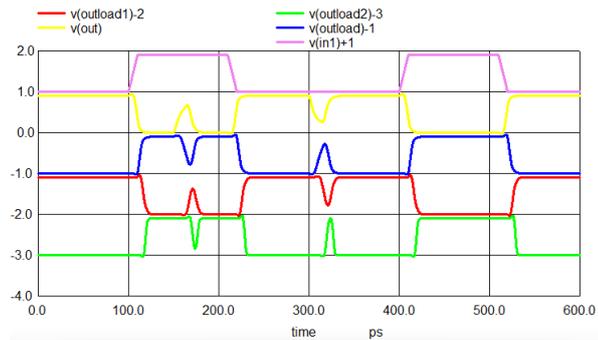
Resultado da variação do período do oscilador em anel de 17 inversores com envelhecimento



Fonte: A autora.

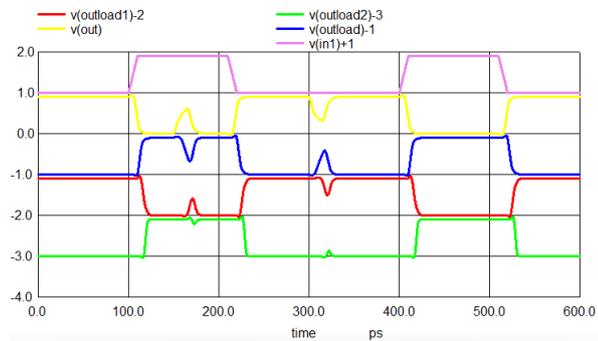
M Apêndice - Resultados do SET no inversor

Resultado do SET no inversor no estado Gold e saída de FoF1. O valor para a corrente negativa foi de 135 μ A e a da corrente positiva de 165 μ A.



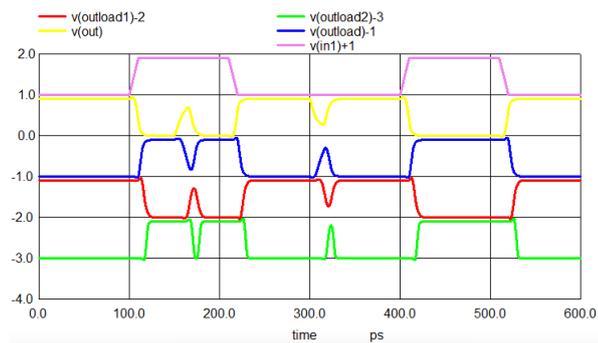
Fonte: A autora.

Resultado do SET no inversor no estado Gold e saída de FoF1. O valor para a corrente negativa foi de 130 μ A e a da corrente positiva de 160 μ A.



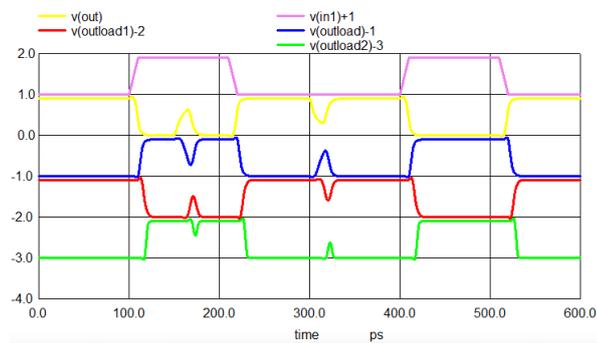
Fonte: A autora.

Resultado do SET no inversor com BTI de 10mV e saída de FoF1. O valor para a corrente negativa foi de 135uA e a da corrente positiva de 165uA.



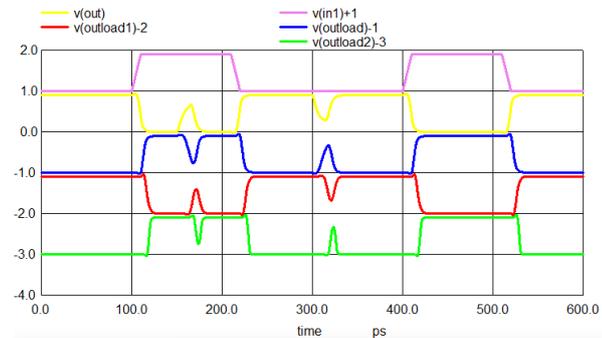
Fonte: A autora.

Resultado do SET no inversor com BTI de 10mV e saída de FoF1. O valor para a corrente negativa foi de 130uA e a da corrente positiva de 160uA.



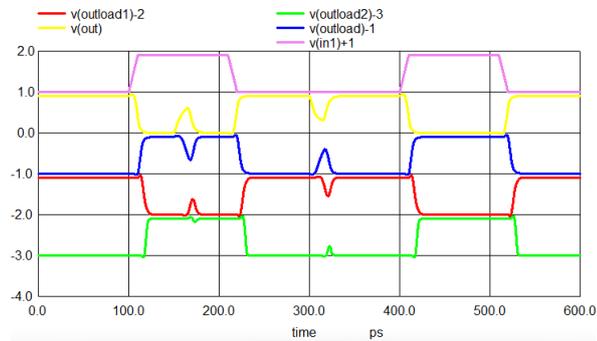
Fonte: A autora.

Resultado do SET no inversor com BTI de 20mV e saída de FoF1. O valor para a corrente negativa foi de 130uA e a da corrente positiva de 160uA.



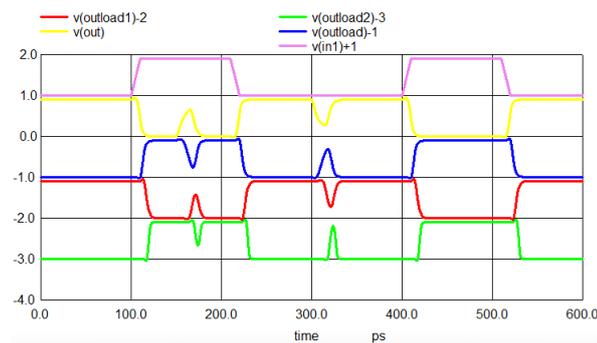
Fonte: A autora.

Resultado do SET no inversor com BTI de 20mV e saída de FoF1. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 155uA.



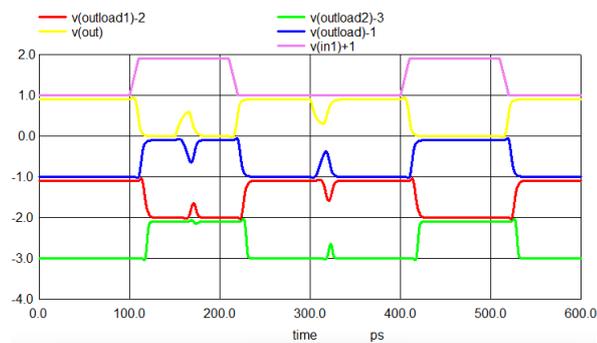
Fonte: A autora.

Resultado do SET no inversor com BTI de 40mV e saída de FoF1. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 155uA.



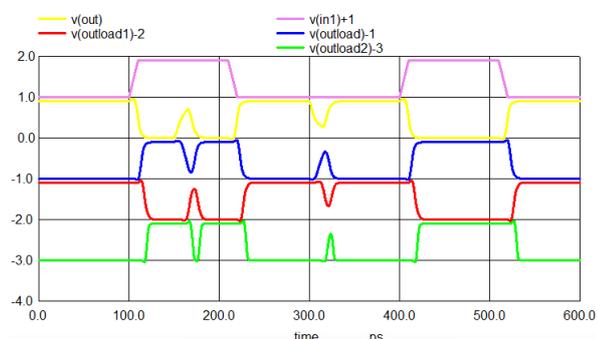
Fonte: A autora.

Resultado do SET no inversor com BTI de 40mV e saída de FoF1. O valor para a corrente negativa foi de 120uA e a da corrente positiva de 150uA.



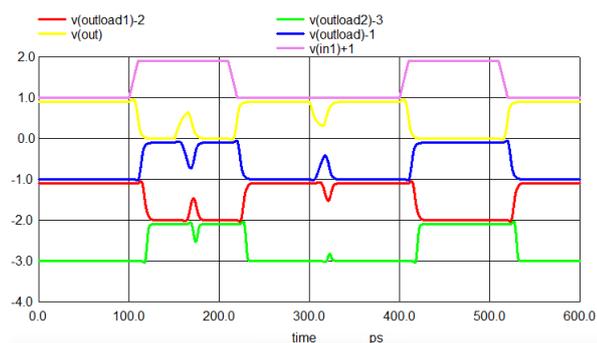
Fonte: A autora.

Resultado do SET no inversor com BTI de 80mV e saída de FoF1. O valor para a corrente negativa foi de 115uA e a da corrente positiva de 135uA.



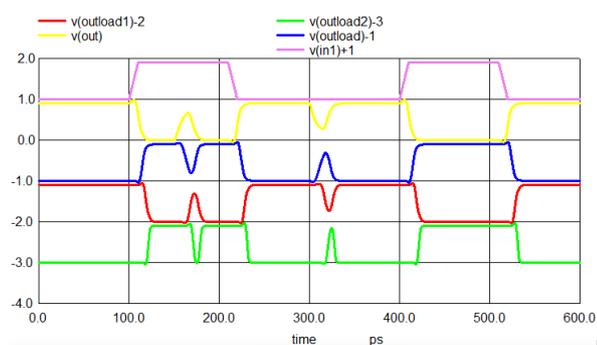
Fonte: A autora.

Resultado do SET no inversor com BTI de 80mV e saída de FoF1. O valor para a corrente negativa foi de 110uA e a da corrente positiva de 130uA.



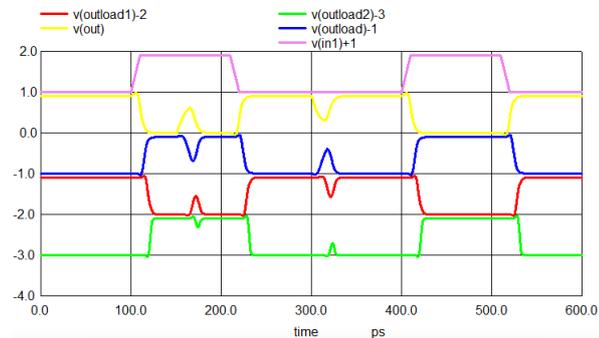
Fonte: A autora.

Resultado do SET no inversor com BTI de 160mV e saída de FoF1. O valor para a corrente negativa foi de 100uA e a da corrente positiva de 110uA.



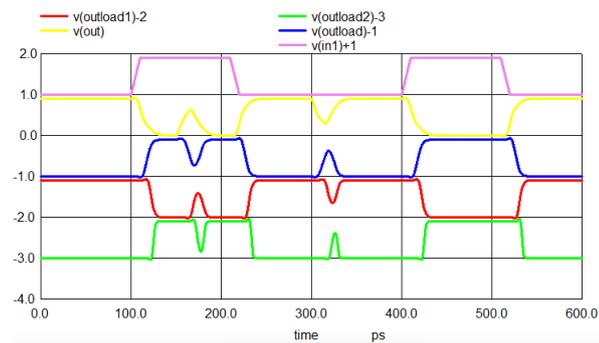
Fonte: A autora.

Resultado do SET no inversor com BTI de 160mV e saída de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 105uA.



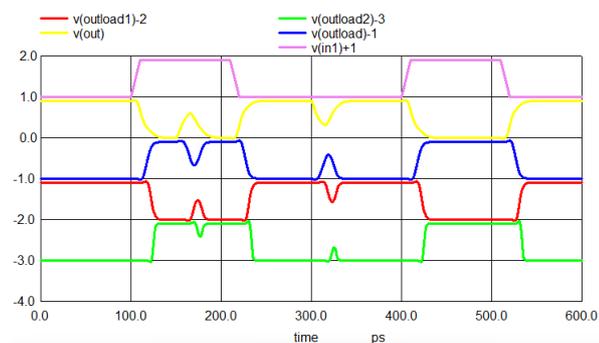
Fonte: A autora.

Resultado do SET no inversor em seu estado gold (sem BTI) e com a saída de FoF4. O valor para a corrente negativa foi de 180uA e a da corrente positiva de 205uA.



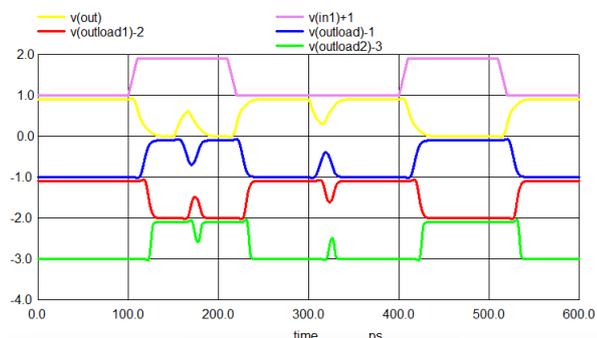
Fonte: A autora.

Resultado do SET no inversor em seu estado gold (sem BTI) e com a saída de FoF4. O valor para a corrente negativa foi de 175uA e a da corrente positiva de 200uA.



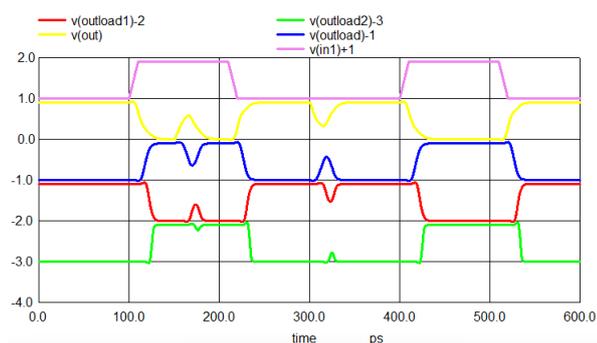
Fonte: A autora.

Resultado do SET no inversor com BTI de 10mV e com a saída de FoF4. O valor para a corrente negativa foi de 175uA e a da corrente positiva de 200uA.



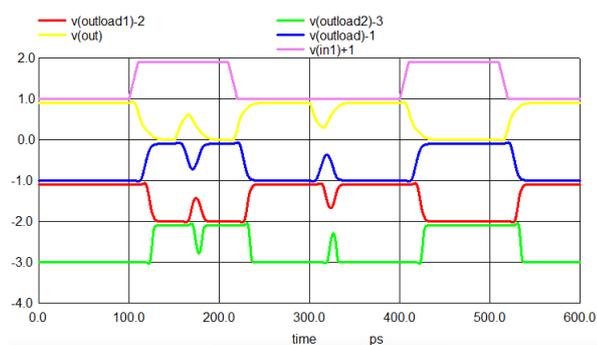
Fonte: A autora.

Resultado do SET no inversor com BTI de 10mV e com a saída de FoF4. O valor para a corrente negativa foi de 170uA e a da corrente positiva de 195uA.



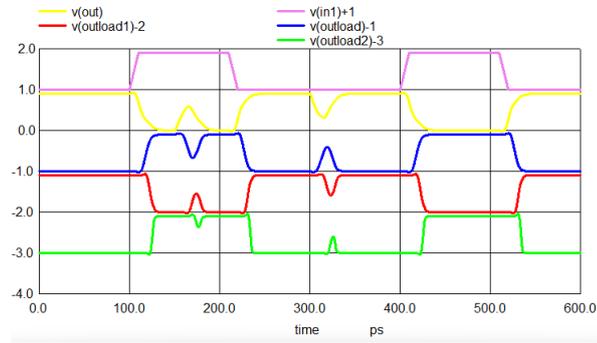
Fonte: A autora.

Resultado do SET no inversor com BTI de 20mV e com a saída de FoF4. O valor para a corrente negativa foi de 175uA e a da corrente positiva de 200uA.



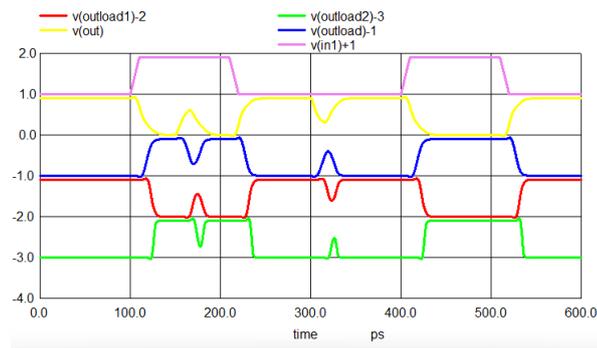
Fonte: A autora.

Resultado do SET no inversor com BTI de 20mV e com a saída de FoF4. O valor para a corrente negativa foi de 170uA e a da corrente positiva de 195uA.



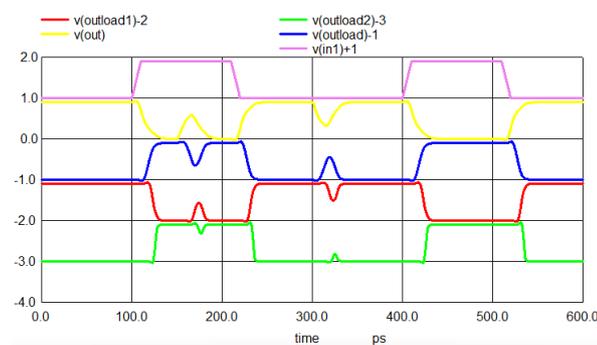
Fonte: A autora.

Resultado do SET no inversor com BTI de 40mV e com a saída de FoF4. O valor para a corrente negativa foi de 170uA e a da corrente positiva de 190uA.



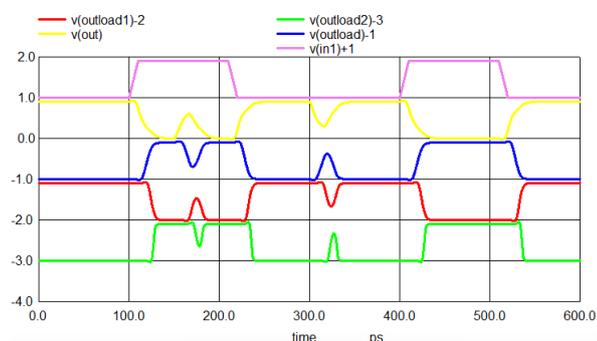
Fonte: A autora.

Resultado do SET no inversor com BTI de 40mV e com a saída de FoF4. O valor para a corrente negativa foi de 165uA e a da corrente positiva de 185uA.



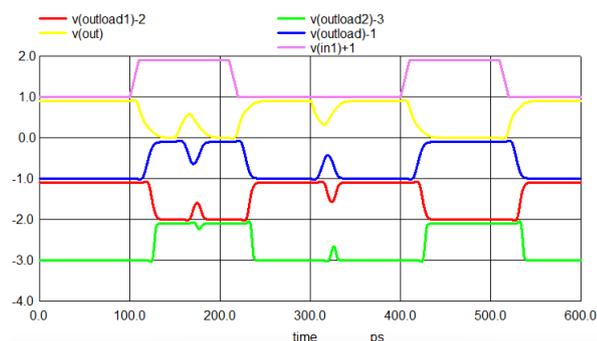
Fonte: A autora.

Resultado do SET no inversor com BTI de 80mV e com a saída de FoF4. O valor para a corrente negativa foi de 160uA e a da corrente positiva de 180uA.



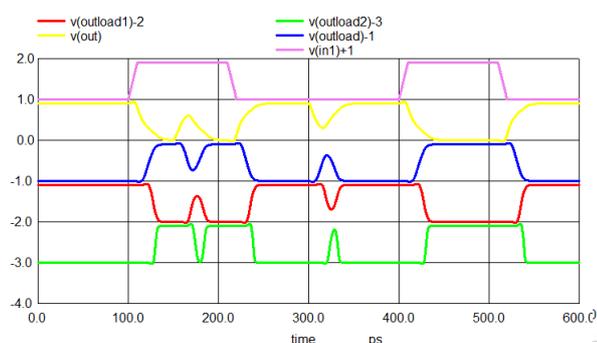
Fonte: A autora.

Resultado do SET no inversor com BTI de 80mV e com a saída de FoF4. O valor para a corrente negativa foi de 155uA e a da corrente positiva de 175uA.



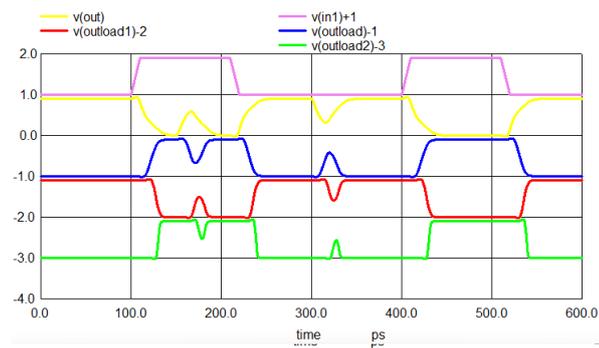
Fonte: A autora.

Resultado do SET no inversor com BTI de 160mV e com a saída de FoF4. O valor para a corrente negativa foi de 145uA e a da corrente positiva de 155uA.



Fonte: A autora.

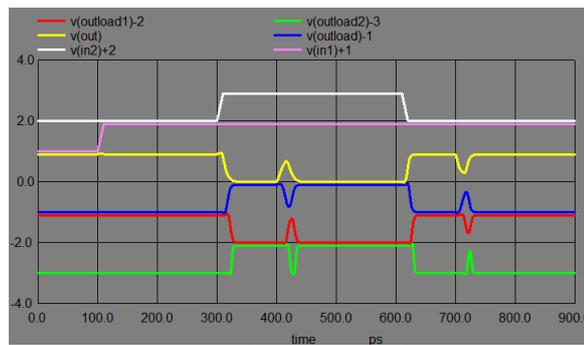
Resultado do SET no inversor com BTI de 160mV e com a saída de FoF4. O valor para a corrente negativa foi de 140uA e a da corrente positiva de 150uA.



Fonte: A autora.

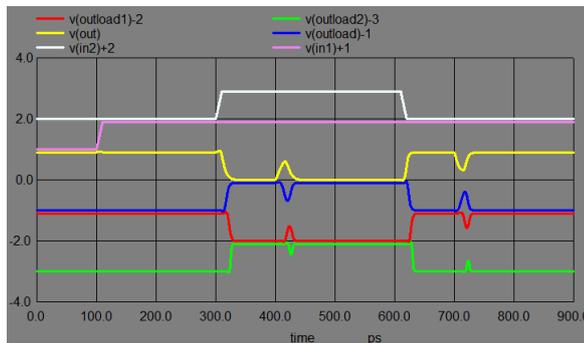
N Apêndice - Resultados do SET na NAND

Resultado do SET na NAND em estado gold com a saída de FoF1. O valor para a corrente negativa foi de 175uA e a da corrente positiva de 90uA.



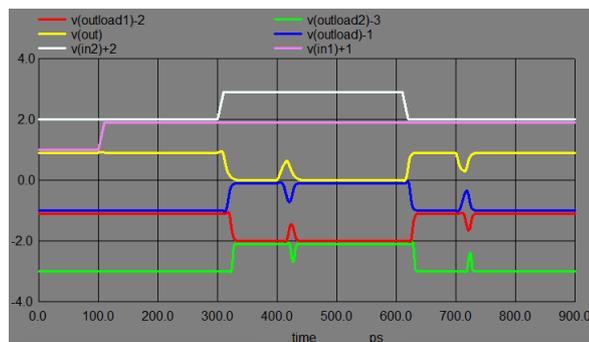
Fonte: A autora.

Resultado do SET na NAND em estado gold com a saída de FoF1. O valor para a corrente negativa foi de 170uA e a da corrente positiva de 85uA.



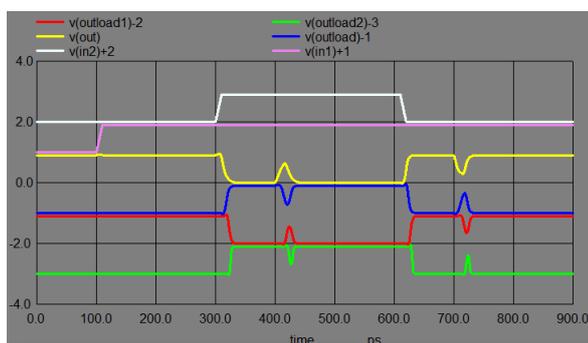
Fonte: A autora.

Resultado do SET na NAND com BTI de 10mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 170uA e a da corrente positiva de 85uA.



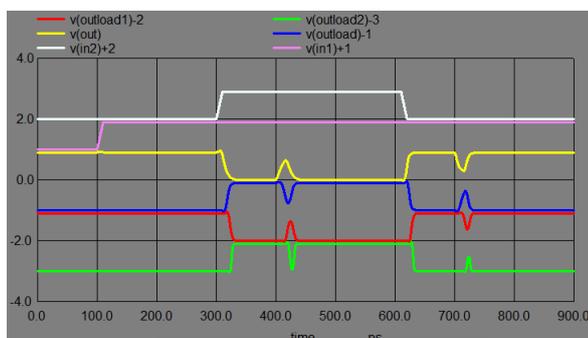
Fonte: A autora.

Resultado do SET na NAND com BTI de 10mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 165uA e a da corrente positiva de 80uA.



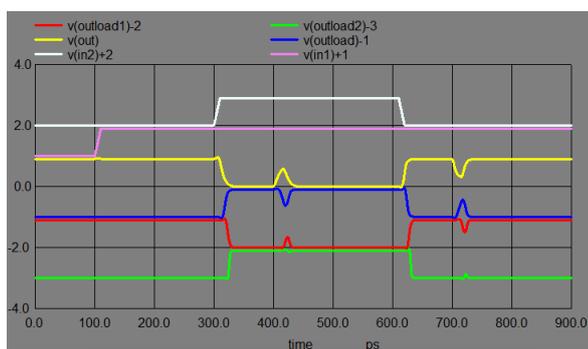
Fonte: A autora.

Resultado do SET na NAND com BTI de 20mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 165uA e a da corrente positiva de 85uA.



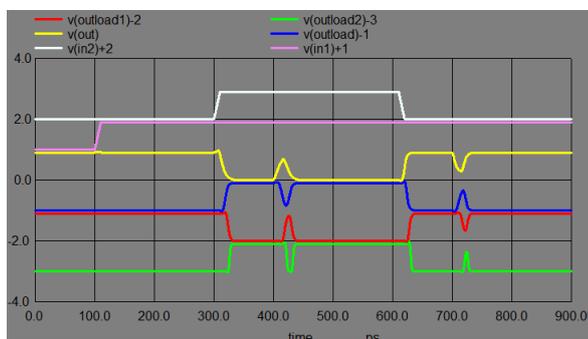
Fonte: A autora.

Resultado do SET na NAND com BTI de 20mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 160uA e a da corrente positiva de 80uA.



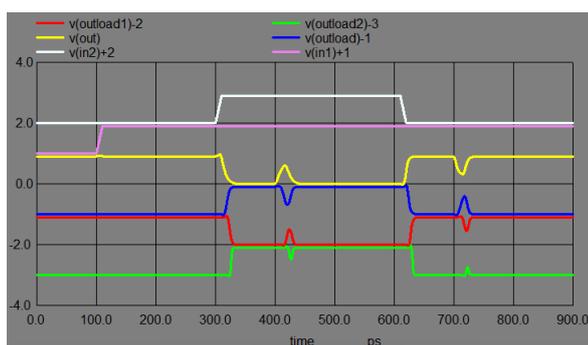
Fonte: A autora.

Resultado do SET na NAND com BTI de 40mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 160uA e a da corrente positiva de 85uA.



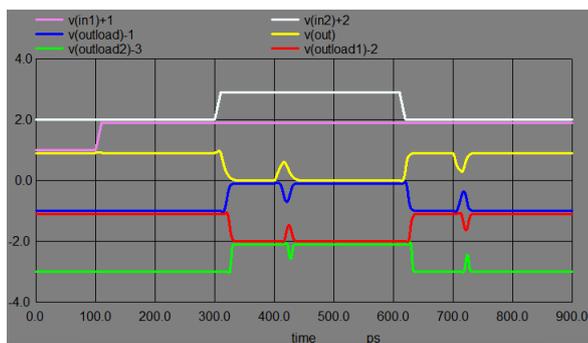
Fonte: A autora.

Resultado do SET na NAND com BTI de 40mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 155uA e a da corrente positiva de 80uA.



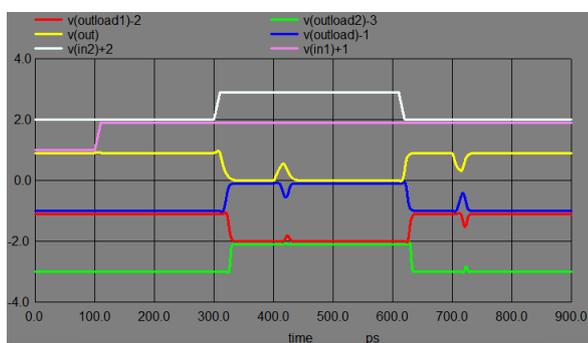
Fonte: A autora.

Resultado do SET na NAND com BTI de 80mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 145uA e a da corrente positiva de 75uA.



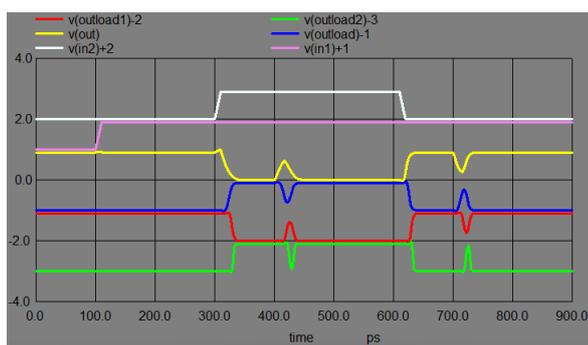
Fonte: A autora.

Resultado do SET na NAND com BTI de 80mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 140uA e a da corrente positiva de 70uA.



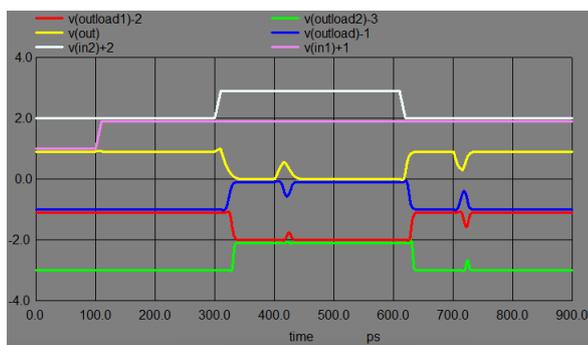
Fonte: A autora.

Resultado do SET na NAND com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 120uA e a da corrente positiva de 65uA.



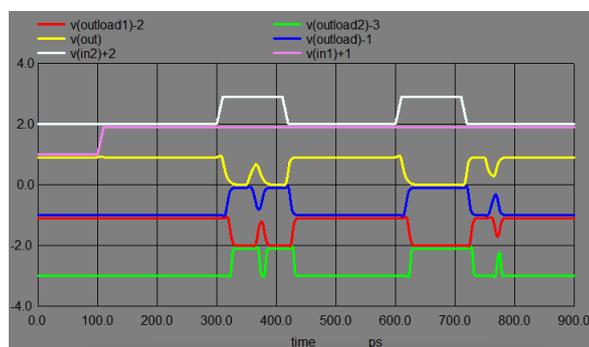
Fonte: A autora.

Resultado do SET na NAND com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 115uA e a da corrente positiva de 60uA.



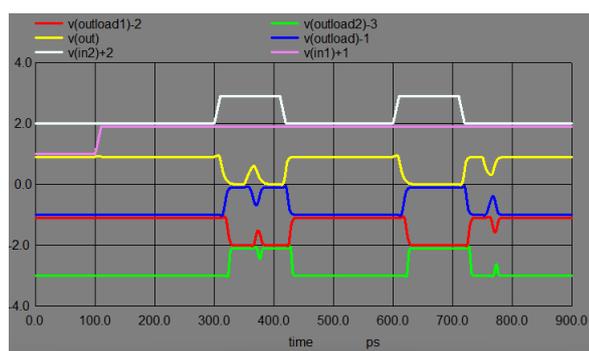
Fonte: A autora.

Resultado do SET na NAND em estado gold, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 175uA e a da corrente positiva de 90uA.



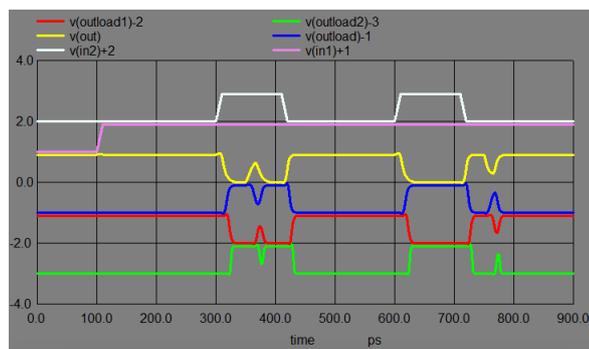
Fonte: A autora.

Resultado do SET na NAND em estado gold, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 170uA e a da corrente positiva de 85uA.



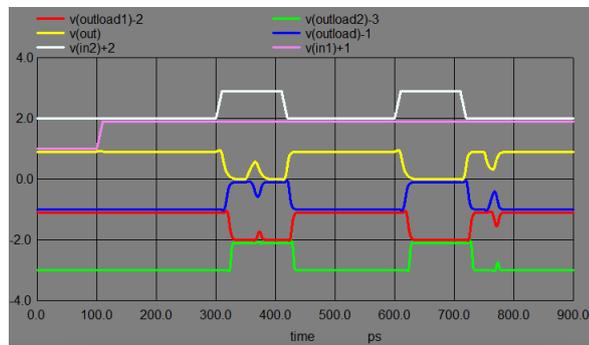
Fonte: A autora.

Resultado do SET na NAND com BTI de 10mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 170uA e a da corrente positiva de 85uA.



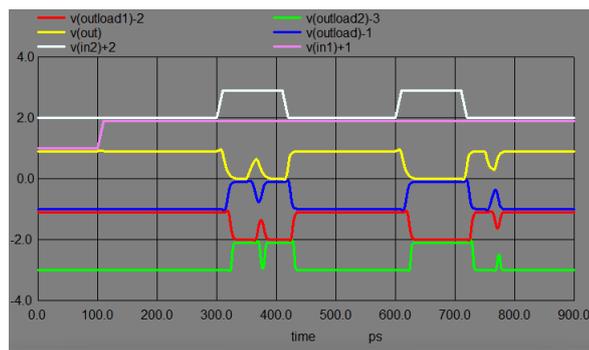
Fonte: A autora.

Resultado do SET na NAND com BTI de 10mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 165uA e a da corrente positiva de 80uA.



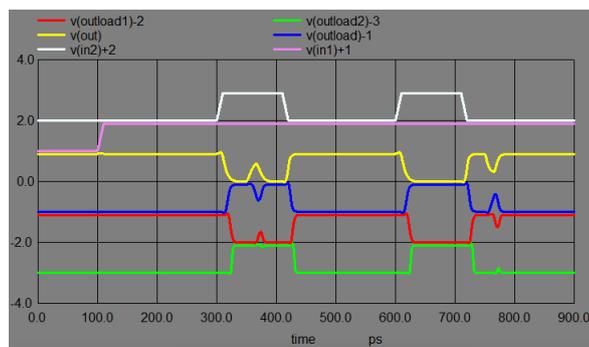
Fonte: A autora.

Resultado do SET na NAND com BTI de 20mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 165uA e a da corrente positiva de 85uA.



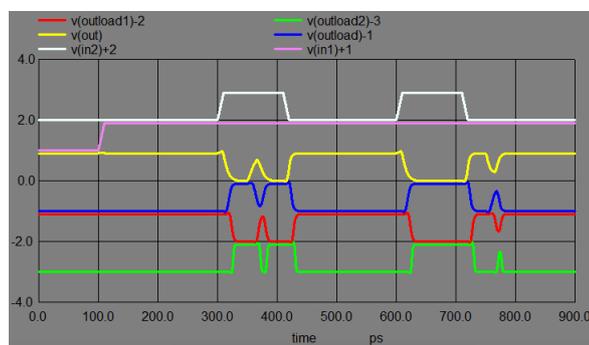
Fonte: A autora.

Resultado do SET na NAND com BTI de 20mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 160uA e a da corrente positiva de 80uA.



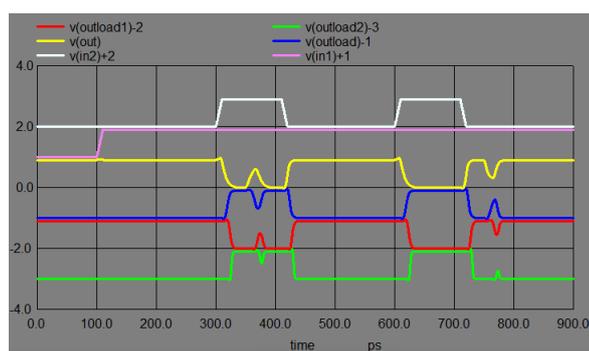
Fonte: A autora.

Resultado do SET na NAND com BTI de 40mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 165uA e a da corrente positiva de 85uA.



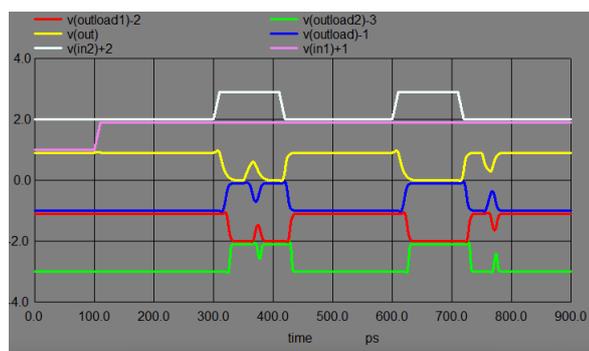
Fonte: A autora.

Resultado do SET na NAND com BTI de 40mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 155uA e a da corrente positiva de 80uA.



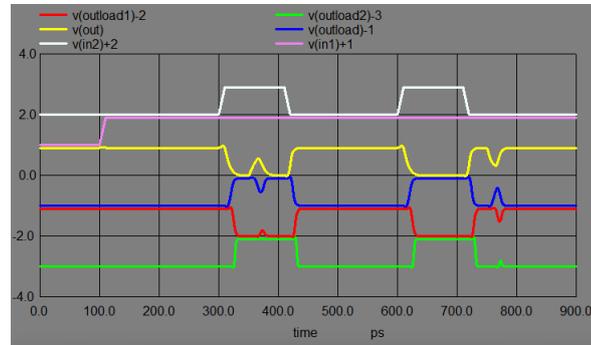
Fonte: A autora.

Resultado do SET na NAND com BTI de 80mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 145uA e a da corrente positiva de 75uA.



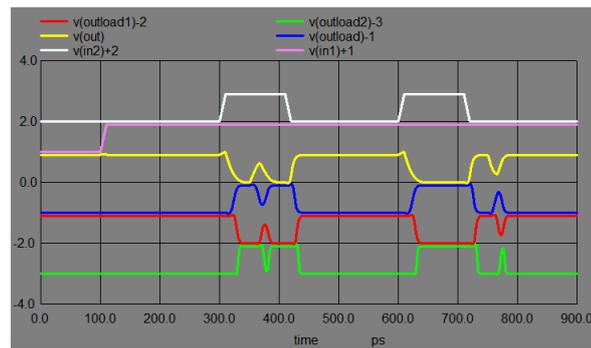
Fonte: A autora.

Resultado do SET na NAND com BTI de 80mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 140uA e a da corrente positiva de 70uA.



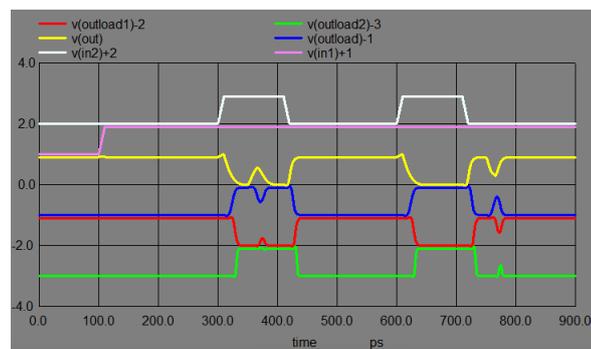
Fonte: A autora.

Resultado do SET na NAND com BTI de 160mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 120uA e a da corrente positiva de 60uA.



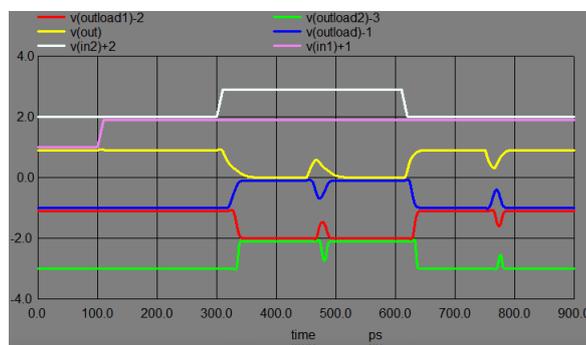
Fonte: A autora.

Resultado do SET na NAND com BTI de 160mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 115uA e a da corrente positiva de 55uA.



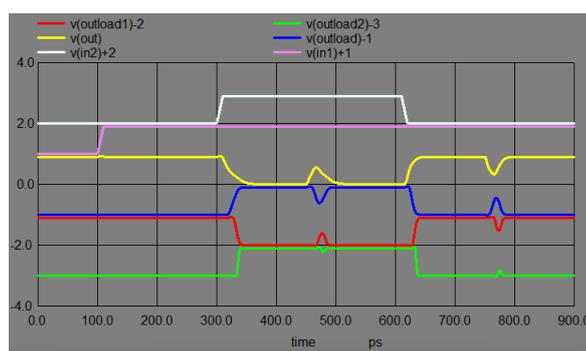
Fonte: A autora.

Resultado do SET na NAND em estado gold, com a entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 210uA e a da corrente positiva de 130uA.



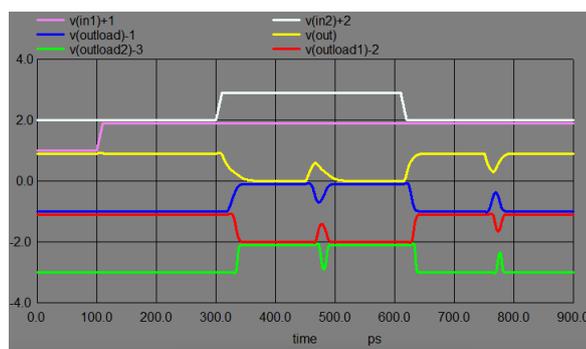
Fonte: A autora.

Resultado do SET na NAND em estado gold, com a entrada 1 oscilando com a saída de FoF4. O valor para a corrente negativa foi de 205uA e a da corrente positiva de 125uA.



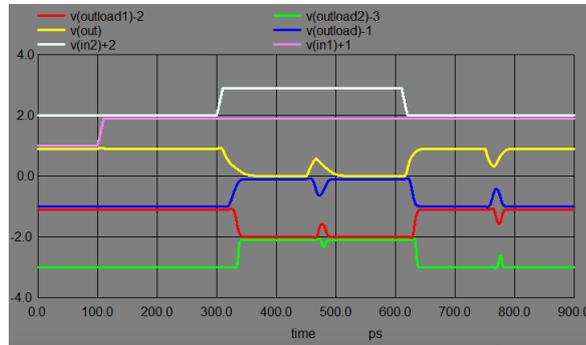
Fonte: A autora.

Resultado do SET na NAND com BTI de 10mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 210uA e a da corrente positiva de 130uA.



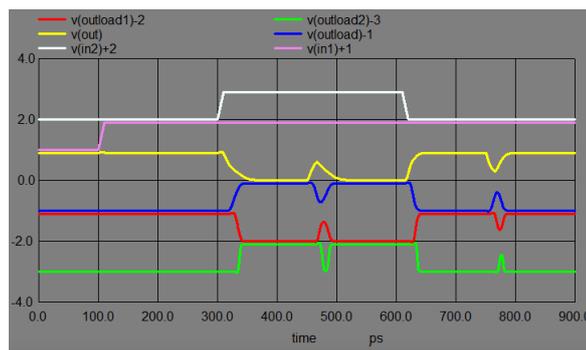
Fonte: A autora.

Resultado do SET na NAND com BTI de 10mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 205uA e a da corrente positiva de 125uA.



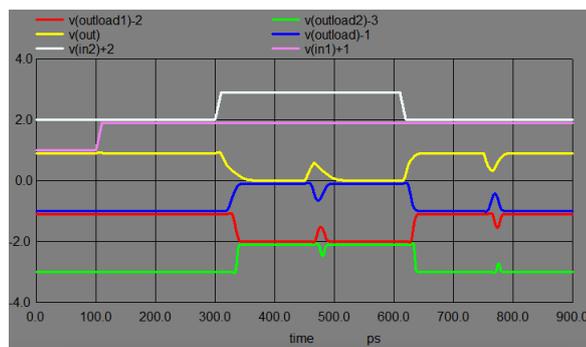
Fonte: A autora.

Resultado do SET na NAND com BTI de 20mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 205uA e a da corrente positiva de 130uA.



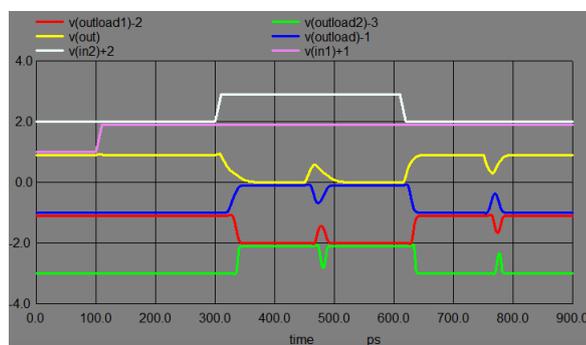
Fonte: A autora.

Resultado do SET na NAND com BTI de 20mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 200uA e a da corrente positiva de 125uA.



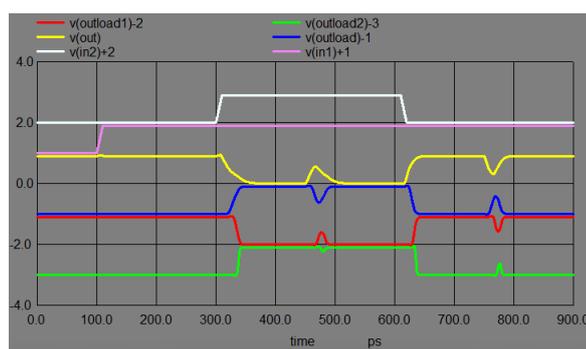
Fonte: A autora.

Resultado do SET na NAND com BTI de 40mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 200uA e a da corrente positiva de 125uA.



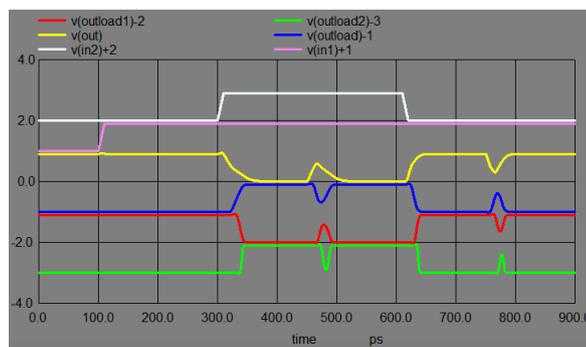
Fonte: A autora.

Resultado do SET na NAND com BTI de 40mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 195uA e a da corrente positiva de 120uA.



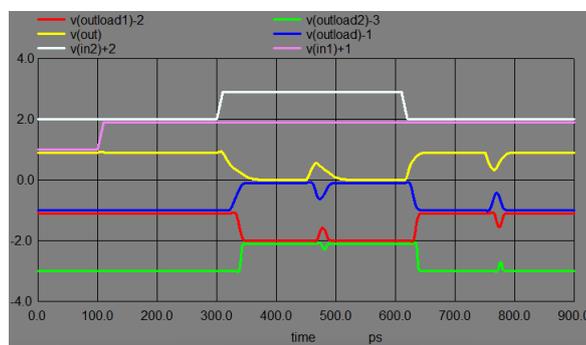
Fonte: A autora.

Resultado do SET na NAND com BTI de 80mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 185uA e a da corrente positiva de 120uA.



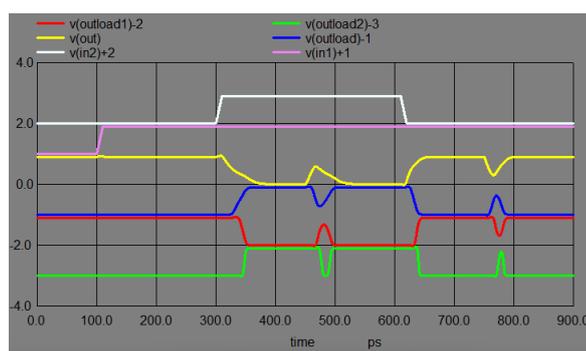
Fonte: A autora.

Resultado do SET na NAND com BTI de 80mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 180uA e a da corrente positiva de 115uA.



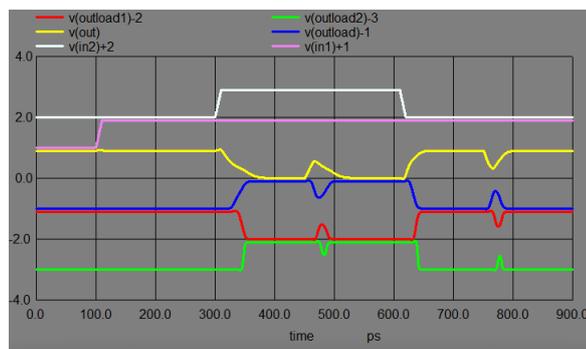
Fonte: A autora.

Resultado do SET na NAND com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 160uA e a da corrente positiva de 110uA.



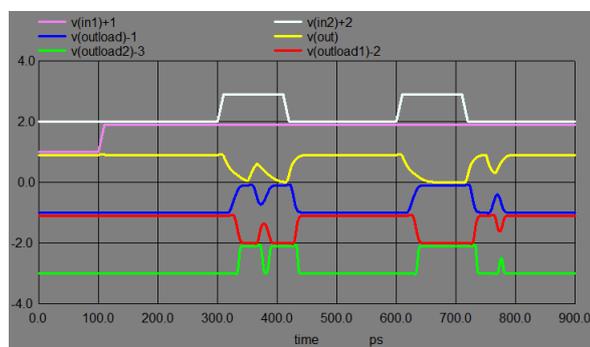
Fonte: A autora.

Resultado do SET na NAND com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 155uA e a da corrente positiva de 105uA.



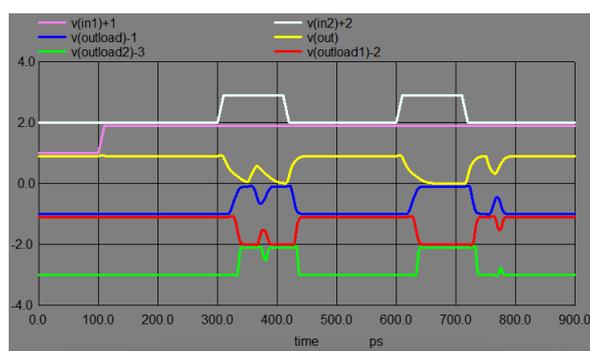
Fonte: A autora.

Resultado do SET na NAND em estado gold, com a entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 210uA e a da corrente positiva de 130uA.



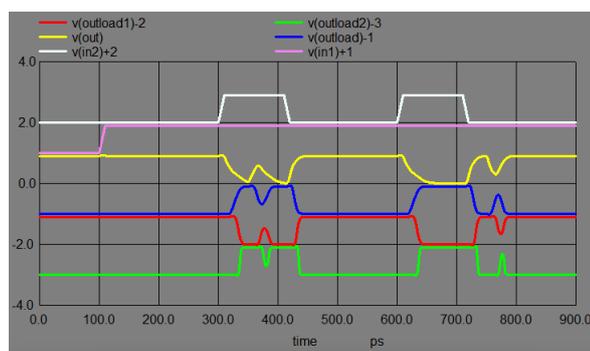
Fonte: A autora.

Resultado do SET na NAND em estado gold, com a entrada 2 oscilando com a saída de FoF4. O valor para a corrente negativa foi de 205uA e a da corrente positiva de 125uA.



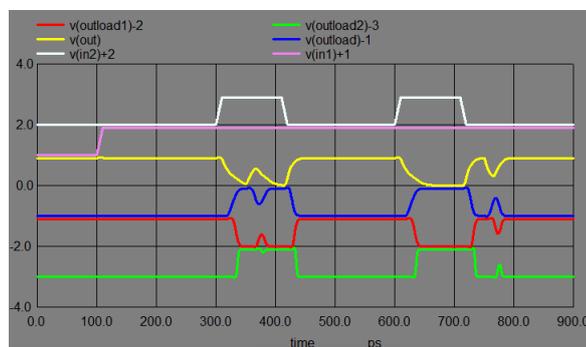
Fonte: A autora.

Resultado do SET na NAND com BTI de 10mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 210uA e a da corrente positiva de 125uA.



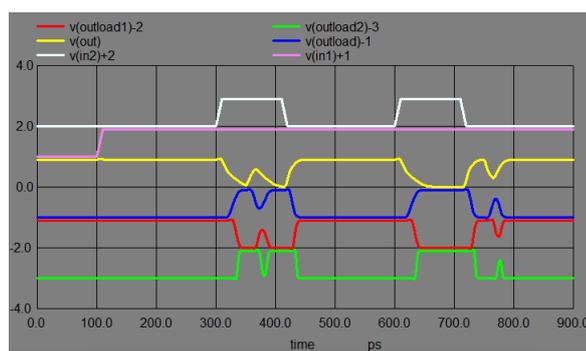
Fonte: A autora.

Resultado do SET na NAND com BTI de 10mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 205uA e a da corrente positiva de 120uA.



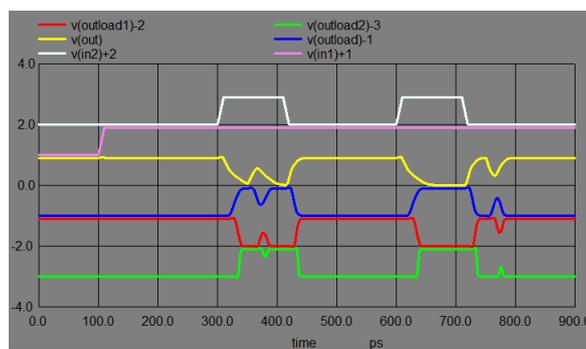
Fonte: A autora.

Resultado do SET na NAND com BTI de 20mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 210uA e a da corrente positiva de 125uA.



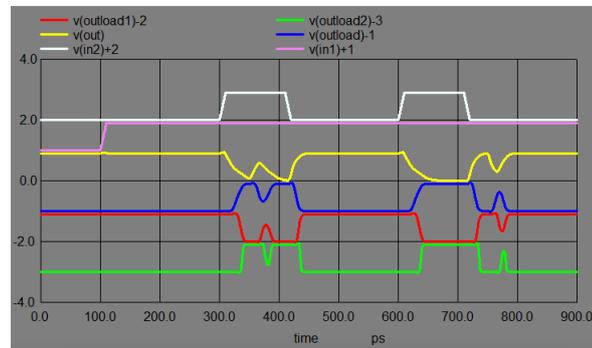
Fonte: A autora.

Resultado do SET na NAND com BTI de 20mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 205uA e a da corrente positiva de 120uA.



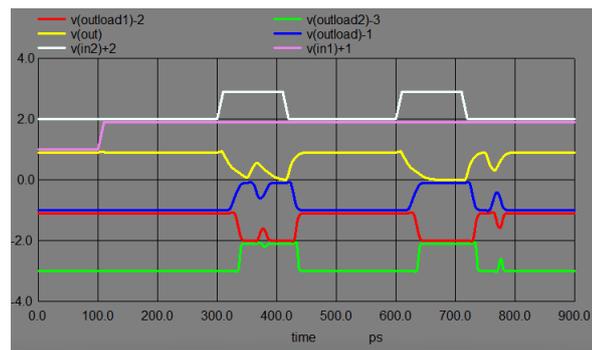
Fonte: A autora.

Resultado do SET na NAND com BTI de 40mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 200uA e a da corrente positiva de 125uA.



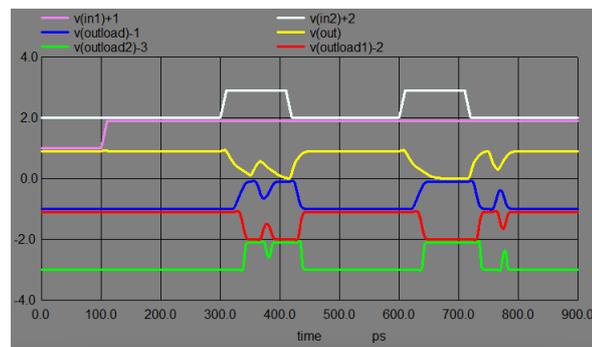
Fonte: A autora.

Resultado do SET na NAND com BTI de 40mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 195uA e a da corrente positiva de 120uA.



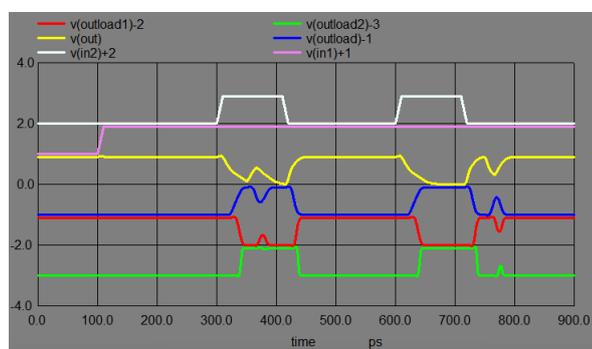
Fonte: A autora.

Resultado do SET na NAND com BTI de 80mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 185uA e a da corrente positiva de 110uA.



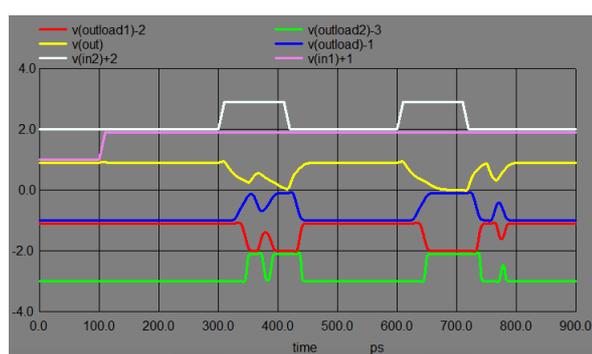
Fonte: A autora.

Resultado do SET na NAND com BTI de 80mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 180uA e a da corrente positiva de 105uA.



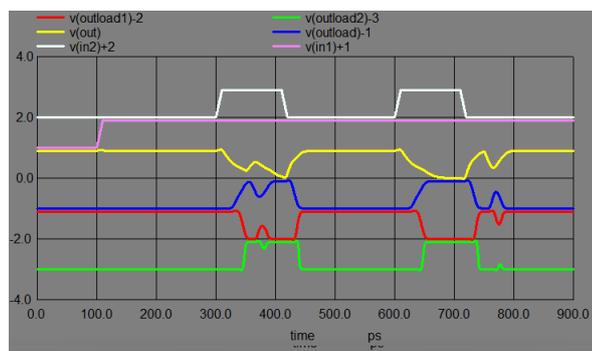
Fonte: A autora.

Resultado do SET na NAND com BTI de 160mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 155uA e a da corrente positiva de 85uA.



Fonte: A autora.

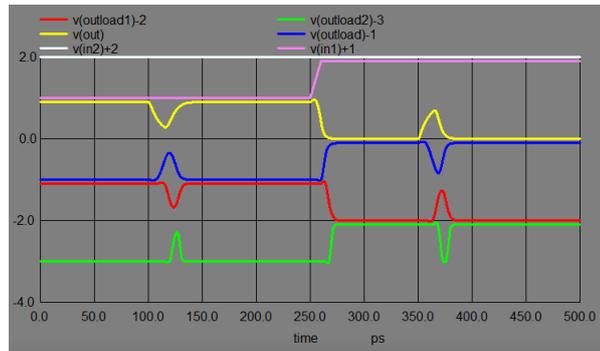
Resultado do SET na NAND com BTI de 160mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 150uA e a da corrente positiva de 80uA.



Fonte: A autora.

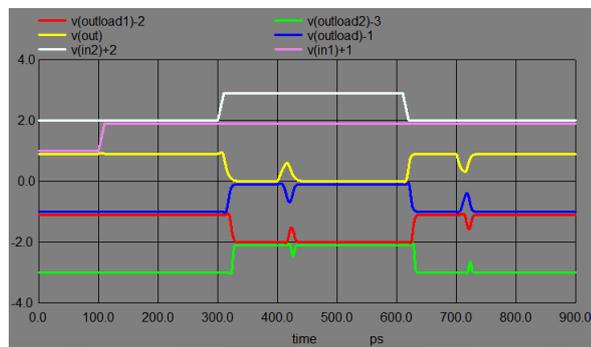
O Apêndice - Resultados do SET na NOR

Resultado do SET na NOR em estado gold com a saída de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 140uA.



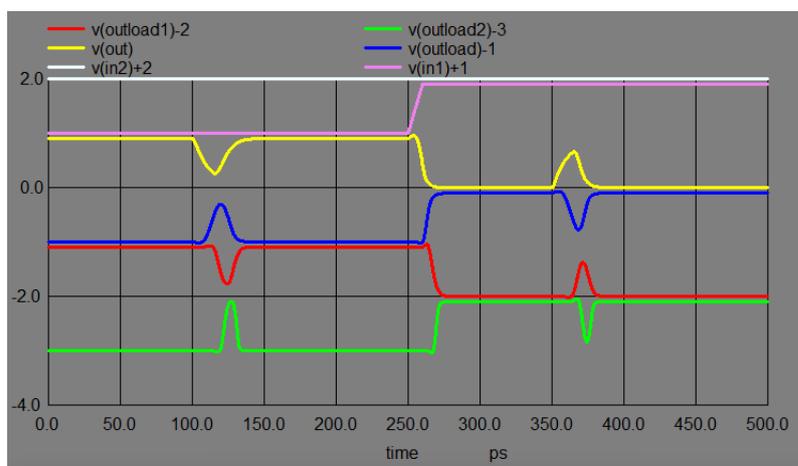
Fonte: A autora.

Resultado do SET na NOR em estado gold com a saída de FoF1. O valor para a corrente negativa foi de 136uA e a da corrente positiva de 85uA.



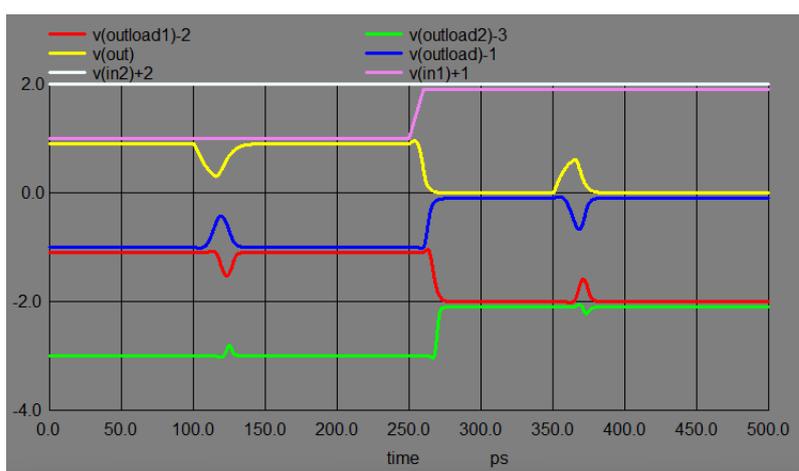
Fonte: A autora.

Resultado do SET na NOR com BTI de 10mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 135uA.



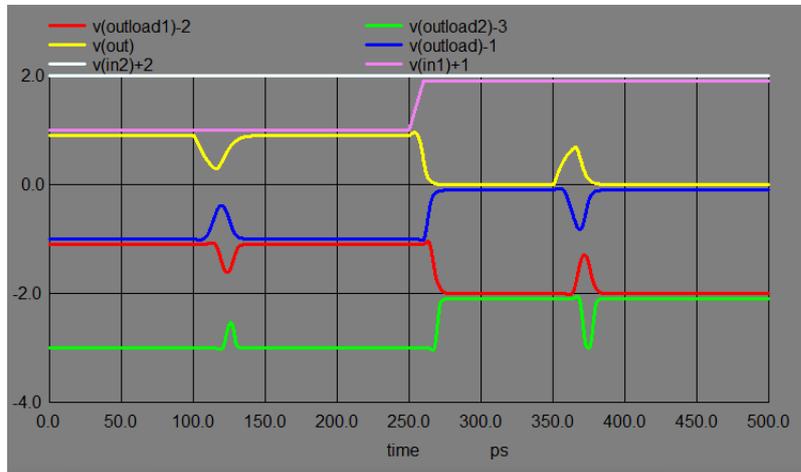
Fonte: A autora.

Resultado do SET na NOR com BTI de 10mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 85uA e a da corrente positiva de 130uA.



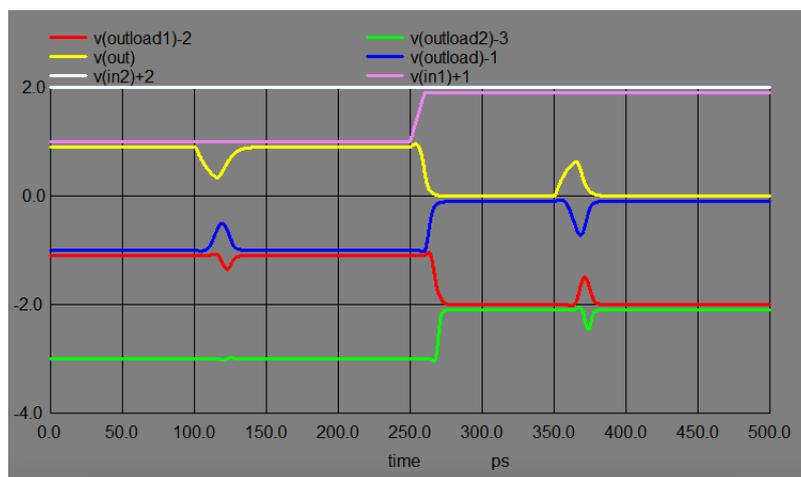
Fonte: A autora.

Resultado do SET na NOR com BTI de 20mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 85uA e a da corrente positiva de 135uA.



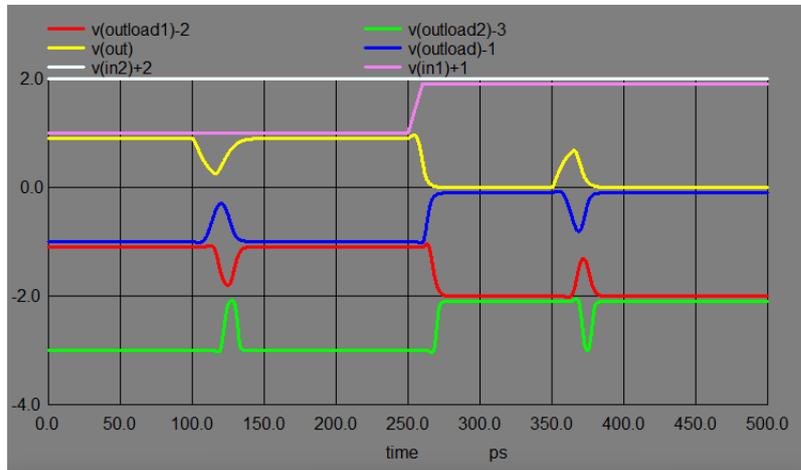
Fonte: A autora.

Resultado do SET na NOR com BTI de 20mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 80uA e a da corrente positiva de 130uA.



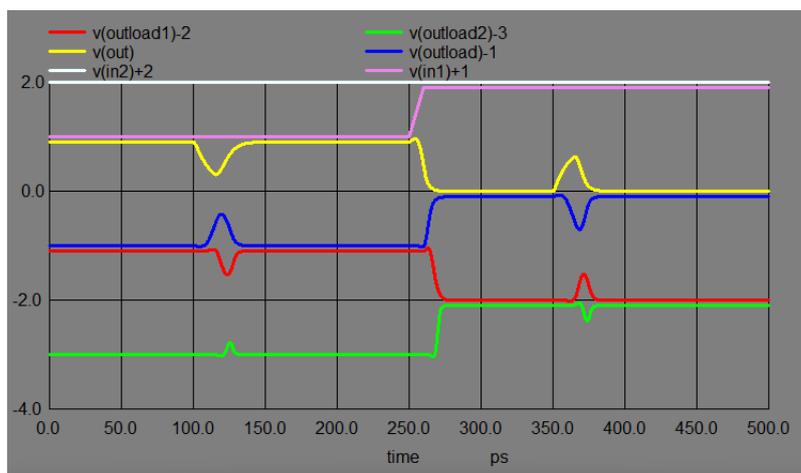
Fonte: A autora.

Resultado do SET na NOR com BTI de 40mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 85uA e a da corrente positiva de 130uA.



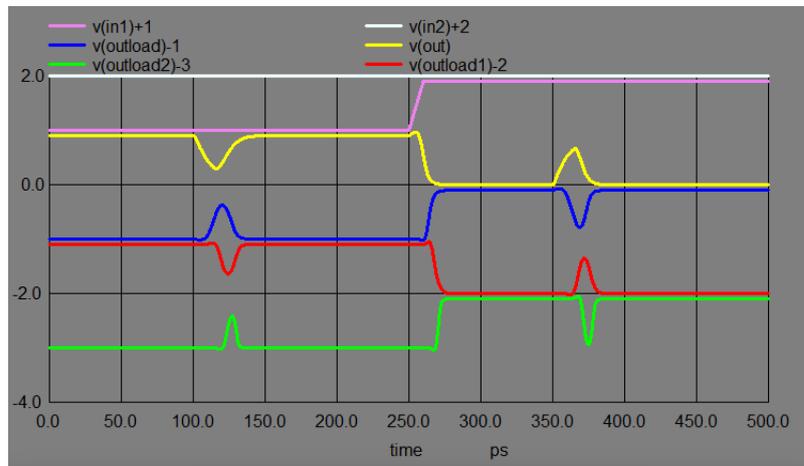
Fonte: A autora.

Resultado do SET na NOR com BTI de 40mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 80uA e a da corrente positiva de 125uA.



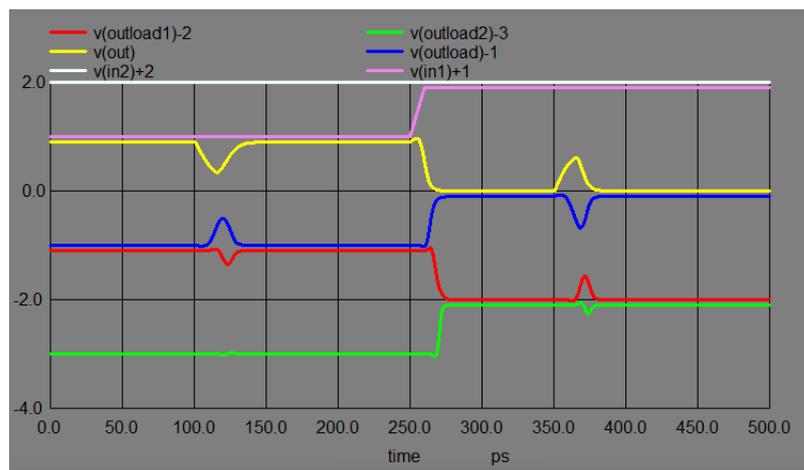
Fonte: A autora.

Resultado do SET na NOR com BTI de 80mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 75uA e a da corrente positiva de 125uA.



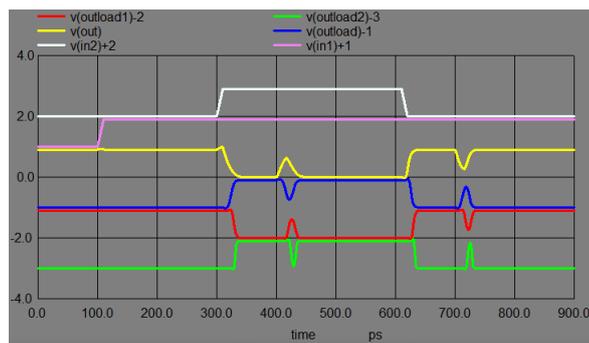
Fonte: A autora.

Resultado do SET na NOR com BTI de 80mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 70uA e a da corrente positiva de 120uA.



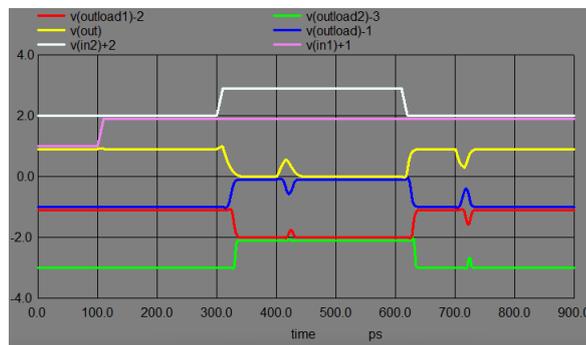
Fonte: A autora.

Resultado do SET na NOR com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 65uA e a da corrente positiva de 100uA.



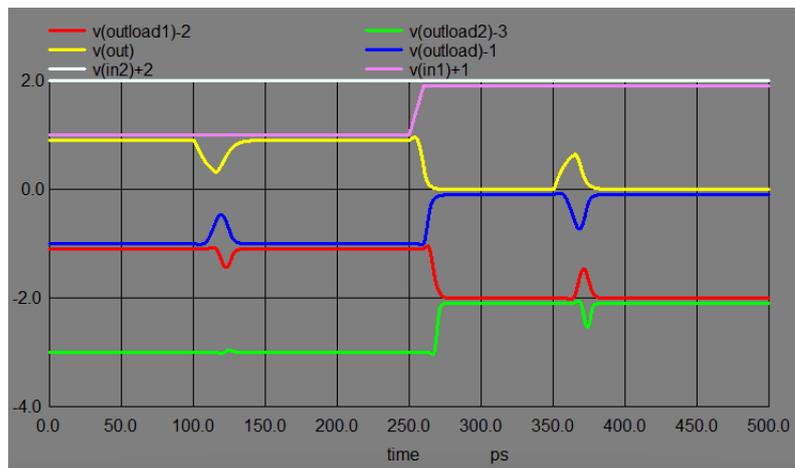
Fonte: A autora.

Resultado do SET na NOR com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 60uA e a da corrente positiva de 95uA.



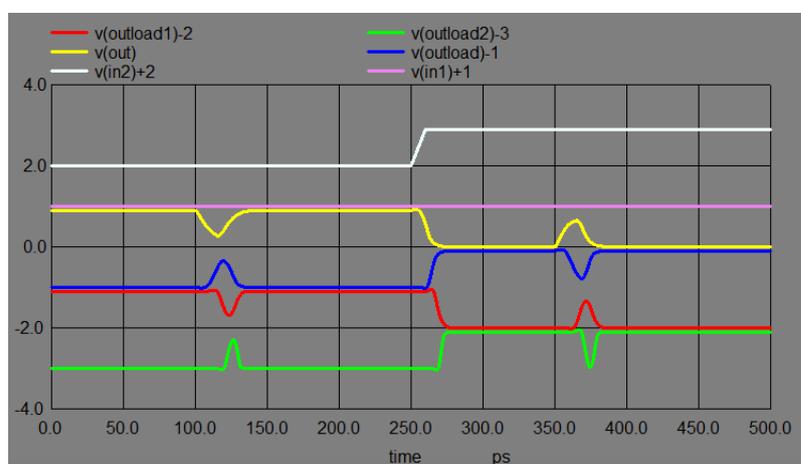
Fonte: A autora.

Resultado do SET na NOR em estado gold, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 145uA.



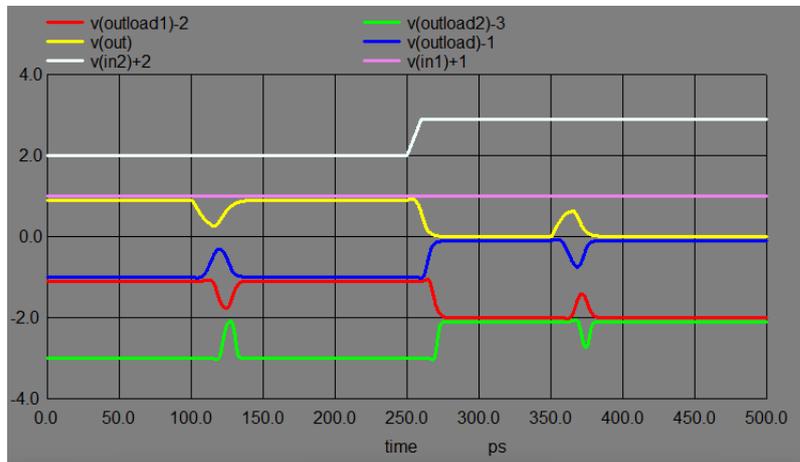
Fonte: A autora.

Resultado do SET na NAND em estado gold, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 140uA.



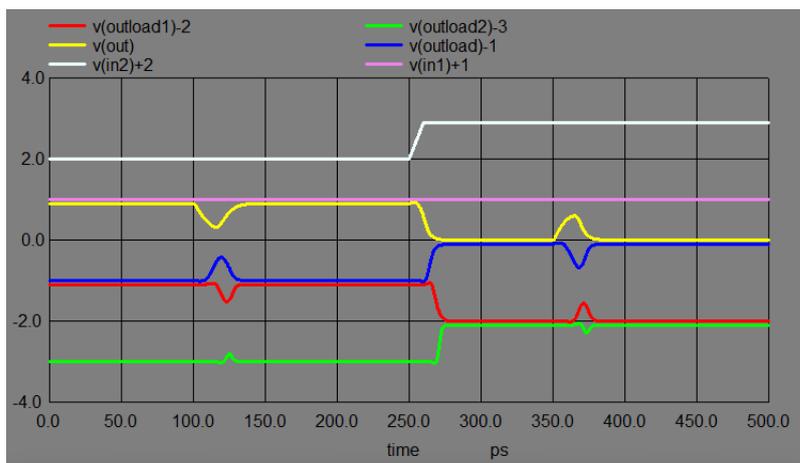
Fonte: A autora.

Resultado do SET na NOR com BTI de 10mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 140uA.



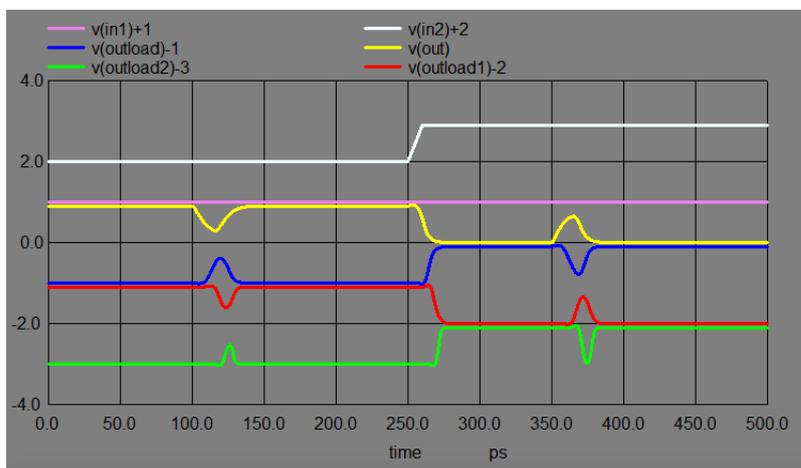
Fonte: A autora.

Resultado do SET na NOR com BTI de 10mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 85uA e a da corrente positiva de 135uA.



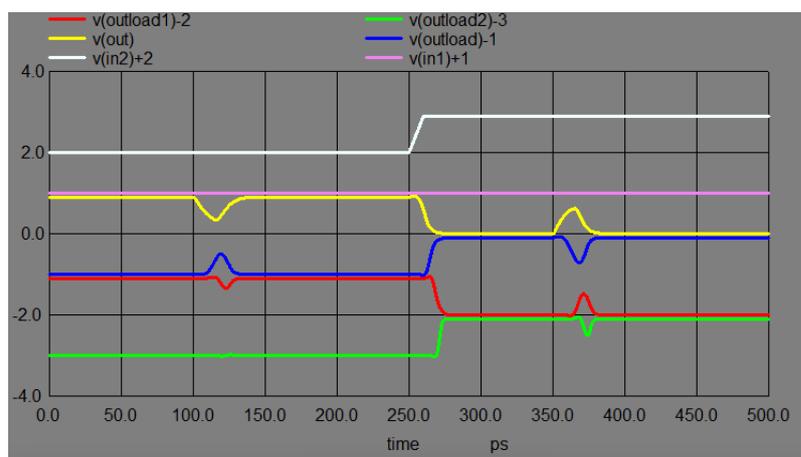
Fonte: A autora.

Resultado do SET na NOR com BTI de 20mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 85uA e a da corrente positiva de 140uA.



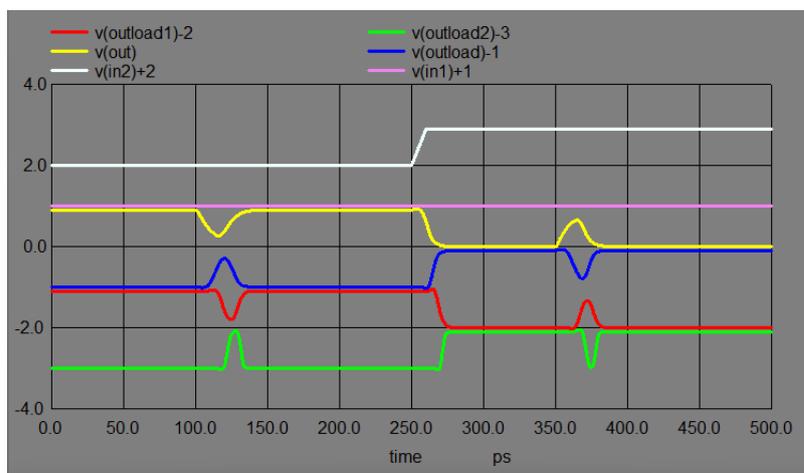
Fonte: A autora.

Resultado do SET na NOR com BTI de 20mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 80uA e a da corrente positiva de 135uA.



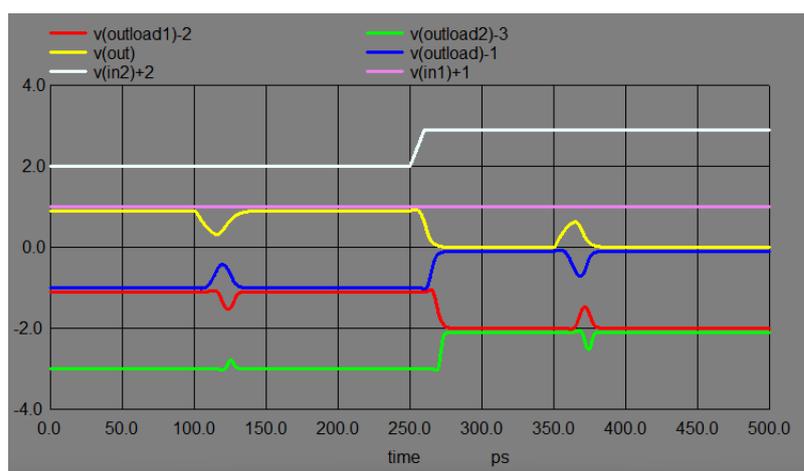
Fonte: A autora.

Resultado do SET na NOR com BTI de 40mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 85uA e a da corrente positiva de 135uA.

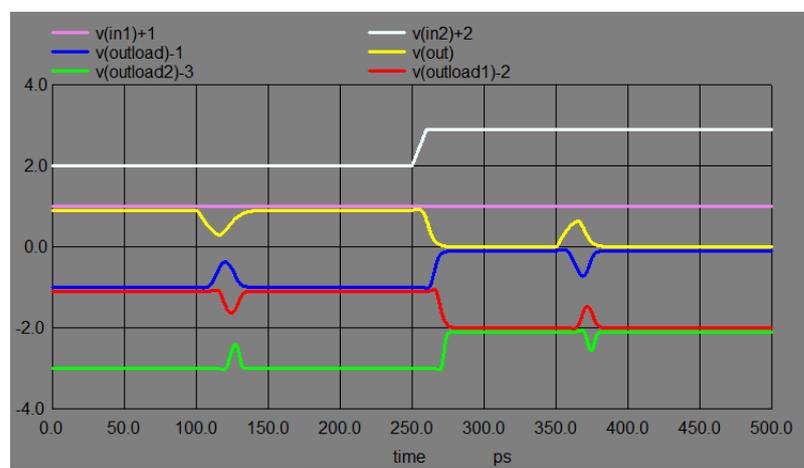


Fonte: A autora.

Resultado do SET na NOR com BTI de 40mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 80uA e a da corrente positiva de 130uA.

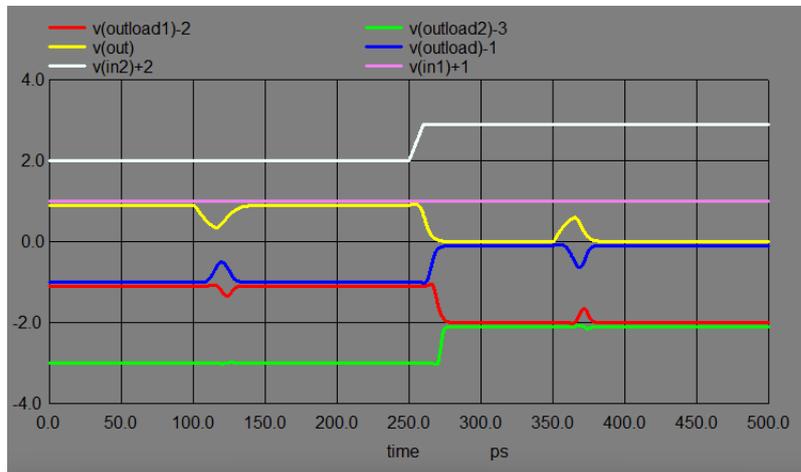


Fonte: A autora.



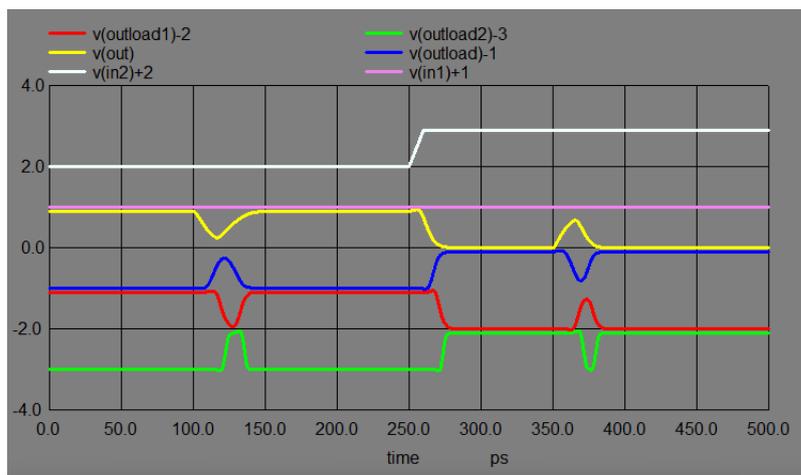
Fonte: A autora.

Resultado do SET na NOR com BTI de 80mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 70uA e a da corrente positiva de 115uA.



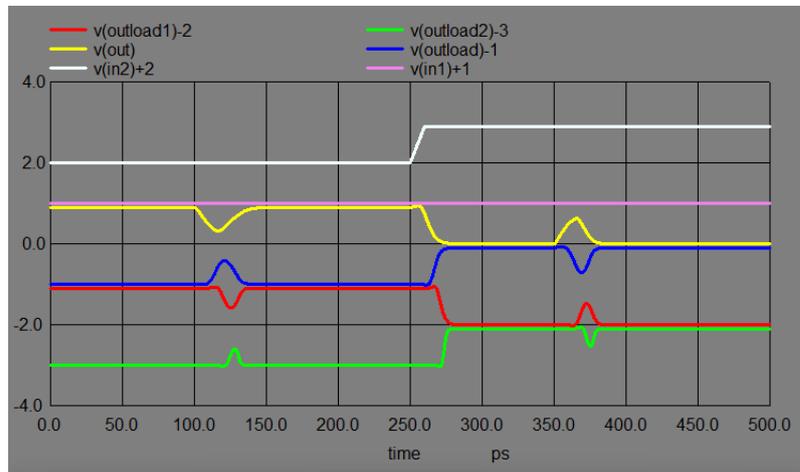
Fonte: A autora.

Resultado do SET na NOR com BTI de 160mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 65uA e a da corrente positiva de 105uA.



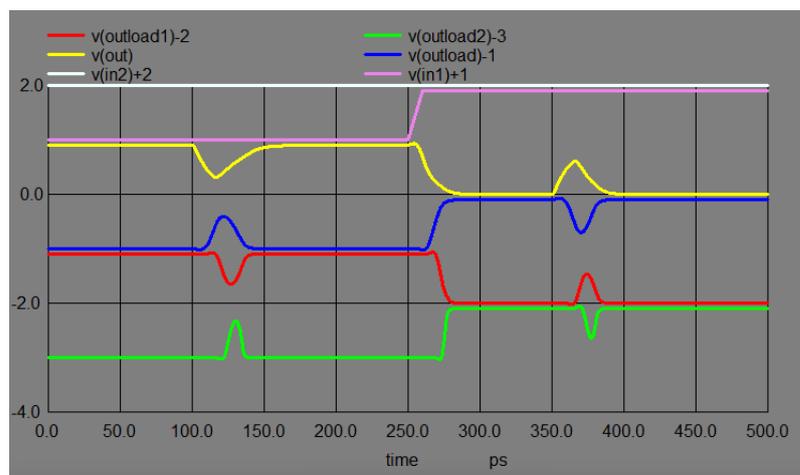
Fonte: A autora.

Resultado do SET na NOR com BTI de 160mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 60uA e a da corrente positiva de 100uA.



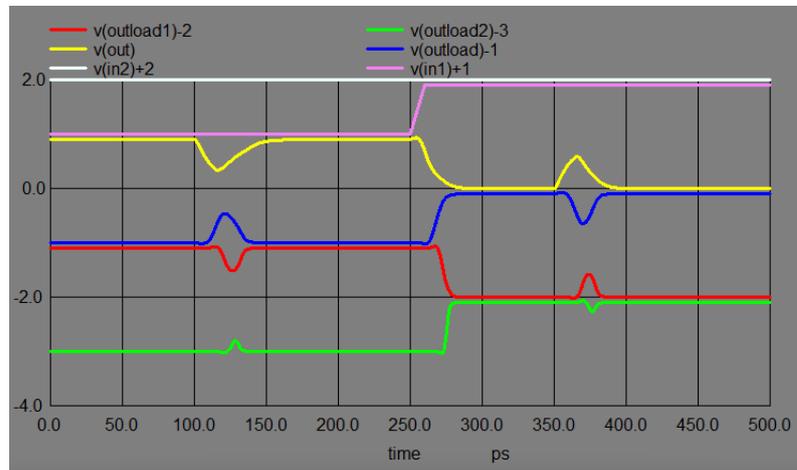
Fonte: A autora.

Resultado do SET na NOR em estado gold, com a entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 130uA e a da corrente positiva de 180uA.



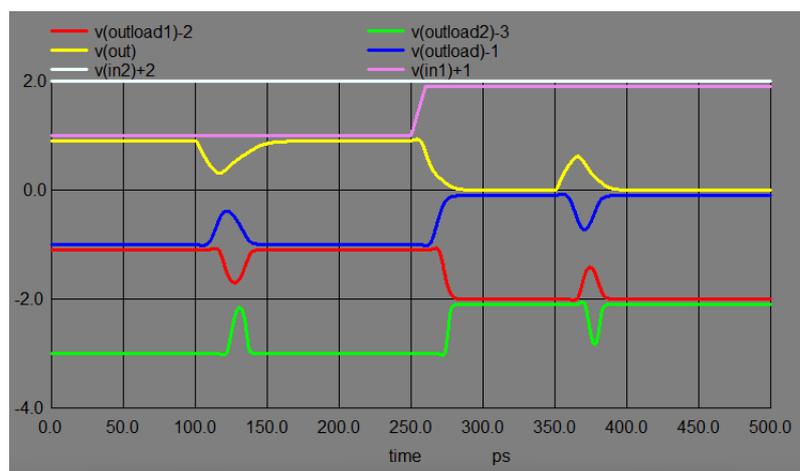
Fonte: A autora.

Resultado do SET na NOR em estado gold, com a entrada 1 oscilando com a saída de FoF4. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 175uA.



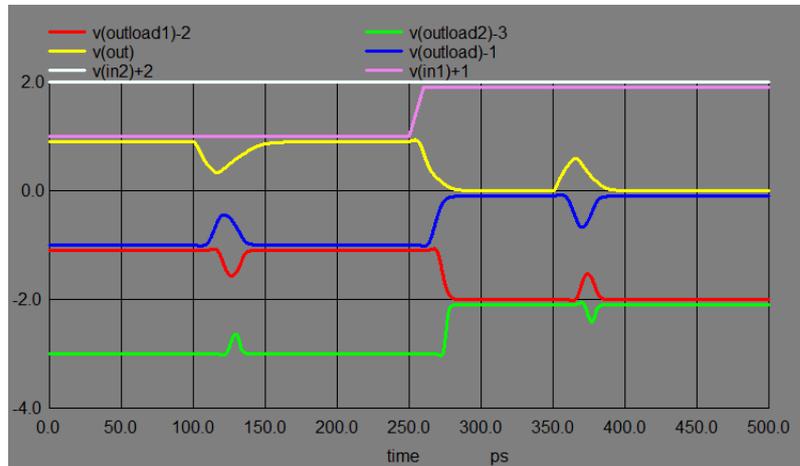
Fonte: A autora.

Resultado do SET na NOR com BTI de 10mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 130uA e a da corrente positiva de 180uA.



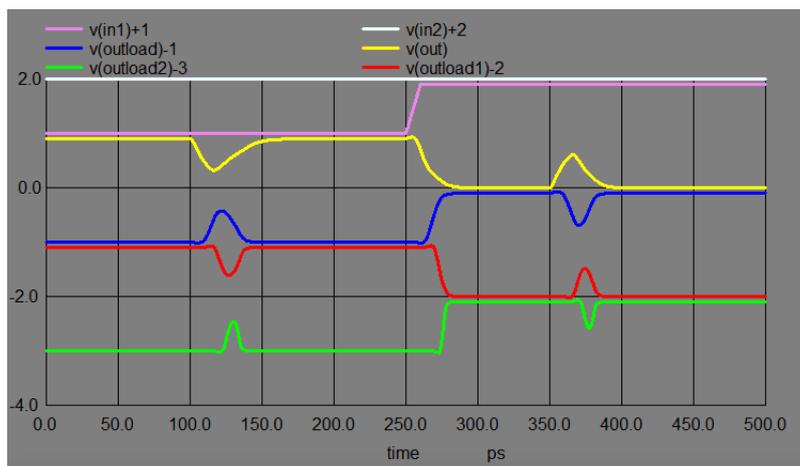
Fonte: A autora.

Resultado do SET na NOR com BTI de 10mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 175uA.



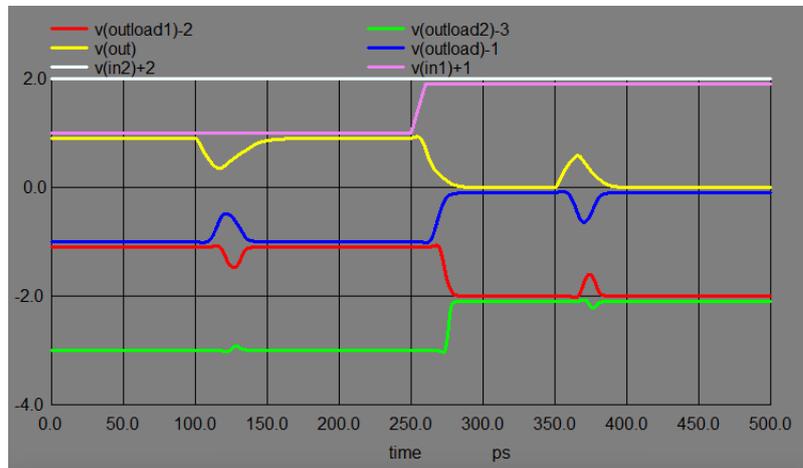
Fonte: A autora.

Resultado do SET na NOR com BTI de 20mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 175uA.



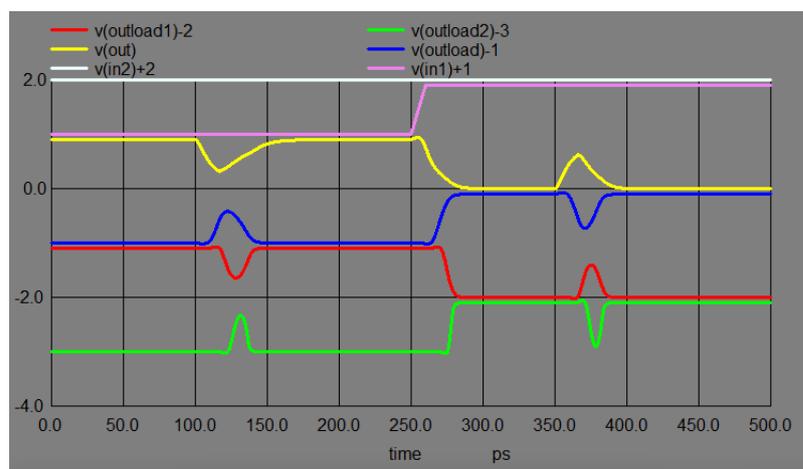
Fonte: A autora.

Resultado do SET na NOR com BTI de 20mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 120uA e a da corrente positiva de 170uA.



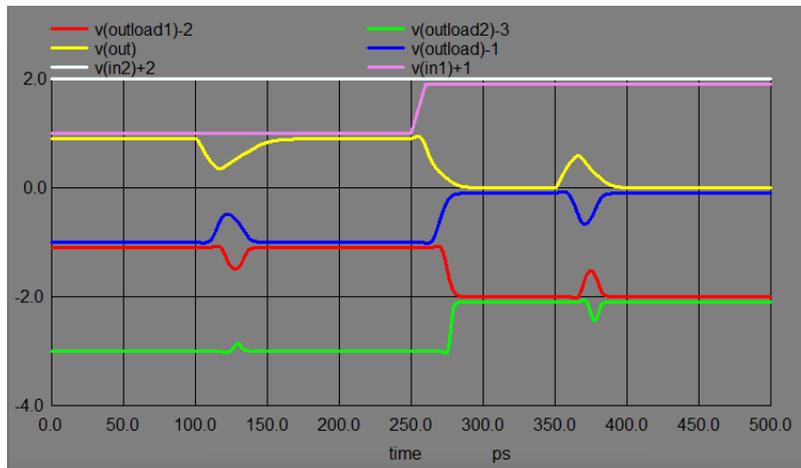
Fonte: A autora.

Resultado do SET na NOR com BTI de 40mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 175uA.



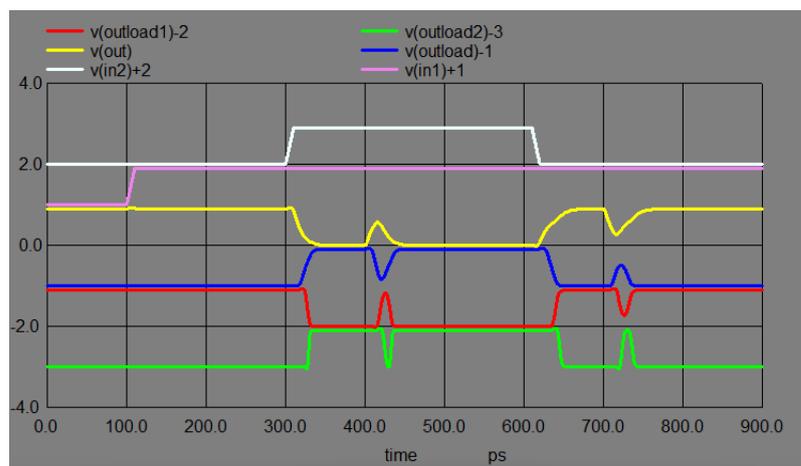
Fonte: A autora.

Resultado do SET na NOR com BTI de 40mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 120uA e a da corrente positiva de 170uA.



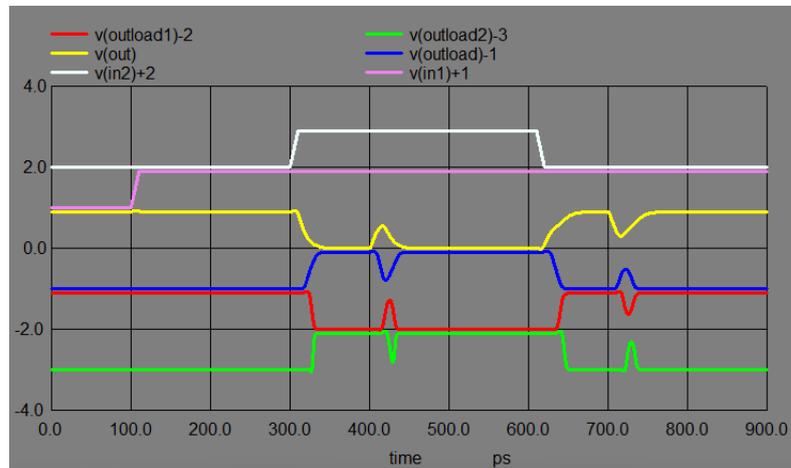
Fonte: A autora.

Resultado do SET na NOR com BTI de 80mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 115uA e a da corrente positiva de 165uA.



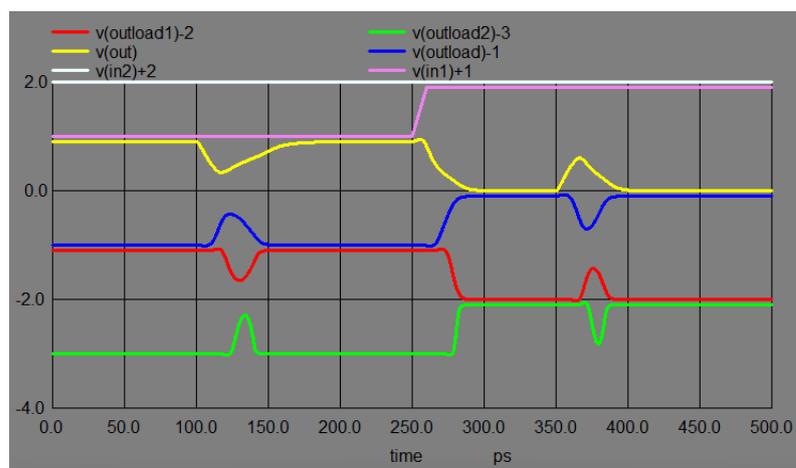
Fonte: A autora.

Resultado do SET na NOR com BTI de 80mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 110uA e a da corrente positiva de 160uA.



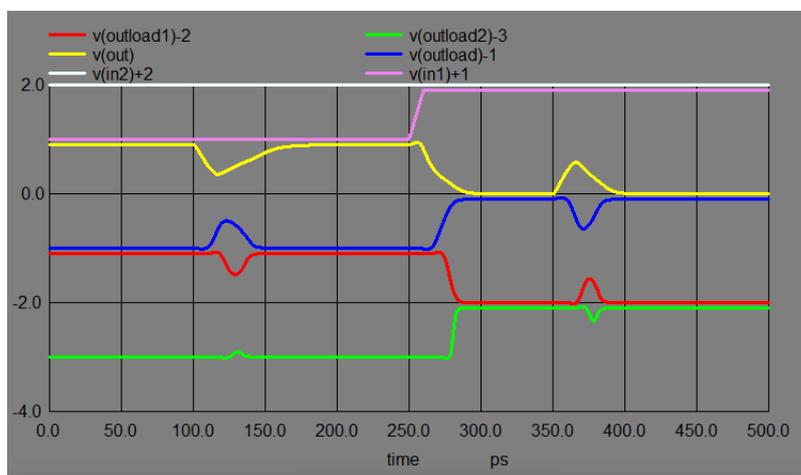
Fonte: A autora.

Resultado do SET na NOR com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 100uA e a da corrente positiva de 145uA.



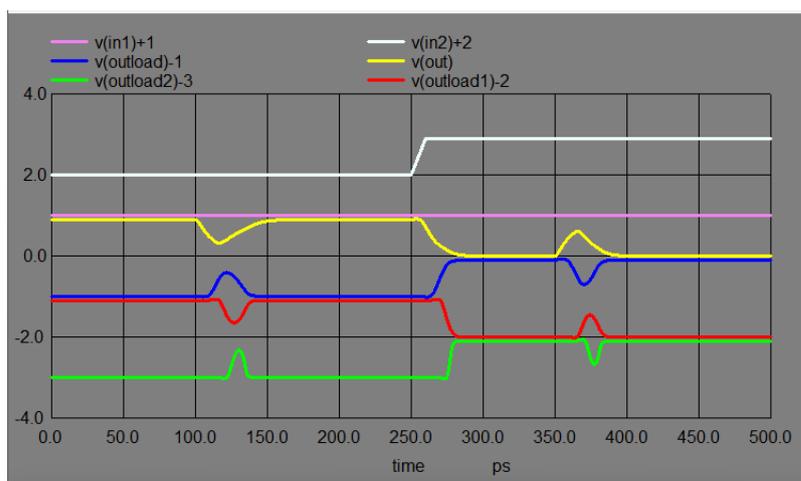
Fonte: A autora.

Resultado do SET na NOR com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 140uA.



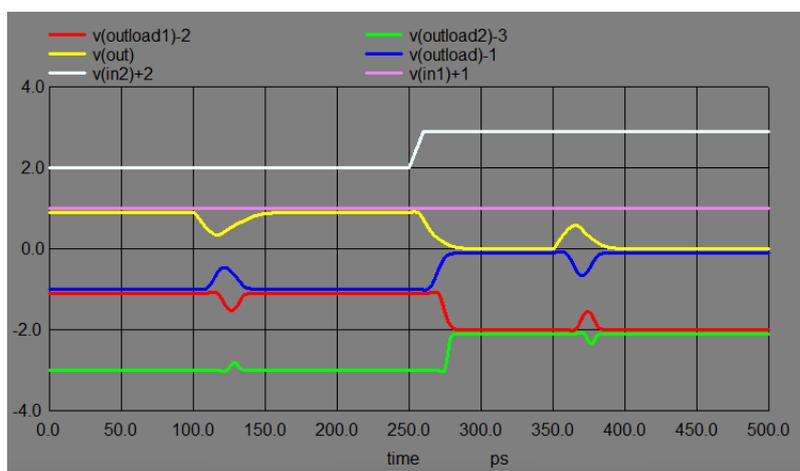
Fonte: A autora.

Resultado do SET na NOR em estado gold, com a entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 130uA e a da corrente positiva de 185uA.



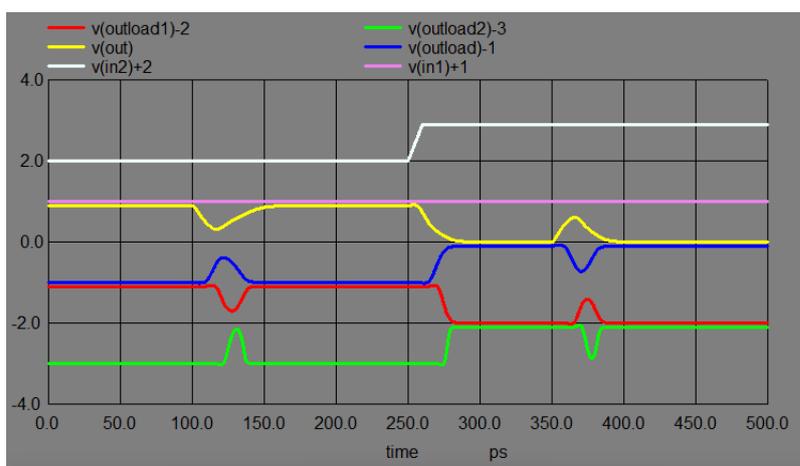
Fonte: A autora.

Resultado do SET na NOR em estado gold, com a entrada 2 oscilando com a saída de FoF4. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 180uA.



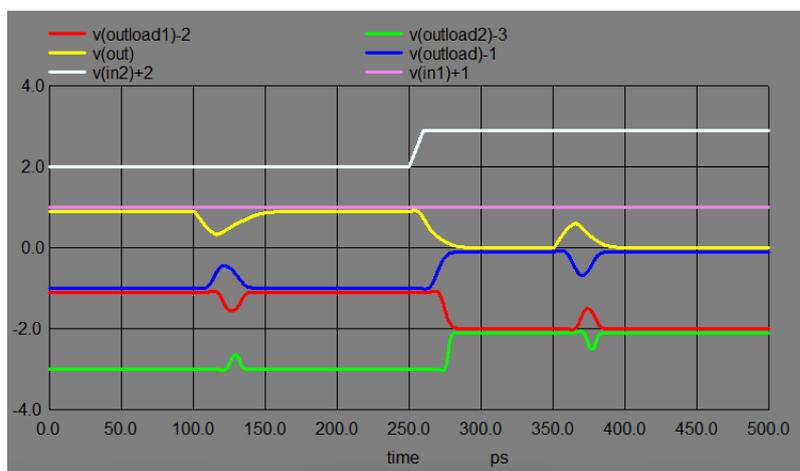
Fonte: A autora.

Resultado do SET na NOR com BTI de 10mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 130uA e a da corrente positiva de 185uA.



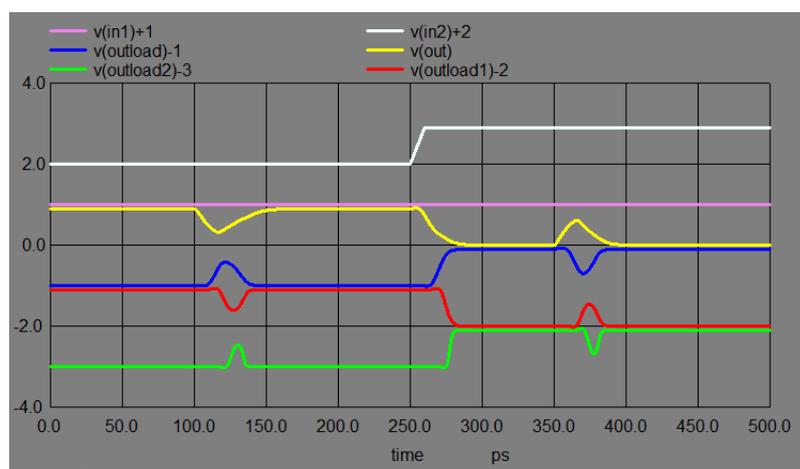
Fonte: A autora.

Resultado do SET na NOR com BTI de 10mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 180uA.



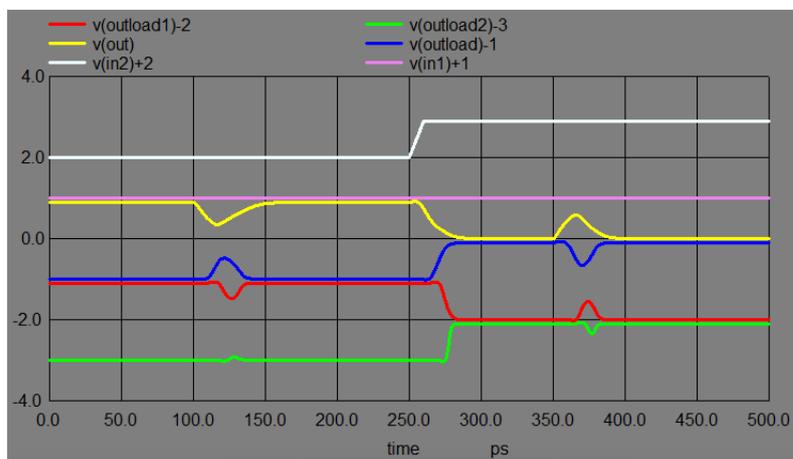
Fonte: A autora.

Resultado do SET na NAND com BTI de 20mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 180uA.



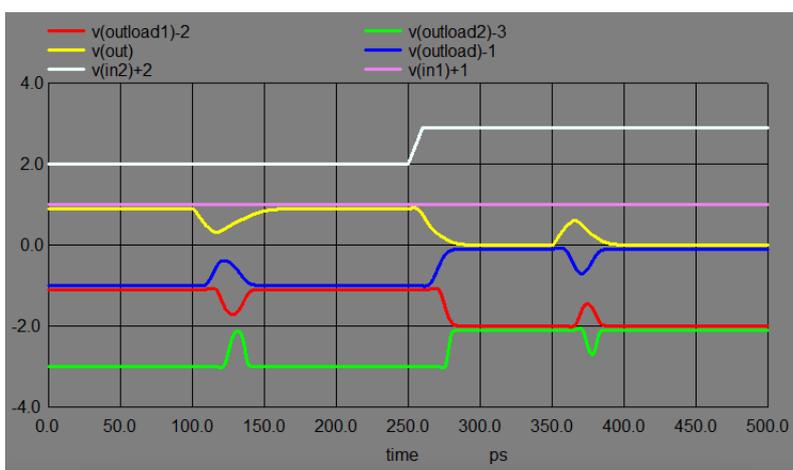
Fonte: A autora.

Resultado do SET na NAND com BTI de 20mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 120uA e a da corrente positiva de 175uA.



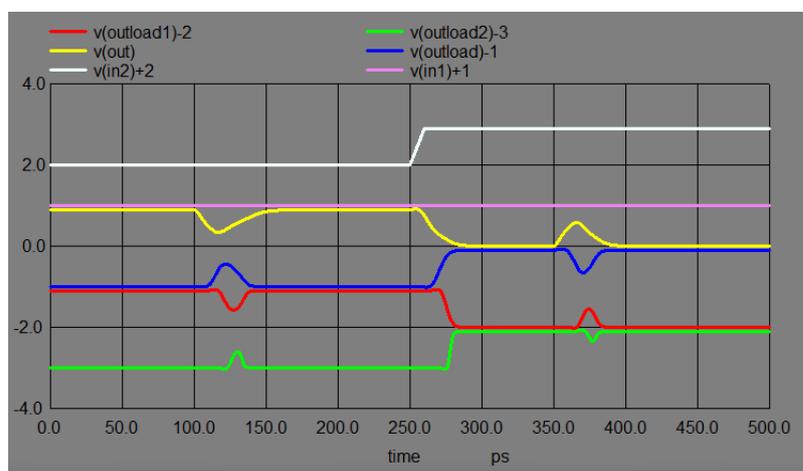
Fonte: A autora.

Resultado do SET na NOR com BTI de 40mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 175uA.



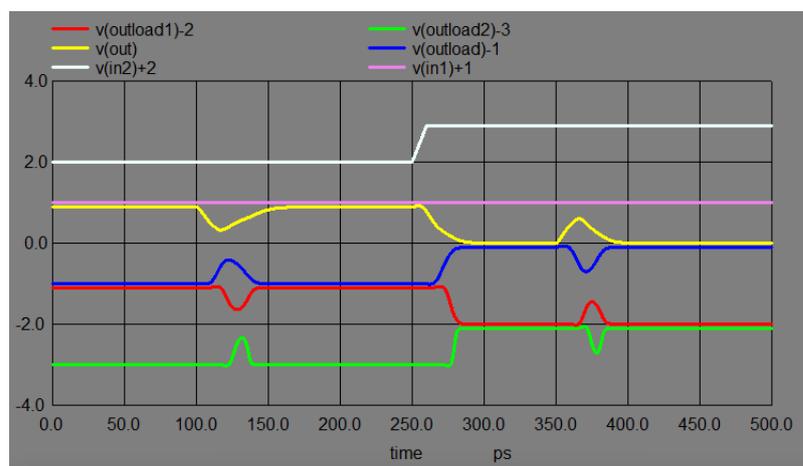
Fonte: A autora.

Resultado do SET na NOR com BTI de 40mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 120uA e a da corrente positiva de 170uA.



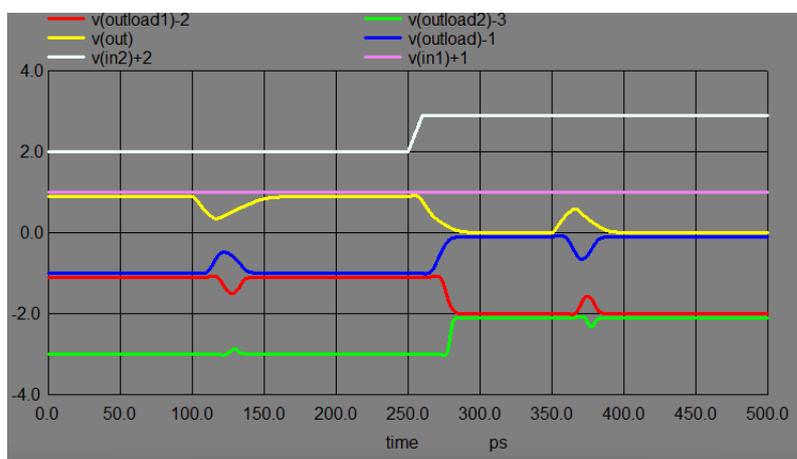
Fonte: A autora.

Resultado do SET na NOR com BTI de 80mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 165uA e a da corrente positiva de 115uA.



Fonte: A autora.

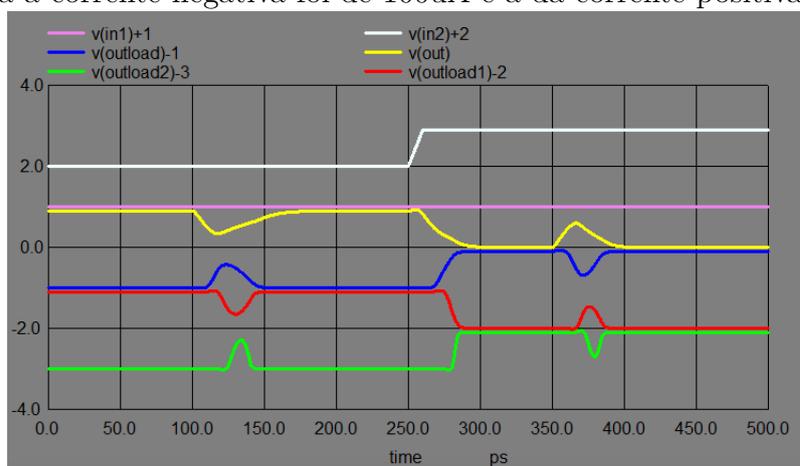
Resultado do SET na NOR com BTI de 80mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 160uA e a da corrente positiva de 110uA.



Fonte: A autora.

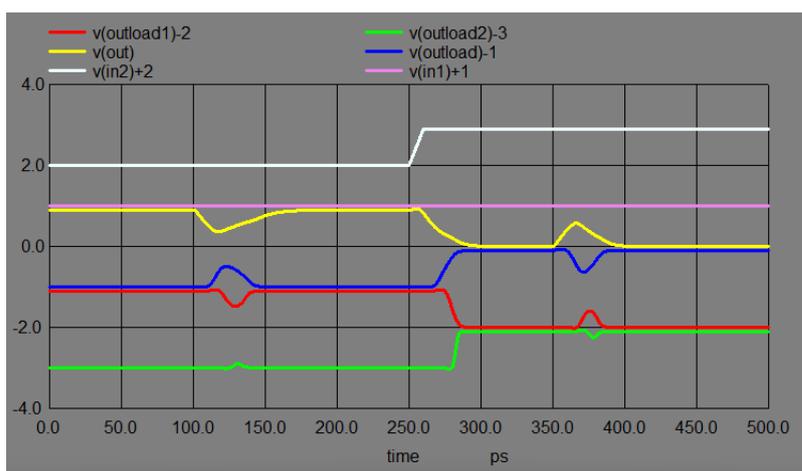
*

Resultado do SET na NOR com BTI de 160mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 100uA e a da corrente positiva de 145uA.



Fonte: A autora.

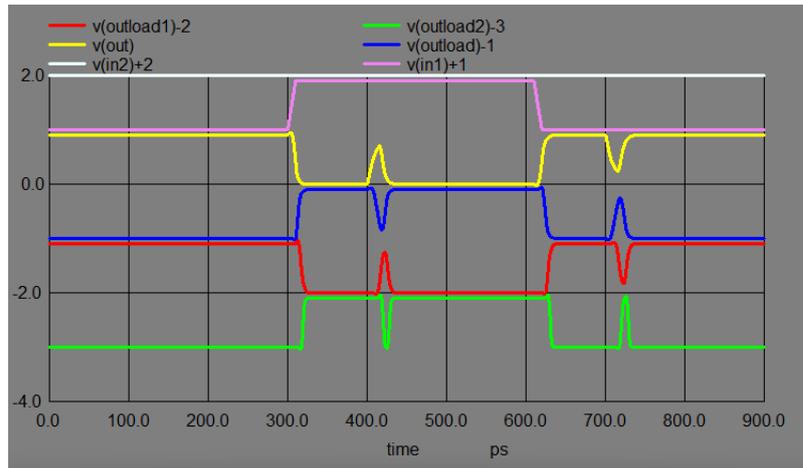
Resultado do SET na NOR com BTI de 160mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 140uA.



Fonte: A autora.

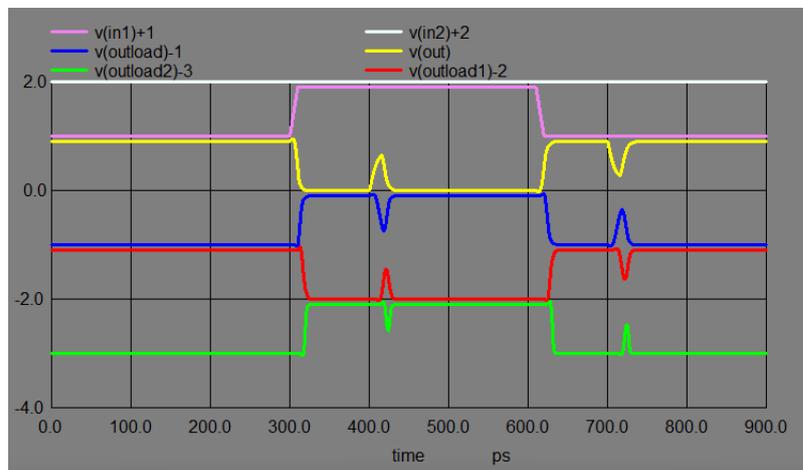
P Apêndice - Resultados do SET na AOI-1

Resultado do SET no AOI-1 em estado gold com a saída de FoF1. O valor para a corrente negativa foi de 120uA e a da corrente positiva de 140uA.



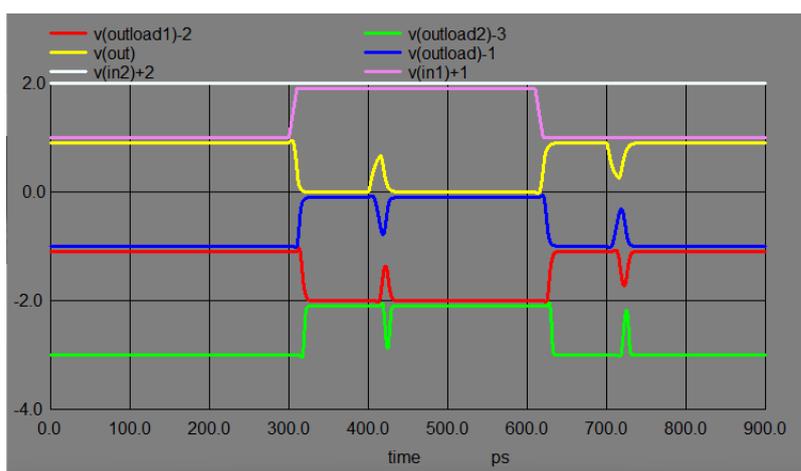
Fonte: A autora.

Resultado do SET no AOI-1 em estado gold com a saída de FoF1. O valor para a corrente negativa foi de 115uA e a da corrente positiva de 135uA.



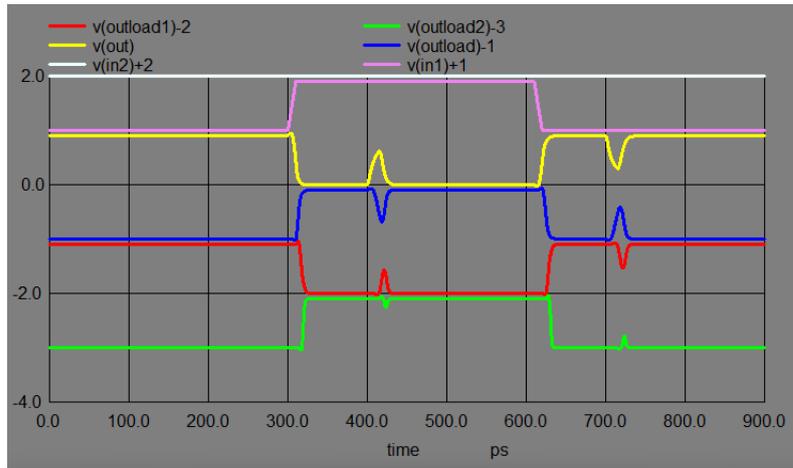
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 10mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 115uA e a da corrente positiva de 135uA.



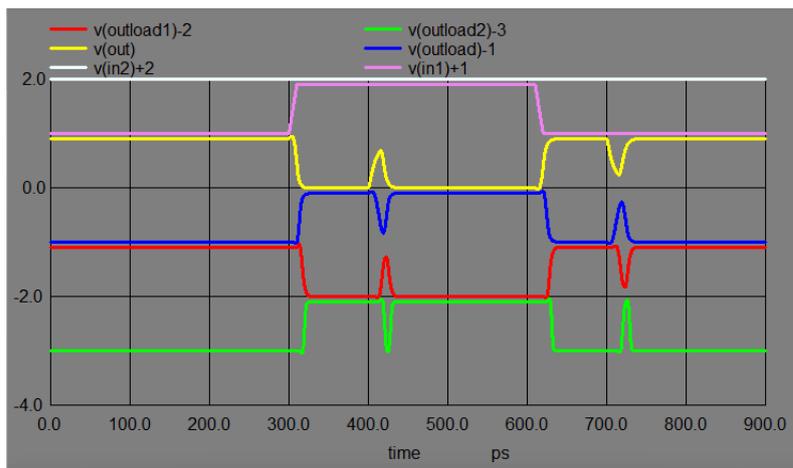
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 10mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 110uA e a da corrente positiva de 130uA.



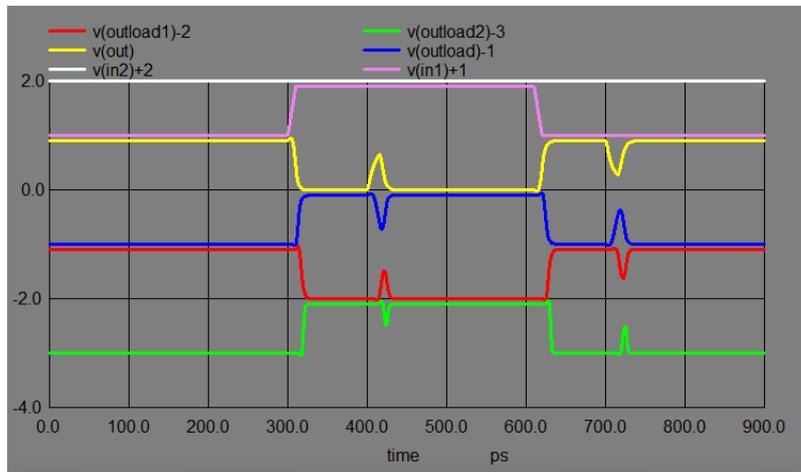
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 20mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 115uA e a da corrente positiva de 135uA.



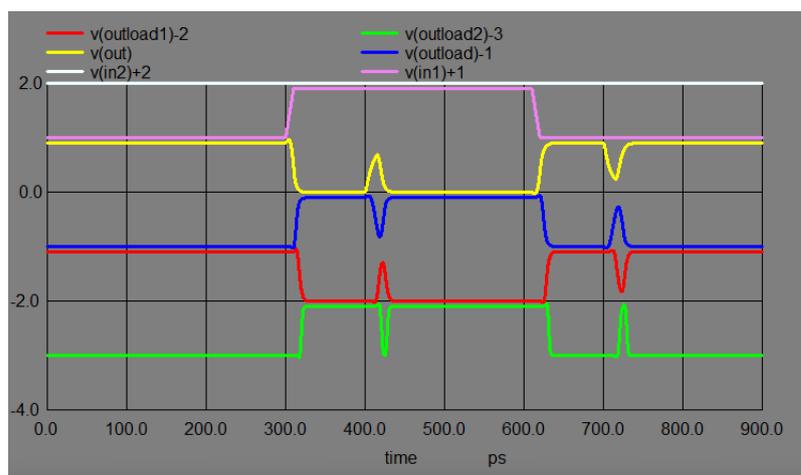
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 20mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 110uA e a da corrente positiva de 130uA.



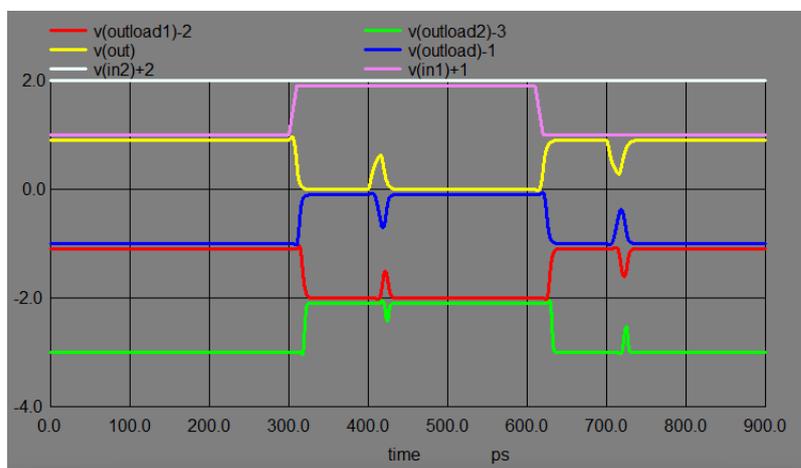
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 40mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 110uA e a da corrente positiva de 130uA.



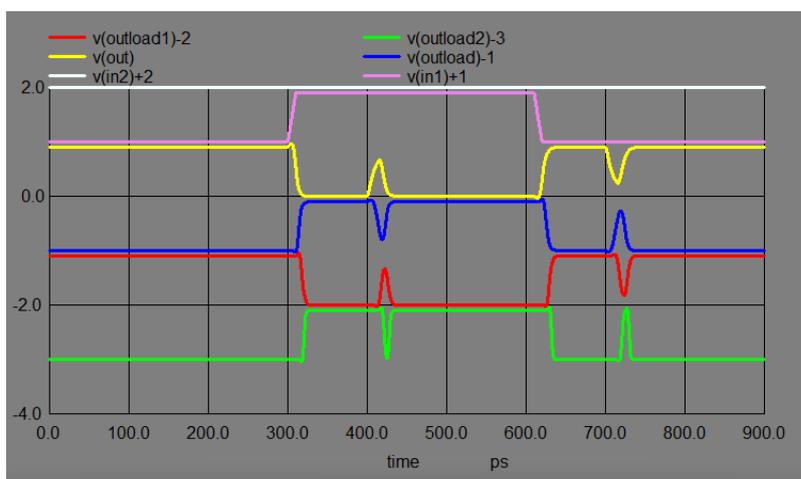
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 40mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 105uA e a da corrente positiva de 125uA.



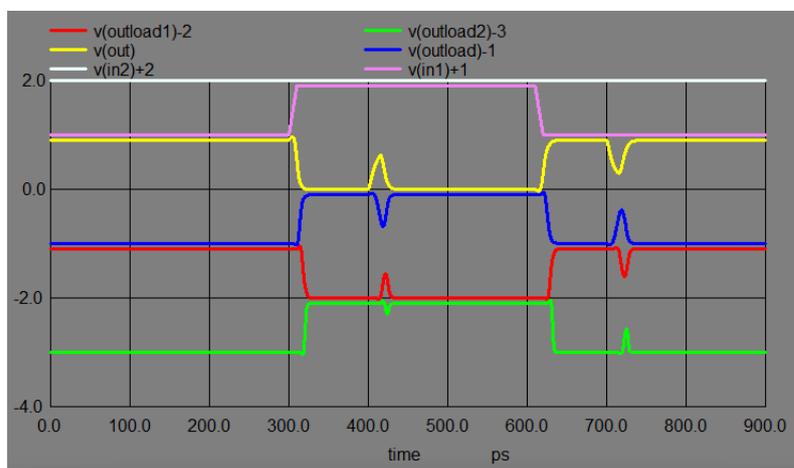
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 80mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 100uA e a da corrente positiva de 120uA.



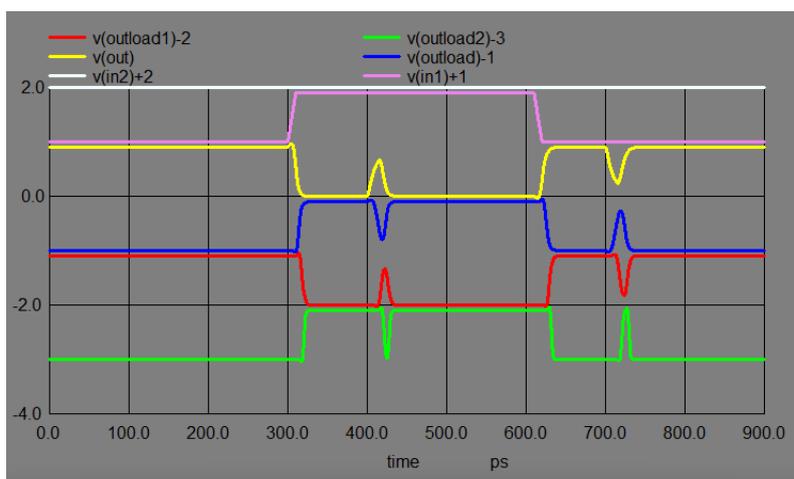
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 80mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 115uA.



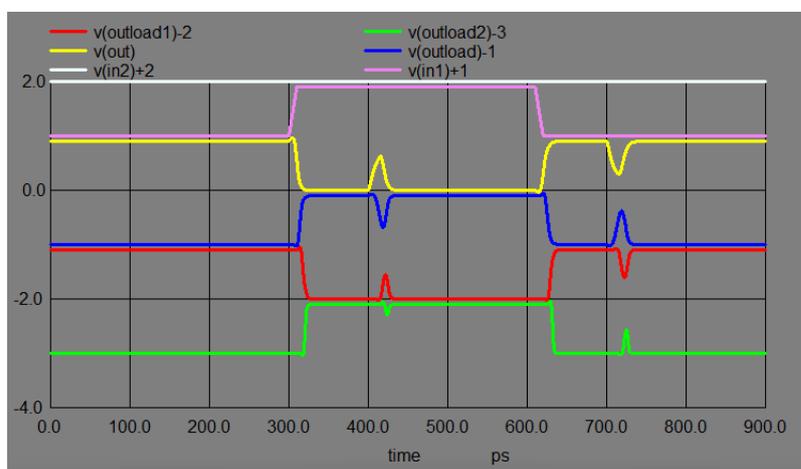
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 100uA e a da corrente positiva de 120uA.



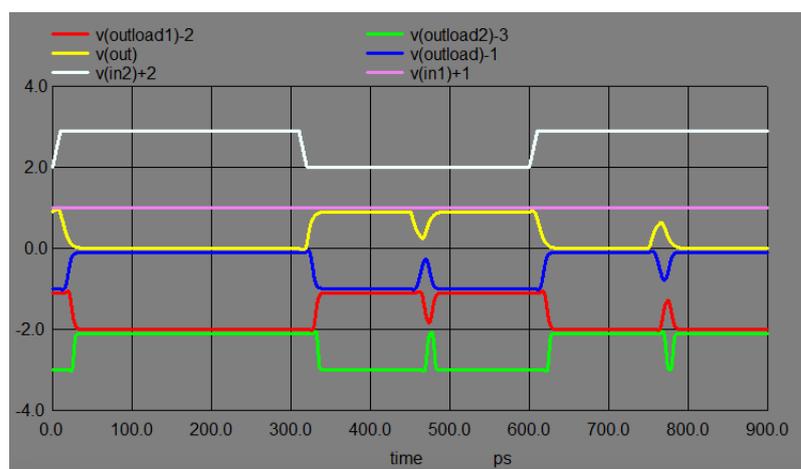
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 115uA.



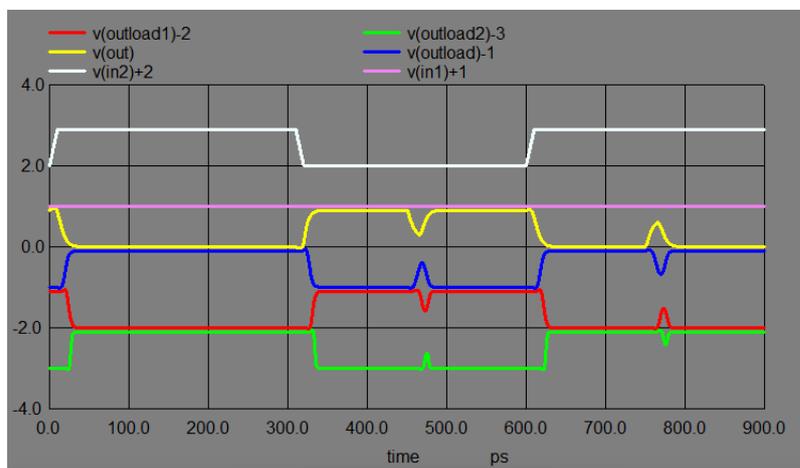
Fonte: A autora.

Resultado do SET no AOI-1 em estado gold, entrada 2 oscilando e saída com a de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 95uA.



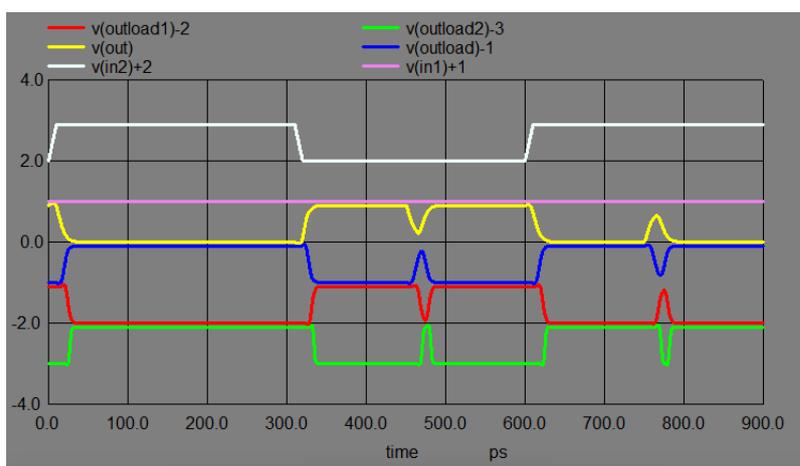
Fonte: A autora.

Resultado do SET no AOI-1 em estado gold, entrada 2 oscilando e saída com a de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 90uA.



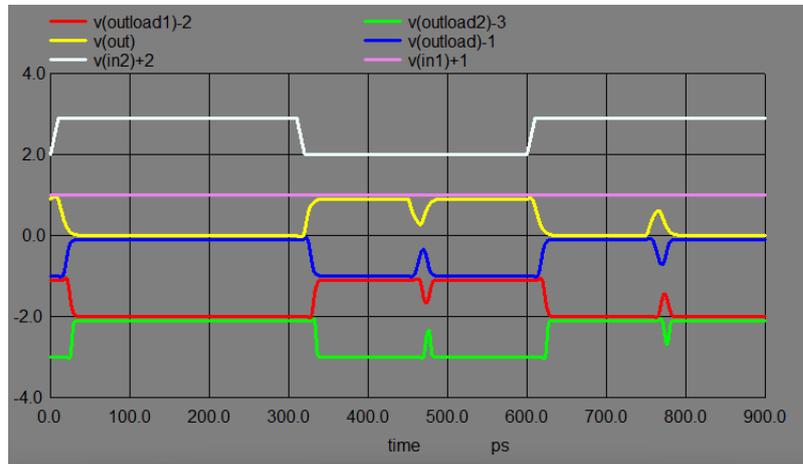
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 10mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 95uA.



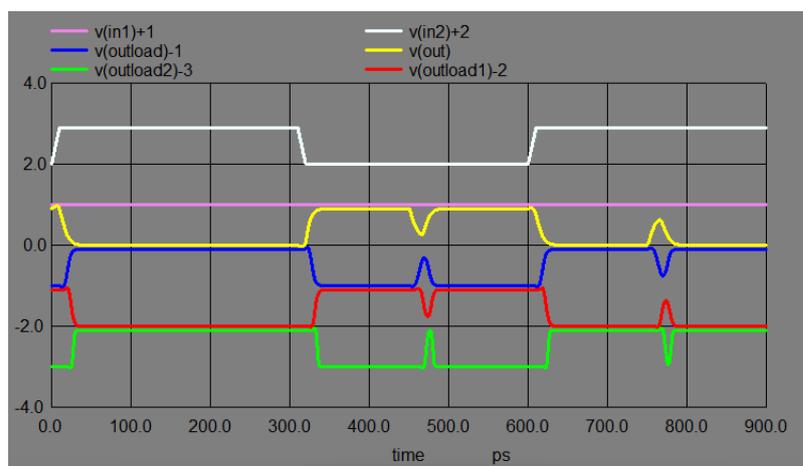
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 10mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 90uA.



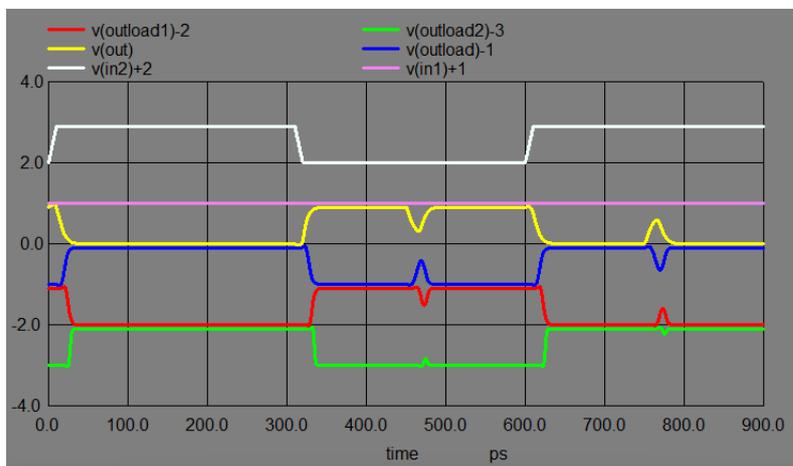
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 20mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 90uA.



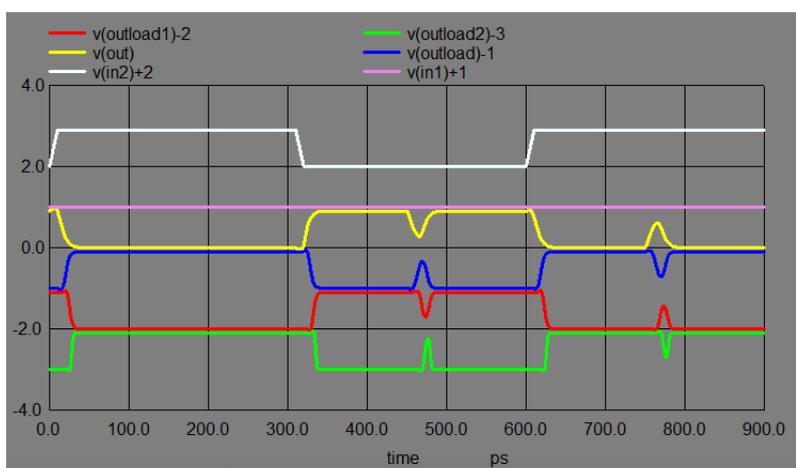
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 20mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 85uA e a da corrente positiva de 85uA.



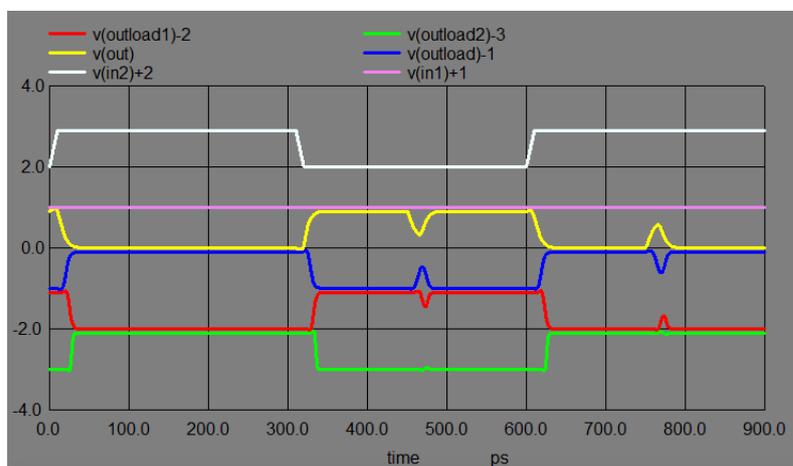
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 40mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 85uA e a da corrente positiva de 85uA.



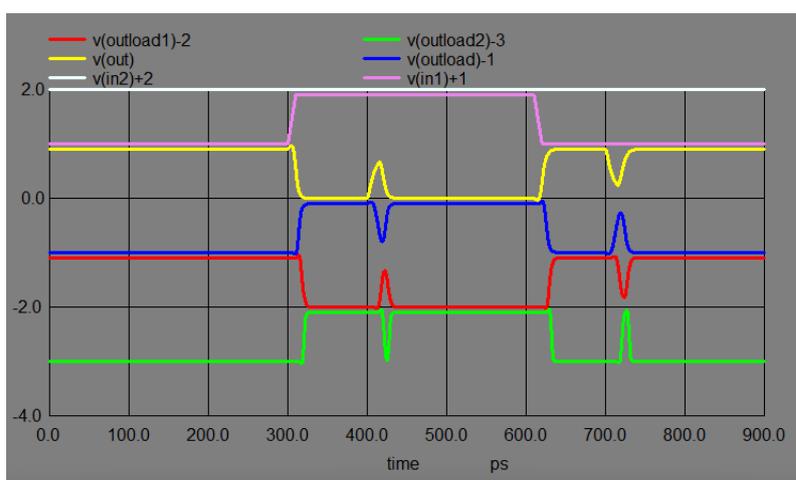
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 40mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 80uA e a da corrente positiva de 80uA.



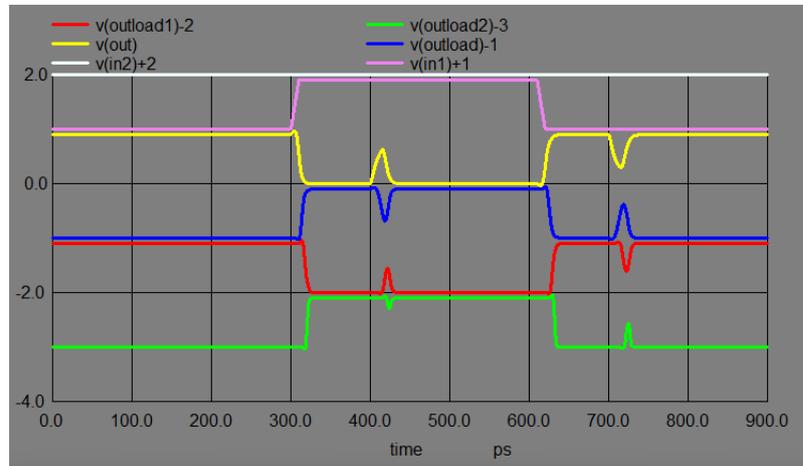
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 80mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 80uA e a da corrente positiva de 80uA.



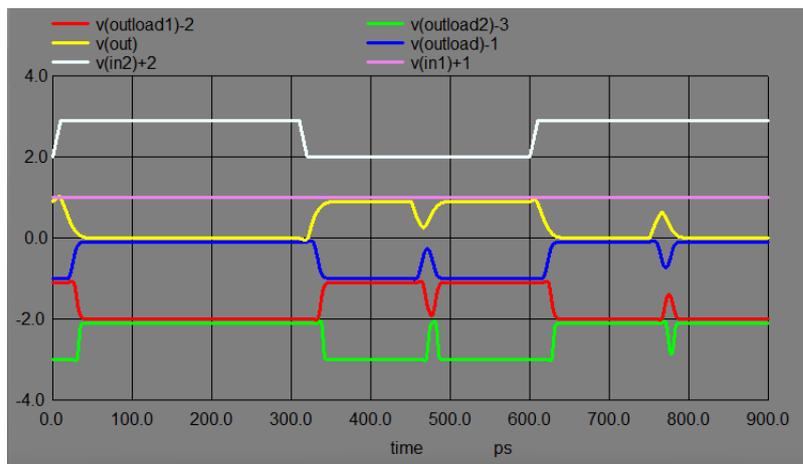
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 80mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 75uA e a da corrente positiva de 75uA.



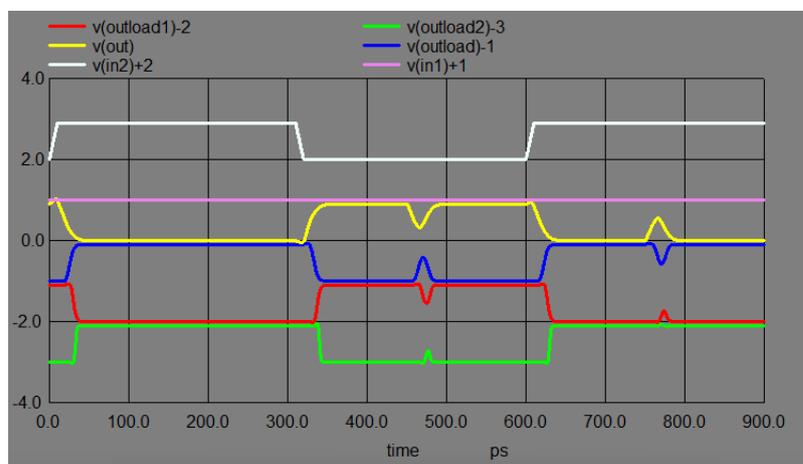
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 65uA e a da corrente positiva de 65uA.



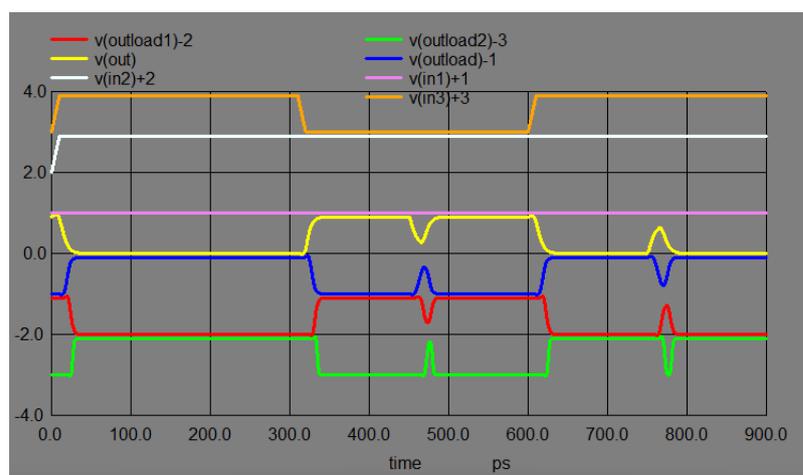
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 60uA e a da corrente positiva de 60uA.



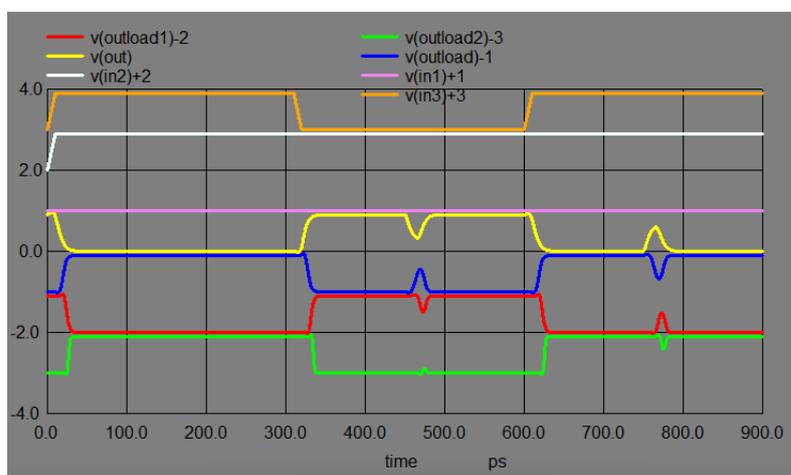
Fonte: A autora.

Resultado do SET no AOI-1 em estado gold, entrada 3 oscilando e saída com a de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 95uA.



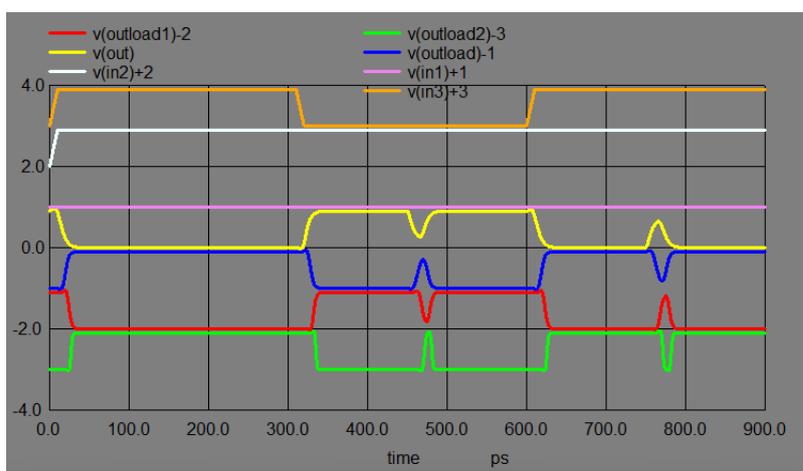
Fonte: A autora.

Resultado do SET no AOI-1 em estado gold, entrada 3 oscilando e saída com a de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 90uA.



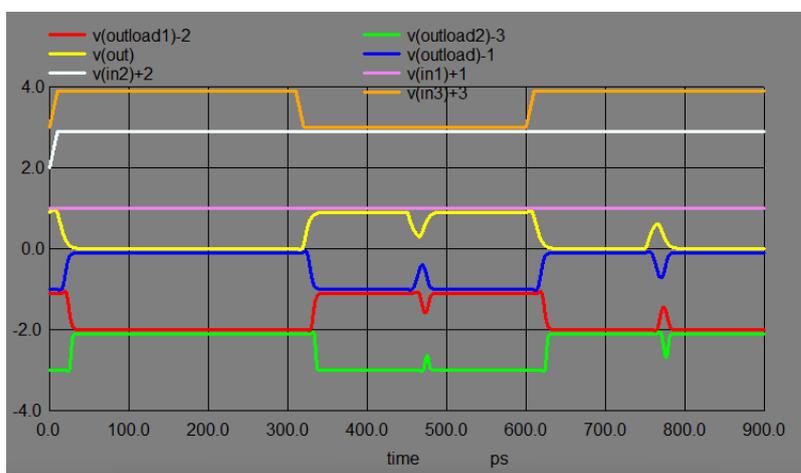
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 10mV, entrada 3 oscilando e saída de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 95uA.



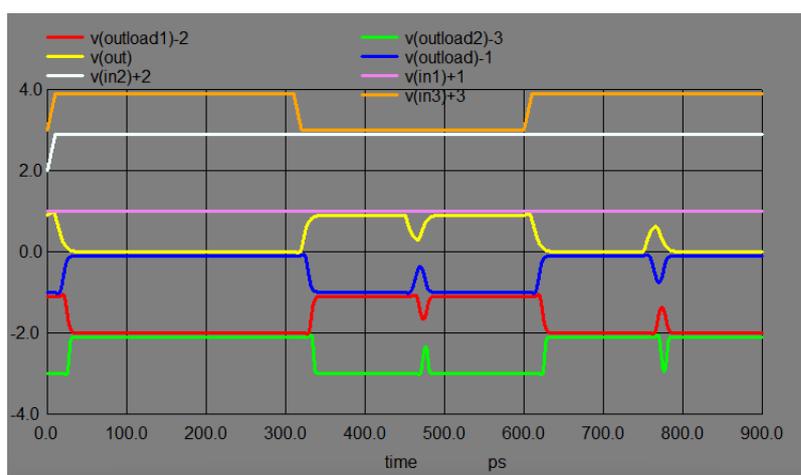
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 10mV, entrada 3 oscilando e saída de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 90uA.



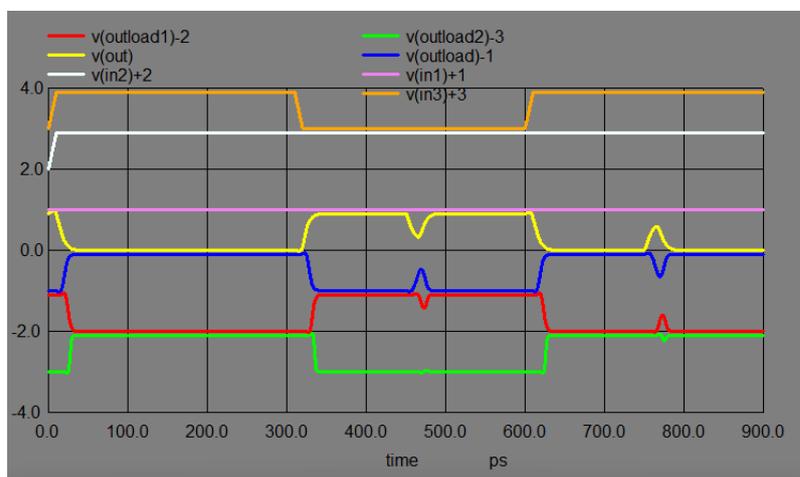
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 20mV, entrada 3 oscilando e saída de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 90uA.



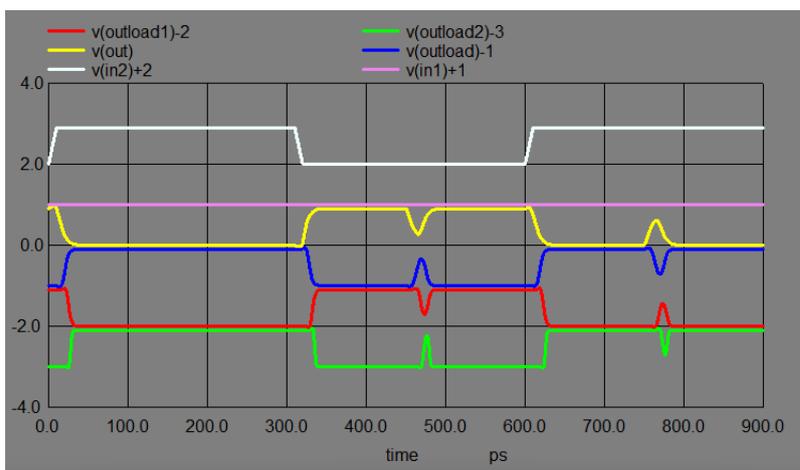
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 20mV, entrada 3 oscilando e saída de FoF1. O valor para a corrente negativa foi de 85uA e a da corrente positiva de 85uA.



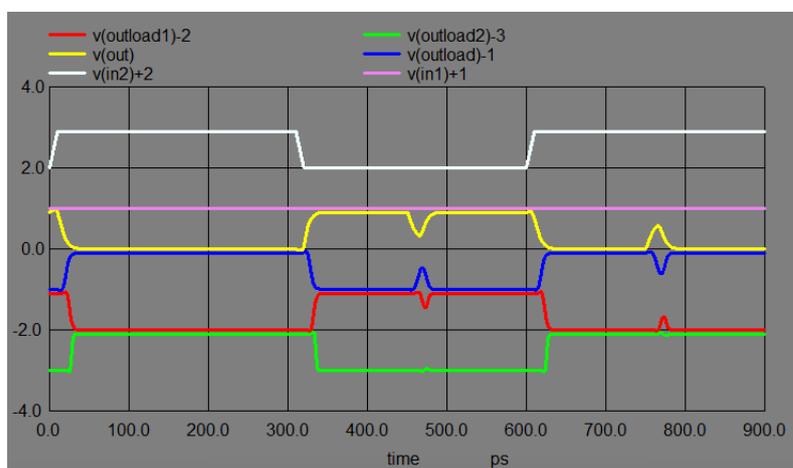
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 40mV, entrada 3 oscilando e saída de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 90uA.



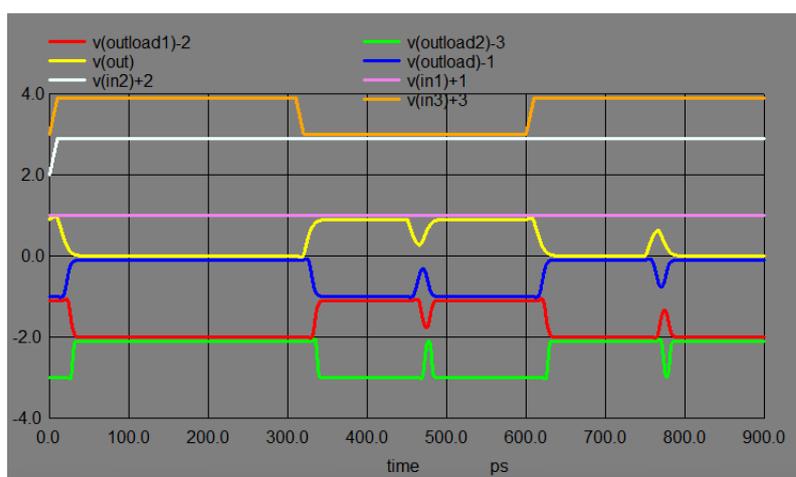
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 40mV, entrada 3 oscilando e saída de FoF1. O valor para a corrente negativa foi de 85uA e a da corrente positiva de 85uA.



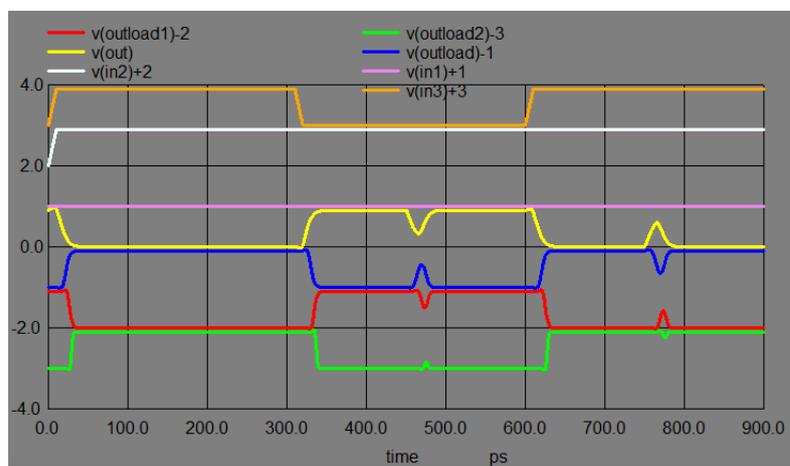
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 80mV, entrada 3 oscilando e saída de FoF1. O valor para a corrente negativa foi de 80uA e a da corrente positiva de 80uA.



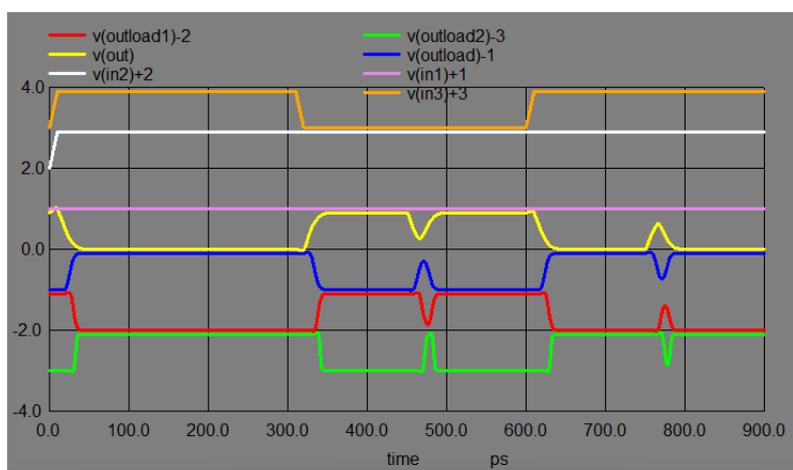
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 80mV, entrada 3 oscilando e saída de FoF1. O valor para a corrente negativa foi de 75uA e a da corrente positiva de 75uA.



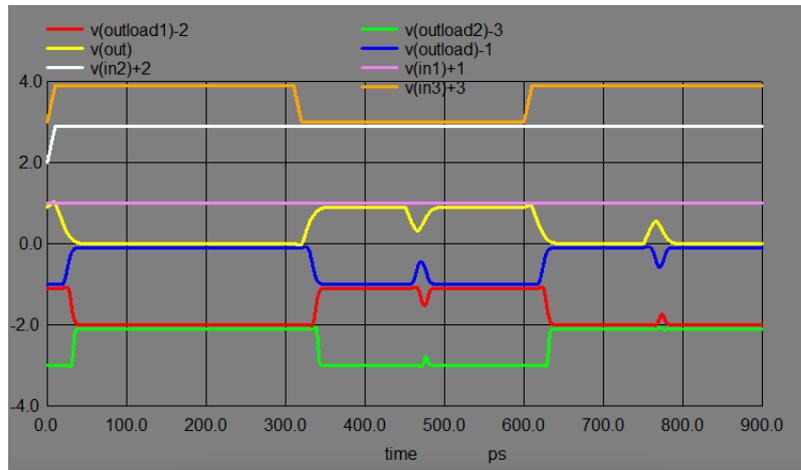
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 160mV, entrada 3 oscilando e saída de FoF1. O valor para a corrente negativa foi de 65uA e a da corrente positiva de 65uA.



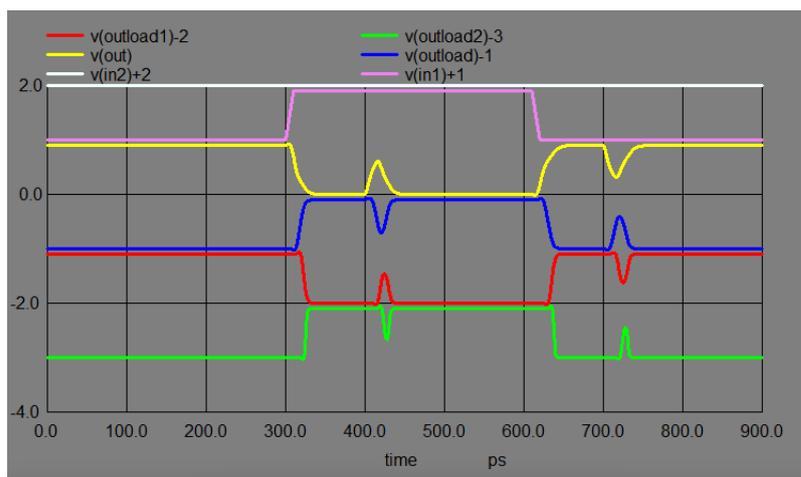
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 160mV, entrada 3 oscilando e saída de FoF1. O valor para a corrente negativa foi de 60uA e a da corrente positiva de 60uA.



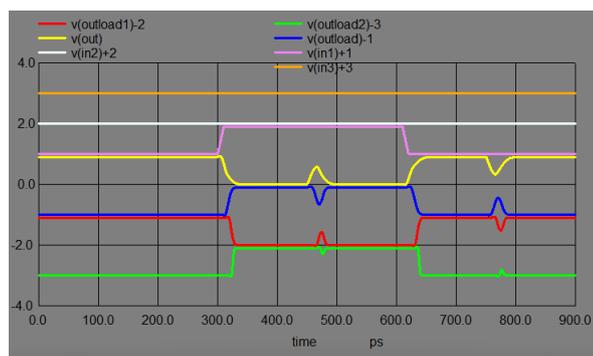
Fonte: A autora.

Resultado do SET no AOI-1 em estado gold, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 155uA e a da corrente positiva de 180uA.



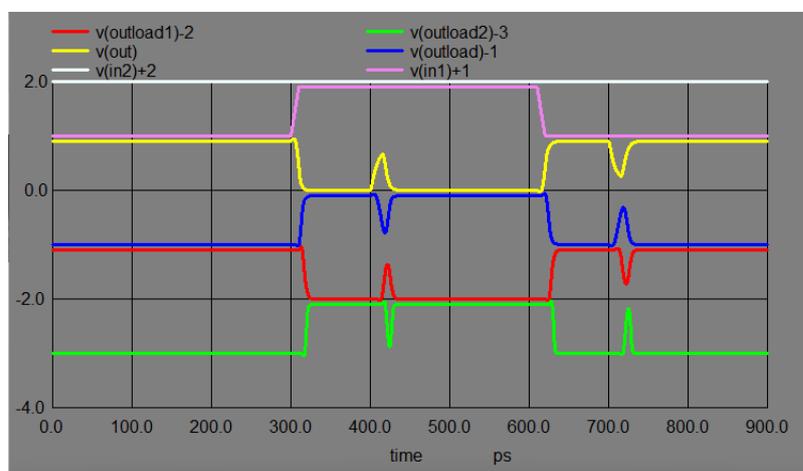
Fonte: A autora.

Resultado do SET no AOI-1 em estado gold, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 150uA e a da corrente positiva de 175uA.



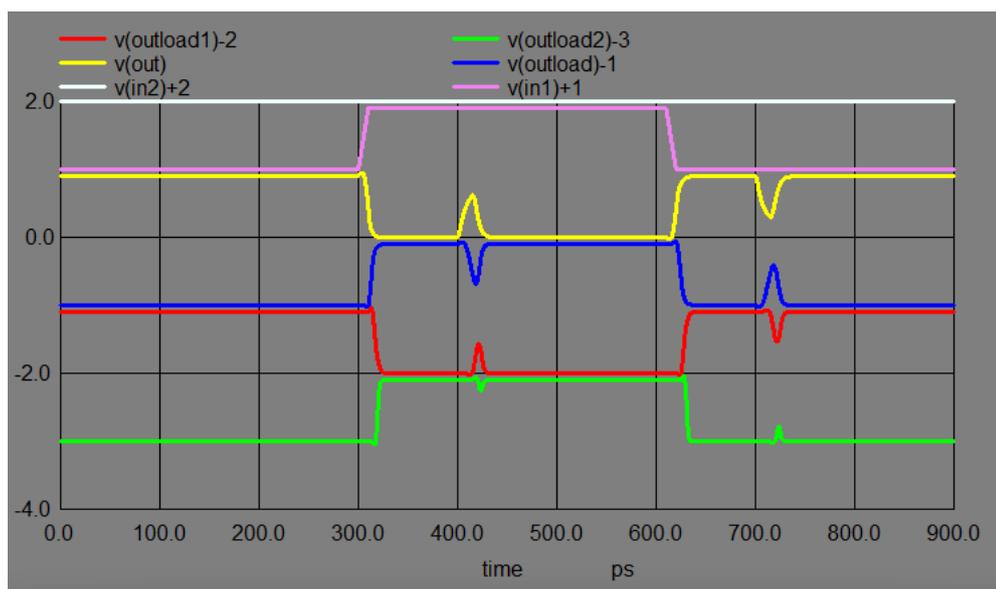
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 10mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 155uA e a da corrente positiva de 180uA.



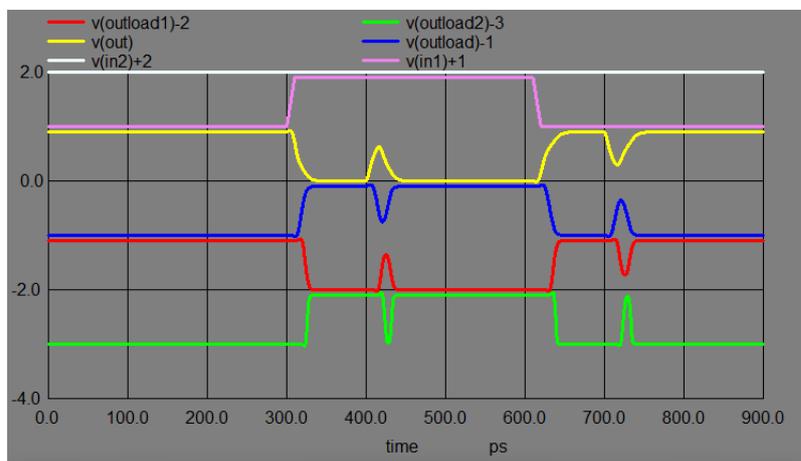
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 10mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 150uA e a da corrente positiva de 175uA.



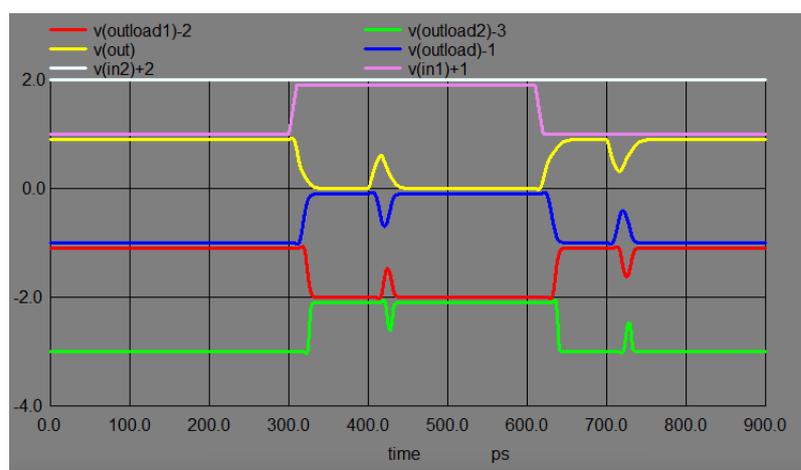
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 20mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 155uA e a da corrente positiva de 180uA.



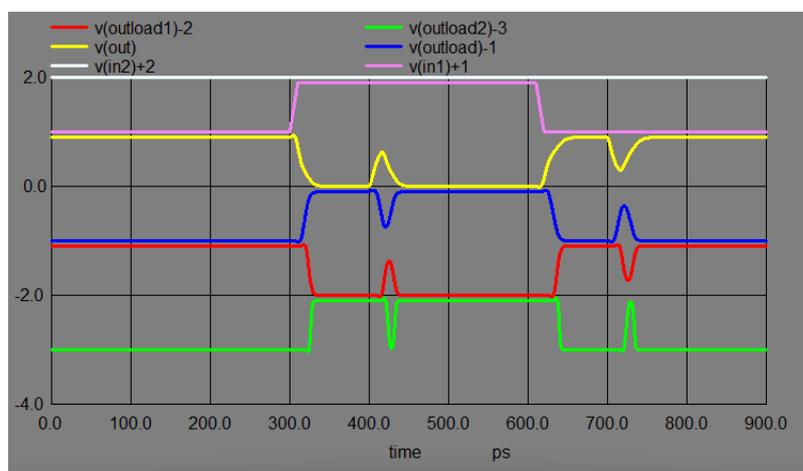
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 20mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 150uA e a da corrente positiva de 175uA.



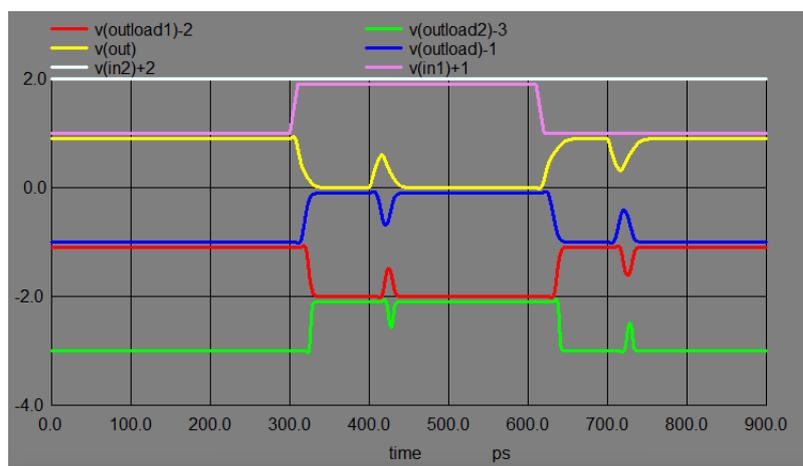
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 40mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 150uA e a da corrente positiva de 175uA.



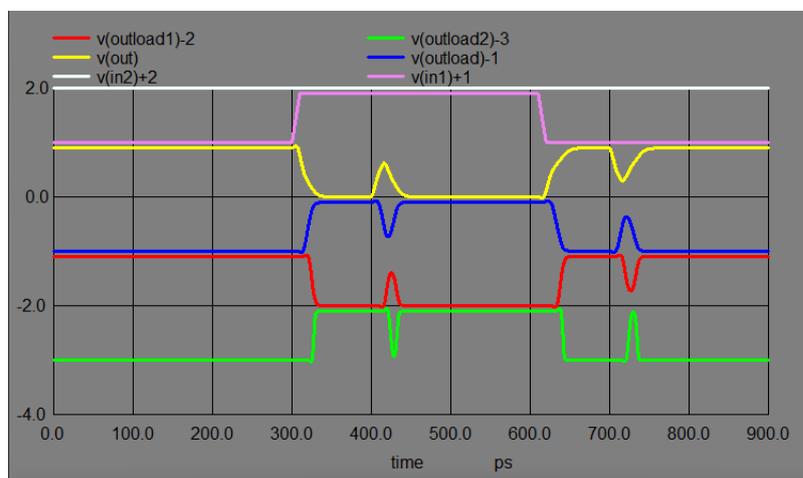
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 40mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 145uA e a da corrente positiva de 170uA.



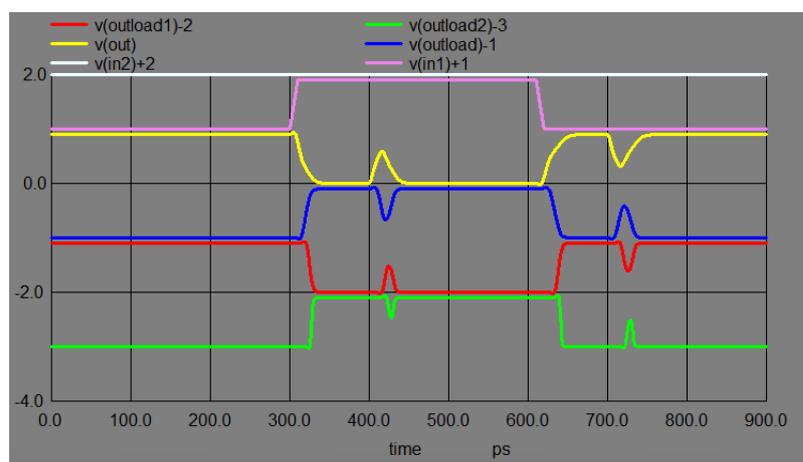
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 80mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 140uA e a da corrente positiva de 165uA.



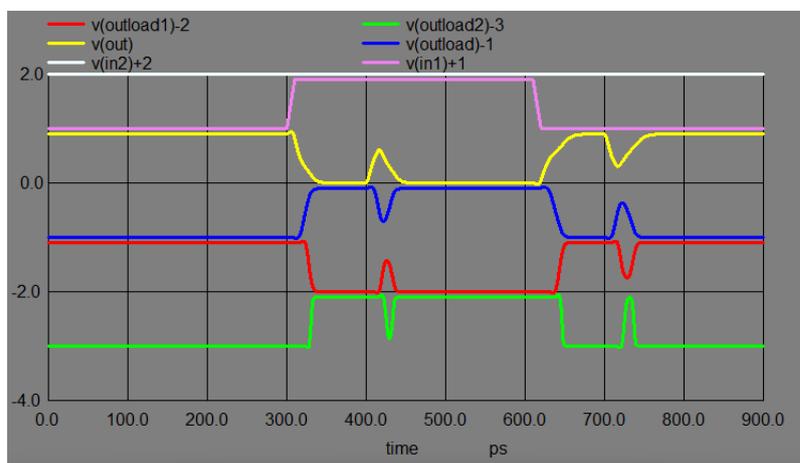
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 80mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 135uA e a da corrente positiva de 160uA.



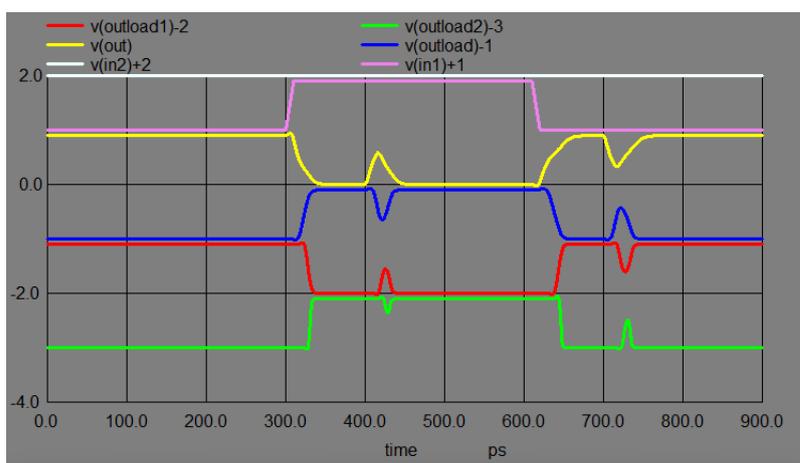
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 160mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 120uA e a da corrente positiva de 145uA.



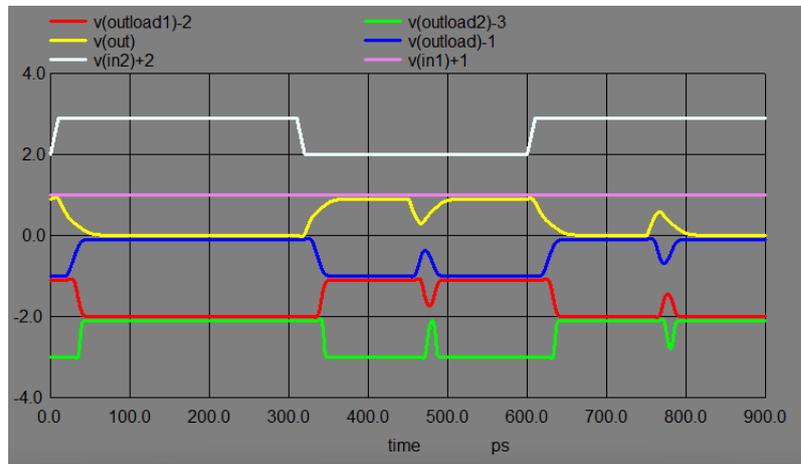
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 160mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 115uA e a da corrente positiva de 140uA.



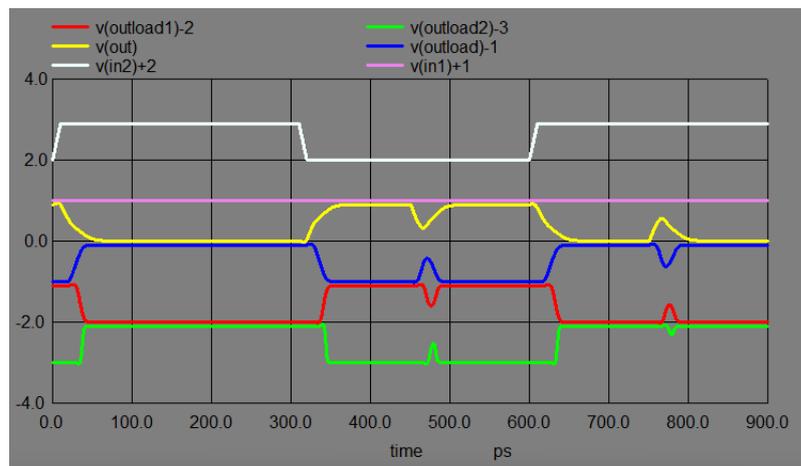
Fonte: A autora.

Resultado do SET no AOI-1 em estado gold, entrada 2 oscilando e saída com a de FoF4. O valor para a corrente negativa foi de 135uA e a da corrente positiva de 135uA.



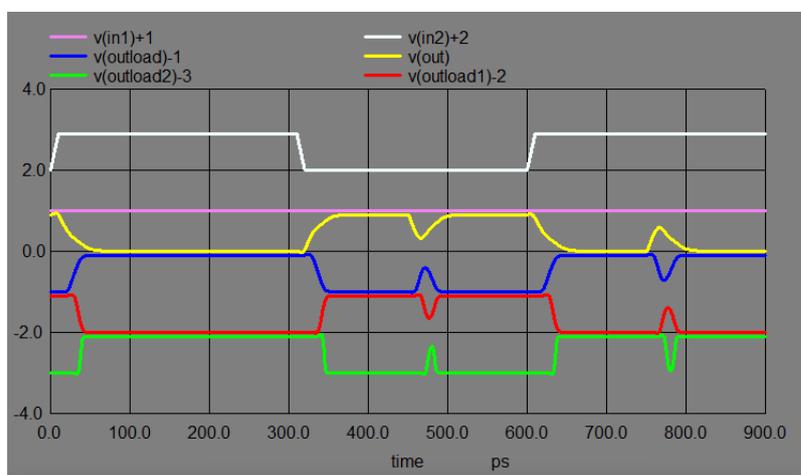
Fonte: A autora.

Resultado do SET no AOI-1 em estado gold, entrada 2 oscilando e saída com a de FoF4. O valor para a corrente negativa foi de 130uA e a da corrente positiva de 130uA.



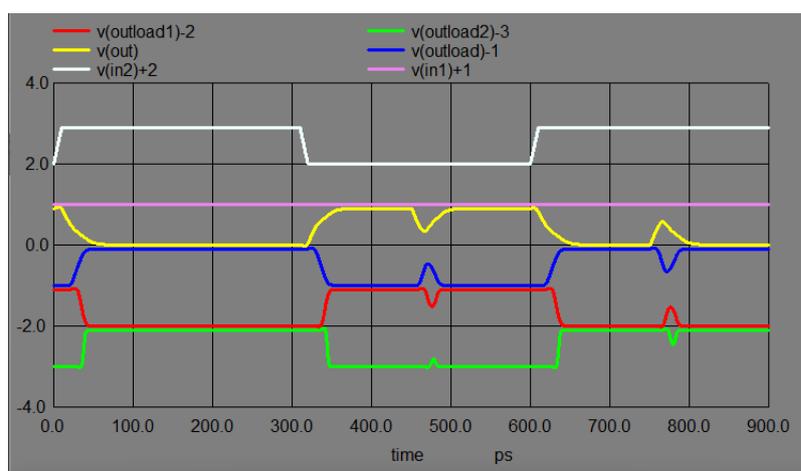
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 10mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 135uA e a da corrente positiva de 130uA.



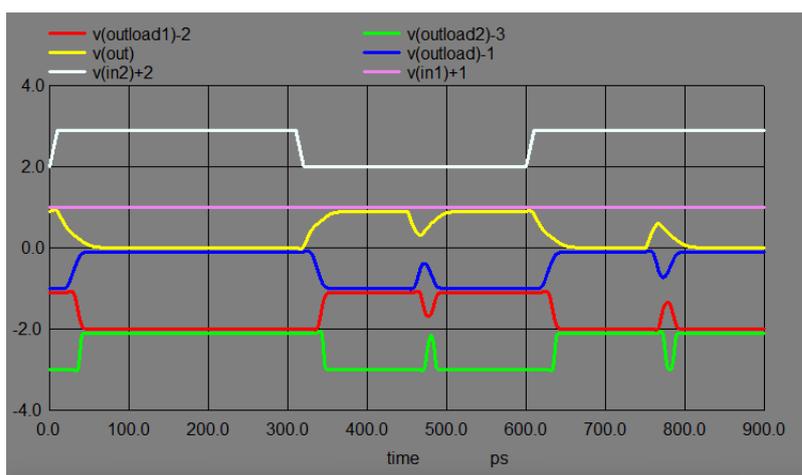
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 10mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 130uA e a da corrente positiva de 125uA.



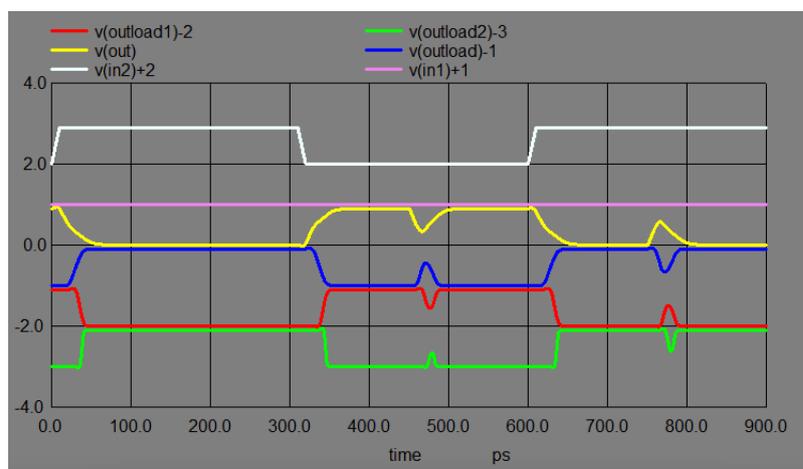
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 20mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 130uA e a da corrente positiva de 135uA.



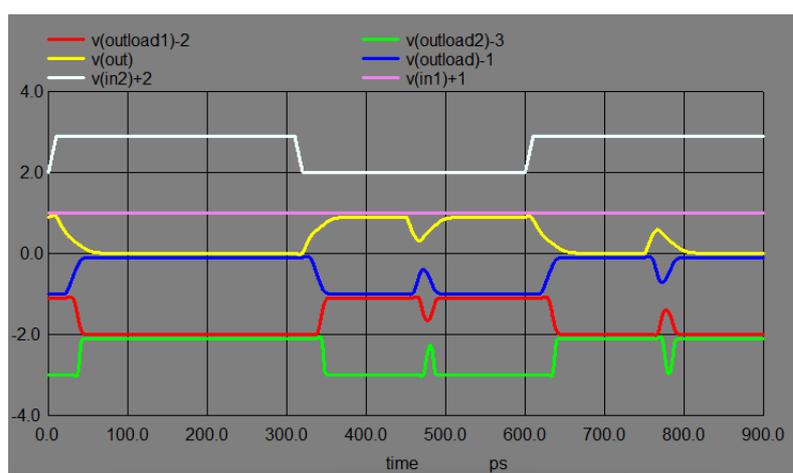
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 20mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 130uA.



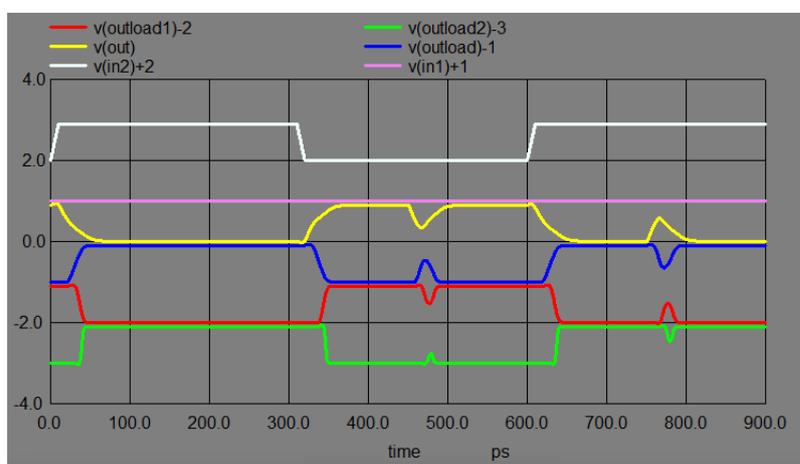
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 40mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 130uA.



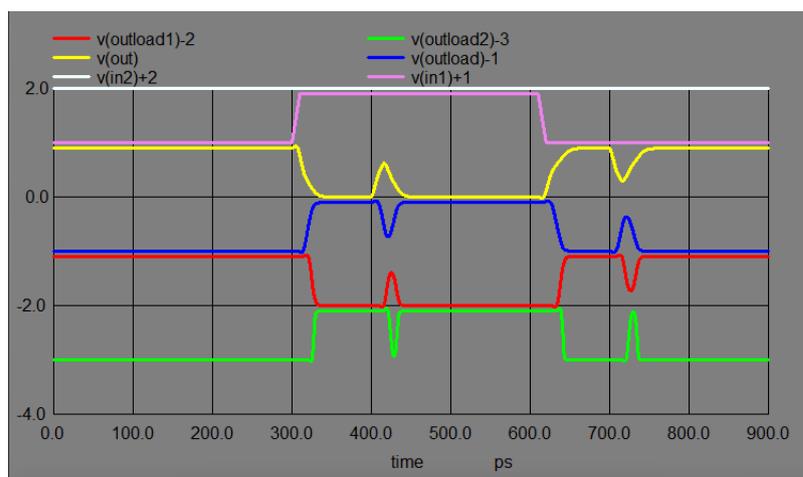
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 40mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 120uA e a da corrente positiva de 125uA.



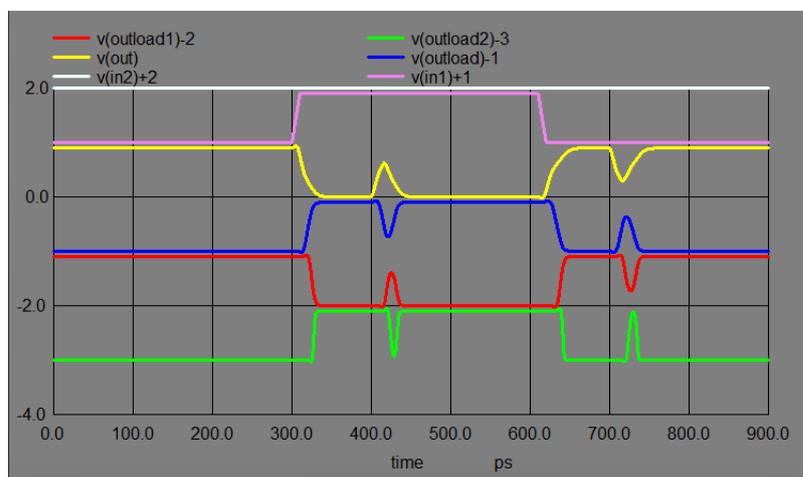
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 80mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 80uA e a da corrente positiva de 80uA.



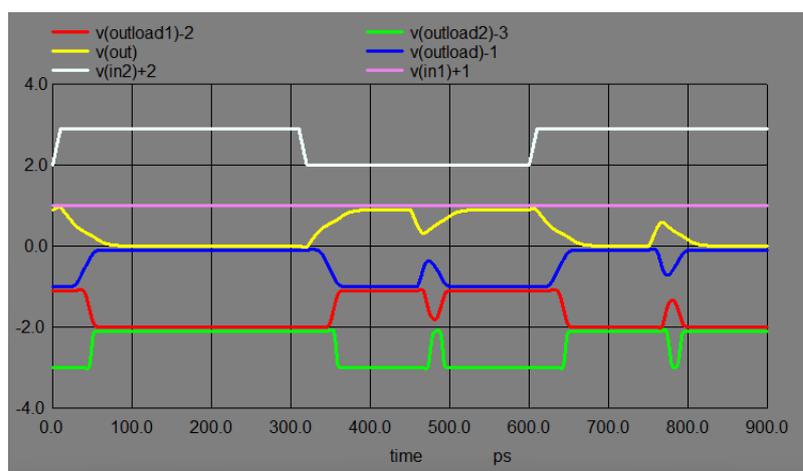
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 80mV, entrada 2 oscilando e saída de FoF4. O valor para a corrente negativa foi de 75uA e a da corrente positiva de 75uA.



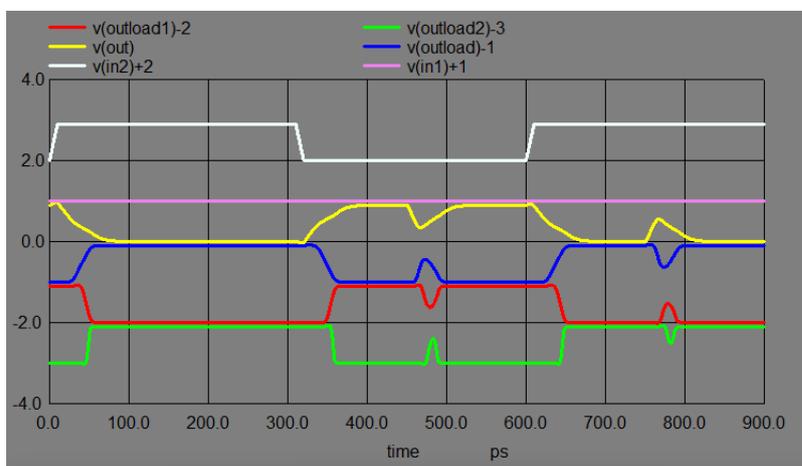
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 160mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 105uA e a da corrente positiva de 110uA.



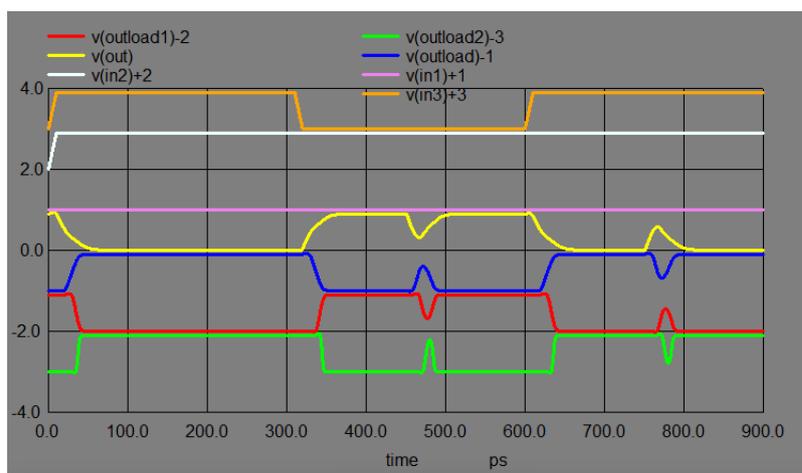
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 160mV, entrada 1 oscilando e saída de FoF4. O valor para a corrente negativa foi de 100uA e a da corrente positiva de 105uA.



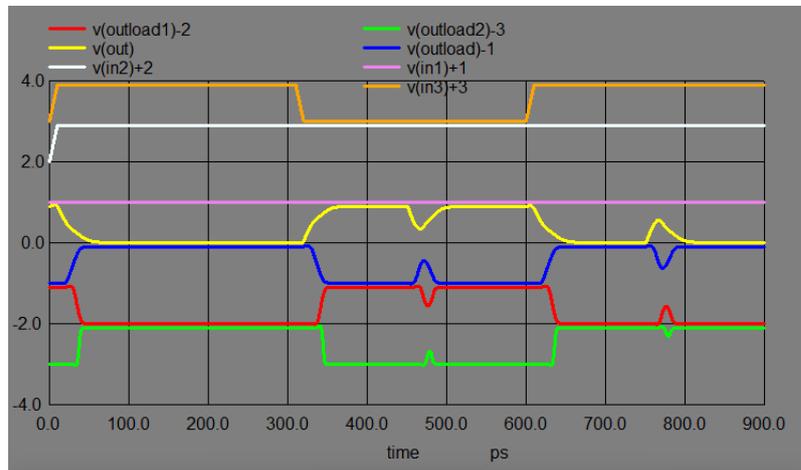
Fonte: A autora.

Resultado do SET no AOI-1 em estado gold, entrada 3 oscilando e saída com a de FoF4. O valor para a corrente negativa foi de 135uA e a da corrente positiva de 135uA.



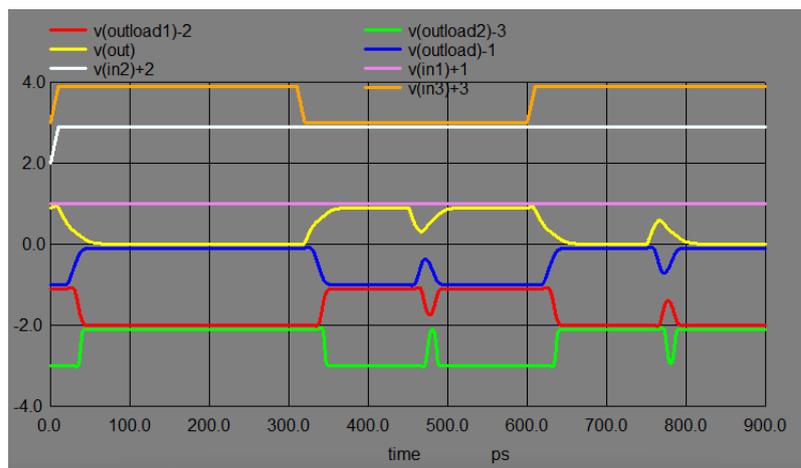
Fonte: A autora.

Resultado do SET no AOI-1 em estado gold, entrada 3 oscilando e saída com a de FoF4. O valor para a corrente negativa foi de 130uA e a da corrente positiva de 130uA.



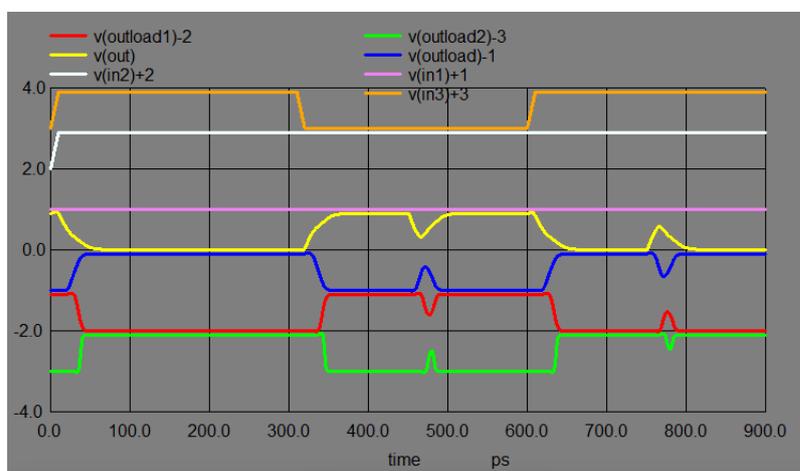
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 10mV, entrada 3 oscilando e saída de FoF4. O valor para a corrente negativa foi de 135uA e a da corrente positiva de 135uA.



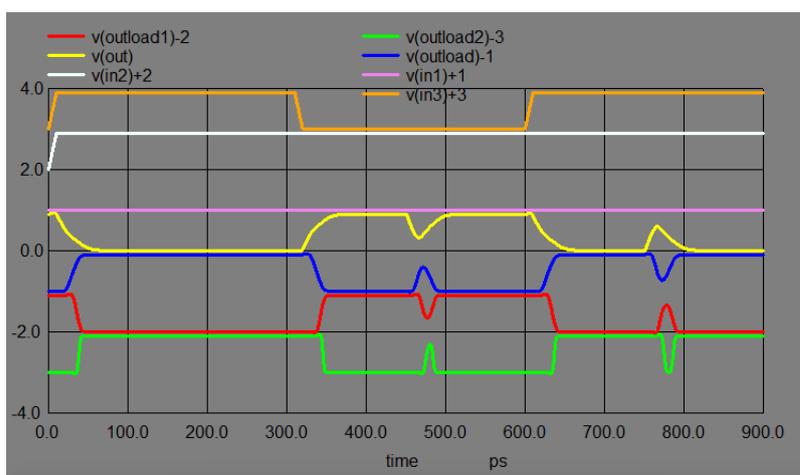
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 10mV, entrada 3 oscilando e saída de FoF4. O valor para a corrente negativa foi de 130uA e a da corrente positiva de 130uA.



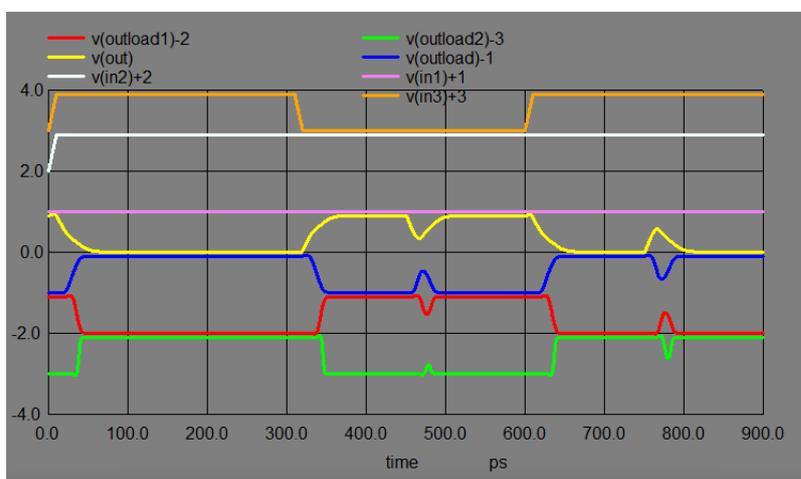
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 20mV, entrada 3 oscilando e saída de FoF4. O valor para a corrente negativa foi de 130uA e a da corrente positiva de 135uA.



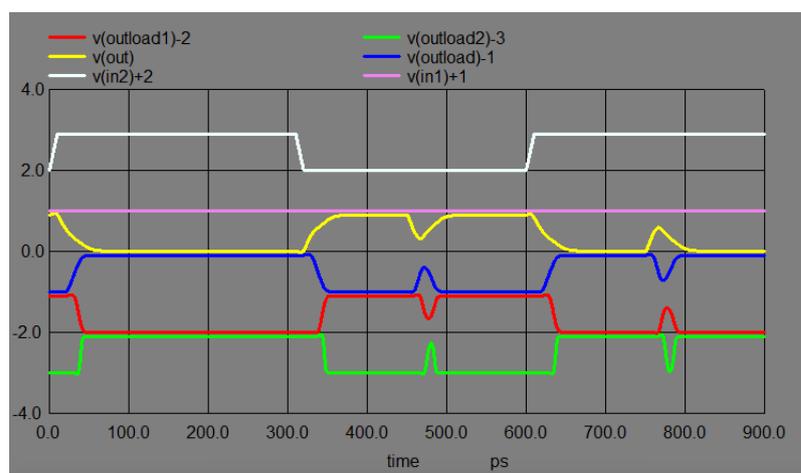
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 20mV, entrada 3 oscilando e saída de FoF4. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 130uA.



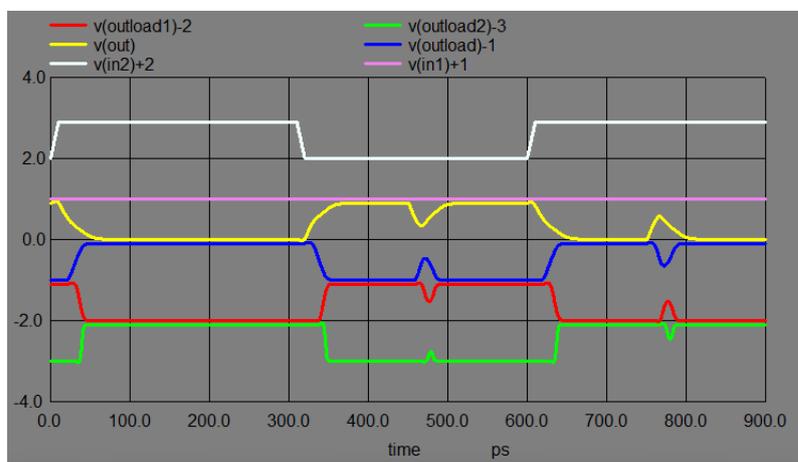
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 40mV, entrada 3 oscilando e saída de FoF4. O valor para a corrente negativa foi de 125uA e a da corrente positiva de 130uA.



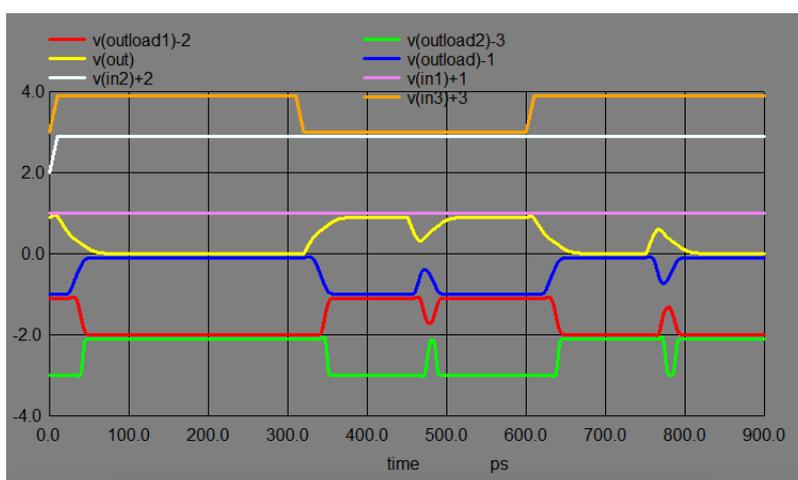
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 40mV, entrada 3 oscilando e saída de FoF4. O valor para a corrente negativa foi de 120uA e a da corrente positiva de 125uA.



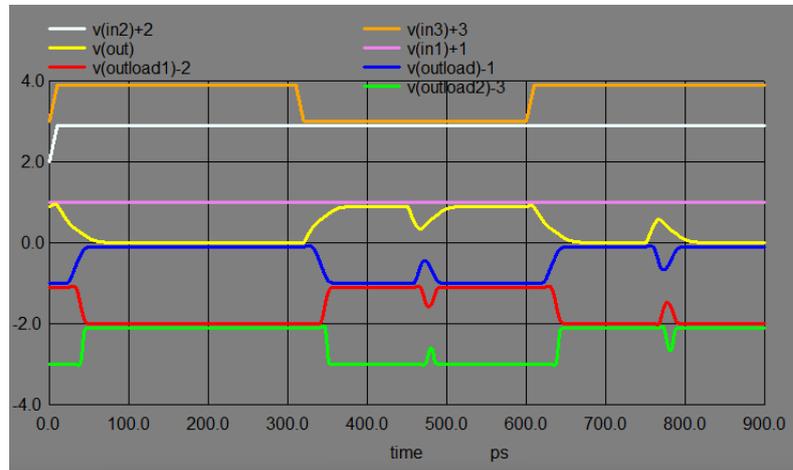
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 80mV, entrada 3 oscilando e saída de FoF4. O valor para a corrente negativa foi de 120uA e a da corrente positiva de 125uA.



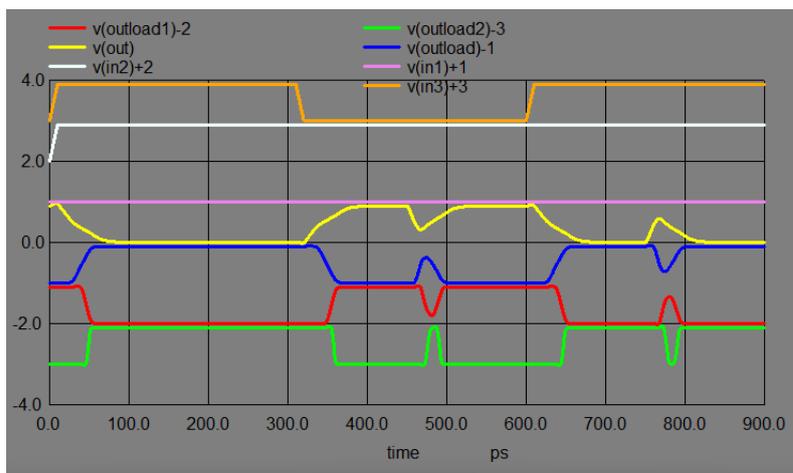
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 80mV, entrada 3 oscilando e saída de FoF4. O valor para a corrente negativa foi de 115uA e a da corrente positiva de 120uA.



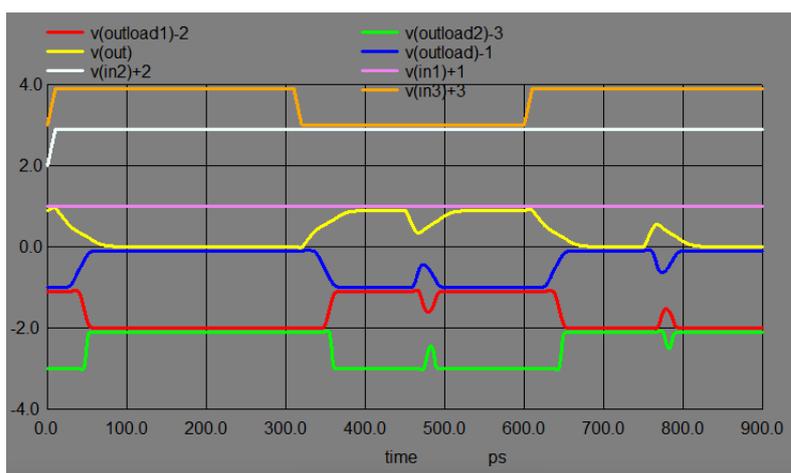
Fonte: A autora.

Resultado do SET no AOI-1 com BTI de 160mV, entrada 3 oscilando e saída de FoF4. O valor para a corrente negativa foi de 105uA e a da corrente positiva de 100uA.



Fonte: A autora.

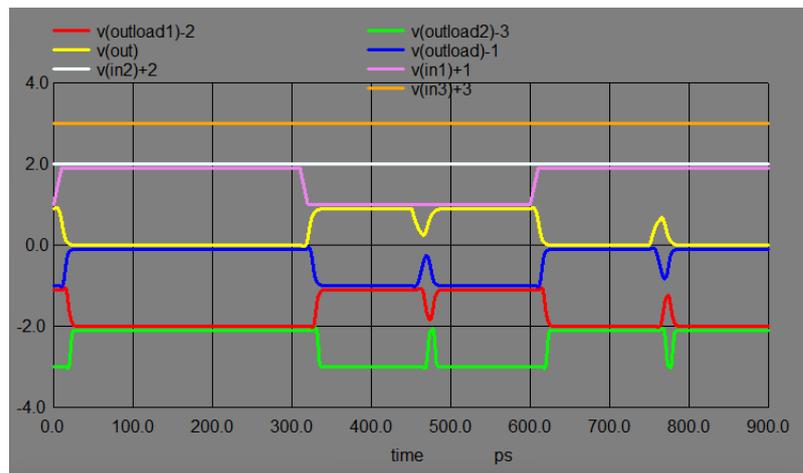
Resultado do SET no AOI-1 com BTI de 160mV, entrada 3 oscilando e saída de FoF4. O valor para a corrente negativa foi de 100uA e a da corrente positiva de 105uA.



Fonte: A autora.

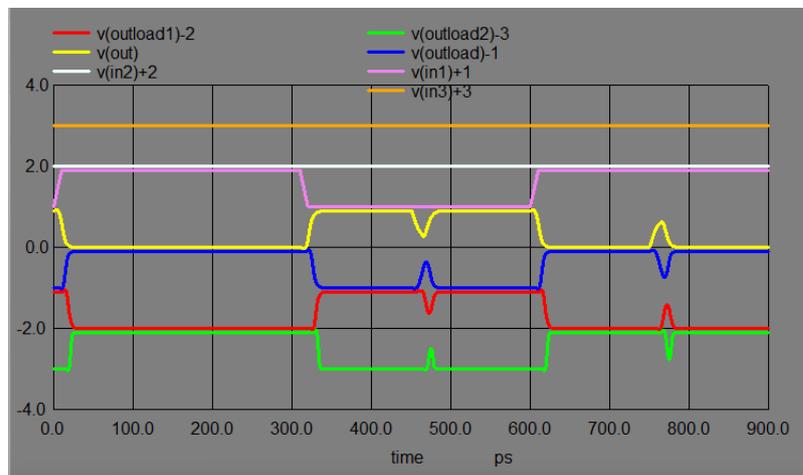
Q Apêndice - Resultados do SET na AOI-2

Resultado do SET no AOI-2 em estado gold, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 120uA e a da corrente positiva de 150uA.



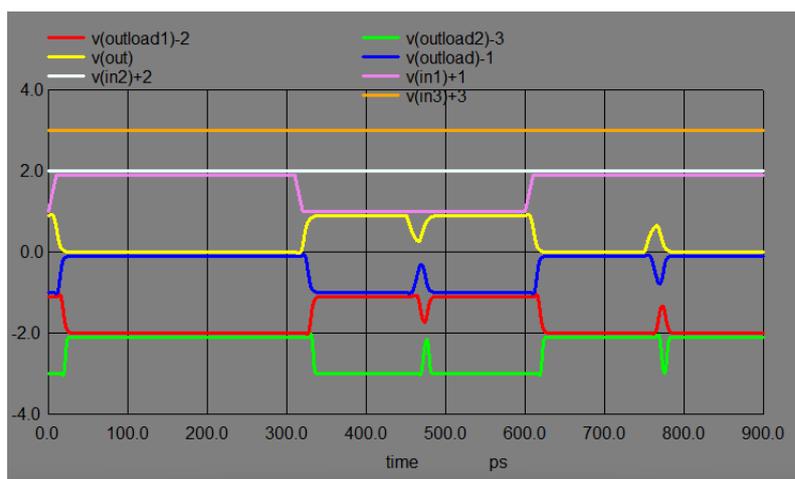
Fonte: A autora.

Resultado do SET no AOI-2 em estado gold, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 115uA e a da corrente positiva de 145uA.



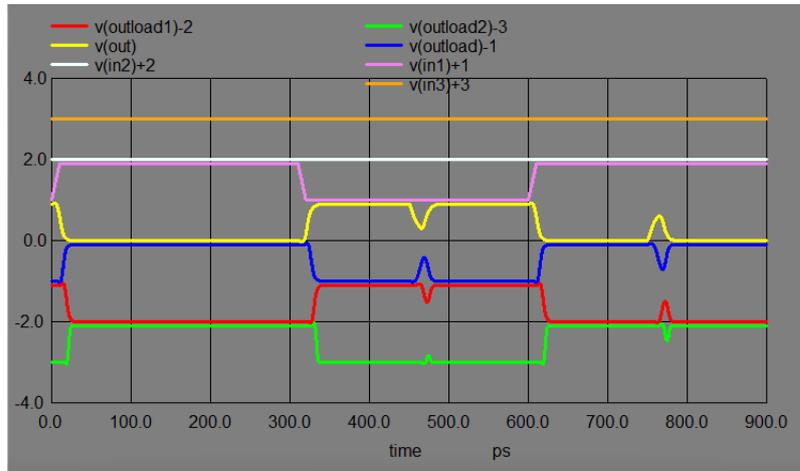
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 10mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 115uA e a da corrente positiva de 145uA.



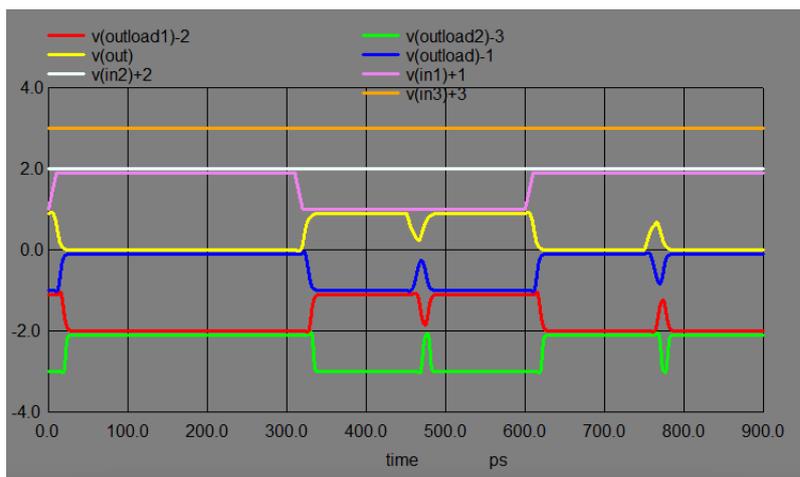
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 10mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 110uA e a da corrente positiva de 140uA.



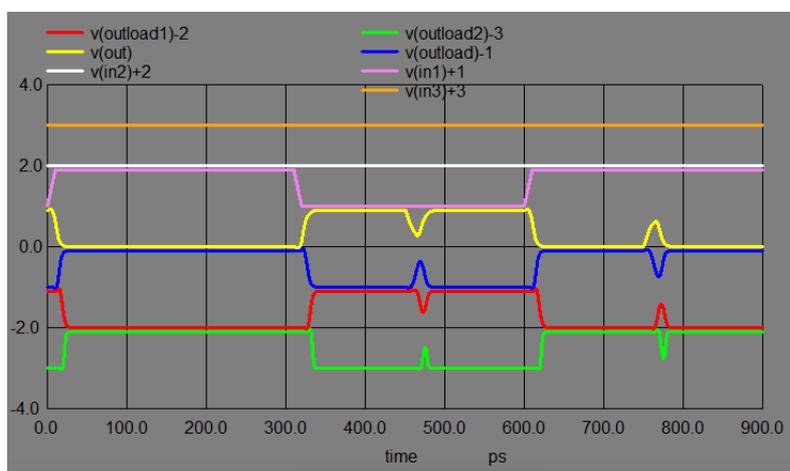
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 20mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 115uA e a da corrente positiva de 145uA.



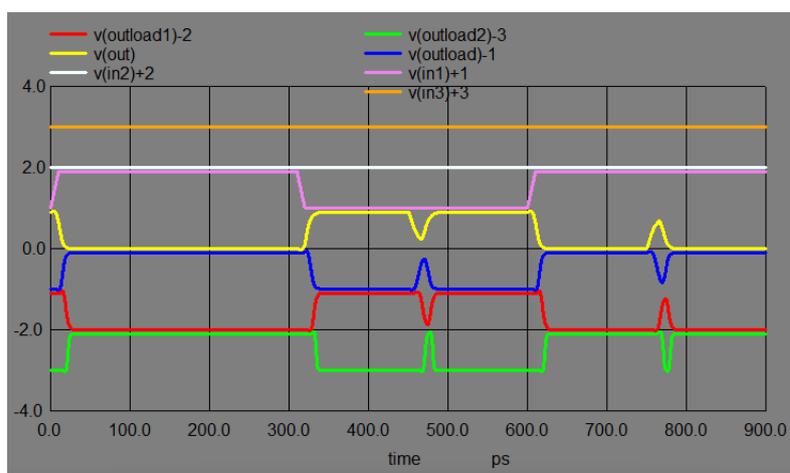
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 20mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 110uA e a da corrente positiva de 140uA.



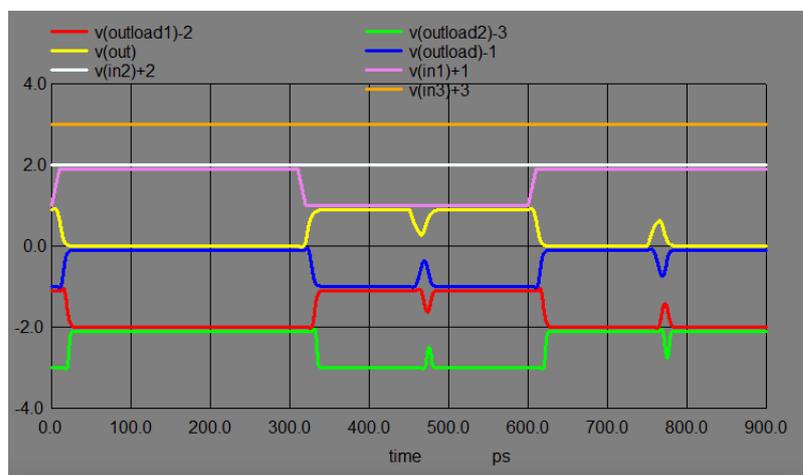
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 40mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 110uA e a da corrente positiva de 140uA.



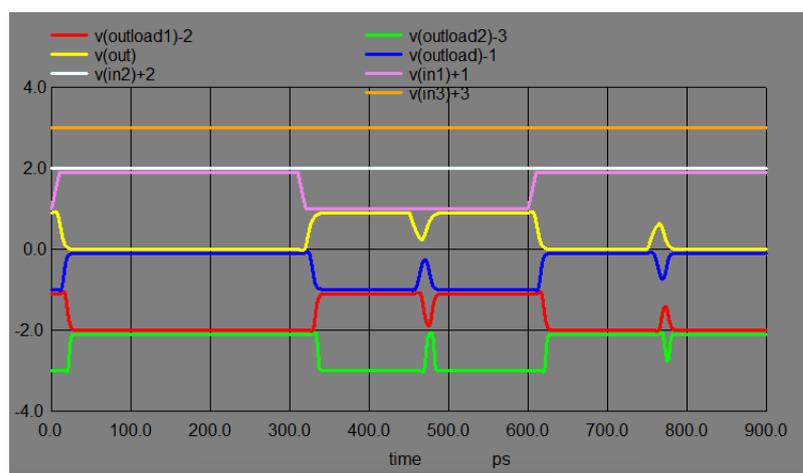
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 40mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 105uA e a da corrente positiva de 135uA.



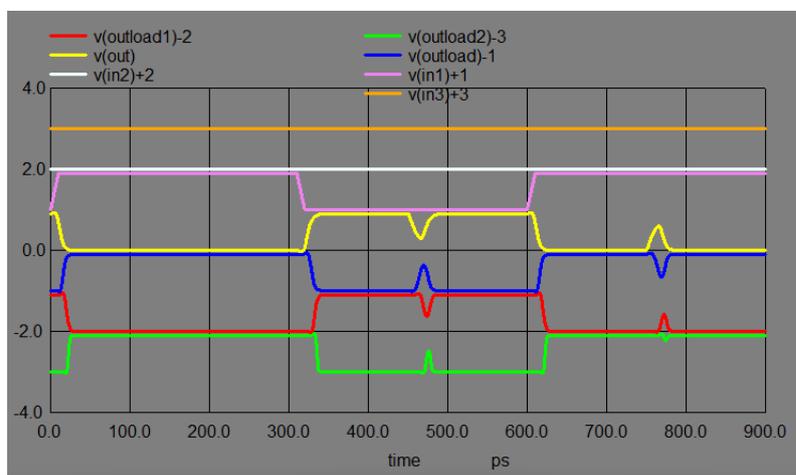
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 80mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 100uA e a da corrente positiva de 125uA.



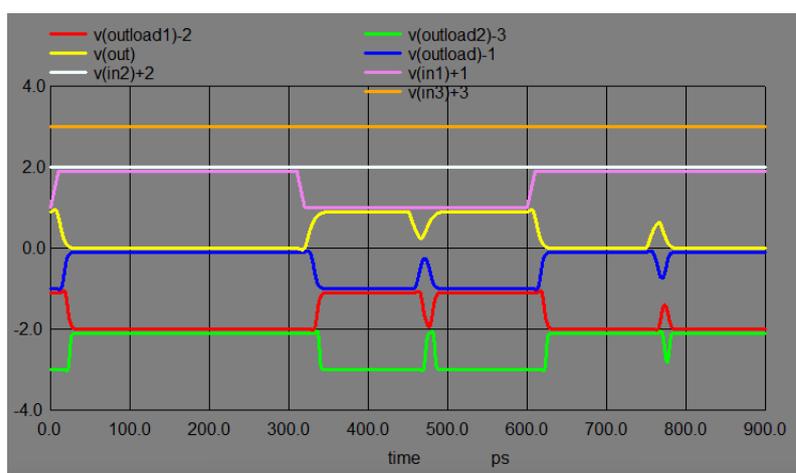
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 80mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 120uA.



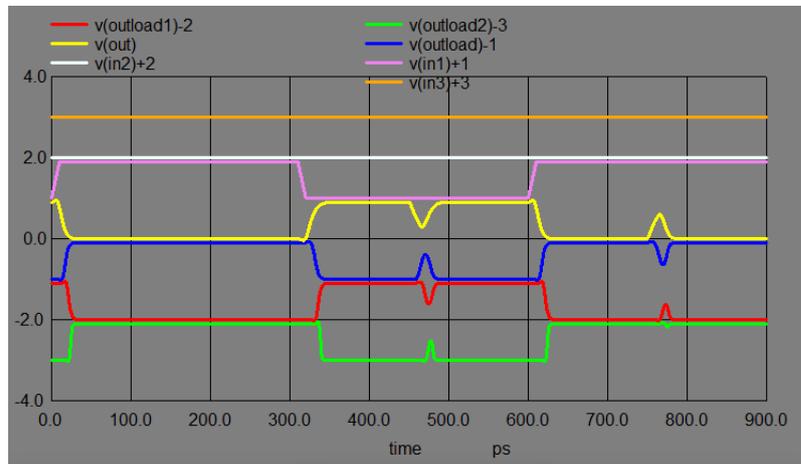
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 80uA e a da corrente positiva de 105uA.



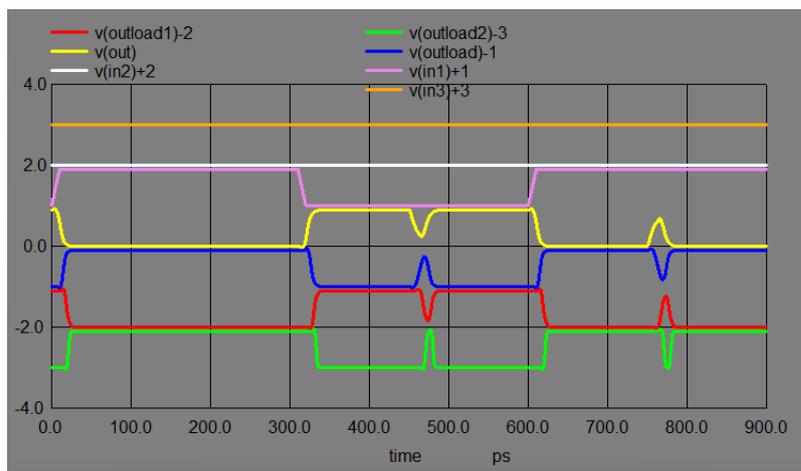
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 75uA e a da corrente positiva de 100uA.



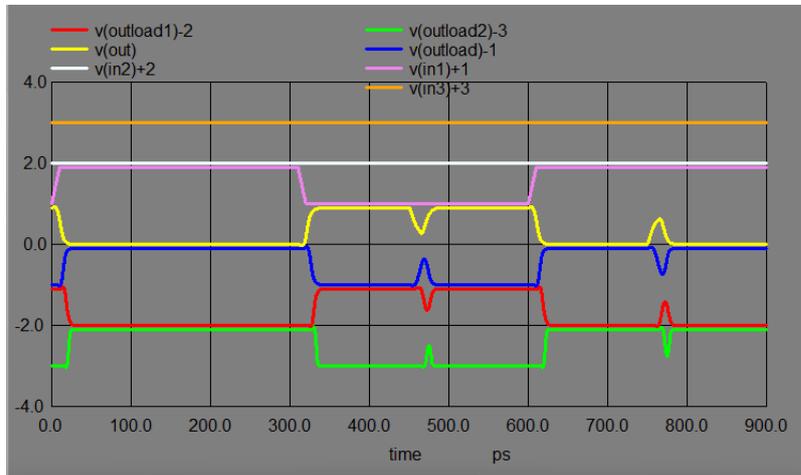
Fonte: A autora.

Resultado do SET no AOI-2 em estado gold, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 95uA.



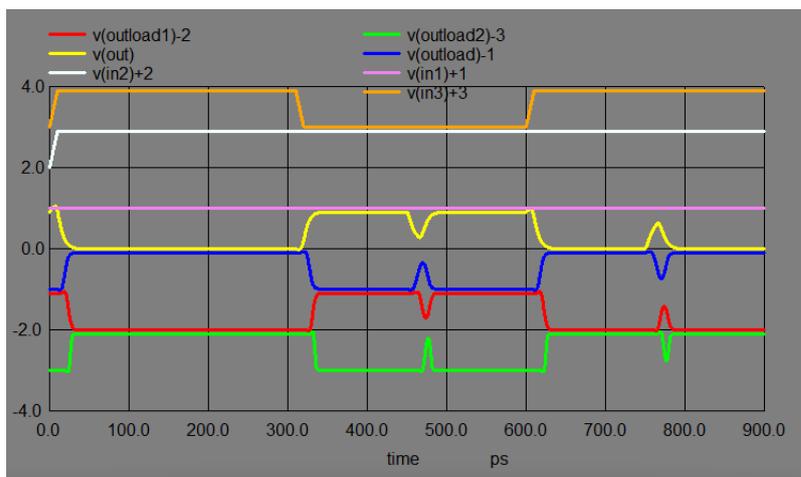
Fonte: A autora.

Resultado do SET no AOI-2 em estado gold, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 90uA.



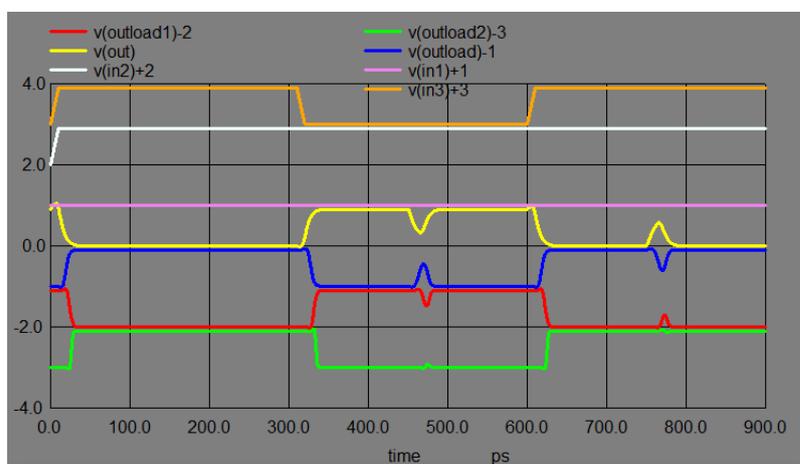
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 10mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 90uA.



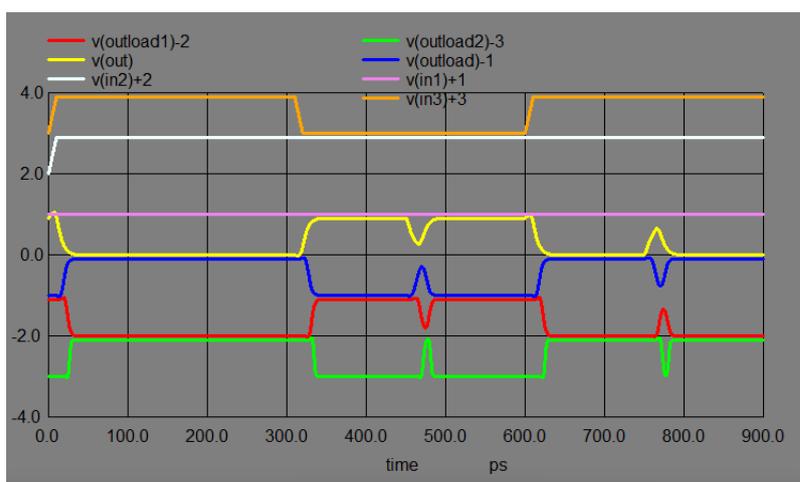
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 10mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 85uA.



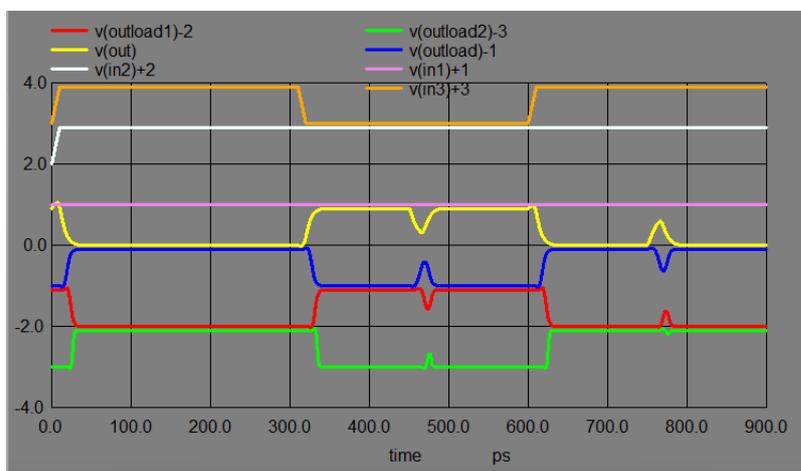
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 20mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 95uA e a da corrente positiva de 90uA.



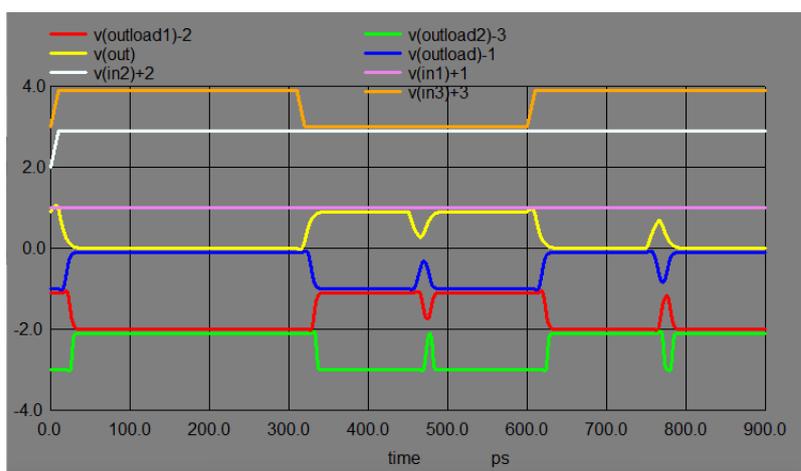
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 20mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 85uA.



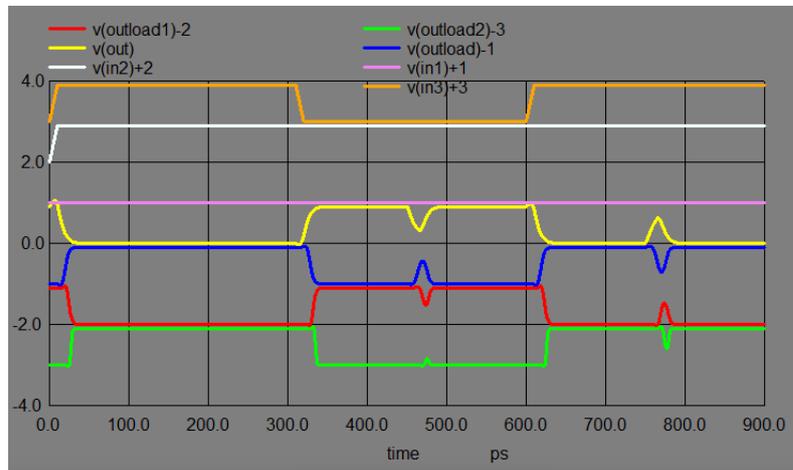
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 40mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 90uA e a da corrente positiva de 90uA.



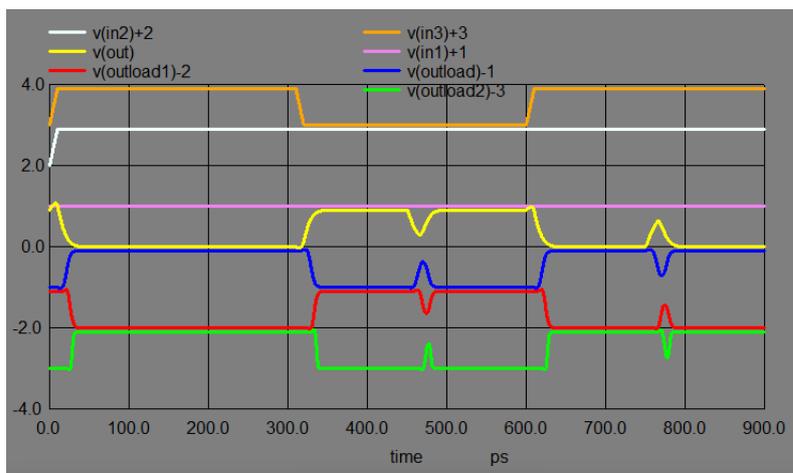
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 40mV, entrada 2 oscilando e saída de FoF1. O valor para a corrente negativa foi de 85uA e a da corrente positiva de 85uA.



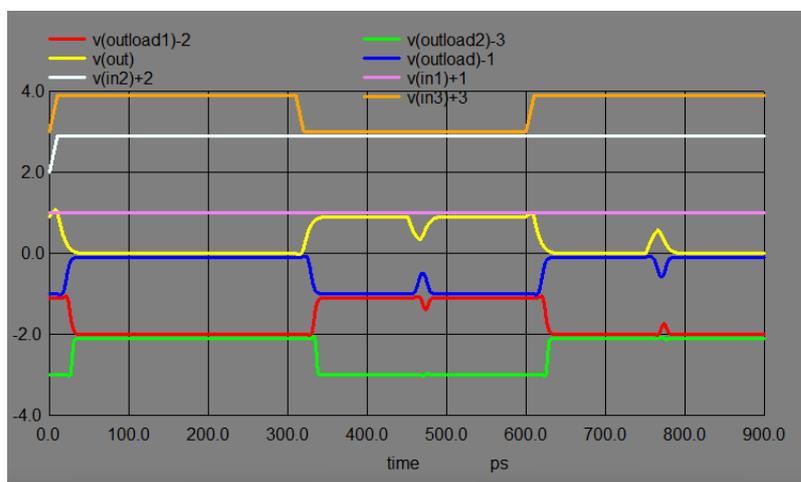
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 80mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 80uA e a da corrente positiva de 80uA.



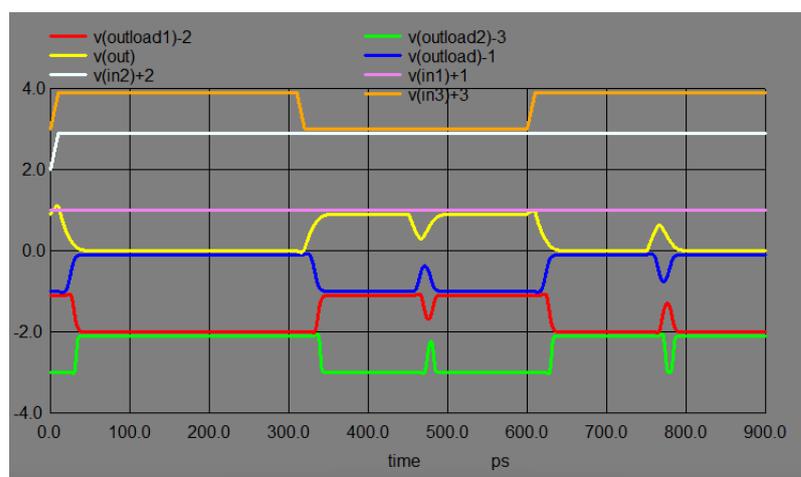
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 80mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 75uA e a da corrente positiva de 75uA.



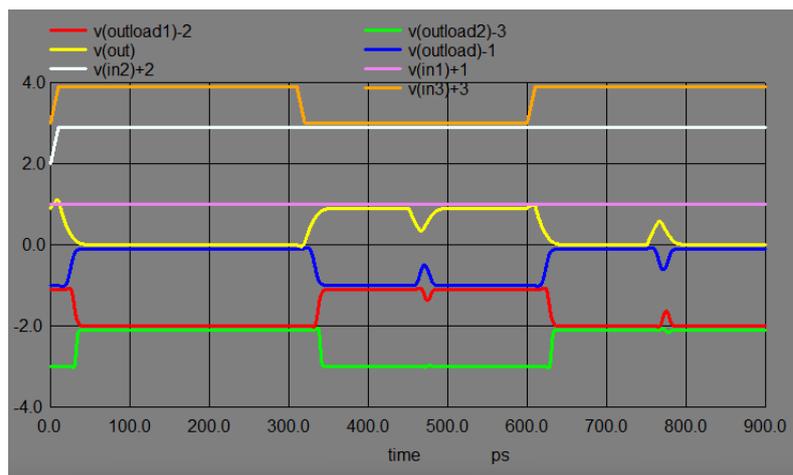
Fonte: A autora.

Resultado do SET no AOI-2 com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 65uA e a da corrente positiva de 70uA.



Fonte: A autora.

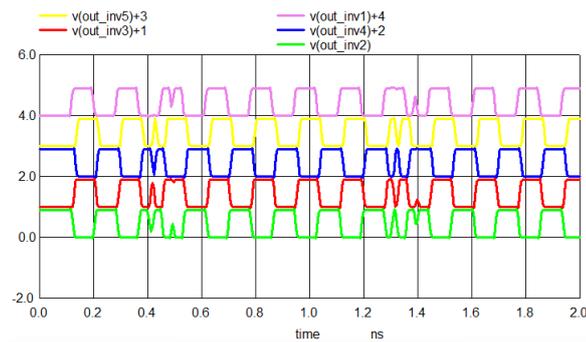
Resultado do SET no AOI-2 com BTI de 160mV, entrada 1 oscilando e saída de FoF1. O valor para a corrente negativa foi de 60uA e a da corrente positiva de 65uA.



Fonte: A autora.

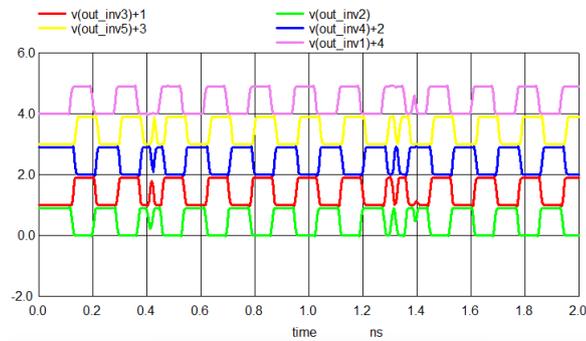
R Apêndice - Resultados do SET no OA com 17 inversores

Resultado do SET no oscilador em Anel com 17 inversores em estado gold. O valor para a corrente negativa de 190uA e positiva de 174uA.



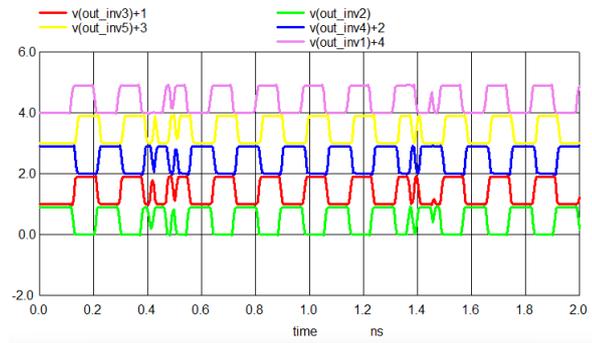
Fonte: A autora.

Resultado do SET no oscilador em Anel com 17 inversores em estado gold. O valor para a corrente negativa de 189uA e positiva de 173uA.



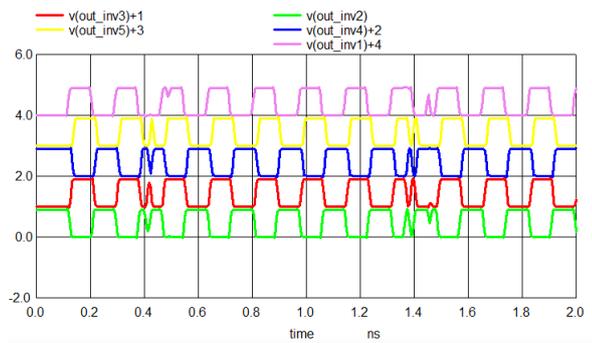
Fonte: A autora.

Resultado do SET no oscilador em Anel com 17 inversores com BTI de 10mV. O valor para a corrente negativa de 188uA e positiva de 172uA.



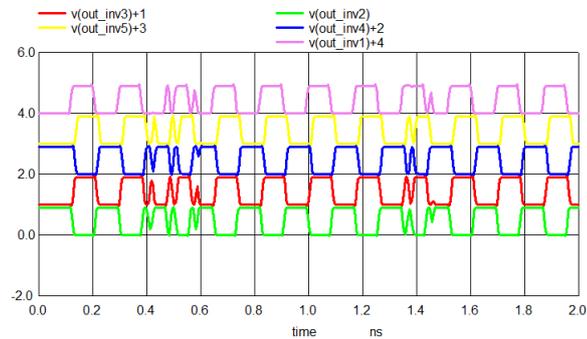
Fonte: A autora.

Resultado do SET no oscilador em Anel com 17 inversores com BTI de 10mV. O valor para a corrente negativa de 187uA e positiva de 171uA.



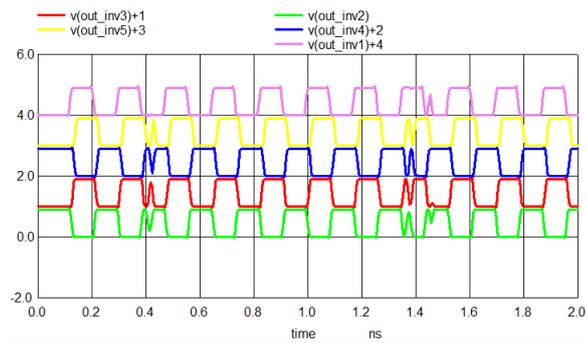
Fonte: A autora.

Resultado do SET no oscilador em Anel com 17 inversores com BTI de 20mV. O valor para a corrente negativa de 186uA e positiva de 160uA.



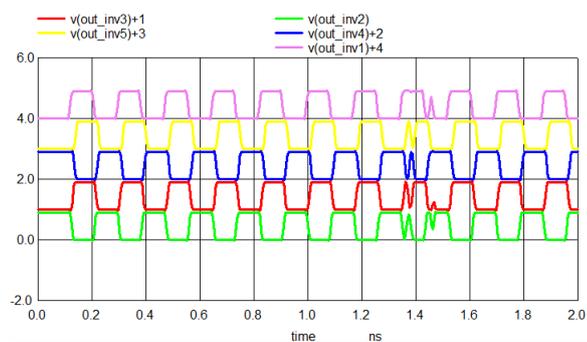
Fonte: A autora.

Resultado do SET no oscilador em Anel com 17 inversores com BTI de 20mV. O valor para a corrente negativa de 185uA e positiva de 159uA.



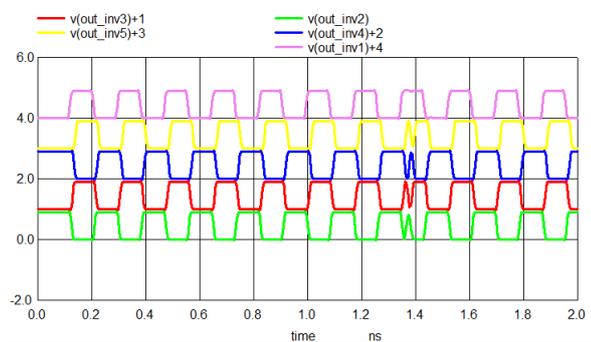
Fonte: A autora.

Resultado do SET no oscilador em Anel com 17 inversores com BTI de 40mV. O valor para a corrente positiva de 155uA.



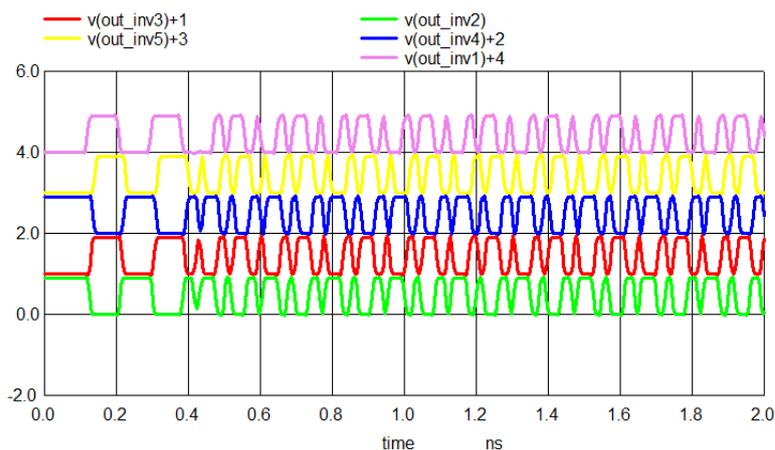
Fonte: A autora.

Resultado do SET no oscilador em Anel com 17 inversores com BTI de 40mV. O valor para a corrente positiva de 154uA.



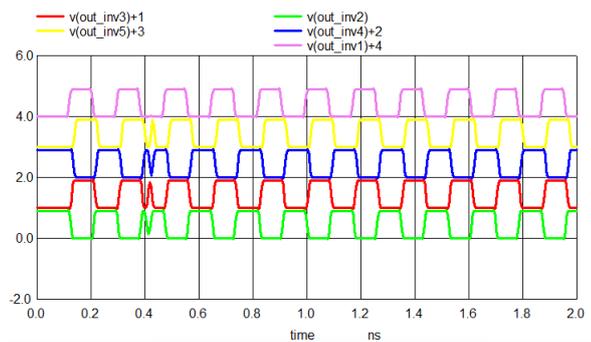
Fonte: A autora.

Resultado do SET no oscilador em Anel com 17 inversores com BTI de 40mV. O valor para a corrente negativa foi de 186uA.



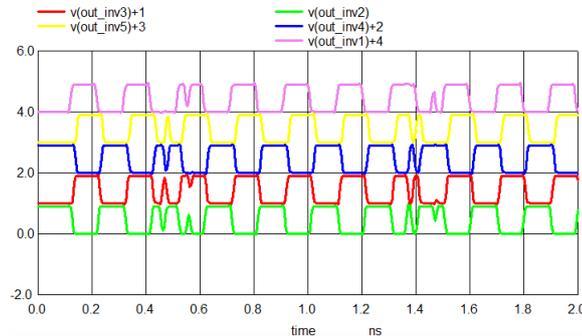
Fonte: A autora.

Resultado do SET no oscilador em Anel com 17 inversores com BTI de 40mV. O valor para a corrente negativa foi de 185uA.



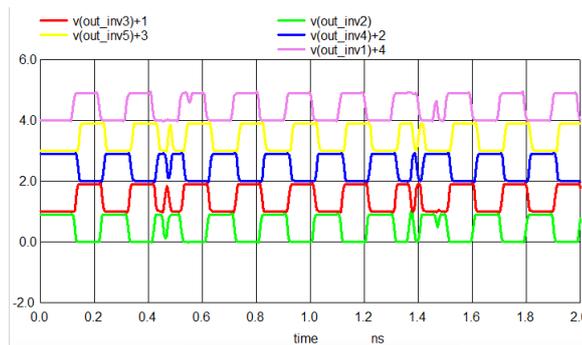
Fonte: A autora.

Resultado do SET no oscilador em Anel com 17 inversores com BTI de 80mV. O valor para a corrente negativa foi de 178 μ A e corrente positiva de 167 μ A.



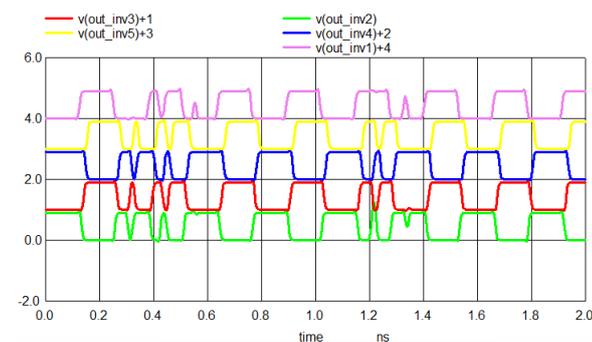
Fonte: A autora.

Resultado do SET no oscilador em Anel com 17 inversores com BTI de 80mV. O valor para a corrente negativa foi de 177 μ A e corrente positiva de 166 μ A.



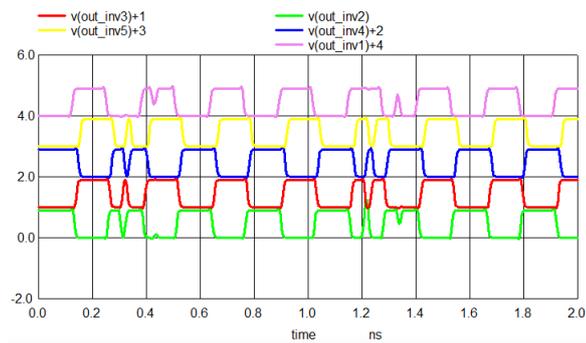
Fonte: A autora.

Resultado do SET no oscilador em Anel com 17 inversores com BTI de 160mV. O valor para a corrente negativa de 163 μ A e positiva de 163 μ A.



Fonte: A autora.

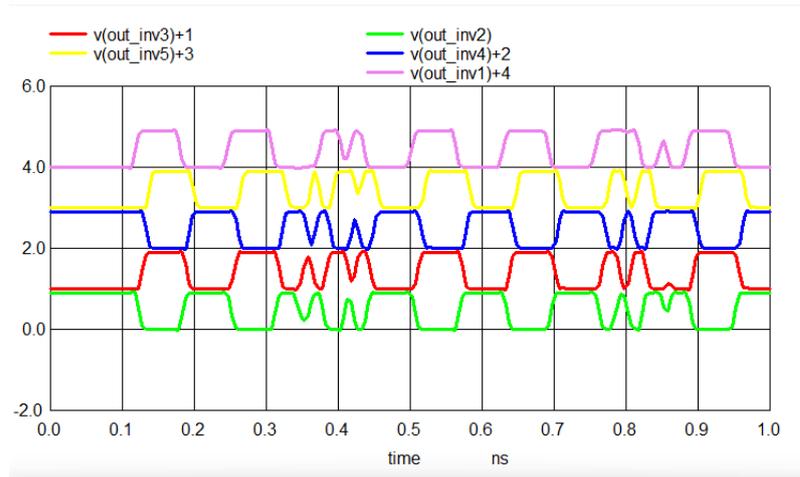
Banana Resultado do SET no oscilador em Anel com 17 inversores com BTI de 160mV. O valor para a corrente negativa de 162uA e a positiva de 162uA.



Fonte: A autora.

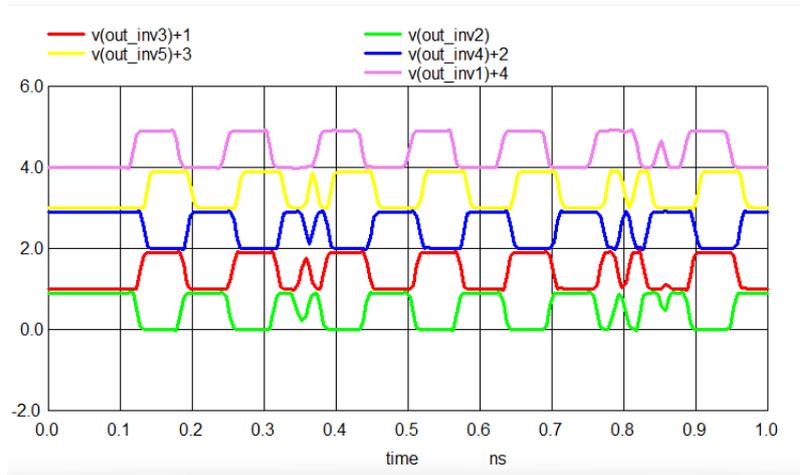
S Apêndice

Resultado do SET no oscilador em Anel com 13 inversores em estado gold. O valor para a corrente negativa de 189uA e corrente positiva de 169uA.



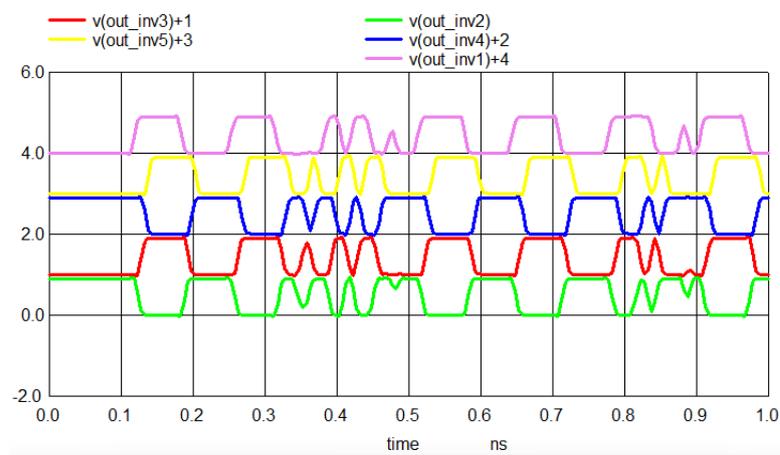
Fonte: A autora.

Resultado do SET no oscilador em Anel com 13 inversores em estado gold. O valor para a corrente negativa de 188uA e corrente positiva de 168uA.



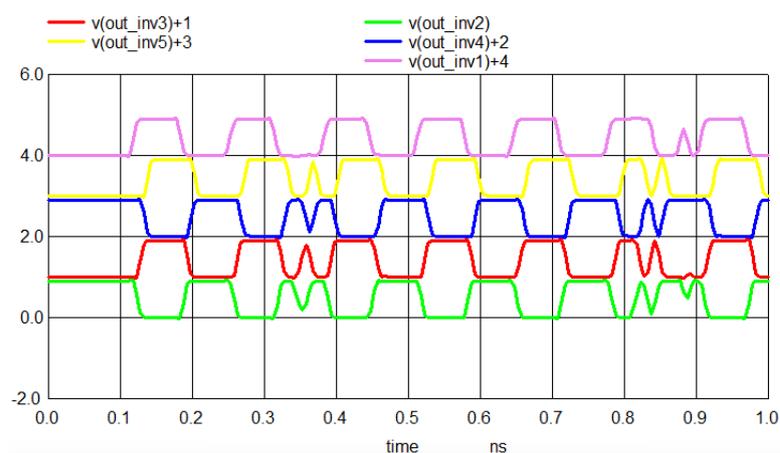
Fonte: A autora.

Resultado do SET no oscilador em Anel com 13 inversores com BTI de 10mV. O valor para a corrente negativa de 187uA e corrente positiva de 167uA.



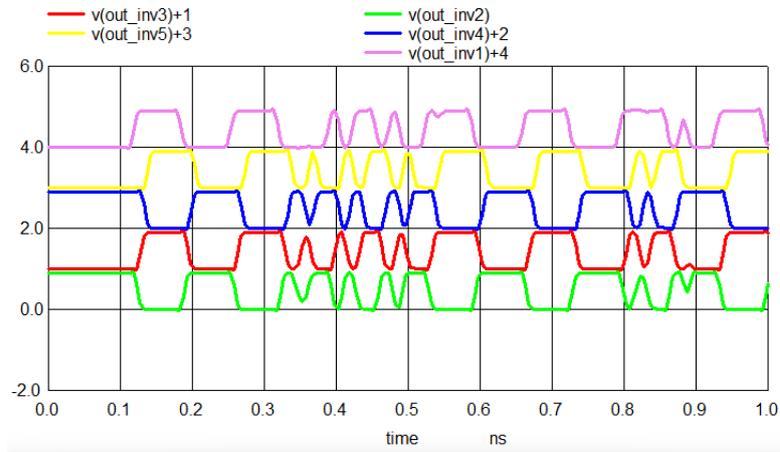
Fonte: A autora.

Resultado do SET no oscilador em Anel com 13 inversores com BTI de 10mV. O valor para a corrente negativa de 186uA e corrente positiva de 166uA.



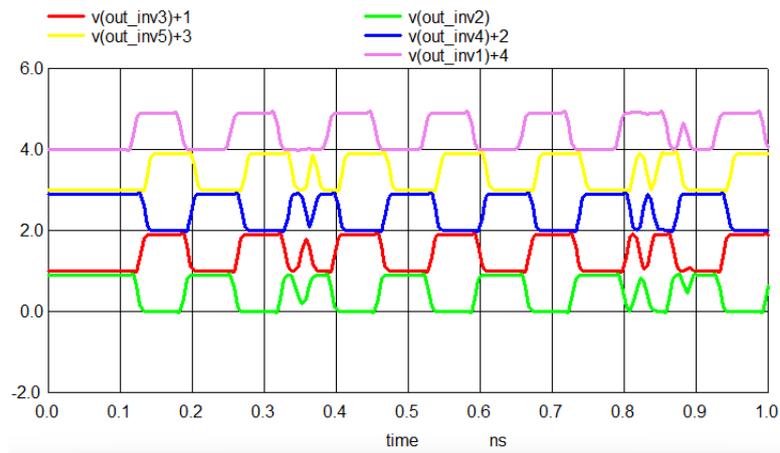
Fonte: A autora.

Resultado do SET no oscilador em Anel com 13 inversores com BTI de 20mV. O valor para a corrente negativa de 186 μ A e corrente positiva de 161 μ A.



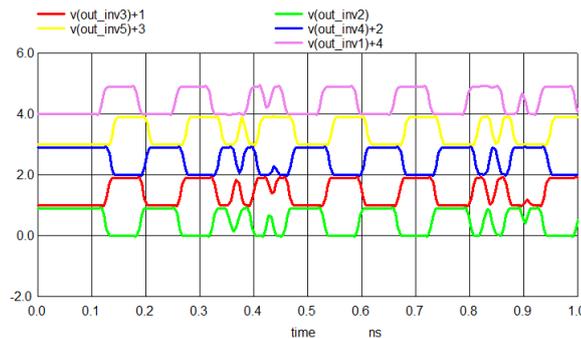
Fonte: A autora.

Resultado do SET no oscilador em Anel com 13 inversores com BTI de 20mV. O valor para a corrente negativa de 185 μ A e corrente positiva de 160 μ A.



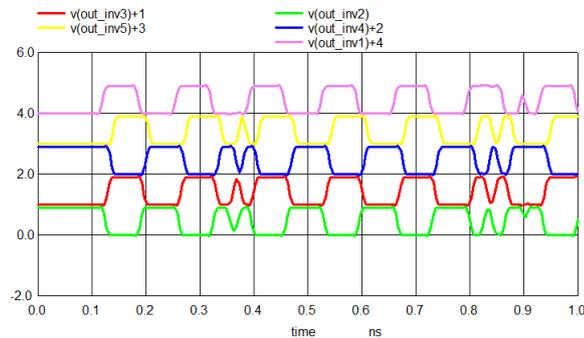
Fonte: A autora.

Resultado do SET no oscilador em Anel com 13 inversores com BTI de 40mV. O valor para a corrente negativa de 186 μ A e corrente positiva de 158 μ A.



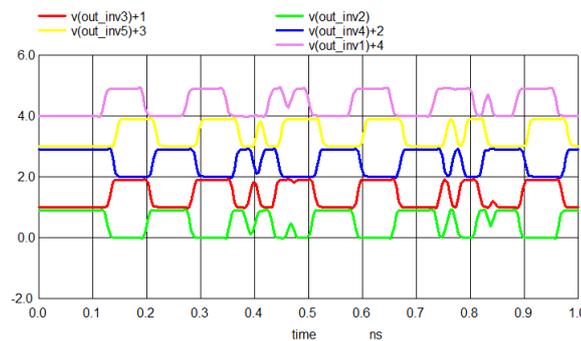
Fonte: A autora.

Resultado do SET no oscilador em Anel com 13 inversores com BTI de 40mV. O valor para a corrente negativa de 185uA e corrente positiva de 157uA.



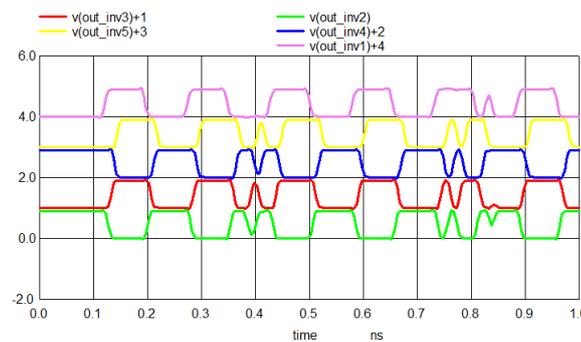
Fonte: A autora.

Resultado do SET no oscilador em Anel com 13 inversores com BTI de 80mV. O valor para a corrente negativa de 175uA e corrente positiva de 154uA.



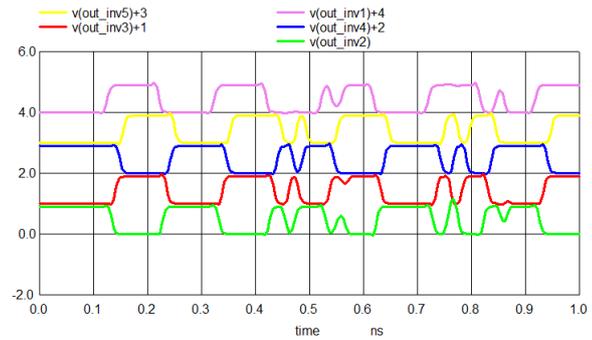
Fonte: A autora.

Resultado do SET no oscilador em Anel com 13 inversores com BTI de 80mV. O valor para a corrente negativa de 174uA e corrente positiva de 153uA.



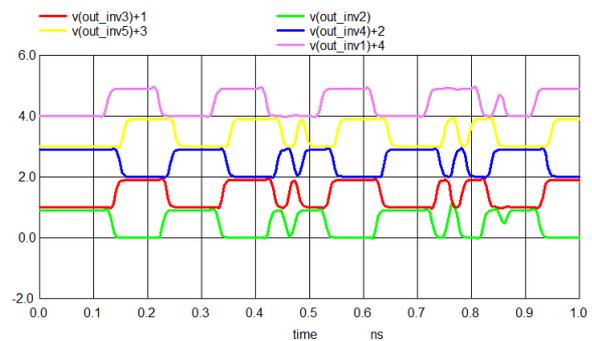
Fonte: A autora.

Resultado do SET no oscilador em Anel com 13 inversores com BTI de 80mV. O valor para a corrente negativa de 160uA e corrente positiva de 158uA.



Fonte: A autora.

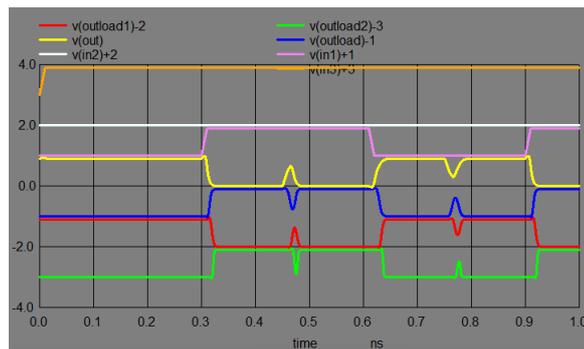
Resultado do SET no oscilador em Anel com 13 inversores com BTI de 80mV. O valor para a corrente negativa de 159uA e corrente positiva de 157uA.



Fonte: A autora.

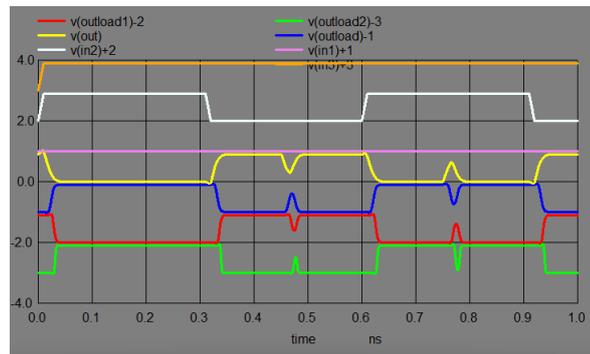
T Apêndice - Resultados do SET no modelo analítico ao longo prazo

Resultado do SET no AOI-1 usando o modelo analítico ao longo prazo, entrada 1 com a saída FoF1. O valor para a corrente negativa de 65uA e corrente positiva de 105uA.



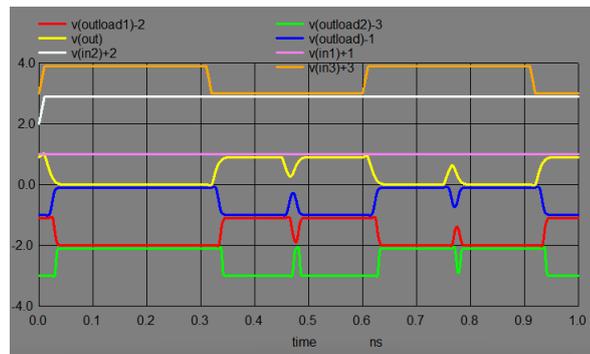
Fonte: A autora.

Resultado do SET no AOI-1 usando o modelo analítico ao longo prazo, entrada 2 com a saída FoF1. O valor para a corrente negativa de 65uA e corrente positiva de 70uA.



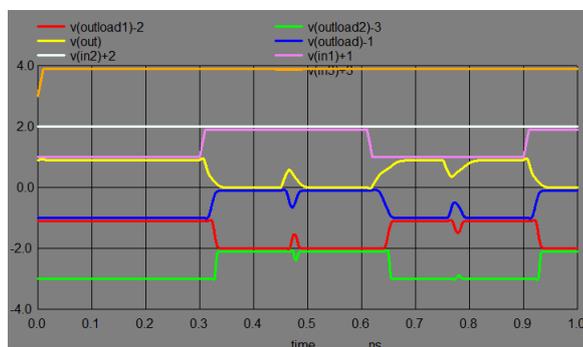
Fonte: A autora.

Resultado do SET no AOI-1 usando o modelo analítico ao longo prazo, entrada 3 com a saída FoF1. O valor para a corrente negativa de 70uA e corrente positiva de 70uA.



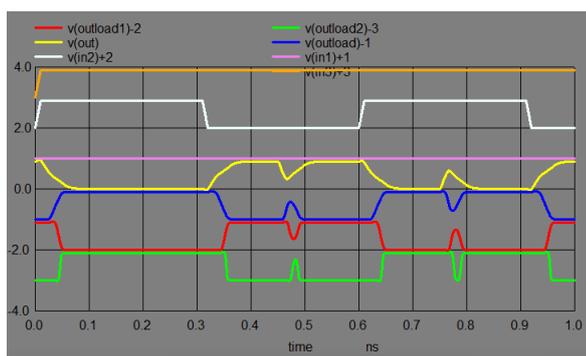
Fonte: A autora.

Resultado do SET no AOI-1 usando o modelo analítico ao longo prazo, entrada 1 com a saída FoF4. O valor para a corrente negativa de 105uA e corrente positiva de 150uA.



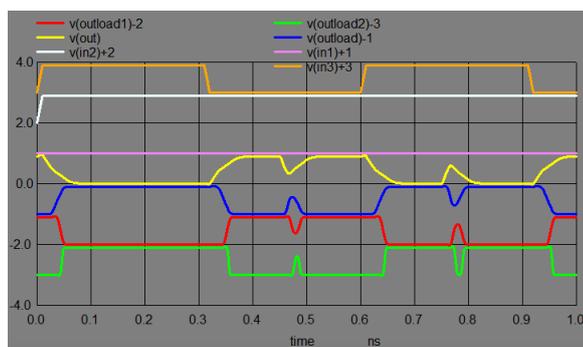
Fonte: A autora.

Resultado do SET no AOI-1 usando o modelo analítico ao longo prazo, entrada 2 com a saída FoF4. O valor para a corrente negativa de 105uA e corrente positiva de 115uA.



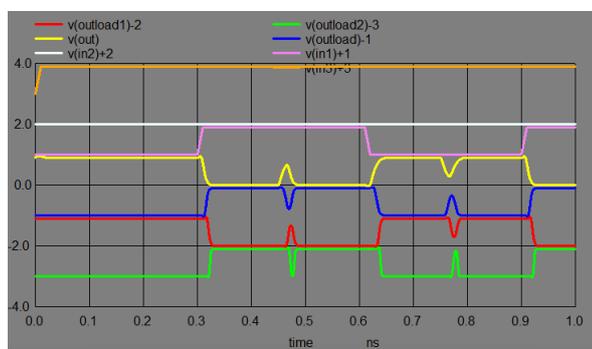
Fonte: A autora.

Resultado do SET no AOI-1 usando o modelo analítico ao longo prazo, entrada 3 com a saída FoF4. O valor para a corrente negativa de 105uA e corrente positiva de 115uA.



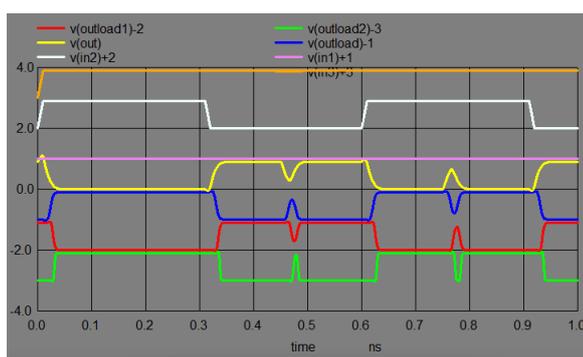
Fonte: A autora.

Resultado do SET no AOI-2 usando o modelo analítico ao longo prazo, entrada 1 com a saída FoF1. O valor para a corrente negativa de 70uA e corrente positiva de 110uA.



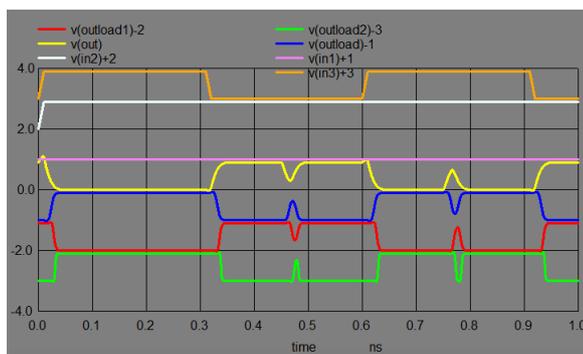
Fonte: A autora.

Resultado do SET no AOI-2 usando o modelo analítico ao longo prazo, entrada 2 com a saída FoF1. O valor para a corrente negativa de 70uA e corrente positiva de 75uA.



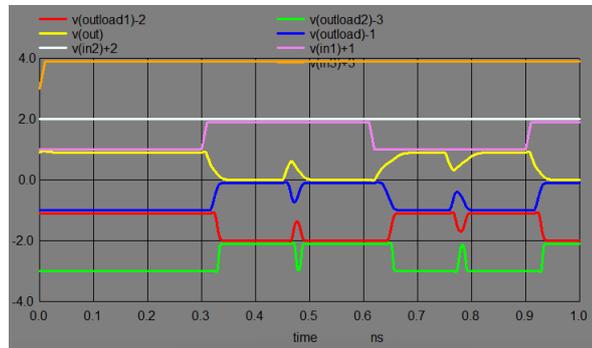
Fonte: A autora.

Resultado do SET no AOI-2 usando o modelo analítico ao longo prazo, entrada 3 com a saída FoF1. O valor para a corrente negativa de 70uA e corrente positiva de 75uA.



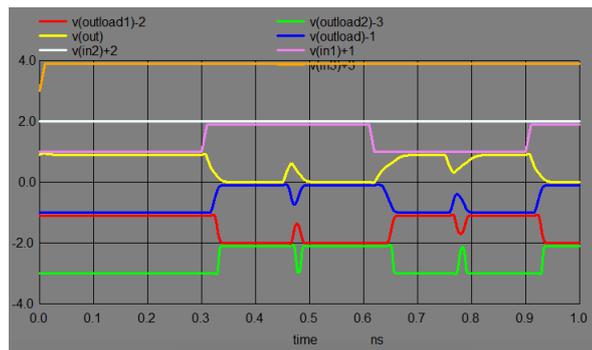
Fonte: A autora.

Resultado do SET no AOI-2 usando o modelo analítico ao longo prazo, entrada 1 com a saída FoF4. O valor para a corrente negativa de 110uA e corrente positiva de 115uA.



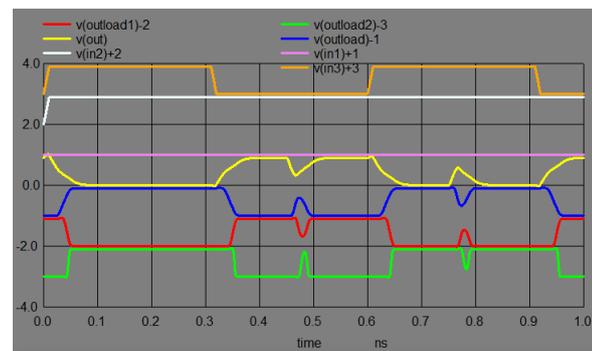
Fonte: A autora.

Resultado do SET no AOI-2 usando o modelo analítico ao longo prazo, entrada 2 com a saída FoF4. O valor para a corrente negativa de 110uA e corrente positiva de 115uA.



Fonte: A autora.

Resultado do SET no AOI-2 usando o modelo analítico ao longo prazo, entrada 3 com a saída FoF4. O valor para a corrente negativa de 110uA e corrente positiva de 115uA.



Fonte: A autora.