



XXXV SALÃO de INICIAÇÃO CIENTÍFICA

6 a 10 de novembro

Evento	Salão UFRGS 2023: SIC - XXXV SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2023
Local	Campus Centro - UFRGS
Título	Exploração do espaço de projeto para síntese de alto nível baseada em GRASP para FPGAs
Autor	NÍKOLAS PADÃO SCHUSTER
Orientador	GABRIEL LUCA NAZAR

A Síntese de Alto Nível (HLS - High-Level Synthesis) proporciona ganhos significativos de produtividade para o desenvolvimento de aceleradores dedicados, incluindo aqueles baseados em FPGAs. No entanto, a obtenção de projetos eficientes em termos de métricas importantes, como uso de recursos e desempenho, geralmente requer a introdução manual de diretivas de otimização de síntese. Isso torna o processo de otimização do projeto longo e complicado, comprometendo os benefícios da Síntese de Alto Nível. O objetivo deste trabalho é utilizar heurísticas de Exploração do Espaço de Projeto (DSE - Design Space Exploration) para automatizar e acelerar o processo de otimização de síntese em HLS. Buscamos eliminar a necessidade de intervenção manual, reduzir os ciclos de otimização e aumentar a produtividade de desenvolvimento. Para isso, propomos uma nova heurística de DSE para HLS orientada a FPGA, baseada em GRASP (Generic Randomized Adaptive Search Procedures). Implementamos essa heurística e a comparamos com outras abordagens previamente utilizadas para o problema de otimização. Além disso, desenvolvemos todas as heurísticas avaliadas em um framework DSE de código aberto e extensível, garantindo a reprodutibilidade e comparabilidade das pesquisas futuras nesta área. Como resultados de nosso trabalho, escrevemos um artigo científico demonstrando eficácia da heurística de DSE baseada em GRASP. Em comparação com abordagens anteriores de DSE, nossa heurística foi capaz de reduzir em quase 50% a distância média do conjunto de referência e melhorar a dominância de Pareto em 19%. Esses resultados positivos indicam o potencial significativo da heurística proposta para aprimorar a Síntese de Alto Nível e a Exploração do Espaço de Projeto em FPGA.