

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
ESCOLA DE ENGENHARIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

Iago Rockstroh Molina Severo

**Sub-1-V, 900-MHz ULP Folded-LNA em 28 nm CMOS**

Porto Alegre  
2023

Iago Rockstroh Molina Severo

**Sub-1-V, 900-MHz ULP Folded-LNA em 28 nm CMOS**

Projeto de Diplomação apresentado ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para a conclusão do curso de ensino superior em Engenharia Elétrica.

Orientador: Prof. Dr. Paulo Butzen  
Coorientador: Dr. Filipe Baumgratz

Porto Alegre  
2023

Iago Rockstroh Molina Severo

**Sub-1-V, 900-MHz ULP Folded-LNA em 28 nm CMOS**

Este Projeto de Diplomação foi julgado adequado para obtenção do Título de Engenheiro Eletricista e aprovado em sua forma final pelo Curso de Engenharia Elétrica.

Porto Alegre, Maio de 2023.

---

Prof. Dr. Paulo Butzen  
Universidade Federal do Rio Grande do Sul  
Orientador

---

Dr. Filipe Baumgratz  
Impinj Inc.  
Coorientador

---

Prof. Dr. Gilson Wirth  
Universidade Federal do Rio Grande do Sul  
Banca

---

Prof. Dr. Hamilton Klimach  
Universidade Federal do Rio Grande do Sul  
Banca

## **AGRADECIMENTOS**

Ao meu orientador, Prof. Sergio Bampi, por me iniciar na pesquisa científica e me suportar quando necessário na orientação.

Ao meu coorientador, Dr. Filipe Baumgratz, por ensinar e guiar a minha pesquisa em circuitos integrados analógicos. Também, me coorientar no meu projeto de diplomação.

Ao meu orientador de projeto de diplomação, Prof. Paulo Butzen, por ter paciência em me guiar no final do curso superior e me aconselhar nas minhas escolhas.

Aos colegas de laboratório dos grupos GME-AMS-RF, PGMICRO, IEEE CAS-RS e do curso de engenharia elétrica que ajudaram na minha jornada de alguma forma.

A minha esposa, Débora Cardoso por me apoiar nos momentos difíceis e me incentivar a ultrapassar as dificuldades do dia-a-dia.

A minha família por me amparar e compreender quando foi necessário e jamais se ausentar da minha jornada.

A Universidade Federal do Rio Grande do Sul por oportunizar uma universidade pública de graça e de qualidade para todos. Em especial, aos professores e técnicos da universidade.

“A ciência é aquilo que aprendemos sobre como não deixar enganar a nós mesmos.”  
(Richard Feynman)

## RESUMO

Na área de dispositivos de comunicação, a tecnologia wireless é crítica. Estimou-se em 2015 que havia 15,4 bilhões de dispositivos conectados em rede no mundo. É esperado que este número dobre até 2021, chegando a 30,8 bilhões de conexões à Internet, a maioria delas máquina-máquina. Para atender essas expectativas, novas soluções no desenvolvimento de circuitos integrados (CIs) de radiofrequência (RF) CMOS de baixo custo são necessárias. O objetivo deste trabalho de conclusão de curso é desenvolver um amplificador de baixo ruído (LNA) que busca aprimorar a eficiência de receptores de RF CMOS integrados, utilizados em bandas sub-GHz para IoT. Esta eficiência oferece um consumo ultra baixo de potência (ULP), com baixa tensão de alimentação (ULV) atendendo especificações gerais de alto ganho de tensão, baixa figura de ruído (NF), baixa distorção harmônica e alta linearidade, em banda-estreita. Neste projeto, é usado a metodologia de design de fluxo de amplificadores analógicos CMOS. O desenvolvimento destes amplificadores é realizado no nível de circuito esquemático, então aprimorados, rotina de verificações e simulações com extração de elementos passivos parasitas do CI. A pesquisa é guiada pelas contribuições científicas do estado-da-arte em LNA que utilizam topologia de degeneração indutiva e redes de casamento utilizando indutores. Os resultados parciais dos amplificadores em 28nm TSMC projetados em 900MHz atingem o consumo de potência abaixo de 1 mW com tensão de alimentação de 700mV. Valores menores de alimentação obtiveram êxito com uso de topologias avançadas com estágios de transcondutância e no uso de indutores integrados sobre o projeto. O ganho de tensão chegou ao máximo de 21,4 dB em função do casamento de entrada, que possibilitou atingir a reflexão de sinal na entrada de -16,6 dB. A figura de ruído obtido foi de 1,53 dB.

**Palavras-chave:** Low noise amplifier, ultra-low power, narrowband, CMOS.

## ABSTRACT

In the field of communication devices, wireless technology is critical. It was estimated in 2015 that there were 15.4 billion networked devices in the world. It is expected that this number will double by 2021, reaching 30.8 billion internet connections, most of them machine-to-machine. To meet these expectations, new solutions in the development of low-cost radio frequency (RF) CMOS integrated circuits (ICs) are necessary. The objective of this thesis is to develop a low-noise amplifier (LNA) that seeks to improve the efficiency of integrated CMOS RF receivers used in sub-GHz bands for IoT. This efficiency offers ultra-low power consumption (ULP) with low supply voltage (ULV), meeting general specifications for high voltage gain, low noise figure (NF), low harmonic distortion, and high linearity in narrowband. In this project, the CMOS analog amplifier design flow methodology is used. The development of these amplifiers is carried out at the schematic circuit level, then improved, verified, and simulated with the extraction of parasitic passive elements of the IC. The research is guided by the scientific contributions of the state-of-the-art in LNA that use inductive degeneration topology and matching networks using inductors. The partial results of the amplifiers in 28nm TSMC designed at 900MHz achieve power consumption below 1 mW with a supply voltage of 700mV. Lower supply voltages were successful using advanced topologies with transconductance stages and integrated inductors in the design. The voltage gain reached a maximum of 21,4 dB due to the input matching, which made it possible to achieve a signal reflection at the input of -16,6 dB. The obtained noise figure was 1,53 dB.

**Keywords:** Low noise amplifier, ultra-low power, narrowband, CMOS.

## LISTA DE FIGURAS

<b>Figura 1</b> – Curva do crescente número de websites, pessoas e dispositivos ao longo dos anos.	14
<b>Figura 2</b> – Transistor NMOS: (a) estrutura física (b) vista frontal (c) símbolo elétrico.	17
<b>Figura 3</b> – Curva ID por VDS para (a) NMOS e (b) PMOS.	19
<b>Figura 4</b> – Configuração Fonte Comum.	20
<b>Figura 5</b> – Configuração Porta Comum.	21
<b>Figura 6</b> – Modulação do comprimento do canal.	23
<b>Figura 7</b> – Modelo de fonte de tensão e corrente para ruído térmico para resistor.	24
<b>Figura 8</b> – Modelo de ruído térmico para MOSFET em tensão e corrente, respectivamente.	25
<b>Figura 9</b> – Modelo padrão de pequenos sinais do transistor MOS.	25
<b>Figura 10</b> – Ruído Flicker e Térmico para frequência de corner.	26
<b>Figura 11</b> – Diagrama simplificado da parte frontal de um transceptor.	27
<b>Figura 12</b> – Incidência e reflexão das ondas de tensão nas portas de entrada e saída.	30
<b>Figura 13</b> – Definição do Ponto de Compressão de 1dB.	31
<b>Figura 14</b> – Definição do Ponto de Interseção de Terceira Ordem.	32
<b>Figura 15</b> – Topologia (a) Resistiva, (b) 1/gm, (c) Feedback série-shunt e (d) degeneração indutiva.	35
<b>Figura 16</b> – Modelo esquemático de um indutor (a) série (b) paralelo.	36
<b>Figura 17</b> – Estrutura simples de um indutor em espiral.	37
<b>Figura 18</b> – Modelo compacto em esquema elétrico de um indutor.	37
<b>Figura 19</b> – Topologia de LNA Cascode FC com Degeneração Indutiva.	40
<b>Figura 20</b> – Esquemático elétrico para extração de parâmetros.	42
<b>Figura 21</b> – Estágio de buffer folded PMOS e fonte de corrente do LNA.	46
<b>Figura 22</b> – Esquemático final do LNA.	48
<b>Figura 23</b> – Curva de Ganho $A_v$ em função da frequência.	53
<b>Figura 24</b> – Curva de Figura de Ruído em função da frequência.	53
<b>Figura 25</b> – Curva de Coeficiente de Reflexão em função da frequência.	54
<b>Figura 26</b> – Curva de Ganho Direto em função da frequência.	54
<b>Figura 27</b> – Curva de ganho Reverso $S_{12}$ em função da frequência.	55

<b>Figura 28</b> – Curva de S22 em função da frequência.	55
<b>Figura 29</b> – Curva de Vout (vermelho), Vin (azul) em função do tempo.	56
<b>Figura 30</b> – Curva de IIP3 em função de OIP3.	56
<b>Figura 31</b> – Curva de corrente Id em função do tempo.	57

## LISTA DE TABELAS

<b>Tabela 1</b> – Parâmetros de um transistor MOS.	17
<b>Tabela 2</b> – Especificações de Projeto do LNA.	39
<b>Tabela 3</b> – Parâmetros de componentes simulados do estágio LNA.	52
<b>Tabela 4</b> – Resultados do Projeto do LNA	57

## LISTA DE ABREVIATURAS E SIGLAS

CG	Common Gate
CMOS	Complementary Metal Oxide Semiconductor
CS	Common Source
CP	Compression Point
DC	Direct Current
EDA	Electronic Design Automation
FI	Frequência Intermediária
GND	Ground
IM	Intermodulação
IoT	Internet Of Things
IP3	Third-Order Intercept Point
ISM	Industrial, Scientific and Medical
LNA	Low Noise Amplifier
MI	Moderate Inversion
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NF	Noise Figure
RF	Radiofrequência
SI	Strong Inversion
SNR	Signal-to-Noise Ratio
ULP	Ultra Low Power
ULV	Ultra Low Voltage
WI	Weak Inversion

## SUMÁRIO

<b>1 INTRODUÇÃO</b>	<b>13</b>
1.1 Motivação	13
1.2 Objetivos	15
<b>2 REFERENCIAL TEÓRICO</b>	<b>16</b>
2.1 Transistores MOS	16
2.1.1 Configurações de Transistores MOS	19
2.1.2 Efeito de Corpo	22
2.1.3 Modulação do Comprimento de Canal	22
2.1.4 Ruído	23
2.2 Amplificador de Baixo Ruído - LNA	26
2.2.1 Parâmetros de Projeto	27
2.2.1.1 Ganho	28
2.2.1.2 Fator de Ruído/Figura de Ruído	29
2.2.1.3 Parâmetros de Espalhamento	29
2.2.1.4 Linearidade	31
2.2.1.5 Fator de Estabilidade	32
2.2.2 Topologias de LNA	33
2.2.3 Indutores	35
<b>3 METODOLOGIA</b>	<b>38</b>
3.1 Considerações de Projeto	38
3.1.1 Especificações e Topologia	39
3.2 Dimensionamento dos Transistores	40
3.3 Rede de Casamento	43
3.4 Circuito LC para sintonização	44
3.5 Segundo Estágio e Espelho de Corrente	45
3.6 Ruído	46
3.7 Ganho de Tensão	47
3.8 Esquemático Elétrico do LNA	48
<b>4 RESULTADOS E DISCUSSÕES</b>	<b>49</b>
<b>5 CONCLUSÃO</b>	<b>59</b>
<b>REFERÊNCIAS</b>	<b>60</b>



## 1 INTRODUÇÃO

Com o avanço das tecnologias CMOS (Complementary Metal Oxide Silicon) é possível a integração de circuitos de RF (rádio-frequência) em silício com alto desempenho. Os dispositivos sem fio (*wireless*) proliferaram em todos os cenários de comunicação. No ciclo de inovações, denominado Internet das Coisas (*IoT*) e Indústria 4.0, a comunicação *wireless* é tecnologia crítica. Em se tratando de potencial, em 2015, haviam 15.4 bilhões de dispositivos conectados em rede no mundo. É esperado que este número dobre até 2021, chegando em 30.8 bilhões de conexões IoT (STATISTA, 2016). O valor de mercado global, em 2017, foi estimado em 235 bilhões de dólares. A previsão para 2021 é que cresça até 50%, uma perspectiva para o valor de 520 bilhões de dólares (FORBES, 2018).

Para atender essas expectativas e demandas do mercado de tecnologias IoT, novas soluções no desenvolvimento de sistemas de microeletrônica são necessárias. Uma das principais necessidades é de novos profissionais para sistemas de comunicação, especializados em novas arquiteturas de interface hardware-comunicação. Dentro desse cenário, sistemas como Radio-Frequency Identification (RFID), Near Field Communication (NFC), Quick Response (QR) Code, WiFi e Bluetooth são importantes. Todavia, para essas áreas se faz uso de conhecimentos mais complexos de circuitos eletrônicos, como sinais analógico-digitais, eletromagnetismo, amplificadores, circuitos integrados (CI) CMOS, entre outros.

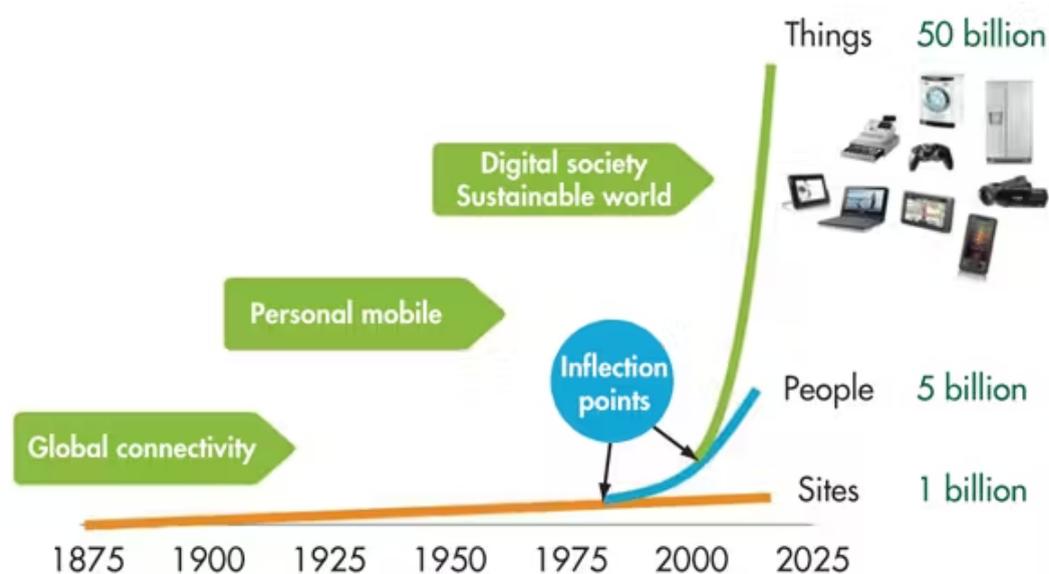
### 1.1 Motivação

Em se tratando de circuitos integrados, os amplificadores analógicos de transmissores e receptores representam uma camada de design importante na cadeia de um dispositivo sem fio. Neste projeto é abordado o design de um amplificador de baixo ruído para operar na frequência nominal de 900MHz para aplicações do mercado de IoT que usam o protocolo IEEE802.11ah Wi-fi HaLow.

A banda de frequência ISM é aceita por diversos outros protocolos, assim como o Wi-fi HaLow. Essa banda é destinada para uso industrial, científico e médico sem fio pelo mundo. É amplamente usada para comunicação de baixa potência, de acordo com as especificações de cada região. A demanda por dispositivos é crescente a cada ano e fomentou diversos setores do mercado como a Internet das Coisas.

A Internet das Coisas, ou *Internet of Things* (IoT), se refere a uma revolução tecnológica no uso inteligente de sistemas eletrônicos que visa explorar dados coletados por sensores e atuadores embarcados em máquinas, estabelecimentos, cidades, pessoas e outros objetos de interesse. Dispositivos inteligentes em IoT podem ser conectados via meio físico de RF *broadcast* de forma que permita criar uma rede com outros dispositivos habilitados a receber e transmitir dados numa comunicação sem fio (LIN, J. 2017). Devido a crescente demanda por dispositivos eletrônicos que se comunicam entre si, o número de aparelhos aumenta a cada ano. Na Figura 1, é ilustrado o gráfico do número de websites, pessoas e dispositivos (denotado *things* na figura) eletrônicos ao longo dos anos. É possível se atentar na curva de inflexão após o ano de 1975 onde o número de pessoas aumentou vem crescendo de forma acentuada. Esse aumento populacional e o avanço acelerado da tecnologia gerou uma demanda significativa na criação de dispositivos cada vez mais interconectados, representado na curva exponencial em verde do gráfico. Esse comportamento acelerado de desenvolvimento de dispositivos eletrônicos se deve também às conexões máquina-para-máquina, onde as informações não necessariamente tem como usuário final uma pessoa. Assim, a comunicação da Internet das Coisas está presente em sistemas industriais, hospitais, casas, sistemas de transporte e outros (SCHNEIDER, S. 2013).

Figura 1 - Curva do crescente número de websites, pessoas e dispositivos ao longo dos anos.



Fonte: (SCHNEIDER, S. 2013)

## 1.2 Objetivos

O objetivo deste trabalho de diplomação é apresentar o design e performance de um amplificador de baixo ruído integrado em tecnologia de fabricação 28 nm e que opere em 900 MHz. Para isso, é preciso seguir o fluxo analógico de circuito integrado para chegar ao resultado esperado. Dentro deste fluxo, entender as especificações do projeto é primordial para construir o projeto, assim como a configuração dos transistores MOS que é usado, a topologia do LNA e as técnicas para otimização do consumo de potência que possa ser aplicado. Uma vez que o LNA é construído, as simulações para caracterizar a performance são necessárias para se certificar que os resultados convergem com as especificações.

Os objetivos são base de aprendizagem realizado no projeto de diplomação. Além dos requisitos do trabalho, o objetivo de contribuição deste projeto para a comunidade e experiência do projetista é esperado.

## 2 REFERENCIAL TEÓRICO

O referencial teórico para este projeto de diplomação consiste em apresentar os principais conceitos trabalhados. Este capítulo está dividido em duas subseções, uma para transistores MOS e outra para LNA.

Os conceitos tratados sobre transistores MOS são necessários para compreender o funcionamento de um amplificador em um nível de abstração mais baixo. O comportamento elétrico do transistor e as regiões de operação, os efeitos intrínsecos do transistor como modulação do comprimento de canal, efeito de corpo e ruído são abordados. Para o projetista é necessário considerar esses efeitos na etapa de projetar os transistores para atender um modelo mais próximo da etapa de fabricação do transistor e atender as especificações. Esses efeitos podem ser aproximados na estimativa das equações para guiar o projetista, porém entender que esses fenômenos influenciam os transistores torna o projeto mais qualificado do que não considerá-los.

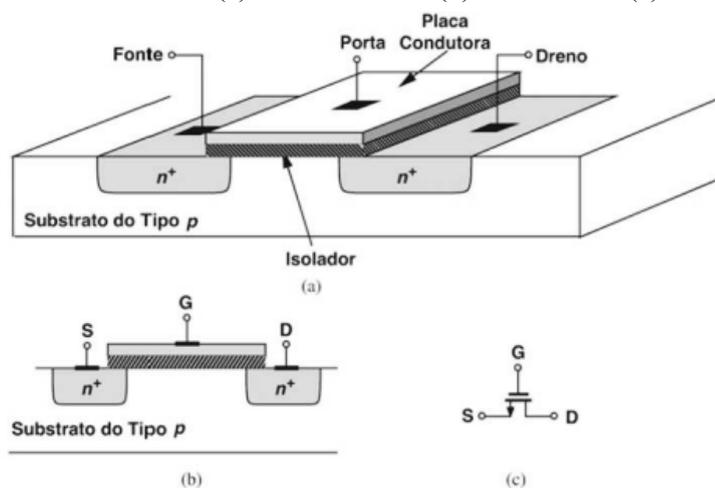
Na outra subseção, sobre LNA, é abordado as principais características deste bloco. É apresentado os parâmetros de medida como ganho de tensão, figura de ruído, parâmetros de espalhamento, linearidade e fato de estabilidade. São grandezas que ajudam a medir o LNA em questão de performance. Além disso, topologias são apresentadas de modo que o projetista tenha conhecimento de outros modelos de LNA que satisfazem diferentes necessidades. Por último, a topologia abordada neste projeto de diplomação faz uso de indutores, sendo necessário ser apresentado os conceitos envolvidos para projetar esse componente.

### 2.1 Transistores MOS

Diferente dos transistores bipolares usados na indústria, os transistores CMOS são amplamente usados atualmente nos dispositivos eletrônicos. O acrônimo CMOS refere-se a Semicondutor de Metal-Óxido Complementar (*Complementary Metal Oxide Semiconductor*). Este transistor consiste em materiais semicondutores, como o silício, dopados eletricamente. Na Figura 2 é possível ver a estrutura de um NMOS, fabricado sobre um substrato do tipo P e duas difusões dopadas tipo N, sendo elas na fonte e no dreno. Entre as duas difusões existe uma região de condução, chamado comumente de *poly* (silício policristalino), que opera como porta no transistor. Essa porta é isolada da fonte, do dreno e do substrato por meio de uma camada de óxido de silício. Existem dois tipos de transistores MOS, sendo esses o NMOS e o

PMOS. A única diferença para PMOS é que a polaridade de tensão e corrente são todas reversas (RABAEY, J. 1996).

Figura 2 - Transistor NMOS: (a) estrutura física (b) vista frontal (c) símbolo elétrico.



Fonte: (RAZAVI, B. 2001)

Tabela 1: Parâmetros de um transistor MOS.

Parâmetro	Descrição
$V_{GS}$	Tensão entre porta ( <i>gate</i> ) e fonte ( <i>source</i> )
$V_{TH}$	Tensão de limiar ( <i>threshold</i> )
$V_{DS}$	Tensão entre dreno ( <i>drain</i> ) e fonte
$V_{BS}$	Tensão entre corpo ( <i>bulk</i> ) e fonte
W	Largura do transistor
L	Comprimento de canal
$I_D$	Corrente de dreno
$\mu_0$	Mobilidade dos elétrons
$C_{OX}$	Capacitância intrínseca do dióxido de silício
$g_m$	Transcondutância
$R_D$	Resistência de dreno
$r_o$	Resistência da modulação do comprimento de canal

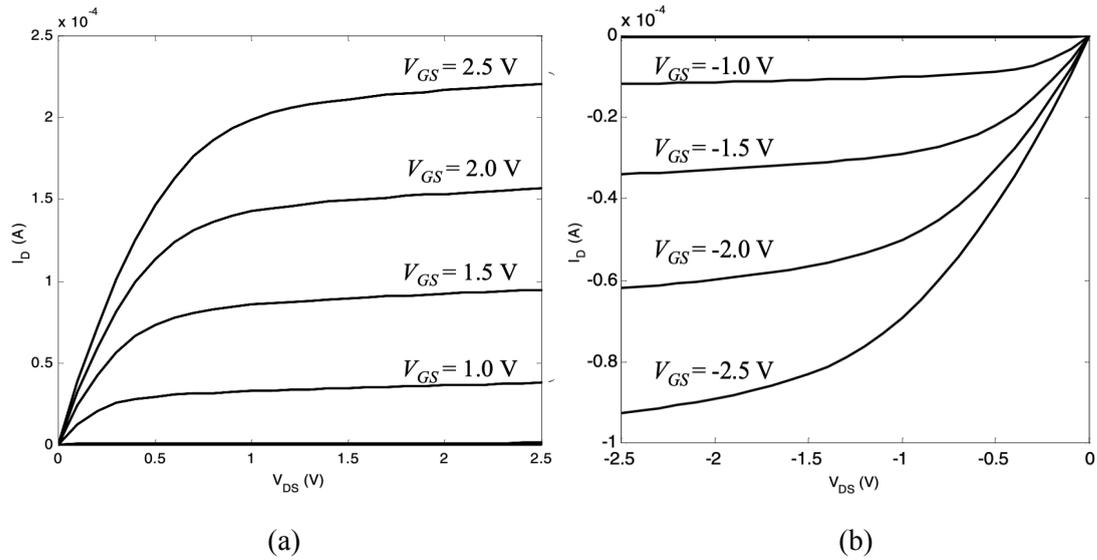
Fonte: Autor.

Para fazer um transistor MOS operar, coloca-se uma tensão na porta a fim de criar um canal de condução entre o dreno e a fonte. Quando o canal de condução é criado, uma corrente  $I_D$  que flui entre dreno e fonte. No canal de condução, a concentração de portadores pode variar de acordo com  $V_{GS}$  e resultar em três diferentes regiões de operação do transistor: inversão forte, fraca e moderada. A região de inversão forte, onde  $V_{GS}$  é maior que  $V_{TH}$ . Já a região de inversão fraca ocorre quando  $V_{GS}$  é próxima ou abaixo da tensão  $V_{TH}$ . Essa região é muito usual para projetos de baixo consumo de potência e será usada nos transistores desse projeto. Por último, a região de inversão moderada é pouco definida e ocorre entre a região fraca e forte. Os modelos dessa região não são precisos (RAZAVI, B. 2001).

Em (1.1), a equação descreve a região de inversão forte de um transistor MOS e pode definir se está operando em corte, triodo ou saturação. A região de corte ocorre quando  $V_{GS} < V_{TH}$ , ou seja, o canal de condução é pequeno o suficiente para impedir a passagem de corrente entre o dreno e a fonte. Na região de triodo, a tensão  $V_{DS}$  é menor que  $V_{GS} - V_{TH}$ . É a principal relação usada em projetos para modelar o transistor de acordo com o projeto estipulado. Por fim, a região de saturação é atingida quando  $V_{GS}$  é maior ou igual a  $V_{TH}$  de modo que  $V_{DS}$  também seja maior que  $V_{GS} - V_{TH}$ . Na Figura 3, é ilustrado as curvas do transistor descritas pela equação quadrática, sendo a corrente  $I_D$  em função da tensão  $V_{DS}$ . Na Figura 3(a), a curva do NMOS é ilustrada com o comportamento comentado acima quando o transistor está em operação. Ao lado, a Figura 3(b) representa a curva do transistor PMOS, que opera semelhante ao NMOS, porém com polaridades inversas. É importante lembrar que (1.1) não modela a região de inversão fraca. Neste projeto, a equação (1.1) será usada apenas como estimativa inicial do tamanho dos transistores, e em seguida, polarizado para inversão fraca.

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (1.1)$$

Figura 3 - Curva  $I_D$  por  $V_{DS}$  para (a) NMOS e (b) PMOS.



Fonte: (RABAEY, J. 1996)

A transcondutância  $g_m$  representa a variação de  $I_D$  em relação a  $V_{GS}$ , de acordo com (1.2). A derivada de (1.1) em relação a  $V_{GS}$  resulta em (1.2). É fundamental compreender a transcondutância de um transistor, pois quanto maior o  $g_m$ , maior é a sensibilidade da corrente de dreno à variação de  $V_{GS}$ . Esse parâmetro é proporcional ao tamanho, corrente de dreno e ao ganho de tensão do transistor. Além disso, quando é expresso na forma de razão  $g_m/I_D$ , é caracterizado como eficiência de um transistor. O  $g_m/I_D$  representa a transferência de condução para uma dada corrente  $I_D$ . Quanto menor a corrente, maior a transcondutância.

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \quad (1.2)$$

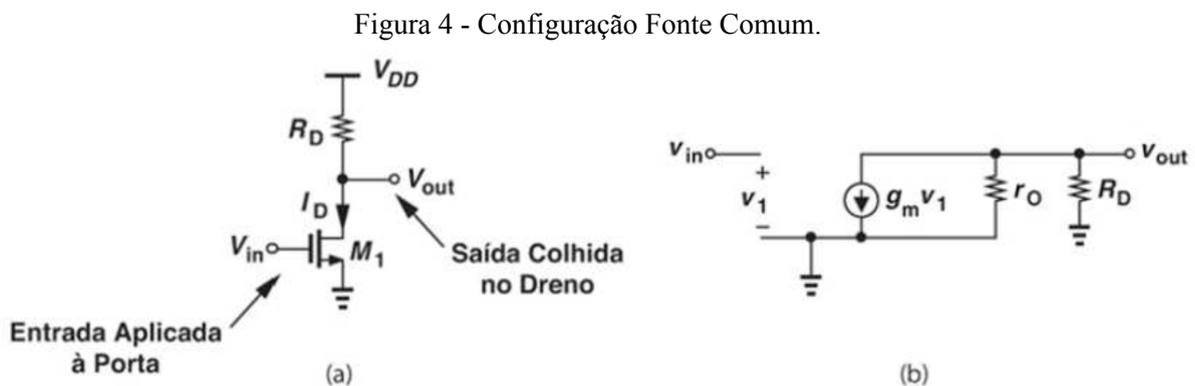
### 2.1.1 Configuração de Transistores MOS

Os transistores MOS possuem diversas formas de serem aplicados como amplificadores. Dentre as mais usadas, estão as configurações: Fonte Comum (FC) e Porta Comum (PC) e Seguidor de Fonte (SF) (RAZAVI, B. 2008). Neste projeto será abordado apenas FC e PC:

- Fonte Comum: Para essa configuração, o sinal de entrada é aplicado ao terminal da porta do transistor e o sinal de saída é visto no terminal do dreno, ilustrado na Figura 4(a). No modelo de pequenos sinais, apresentado na Figura 4(b), o transistor converte uma variação de tensão de entrada  $V_1$  em alterações proporcionais a  $g_m V_1$  na corrente  $I_D$ . Enquanto uma resistência equivalente na saída, neste caso  $R_D || r_o$ , converte essa corrente em tensão de saída  $V_{out}$ . Sendo  $V_{out}$  do estágio FC descrito por (2.1), o ganho de tensão  $A_V$  é uma razão entre tensão de saída e tensão entrada. Logo, ao dividir (2.1) por  $V_1$ , assumindo  $V_1 = V_{IN}$ , é possível ter  $A_V$  em função transcondutância e resistência de dreno, apresentado em (2.2). A característica de ganho inversor é dado pelo sinal negativo, consequência do sinal amplificado pela variação da corrente.

$$V_{OUT} = -g_m V_1 (R_D || r_o) \quad (2.1)$$

$$A_V = -g_m (R_D || r_o) \quad (2.2)$$



Fonte: (RAZAVI, B. 2001)

- Porta Comum: Nessa configuração, a tensão  $V_{GS}$  muda proporcional na medida que se varia  $V_{in}$ , que é conectada na fonte do transistor. Ainda que a saída seja semelhante ao FC, o transistor PC, o ganho de tensão é proporcional e fase não invertida, conforme (2.3). Porém, para ainda manter o transistor em saturação, é necessário manter  $V_{DS} >$

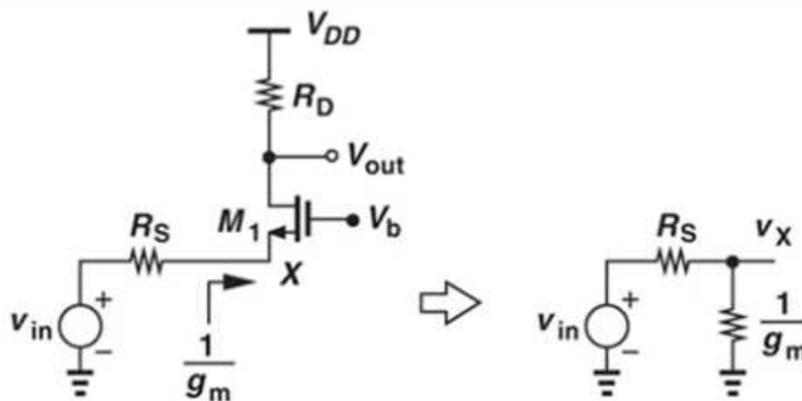
$V_b - V_{TH}$ , ou seja, depende de uma alta resistência  $R_D$  ou corrente  $I_D$  para operar. Uma vez que  $V_{in}$  esteja conectada na fonte, o valor de entrada é invertido em relação a tensão dissipada em  $g_m V_{GS}$ . Para isso, a resistência de entrada se torna inversamente proporcional a  $g_m$ . Ainda deve se incluir a resistência da fonte de tensão  $R_S$ , onde a tensão  $v_X$ , de acordo com a Figura 5, é calculada como em (2.4). Por fim, o ganho pode ser encontrado por (2.5), onde a resistência em série da porta não altera o ganho.

$$A_V = \frac{V_o}{V_i} = g_m R_D \quad (2.3)$$

$$v_X = \frac{1 \div g_m}{1 \div g_m + R_S} V_{in} \quad (2.4)$$

$$A_V = \frac{g_m R_D}{1 + g_m R_S} = \frac{R_D}{1 \div g_m + R_S} \quad (2.5)$$

Figura 5 - Configuração Porta Comum.



Fonte: (RAZAVI, B. 2001)

### 2.1.2 Efeito de Corpo

O efeito de corpo em um transistor ocorre quando a diferença de potencial entre a fonte e o substrato  $V_{SB}$  é diferente de zero. Quando a tensão de fonte é maior que a tensão no

substrato, a tensão  $V_{TH}$  aumenta de acordo com (3). Um meio de minimizar o efeito de corpo é se o corpo (*bulk*) e a fonte tiverem a mesma tensão. Em (3),  $V_{TH}$  depende da tensão de limiar quando a tensão fonte e substrato é zero  $V_{TH0}$ , da tensão  $V_{SB}$ , do coeficiente de efeito de corpo  $\gamma$  e do potencial de junção  $\Phi_F$ . Esses dois últimos parâmetros são propriedades intrínsecas da tecnologia usada (RAZAVI, B. 2001). A tecnologia de 28 nm TSMC possui outras aplicações utilizando polarização de corpo, como em outras soluções de circuitos analógicos (W. WANG; B. CHI, 2019).

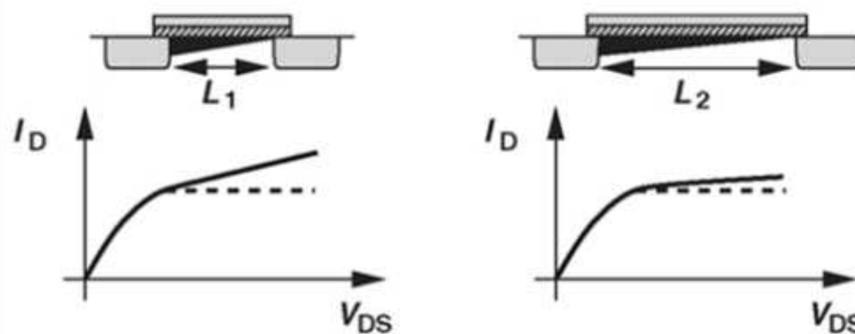
$$V_{TH} = V_{TH0} + \gamma(\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|}) \quad (3)$$

### 2.1.3 Modulação do Comprimento de Canal

A modulação do comprimento de canal do transistor é um efeito da variação da região de depleção entre o fim do canal e a região de dreno. A variação da região de depleção altera o comprimento de canal  $L$  quando se varia  $V_{DS}$  e  $I_D$  (SEDRA, A. S.; SMITH, K. C, 2004). De acordo com a Figura 6, é possível ver que a modulação do canal é inversamente proporcional a  $L$ , pois em um canal maior a variação de corrente  $I_D$  é menor para um dado  $V_{DS}$ . Em se tratando do comprimento do canal, transistores de nó tecnológico pequenos sofrem mais influência deste efeito do que tecnologias maiores, sendo a performance e o consumo de potência afetados. De acordo com (4), é possível modelar o transistor com o coeficiente de modulação do comprimento do canal  $\lambda$  estimado por meio da condição de polarização, tensão de dreno-fonte  $V_{DS}$  e corrente de dreno  $I_D$  (RAZAVI, B. 2001).

$$I_D = \frac{1}{2}\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (4)$$

Figura 6 - Modulação do comprimento do canal.



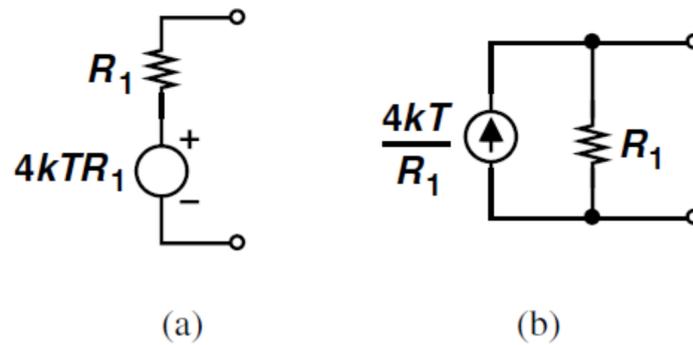
Fonte: (RAZAVI, B. 2001)

#### 2.1.4 Ruído

O ruído é um sinal de interferência em um circuito elétrico e é proveniente da natureza discreta da matéria. Em RF, o ruído é representado por corrente ou tensão na forma de interferência na modelagem de transistores e resistores. Em transistores MOS geralmente é analisado os seguintes tipos de ruído: ruído térmico, ruído flicker, ruído *shot* (RAZAVI, B. 2012). Neste projeto será abordado ruído térmico e ruído flicker.

- Ruído Térmico: É caracterizado pelo movimento aleatório de elétrons livres em um condutor, que é função da agitação térmica em nível atômico da estrutura cristalina. O sinal do ruído é modelado como uma fonte de corrente ou tensão e uma resistência de acordo com a Figura 7. No caso da fonte de tensão, o valor é expresso em valor quadrático médio  $\overline{V_n}^2$ , similar ao caso da corrente como  $\overline{I_n}^2$ , de acordo (5.1) e (5.2). Na equação, R é o valor da resistência, constante de Boltzmann para k ( $1,38 \times 10^{-23}$  J/K), temperatura em Kelvins T.

Figura 7 - Modelo de fonte de tensão e corrente para ruído térmico para resistor.



Fonte: (RAZAVI, B. 2001)

$$\overline{V_n^2} = 4kTR_1f \quad (5.1)$$

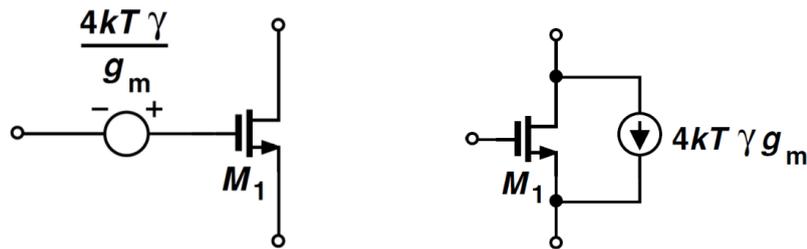
$$\overline{I_n^2} = \frac{\overline{V_n^2}}{(R_1)^2} = \frac{4kTf}{R_1} \quad (5.2)$$

Nos transistores MOS, o ruído também é modelado de forma que seja considerado o comportamento intrínseco do dispositivo. Em que o valor quadrático médio da corrente de ruído  $\overline{I_n^2}$  depende do ruído da corrente de dreno. Sendo o coeficiente ruído de corrente de dreno  $\gamma$  e a transcondutância de gate  $g_m$  inseridos em (5.3) e (5.4) (LEE, 1998). Na Figura 8, é representado o circuito de ruído do transistor MOS com fonte de tensão e corrente modelada. A Figura 9 mostra o modelo de pequenos sinais usado para análise de circuito em relação ao ruído.

$$\overline{I_n^2} = 4kT\gamma g_m f \quad (5.3)$$

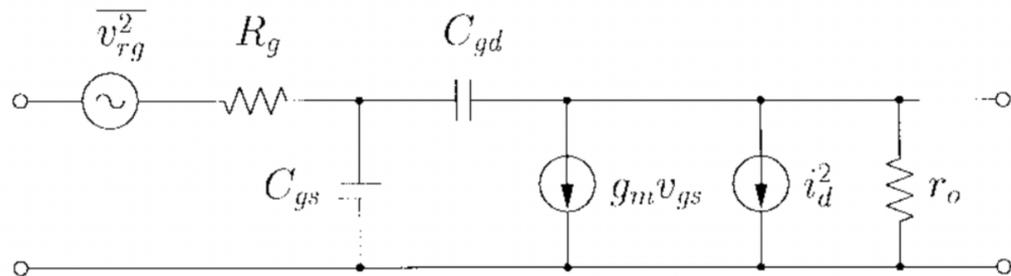
$$\overline{V_n^2} = \frac{4kT\gamma f}{g_m} \quad (5.4)$$

Figura 8 - Modelo de ruído térmico para MOSFET em tensão e corrente, respectivamente.



Fonte: (RAZAVI, B. 2001)

Figura 9 - Modelo padrão de pequenos sinais do transistor MOS.



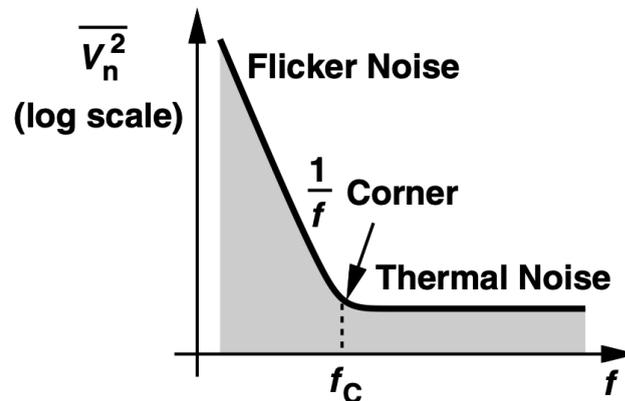
Fonte: (SHAEFFER; LEE, 1997)

- Ruído Flicker: Chamado também de ruído  $1/f$ , devido a densidade espectral de potência do ruído ser inversamente proporcional à frequência. O ruído flicker é modelado por uma fonte de tensão  $\overline{V_n^2}$  em série com a porta do transistor, de acordo com (5.5). Sendo a variável  $K$ , uma constante do processo de fabricação da tecnologia CMOS usada e depende inversamente da frequência  $f$ , largura  $W$ , comprimento de porta  $L$  e capacitância intrínseca de óxido de silício  $C_{OX}$  do transistor. Logo, é possível interpretar que o ruído tem valor alto para frequências mais baixas (RAZAVI, B. 2012). Essa relação pode ser vista por (5.6), sendo  $f_c$  frequência de corner, um parâmetro que apresenta em qual faixa de frequência o ruído será mais perceptível, na região do ruído flicker ou o térmico. Na Figura 10, é possível ver a curva que ilustra a frequência corner, em que o ruído flicker tem peso maior em baixas frequências e o ruído térmico em altas frequências.

$$\overline{V_n^2} = \frac{K}{fWLC_{ox}} \quad (5.5)$$

$$f_c = \frac{K}{WLC_{ox}} \frac{g_m}{4kT\gamma} \quad (5.6)$$

Figura 10 - Ruído Flicker e Térmico para frequência de corner.

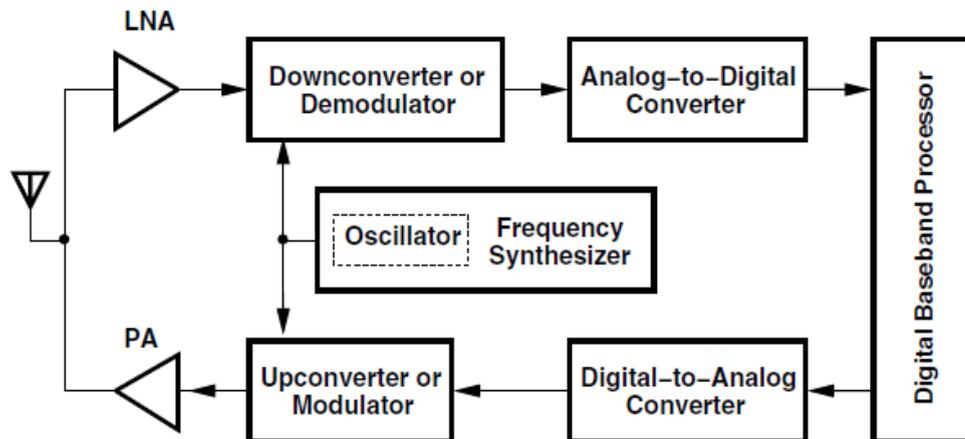


Fonte: (RAZAVI, B. 2012)

## 2.2 Amplificador de Baixo Ruído

O Amplificador de Baixo Ruído (*Low Noise Amplifier*) é responsável por amplificar sinais de entrada com o mínimo de ruído para o resto do circuito. É um dispositivo presente em receptores de sinais de radiofrequência onde o sinal recebido possui uma potência de sinal baixa e precisa ser amplificada a fim de que seja processada como informação. Na Figura 11 é possível entender onde o LNA se encontra dentro de um dispositivo de transmissão e recepção de sinal por uma antena. Uma vez que o sinal é recebido pela antena, o LNA capta o sinal filtrado analogicamente e amplifica para os próximos estágios como o Demodulador de sinal até conversão analógico-digital e o processamento digital do dado.

Figura 11 - Diagrama simplificado da parte frontal de um transceptor.



Fonte: (RAZAVI, B. 2011).

Conforme citado anteriormente, o LNA representa um papel importante em relação a inserção de ruído como o primeiro bloco do receptor, na maioria dos casos. A partir dessa posição, a performance do receptor vai ser regido pela Fórmula de Friis (LEUNG, B. 2002), em (6), permeando os efeitos da relação sinal-ruído para os estágios seguintes. Na equação, em que  $NF$  é a figura de ruído, o subíndice indica a ordem do estágio e  $A$  o ganho de potência, fica evidente que a primeira parcela de  $NF$  tem um peso maior que as outras parcelas que estão em função do ganho, pois  $NF_1$  não é atenuado por ganho. Por isso é importante que o LNA insira ganho o suficiente para atenuar o ruído dos próximos estágios.

$$NF_{total} = 1 + (NF_1 - 1) + \frac{NF_2 - 1}{A_{P1}} + \frac{NF_3 - 1}{A_{P1}A_{P2}} + \dots + \frac{NF_i - 1}{A_{P1}A_{P2}\dots A_{P(i-1)}} \quad (6)$$

### 2.2.1 Parâmetros de Projeto

Os parâmetros de projeto são usados pelo projetista de RF para garantir se as especificações estão sendo atendidas. São medidas que podem ser calculadas, estimadas e simuladas para o projeto. A seguir, é descrito parâmetros de projeto que são usuais em projetos de LNA.

### 2.2.1.1 Ganho

O ganho de tensão  $A_V$  representa um dos principais parâmetros de projeto do LNA, além do ganho de potência  $A_P$ . O ganho é a razão entre o sinal de saída e o sinal de entrada. Para o LNA é fundamental que pequenos sinais sejam amplificados com o mínimo de ruído. Uma vez que o LNA possui uma rede de impedância casada, o ganho de potência é próximo do ganho de tensão. Semelhante aos demais tipos de amplificadores, o ganho de tensão é determinado pela razão entre a tensão de saída  $V_o$  e a tensão de entrada  $V_i$ , de acordo com (7.1) e potência em (7.2). Ainda, o ganho de potência  $A_P$  é determinado da mesma maneira, porém é necessário que a potência de saída e entrada estejam em função da razão entre tensão ao quadrado  $V^2$  e resistência R. Além disso, é usual representar o ganho em escala logarítmica com unidade de dB, usando (7.3) para tensão e (7.4) para potência (RAZAVI, B. 2012).

$$A_V = \frac{V_o}{V_i} \quad (7.1)$$

$$A_P = \frac{P_o}{P_i} \quad (7.2)$$

$$A_{VdB} = 20 \log\left(\left|\frac{V_o}{V_i}\right|\right) \quad (7.3)$$

$$A_{PdB} = 10 \log\left(\left|\frac{P_o}{P_i}\right|\right) \quad (7.4)$$

Além disso, o ganho de potência pode ser aproximado ao ganho de tensão, citado anteriormente. Isso ocorre quando a impedância  $R_0$  de entrada é igual a da saída, de acordo com (7.5) e (7.6), substituindo  $P_o$  e  $P_i$  em (7.2).

$$P_o = \frac{V_o^2}{R_o} \quad (7.5)$$

$$P_i = \frac{V_i^2}{R_o} \quad (7.6)$$

### 2.2.1.2 Fator de Ruído/Figura de Ruído

O Fator de Ruído ( $F$ ) é um importante parâmetro para o LNA pois caracteriza a degradação da relação sinal ruído SNR (Signal-to-Noise Ratio). Quanto maior é o ruído que um bloco do circuito envia, maior é a degradação daquele sinal de saída em relação à entrada do bloco, de acordo com (8.1). O sinal SNR é a razão entre a potência do sinal e a potência do ruído. Uma vez que o fator de ruído  $F$  é calculado, o parâmetro é transformado para escala logarítmica e classificada como Figura de Ruído ( $NF$  - *Noise Figure*) (RAZAVI, B. 2001).

$$F = \frac{SNR_{ENTRADA}}{SNR_{SAÍDA}} \quad (8.1)$$

Sendo assim, o Fator de Ruído pode ser utilizado para uma forma mais usual de medir a sensibilidade num sistema de RF, usando a escala logarítmica e na unidade de dB em (8.2).

$$NF = 10 \cdot \log(F) \quad (8.2)$$

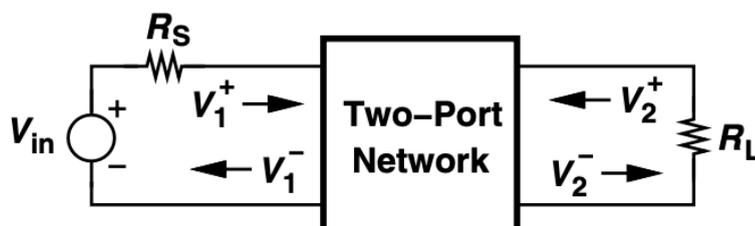
### 2.2.1.3 Parâmetros de Espalhamento

Parâmetros de Espalhamento é um método de equacionamento amplamente usado por projetistas de RF. O método permite medir parâmetros fundamentais em LNA como Coeficiente de Reflexão, Ganho Direto, Coeficiente de Reflexão de Saída e Ganho Reverso. O Coeficiente de Reflexão é um parâmetro indispensável para o projetista de LNA, pois determina o casamento de impedância. A rede de casamento na entrada do LNA é responsável por manter a máxima incidência de sinal no circuito, ou seja, a máxima transferência de potência do sinal possível. Geralmente, a entrada do LNA é uma impedância de  $50\Omega$  referente a antena (LEE, 1998). Em alguns casos, a impedância de saída também pode ser  $50\Omega$ . Quanto menor o coeficiente de reflexão na entrada do bloco, maior é o casamento de impedância de entrada do circuito.

O método de quadripolos, chamado de parâmetros de espalhamento, permite medir os coeficientes das relações das ondas de entrada e saída  $V_1$  e  $V_2$ , respectivamente, ilustrado na Figura 12. Pelo sistema de (9), podemos calcular os parâmetros de espalhamento  $S_{11}$ ,  $S_{12}$ ,

S21 e S22. Os índices de sinal positivo e negativo para as ondas  $V_1$  e  $V_2$ , denotam incidência e reflexão de cada onda, respectivamente.

Figura 12 - Incidência e reflexão das ondas de tensão nas portas de entrada e saída.



Fonte: (RAZAVI, B. 2012)

$$\begin{aligned} V_1^- &= S11 V_1^+ + S12 V_2^+ \\ V_2^- &= S21 V_1^+ + S22 V_2^+ \end{aligned} \quad (9)$$

Onde:

S11 - Coeficiente de Reflexão de entrada;

S12 - Ganho Reverso;

S21 - Ganho Direto;

S22 - Coeficiente de Reflexão de saída.

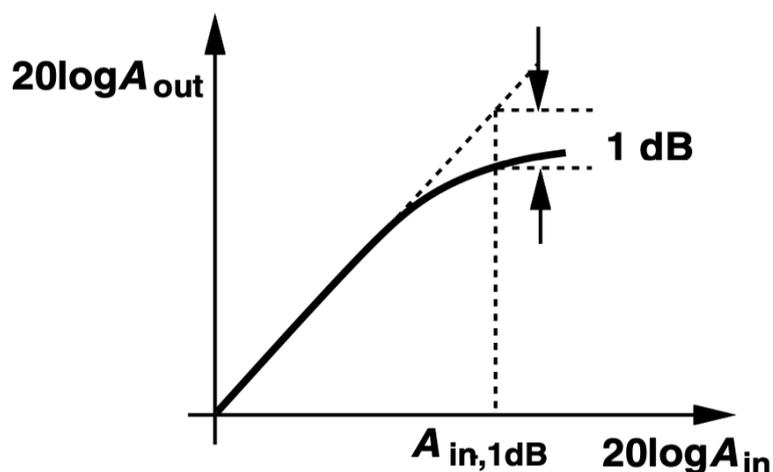
Além do Coeficiente de Reflexão supracitado, podemos relacionar os outros parâmetros manipulando a Equação 22 como um sistema linear. O ganho reverso, S12, é a razão entre a onda refletida na entrada e a onda incidente na saída, também pode ser interpretado como o isolamento reverso do circuito. Já o S21, bastante utilizado no RF, é a razão entre a onda refletida na saída e a onda incidente na entrada. Pode determinar a relação entre a potência entregue na carga e a potência entregue pela fonte, o ganho de transdução do bloco. Por último, o S22, razão entre a onda refletida e incidente da saída, representa o casamento de saída (RAZAVI, B. 2012) .

### 2.2.1.4 Linearidade

Para o LNA amplificar um sinal de entrada na faixa de frequência de interesse, deve-se manter o comportamento linear na presença de sinais grandes (G. GONZALEZ, 1996). Para amplificadores, a não linearidade no circuito pode comprometer o sinal de interesse. Sendo assim a necessidade de usar parâmetros de linearidade como o Ponto de Compressão de 1dB, Ponto de Interseção de Terceira Ordem e Fator de Estabilidade.

Ponto de Compressão de 1dB (CP) é definido como a entrada de potência do sinal que causa queda uma queda de 1 dB no ganho do amplificador. Fora do ponto de compressão de 1dB, o amplificador perde a linearidade de amplificar sinais devido a saturação da saída. Na Figura 13, é ilustrado o comportamento entre a amplitude de saída  $A_{out}$  em relação a amplitude de entrada  $A_{in}$ , sendo o meio da curva o ponto de compressão para a potência medida de 1 dB.

Figura 13 - Definição do Ponto de Compressão de 1dB.

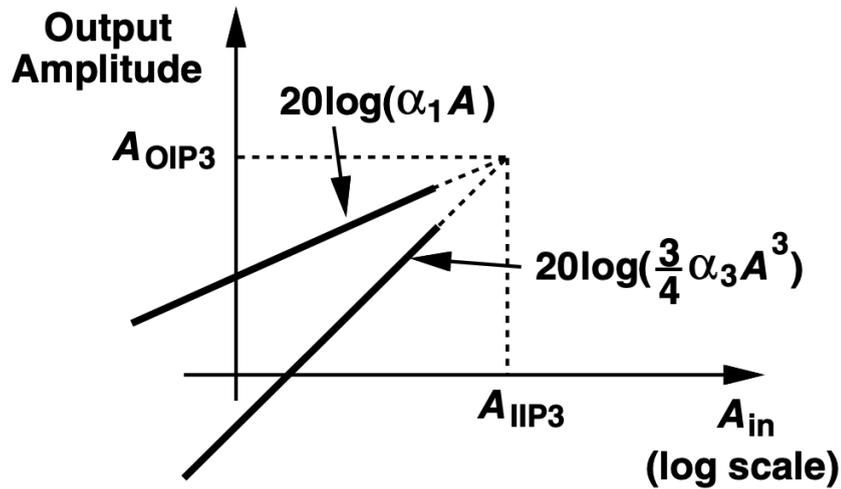


Fonte: (RAZAVI, B. 2012)

O Ponto de Interseção de Terceira Ordem (IP3) representa a influência da intermodulação (IM) de terceira ordem no circuito. Essa influência causa o aumento da amplitude de componentes senoidais do sinal de saída em relação ao aumento das componentes da IM. Essa medida permite distinguir se o circuito amplifica sinais de alta

frequência. Na Figura 14, a o IP3 se encontra na interseção das curvas extrapoladas entre a amplitude do sinal de saída  $A_{OIP3}$  e entrada  $A_{IIP3}$ . A primeira curva  $20\log(\alpha_1 A)$  representa o sinal de frequência fundamental de coeficiente linear  $\alpha_1$ , enquanto a curva  $20\log(\frac{3}{4}\alpha_3 A^3)$  representa o sinal de IM de terceira ordem do sinal de coeficiente linear  $\alpha_3$ . Por (10.1), é calculado o IIP3 (IP3 para entrada), equacionado pelas amplitudes do sinal fundamental e da IM. Além disso, o ICP-1dB (Ponto de Compressão de 1dB para entrada) e o IIP3 podem ser relacionados de acordo com (10.2) (RAZAVI, B. 2012).

Figura 14 - Definição do Ponto de Interseção de Terceira Ordem.



Fonte: (RAZAVI, B. 2012)

$$IIP3 = \sqrt{\frac{4}{3} \left| \frac{\alpha_1}{\alpha_3} \right|} \quad (10.1)$$

$$\frac{A_{IIP3}}{A_{1dB}} = \sqrt{\frac{4}{0.435}} \approx 9.6 \text{ dB} \quad (10.2)$$

### 2.2.1.5 Fator de Estabilidade

O Fator de Estabilidade representa a capacidade do circuito resistir a oscilações de baixas e altas frequências em relação às impedâncias de entrada e saída. Em RF, um circuito instável pode entrar em oscilação indesejadamente. Uma vez que o circuito está com a

impedância casada nas portas de entrada e saída, irá operar na máxima potência. Logo, é usado os parâmetros de espalhamento (*scattering parameters*) para calcular o Fator de Estabilidade, de acordo com (11).

Os parâmetros de espalhamento ajudam a medir os sinais de potência na entrada e saída do circuito, como um quadripolo. Os sinais são definidos por: coeficiente de reflexão na entrada  $S_{11}$ , coeficiente de ganho reverso  $S_{12}$ , coeficiente de ganho de potência  $S_{21}$  e coeficiente de reflexão na saída  $S_{22}$ . Sendo  $\Delta = S_{11}S_{22} - S_{12}S_{21}$ , um circuito que possui  $K > 1$  e  $|\Delta| < 1$  é incondicionalmente estável para qualquer combinação de impedância (VIZMULLER, 1995).

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}S_{21}|^2} \quad (11)$$

### 2.2.2 Topologias de LNA

Assim como as configurações de transistores MOS, as diferentes topologias de LNA entregam resultados estimados de acordo com a necessidade. Em RF, o projetista usa informações de projeto como frequência de operação, consumo de potência, ruído, ganho e área, sendo essas as principais. Cada topologia pode oferecer vantagens nestas especificações a custo de outros parâmetros, como por exemplo diminuir o consumo de potência e aumentar a área do bloco. Dentre as arquiteturas mais populares de LNA, estão: Terminação Resistiva, Terminação  $1/g_m$ , Feedback Série-shunt e Degeneração Indutiva (SHAEFFER; LEE, 1997).

- Terminação Resistiva: É caracterizado por conexão de resistor pull-down no transistor fonte-comum. Nesta topologia, de acordo com a Figura 15(a), o resistor pode afetar negativamente a NF do bloco pois há a conexão direta da antena em  $50\Omega$ , necessitando de uma rede de casamento extra. Além disso, o sinal de entrada pode ser atenuado como consequência dessa degradação. A ausência de elementos de casamento de impedância pode favorecer a área do bloco no chip, uma vez que as restrições de projeto são flexíveis em questão de performance.

- Terminação  $1/g_m$ : A conexão porta-comum para a entrada de sinal ainda exige que ocorra casamento de impedância com  $50\Omega$ , representado na Figura 15(b). Uma vez que isso ocorra, é necessário que a Figura de Ruído seja estimada de forma correta para transistores de canal curto. Isso se deve ao efeito de modulação de comprimento de canal que pode ter efeito negativo na performance do bloco. Em (12.1), é estimado o Fator de Ruído dependente do coeficiente de ruído térmico do canal  $\gamma$  e a razão entre transcondutância e condutância de polarização nula  $\alpha$ .

$$F = 1 + \frac{\gamma}{\alpha} \quad (12.1)$$

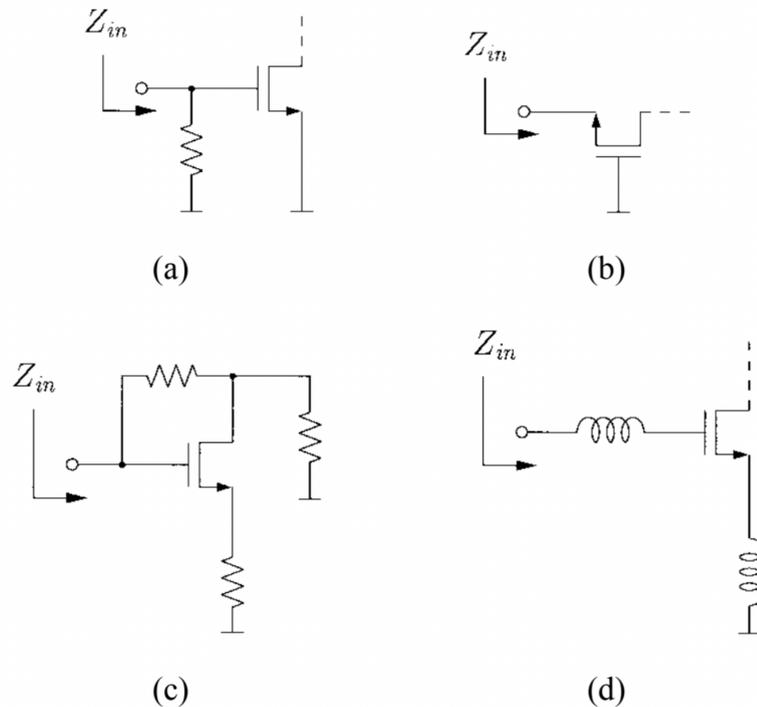
- Feedback Série-shunt: A Figura 15(c) ilustra a topologia que usa resistor shunt e feedback série. A presença alta de resistores é um fator depreciativo para o consumo de potência, sendo esse o custo para atingir um ganho aproveitável. A Figura de Ruído pode ser um desafio pela presença de resistores, porém pode ser usado técnicas de cancelamento de ruído sem a necessidade de sintonização.
- Degeneração Indutiva: Topologia popular na área de ultra-baixa potência (ULP - *Ultra-low Power*). O uso de indutores na porta e na fonte do transistor, conforme a Figura 15(d), permite facilidade com o casamento de impedância em função de cancelar a capacitância. Usar o indutor na porta também mantém o transistor isolado da entrada. O desafio da topologia consiste em atingir um Fator de Qualidade suficiente para diminuir o consumo de potência e baixa Figura de Ruído para que seja vantajoso. O custo da topologia está na necessidade de usar um bloco tanque LC para sintonização e uma área maior de leiaute devido ao tamanho das bobinas. Em (12.2), a impedância de entrada  $Z_{in}$  é expressa em termos dos indutores  $L_S$  e  $L_g$ , da capacitância porta-fonte  $C_{gs}$  e da transcondutância do transistor  $g_{m1}$ . É possível calcular os indutores de forma que anule as capacitâncias e o casamento de impedância tenha apenas a parte real. A parte real é facilmente aproximada para  $50\Omega$  ajustando  $L_S$  na frequência de ressonância para a impedância de entrada próxima de  $\omega_T L_S$ . Além disso, a equação (12.3) demonstra o fator de ruído em função da resistência das bobinas, possibilitando trabalhar elas de forma que minimize a Figura de Ruído (SHAEFFER;

LEE, 1997). Nesse projeto, essa topologia será escolhida em detrimento dos fatores supracitados e será mais explorado no próximo capítulo.

$$Z_{in} = s(L_S + L_g) + \frac{1}{sC_{gs}} + \left(\frac{g_{m1}}{C_{gs}}\right)L_S \approx \omega_T L_S \quad (12.2)$$

$$F = 1 + \frac{R_l + R_g}{R_S} + \gamma g_{d0} R_S \left(\frac{\omega_0}{\omega_T}\right)^2 \quad (12.3)$$

Figura 15 - Topologia (a) Resistiva, (b)  $1/g_m$ , (c) Feedback série-shunt e (d) degeneração indutiva.



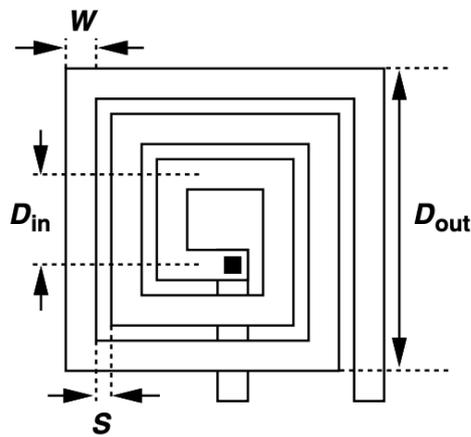
Fonte: (SHAEFFER; LEE, 1997).

### 2.2.3 Indutores

Em projetos de LNA, os indutores representam papel importante em termos de casamento de impedância, sintonização, cancelamento de capacitância, filtro, ganho e consumo de potência. Possuem a característica padrão de armazenar energia em campo

magnético quando a corrente elétrica flui pelo dispositivo. Em RF, o uso de indutores é comum em circuitos ressonantes para alta frequência. Em se tratando de circuitos integrados, as medidas de comprimento de um indutor determinam a indutância, acoplamento magnético, fator de qualidade e o impacto na área do chip. Na Figura 16, é ilustrado um indutor em formato espiral com medida de largura do metal  $W$ , espaçamento entre trilhas  $S$ , comprimento  $D_{out}$  ou  $L_{ext}$ , além do número de voltas  $N$ . Esse modelo de indutor pode ser descrito por (13.1), onde  $A_m$  é a área de metal e  $A_{tot}$  é a área total (RAZAVI, B. 2011).

Figura 16 - Estrutura simples de um indutor em espiral.



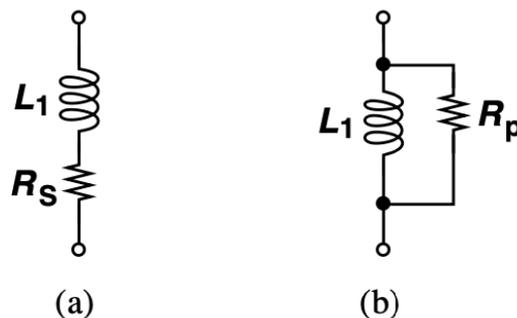
Fonte: (RAZAVI, B. 2011)

$$L \approx 1.3e^{-7} \frac{A_m^{5/3}}{A_{tot}^{1/6} (W+S)^{0.25}} \quad (13.1)$$

O Fator de Qualidade ( $Q$ ) determina a quantidade de energia que pode ser perdida por um indutor e impacta diretamente o ganho de tensão do circuito, principalmente em altas frequências. Em (13.2) é demonstrado a razão de indutância  $L$  e frequência de operação  $\omega_0$  em relação a resistência do indutor  $R_s$ . Logo, o Fator de Qualidade decresce conforme o aumento da resistência da espira aumenta. Na Figura 17, é ilustrado duas representações do modelo esquemático de um indutor com parâmetros de indutância  $L$  e resistência série  $R_s$  e paralela  $R_p$ . Essa representação é usada para análise de circuitos considerando as perdas pelo indutor.

$$Q = \frac{L \cdot \omega_0}{R_s} \quad (13.2)$$

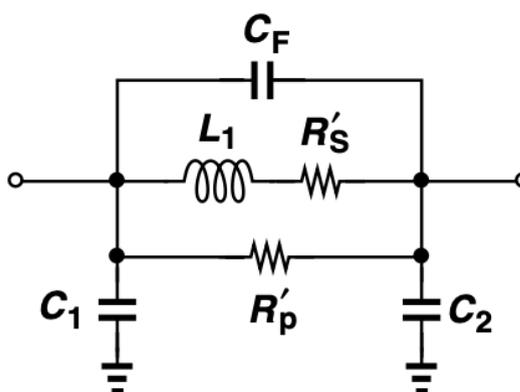
Figura 17 - Modelo esquemático de um indutor (a) série (b) paralelo.



Fonte: (RAZAVI, B. 2011)

Para aproximar o modelo do indutor para o cenário real dentro de nível de esquemático elétrico, assim que a frequência aumenta, as capacitâncias devem ser inseridas. De acordo com a Figura 18,  $C_F$  representa a capacitância entre os terminais da bobina,  $C_1$  e  $C_2$  são capacitâncias em relação ao substrato. Conforme a frequência aumenta, este modelo se torna mais complexo com capacitâncias e resistências parasitas que necessárias para simular o comportamento real. Esse modelo também é conhecido como *lumped model*.

Figura 18 - Modelo compacto em esquema elétrico de um indutor.



Fonte: (RAZAVI, B. 2011)

### 3 METODOLOGIA

No desenvolvimento de um LNA, é necessário estabelecer um fluxo de design analógico. O fluxo deve abordar as especificações de projeto que devem ser atendidas pelo LNA, a escolha da topologia que tenha características elétricas de interesse, o dimensionamento dos transistores usados, o modelamento do amplificador e as simulações de refinamento.

#### 3.1 Considerações de Projeto

O projeto de LNA foi baseado no trabalho acadêmico de receptores CMOS de ultra-baixa dissipação para comunicação sem-fio eficiente em dispositivos de IoT desenvolvidos na PGMICRO/UFRGS (SEVERO, I. R. M.; BAUMGRATZ, F. D.; BAMPI, S., 2020). O bloco faz parte de um receptor de Wi-fi HaLow, sendo o nó tecnológico de fabricação 28 nm. Sabendo disso, o LNA já possui especificações e ambiente de design pré-definidos.

Uma vez que as especificações estão mapeadas, é necessário adotar uma topologia como base do projeto de LNA. A escolha deve justificar as vantagens e desvantagens da topologia (Seção 3.1.1).

O ambiente de design usado é a ferramenta de software para automação de design eletrônico (EDA) da empresa Cadence (CADENCE, 2023). A ferramenta usada, *Virtuoso Analog Design Environment* ® versão 6.1.8-64b, permite projetar o LNA no fluxo analógico integrado completo. Na ferramenta, foi construído o esquemático elétrico do LNA e realizado simulação baseada em SPECTRE. Outra etapa em relação às simulações foi o refinamento iterativo feito após o resultado parcial do LNA. O projeto é realizado com bibliotecas de circuitos que utilizam PDK (*Project Design Kit*) 28nm BULK CMOS da TSMC (*Taiwan Semiconductor Manufacturing Company*). A partir desse PDK, foram usados os seguintes modelos da biblioteca 28 nm TSMC: transistores MOS do primeiro estágio *nmos\_rf\_6t*, *pmos\_rf\_nw*, *nmos\_rf\_nw*, indutores *spiral\_std\_mu\_z\_dm*. Já os capacitores, resistores e fontes foram usados a partir da biblioteca genérica *analogLib*.

### 3.1.1 Especificações e Topologia

As especificações deste LNA foram estimadas no protocolo IEEE 802.11ah, conhecido como Wi-Fi HaLow, para comunicação IoT de baixo consumo de potência.

Na Tabela 1 é organizado as especificações que o projeto deve seguir, de modo que atenda uma boa performance de operação. Dentre todos os blocos de receptores, o LNA é responsável por consumir maior potência, logo, especifica-se um consumo abaixo de 1 mW. O valor de tensão abaixo de 1V serve para abordagem de ULV (ultra-baixa tensão) que permita um consumo menor de potência. O consumo baixo de potência é uma característica primordial neste projeto, o que já destaca a topologia popular na literatura sobre LNA ULP como a de degeneração indutiva, ilustrado na Figura 19. Essa topologia é versátil quando estruturada no modo *cascode* pelo isolamento de sinal em relação à entrada e maior ganho de tensão e potência. Já os indutores e o modo FC permitem um fácil casamento de impedância com a entrada, uma vez que a área de circuito não é um fator limitante nesta etapa. A impedância de entrada de  $50\Omega$  refere-se a antena do receptor. A impedância tanque pelo circuito RLC é responsável por sintonizar o LNA em 900MHz. Todos esses parâmetros permitem evitar o incremento de corrente para manter o compromisso entre as especificações, assim mantendo o baixo consumo.

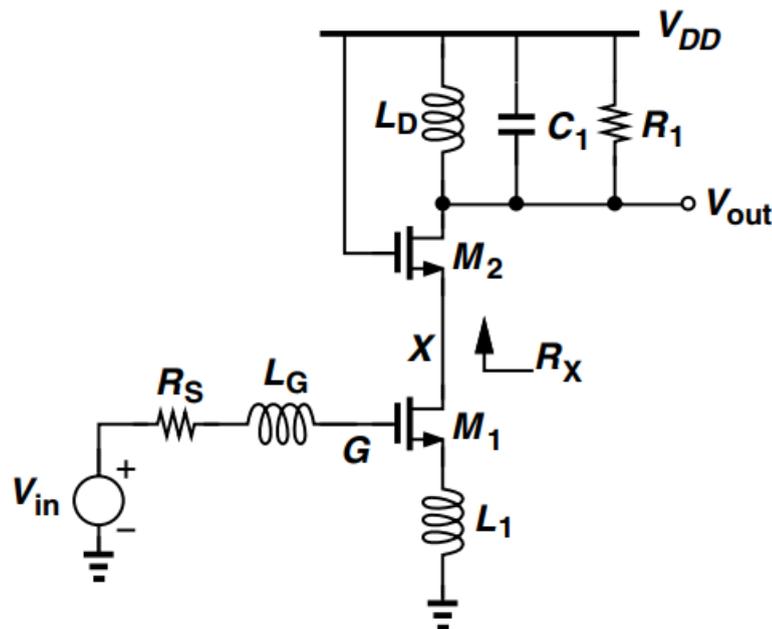
Tabela 2: Especificações de Projeto do LNA.

Parâmetro	Especificação
Tecnologia CMOS	28nm TSMC
Centro de Frequência de Operação	900 MHz
Impedância de entrada	$50\Omega$
Alimentação de Tensão	< 1V
Ganho de Tensão	> 15 dB
Figura de Ruído	< 3 dB
Coefficiente de Reflexão na Entrada	< -15 dB
Ponto de interceptação de terceira ordem	< -8 dB
Consumo de Potência	< 1mW

Fonte: Autor.

O LNA de degeneração indutiva precisa ter atenção no uso de indutores, pois o Fator de Qualidade  $Q$  é proporcional ao ganho do amplificador. Determinar  $Q$  para 900 MHz pode ser feito de acordo com a subseção (2.3.3), além disso a ferramenta de simulação permite iteração dos parâmetros de tamanho do indutor. Ainda, um valor pequeno de  $Q$  gera indutores de tamanho grande, aumentando a área do bloco no leiaute indiretamente. O fator de qualidade  $Q$ , de acordo com (13.2), pode diminuir quando o tamanho da resistência em série do indutor é grande. Além disso, a indutância  $L$  é inversamente proporcional ao tamanho total do indutor. É possível aumentar  $Q$  ao aumento de  $L$  na mesma frequência  $\omega_o$ . No caso dessa topologia,  $L_G$ ,  $L_1$  (usualmente  $L_S$ ) e  $L_D$  são estimados nesse projeto pela rede de casamento e da sintonização do amplificador e refinados na simulação.

Figura 19: Topologia de LNA Cascode FC com Degeneração Indutiva.



Fonte: (RAZAVI, B. 2011).

### 3.2 Dimensionamento dos Transistores

A etapa de dimensionamento dos transistores é responsável por definir uma referência de largura  $W$  e comprimento  $L$  do transistor que especifique a performance do circuito. Podemos fazer essa aproximação usando (1.1), a equação quadrática usada para região de inversão forte. Essa aproximação será usada de modo a estimar um  $g_m$  no pior caso

em relação ao consumo de corrente. E após isso, aumentar  $g_m$  suficiente com polarização *subthreshold* para operar em inversão fraca, onde  $g_m$  é próximo de  $20I_D$ . Apesar de ser uma aproximação grosseira, serve para partir do pior caso do consumo de corrente e alta polarização da região forte de um transistor. Também será usada a ferramenta de simulação para fazer iterações com variação desses parâmetros para otimizar o tamanho do transistor. Sabendo disso, é possível estimar o tamanho ( $W/L$ ) do transistor pela proporcionalidade direta com a transcondutância  $g_m$ . Sabendo que a derivada em (14.1) pode ser manipulada para (14.2), e assim dividida por (1.1), chegamos em (14.3). Podemos ver que existe proporcionalidade  $g_m$  em relação ao tamanho e a corrente  $I_D$  (RAZAVI, B. 2001).

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (14.1)$$

$$g_m = k_n \frac{W}{L} (V_{GS} - V_{TH}) \quad (14.2)$$

$$g_m = \sqrt{2k_n \frac{W}{L} I_D} \quad (14.3)$$

Partindo dessa conclusão, podemos modelar o tamanho a partir de (1.1) quando ( $W/L$ ) é isolado em (14.5). Sabendo que a tensão  $V_{Dsat}$  pode ser estimada por extração de parâmetros, variando a corrente  $I_D$  em torno de  $1mA$  e ( $W/L$ ) fixo. Já  $k_n$  é um valor intrínseco ao nó tecnológico que também pode ser estimado variando a tensão de *overdrive* e a corrente  $I_D$ . As estimativas de  $k_n$  e  $V_{Dsat}$  podem ser feitas utilizando o circuito ilustrado na Figura 20. Neste modelo, o NMOS é simulado com fonte  $V_{GS} = V_b$  e  $V_{DS} = V_{Dsat}$  em modelo quadrático. Essas duas fontes são iteradas, variando uma com outra fixa. Sabendo ( $W/L$ ) = 50 em (14.6), podemos aumentar a razão, pois queremos transistores maiores devido a inversão fraca, logo podemos usar ( $W/L$ ) = 500. Podemos substituir em (14.3) e obter  $g_m = 21mS$ . Essa estimativa concorda com a aproximação de  $g_m \approx 10mS$  para inversão forte. Logo, um valor maior  $g_m$  corresponde à inversão fraca, que é justificada por transistores que têm tamanho maior do que inversão forte e consumir menos corrente. Agora os transistores podem ser projetos a partir do comprimento mínimo de porta da tecnologia

$L_{min} = 30 \text{ nm}$ , pois é pior caso de  $L$  para o ganho intrínseco do transistor. Neste projeto o  $L$  pode ser aumentado a fim de obter maior ganho intrínseco.

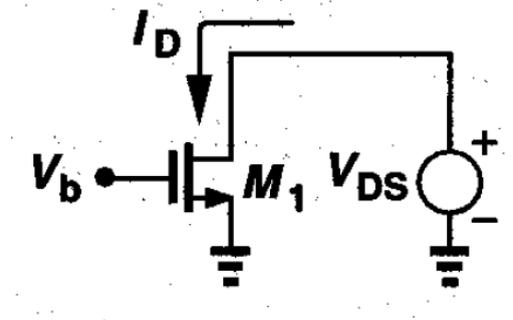
$$V_{Dsat} \sim \sqrt{\frac{2I_D}{k_n(W/L)}} \quad (14.4)$$

$$\frac{W}{L} = \frac{2I_D}{k_n V_{Dsat}^2} \quad (14.5)$$

$$\frac{W}{L} = \frac{2(1\text{m})}{(450\mu)(300\text{m})^2} \approx 50 \quad (14.6)$$

A etapa de extração de parâmetros dos transistores é responsável por capturar valores de simulação que descrevam o MOSFET numa determinada região de inversão, tensão e corrente que possam ser usados para dimensionar o tamanho desses transistores posteriormente. Para a extração de parâmetros dos transistores, é usada a relação de  $(W/L)$  igual a 10, sendo  $L = L_{min}$  e  $W = 0.30\mu\text{m}$ , para NMOS e PMOS. Nessa simulação é extraído  $V_{TH} \approx 270 \text{ mV}$ ,  $V_{Dsat} \approx 300 \text{ mV}$  e  $k_n \approx 450 \mu\text{A}/\text{V}^2$ .

Figura 20: Esquemático elétrico para extração de parâmetros.



Fonte: (RAZAVI, B, 2001).

É importante destacar que todos os transistores MOS usados neste projeto LNA estão com *bulk* conectado na fonte para evitar o efeito de corpo, visto na subseção (2.1.2). Assim como em outras aplicações em circuitos analógicos (W. WANG; B. CHI, 2019), a tecnologia de 28 nm TSMC permite aplicar uma tensão no *bulk do transistor nmos\_rf\_6t*. E todos os cálculos levam em consideração o efeito das capacitâncias parasitas. Para frequências mais altas, as capacitâncias são necessárias para estimar os parâmetros do transistor. Neste projeto

foi desconsiderado apenas nas estimativas, porém o comportamento das capacitâncias parasitas são levados em consideração no funcionamento do LNA.

Além disso, todos os transistores são polarizados com fonte de tensão com capacitores de desacoplamento. A polarização é feita de modo que possa manter o transistor na região de inversão fraca usando as simulações de iterações do *Virtuoso*, encontrando o melhor valor de acordo com o refinamento do circuito. O modelo quadrático de inversão forte somente foi usado para começar o dimensionamento do pior caso em consumo de corrente, e em seguida, aumentar o  $g_m$  e diminuir a polarização a fim de chegar em inversão fraca.

### 3.3 Rede de Casamento

Para modelar a rede de casamento, devemos observar a impedância de entrada (27) e estimar os indutores em função da impedância de entrada de  $50\Omega$ , a capacitância  $C_{GS}$  e transcondutância do transistor  $g_m$ . A capacitância  $C_{GS}$  do transistor em FC, com  $g_m = 21\text{ mS}$ , é relativamente pequeno, com valor de  $300\text{ fF}$ . Logo podemos fazer uma aproximação da capacitância na porta  $C_g$  e desconsiderá-la. Assim, devemos obter a parte real da impedância  $Z_{in}$  igual a  $50\Omega$  como em (15.1) e anular a parte imaginária de acordo com (15.2). A partir dessas equações, podemos encontrar  $L_S = 2\eta H$  e  $L_G = 29\eta H$ . É importante destacar que a diferença de indutância não impede do projetista ter a necessidade de refinar ambos os valores, pois possuem dependência entre si na rede de casamento.

$$\left(\frac{g_{m1}}{C_{GS}}\right)L_S = 50 \quad (15.1)$$

$$s(L_S + L_G) = \frac{1}{sC_{GS}} \quad (15.2)$$

O projetista da rede de casamento precisa levar em conta a ressonância entre os componentes usados, pois é composta de indutores e capacitores. Não contar com esse cuidado pode gerar uma rede de oscilação no amplificador. Em caso de descasamento por não obedecer a relação na equação (15.3), o projetista deve projetar o *trade-off* entre um capacitor a mais para  $C_{GS}$  para satisfazer a frequência de operação. Esse *trade-off* é encontrado na etapa

de satisfazer as equações (15.1) e (15.2), pois a capacitor  $C_1$  será somado com  $C_{GS}$ . Para fins de casamento de impedância foi modelado usando iterações de simulações variando  $C_1$  para encontrar a melhor condição. A partir de (15.3), a primeira estimativa para  $C_1$  foi de  $9.8 fF$ .

$$\omega_o = \frac{1}{\sqrt{(L_s + L_g)(C_{GS} + C_1)}} \quad (15.3)$$

### 3.4 Circuito LC para Sintonização

O circuito de sintonização ou de ressonância, define o centro de frequência de operação do LNA. Na equação abaixo (16.1) é possível calcular a frequência de operação em 900MHz utilizando a capacitância  $C_{tank}$  e indutância tanque  $L_{tank}$ . O indutor pode ser encontrado pelo ponto ótimo usando a ferramenta Virtuoso a fim de encontrar o indutor de maior fator de qualidade  $Q$  em detrimento de suas dimensões, visto na subseção (2.3.3). Uma vez que o valor de  $L_{tank}$  é encontrado, a capacitância tanque é definida pela equação (16.2) utilizando a frequência de interesse. A primeira estimativa dos componentes é de  $L_{tank} = 10 nH$  e  $C_{tank} = 3 pF$ .

$$f_0 = \frac{1}{2\pi\sqrt{L_{tank}C_{tank}}} \quad (16.1)$$

$$L_{tank}C_{tank} = \left(\frac{1}{2\pi 900M}\right)^2 \quad (16.2)$$

É importante lembrar que a impedância  $Z_{tank}$  é a impedância de saída do estágio cascode do LNA, com um alto valor de saída. A saída será em tensão devido a queda de tensão em  $Z_{tank}$ . Contudo, para a saída ser em corrente, é necessário um estágio de buffer de corrente na saída com o objetivo apenas para medir o ganho de potência. Esse segundo estágio é um PMOS com espelho de corrente.

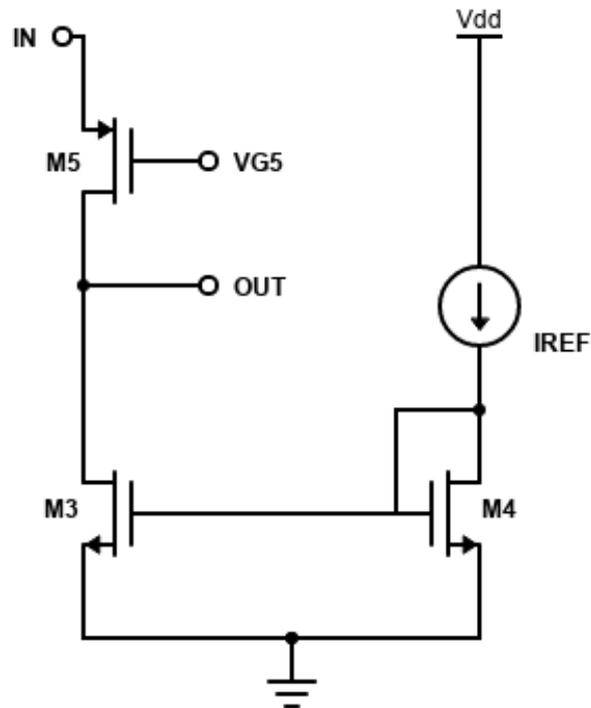
### 3.5 Estágio de Potência e Espelho de Corrente

O estágio cascode do LNA entrega o sinal de saída em tensão e sem um buffer de corrente não é possível medir o ganho de potência  $A_p$  do amplificador. O estágio para obter uma saída em corrente é um PMOS em ligação *folded* do LNA. O PMOS é polarizado por uma tensão  $V_{G5}$ , onde a saída (OUT) no dreno e entrada pela fonte (IN) conectado ao estágio cascode, ilustrado na Figura 21. O principal motivo de usar um PMOS é por fornecerem uma alta resistência de saída e uma corrente constante de dreno, além de contribuir ao estágio de cascode como amplificador. Por isso, contribui com o motivo de incluir um espelho de corrente para a saída, evitando perturbações na sensibilidade do sinal que o processo de fabricação pode gerar.

Ao usar o PMOS, foi estimado da mesma forma que o NMOS no estágio cascode, porém o PMOS geralmente é um transistor 1.5 a 2 vezes maior que o NMOS em amplificadores. Logo, o razão  $W/L$  do PMOS será 1000, o dobro em relação ao NMOS usado. Para o projeto, é interessante escolher tamanhos grandes, uma vez que o LNA opera em inversão fraca, justificando o uso de grandes transistores. A área de transistores CMOS é flexível no projeto, pois ainda são pequenos em relação aos indutores inseridos no LNA.

Em se tratando do espelho de corrente, o tamanho de transistor  $W/L$  também pode ser ampliado de forma que obedeça a equação (17). Ilustrado na Figura 21, a principal maneira de fazer uso do espelho de corrente é usar a razão dos tamanhos dos transistores  $M_3$  e  $M_4$  de forma que a corrente  $I_{IN}$  possa ser igualada a  $I_{OUT}$  (ilustrado no esquemático como *IREF*). Uma vez que os transistores são idênticos, a saída do espelho de corrente opera com a escolha de uma corrente. Neste caso, a corrente  $I_{OUT}$  foi estimada para  $20\mu A$ .

Figura 21: Estágio de buffer folded PMOS e fonte de corrente do LNA.



Fonte: Autor.

$$I_{OUT} = \frac{(W/L)_3}{(W/L)_4} I_{IN} \quad (17)$$

### 3.6 Ruído

O Fator de Ruído do LNA pode ser modelado da forma em (18.1) (SHAEFFER; LEE, 1997). É importante notar que a condição de *trade-off* da última parcela influência no ruído total do circuito. A condutância de polarização nula  $g_{d0}$  é um parâmetro sob controle do projetista, e refere-se a sensibilidade de um transistor a tensão de entrada quando não polarizado ( $V_{GS} = 0$ ). Ainda, ao reduzir a condutância de polarização nula, sem modificar a frequência, é possível melhorar a Figura de Ruído. Para uma estimativa grosseira em (18.2) podemos ter ideia da NF vendo o sistema como um todo, sendo  $R_{out}$  a resistência de saída. Para ter uma estimativa, podemos assumir a transferência total de sinal para uma resistência de saída de  $50\Omega$ , temos que NF é  $3dB$ . Sendo assim, o projetista tem uma referência que depende da resistência de saída para estimar NF. Neste projeto, para satisfazer um bom valor

de NF, várias simulações de iteração são feitas com o objetivo de refinar o parâmetro levando em consideração (18.1) e (18.2).

$$F = 1 + \frac{R_l}{R_s} + \frac{R_g}{R_s} + \gamma g_{d0} R_s \left( \frac{\omega_0}{\omega_T} \right)^2 \quad (18.1)$$

$$NF = 10 \log \left( 1 + \frac{R_{out}}{50} \right) \quad (18.2)$$

### 3.7 Ganho de Tensão

O ganho de tensão do primeiro estágio do LNA é definido de acordo com a equação em (19.1) (FERREIRA, 2016). Sendo  $Q_{in}$  o Fator de Qualidade da rede de impedância, influenciado diretamente pelos indutores e capacitores da rede. O ganho de tensão também é diretamente proporcional a transcondutância  $g_m$  do transistor em FC. Em (19.2) é possível estimar o Fator de Qualidade em função do indutor  $L_s$ , frequência de operação, capacitâncias de porta-fonte da rede de casamento, a resistência de fonte  $R_s$  e transcondutância  $g_m$ . O projetista encontra *trade-off* entre os parâmetros para ganho de tensão. Para isso, nesse projeto é necessário usar as iterações de simulação de varredura de variável para satisfazer o ganho de tensão desejável pela especificação. Ainda, em (19.3),  $R_{Ld}$  é a resistência paralela da rede de sintonização que coincide com a resistência de saída.

$$A_v = Q_{in} g_{m1} R_{Ld} \quad (19.1)$$

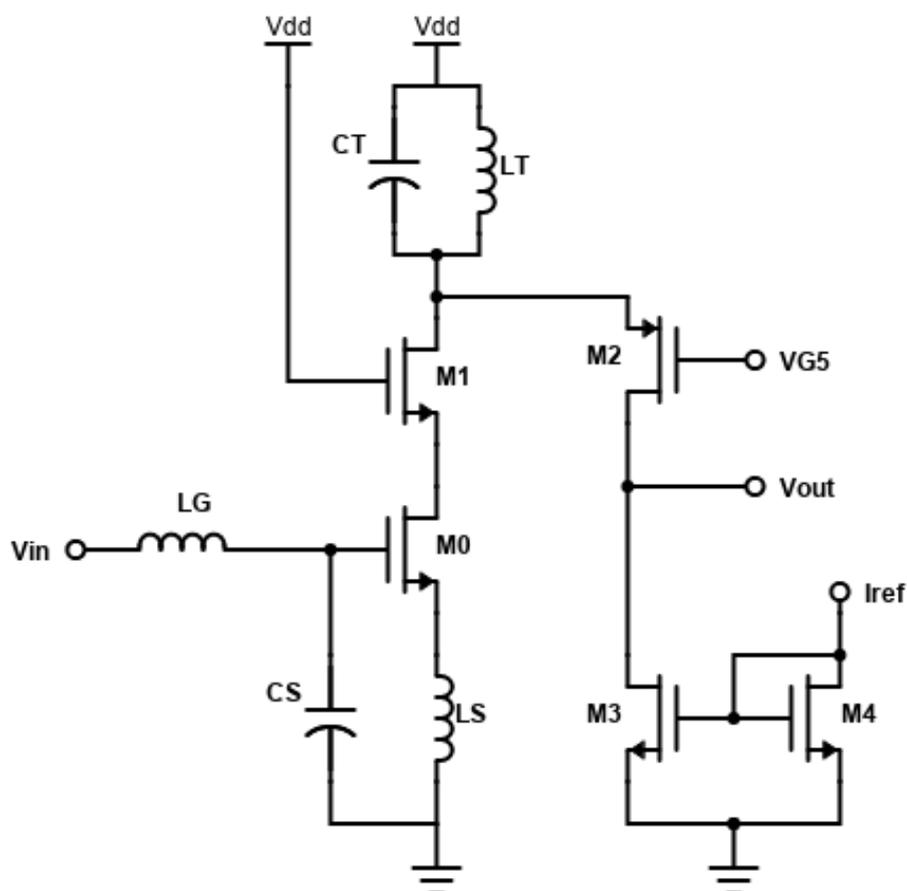
$$Q_{in} = \frac{1}{\left( R_s + \frac{g_{m1} L_s}{C_{gs1} + C_g} \right) \omega_0 (C_{gs1} + C_g)} \quad (19.2)$$

$$R_{Ld} = \omega_0 L_D Q_{Ld} \quad (19.3)$$

### 3.8 Esquemático Elétrico do LNA

Na Figura 22, é apresentado o esquemático elétrico final do LNA. O transistor M0 é polarizado com um transistor e uma fonte de corrente a fim de estabilizar a corrente. O transistor M1 está polarizado na alimentação VDD. O componente CS é o capacitor de ajuste, enquanto CT e LT são capacitância e indutância tanque. Os componentes LG e LS são os indutores de porta e fonte, respectivamente. O transistor PMOS M2 está polarizado por uma tensão VG5. O espelho de corrente do estágio *folded* é composto pelos transistores M3 e M4, usando a fonte de corrente Iref. O *testbench* do LNA inteiro inclui apenas as fontes de alimentação e capacitores de desacoplamento de 30pF, valor geralmente usado para frequências baixas. Estão incluídas no design as conexões de *bulk* e isolamento do sinal de polarização do transistor M0, M1 e M2.

Figura 22: Esquemático final do LNA.



Fonte: Autor.

## RESULTADOS E DISCUSSÕES

No presente capítulo é apresentado os resultados das simulações elétricas obtidas depois do refinamento das características elétricas do circuito. A Tabela 3 contém todos os parâmetros de componentes da última simulação e serve de apoio para as seguintes análises de resultados abaixo.

Os primeiros resultados não foram esperados exatamente de acordo com as medidas calculadas, porém foi se desenvolvendo um grande refinamento durante o projeto. A primeira indicação de que devia haver melhorias, foi o resultado da simulação da rede de casamento com um péssimo S11 tendendo a casar para além de 1 GHz. Logo, somente os indutores não seriam suficiente para casar, se não houvesse um ajuste no tamanho dos transistores, conseqüentemente na capacitância  $C_{GS}$  que influencia a rede de casamento. Foi ajustado o tamanho dos transistores do estágio cascode de forma que pudesse ser aproveitado corrente suficiente para melhorar o parâmetro de  $g_m/I_D$ , cujo valor final indica inversão fraca. A razão  $W/L$  foi aumentada, tanto em largura quanto comprimento de porta. Após inúmeras iterações usando análise paramétrica da ferramenta, foi possível começar a chegar em uma rede de casamento adequada. Como consequência todos os parâmetros sofrem mudança devido ao ajuste  $W/L$ , sendo a análise paramétrica o principal meio de chegar no ponto ideal do coeficiente de reflexão S11 no valor de -16,6 dB. Na Figura 25, o gráfico ilustra S11 na frequência de 900 MHz, porém apresentando uma curva por volta de 930 MHz não tão suave quanto o outro lado da banda de frequência. Apesar dos indutores estarem casando a impedância da rede e uma capacitância de ajuste  $C_S$  concluir o casamento, é possível que essa curva ocorra pelo baixo fator de qualidade de  $L_G$ , pois foi alterado para uma indutância e tamanho grande. O seu fator de qualidade chegou no valor de 5.4. Logo, seria necessário compensar em corrente  $I_D$ , pois um  $Q$  baixo reduz o ganho do estágio. Ainda, o indutor  $L_S$  também foi aumentado de modo que pudesse anular toda a parte imaginária com  $L_G$ . Os indutores mantiveram a mesma relação de tamanho que anteriormente foi observado na Seção (3.3). Aumentar os indutores, além de promover um menor consumo de corrente, foi fundamental para anular capacitâncias parasitas da rede de casamento.

O circuito tanque de sintonização foi ajustado para simular uma impedância de saída de até  $200\Omega$ , podendo ser a entrada de um bloco Mixer ativo que possui impedâncias mais

altas. A relação de sintonização calculada anteriormente foi mantida para 900 MHz, por isso a mudança de valores satisfazem (34).

A Figura 23 ilustra a curva de ganho de tensão do LNA, sendo o alto ganho proveniente da aproximação do valor máximo de  $g_m/I_D$  e um alto  $g_m$  dos transistores. Porém, houve dificuldade em centrar o pico de ganho da frequência de operação. Esse afastamento pode eventualmente levar a uma sensibilidade do ganho na variabilidade de fabricação. O ganho de tensão pode ser corrigido melhorando o fator de qualidade da rede de casamento, visto em (38.1), uma vez que o tamanho dos transistores estejam de acordo com a expectativa.

Em se tratando de ruído, a Figura 24 mostra um resultado satisfatório para especificações. A Figura de Ruído em 1,53 dB não é exatamente no centro de frequência, mas é aceitável por estar em uma parte da curva ainda estável. Por mais que a adição de um filtro analógico de entrada no LNA, o ruído do amplificador ainda é baixo para sofrer com novas fontes de ruído. Realizar o dimensionamento de transistores é uma maneira de facilitar o processo de manipulação do ruído. Neste projeto da Figura de Ruído foi a última etapa de estimativa, pois as simulações já demonstraram um bom NF, motivada em grande parte pelo uso da topologia de degeneração indutiva e ampla literatura científica. Os indutores são responsáveis por esse resultado satisfatório de NF.

O ganho direto de S21 é ilustrado pela Figura 26, sendo uma consequência da curva de ganho de tensão. É possível notar que o pico está levemente deslocado para uma frequência um pouco menor em relação a 900 MHz, mas que ainda é satisfatório do ponto de vista da banda de frequência. Em seguida, na Figura 27, o ganho reverso S12 de -55 dB pode ser entendido como um bom isolamento de saída. Além disso, se estende pela banda de frequência.

A Figura 30 ilustra o IIP3 do circuito quando se insere a intermodulação de dois tons usando a ferramenta de design. Ainda que de valor negativo, o IIP3 do LNA tem margem de melhoria. Comparando com outras literaturas sobre LNA em 28 nm CMOS, é competitivo com outros amplificadores projetados. Na Figura 28, simular a impedância de saída permite ao projetista entender o *trade-off* da rede de casamento de saída. Já simulado com o estágio de saída, o modelo folded com PMOS permite uma saída em corrente em que a impedância tank define o casamento de saída. O PMOS de saída foi simulado com análise paramétrica para chegar ao ponto ótimo de  $Z_{tank}$ , de modo que pudesse anular as capacitâncias parasitas do PMOS.

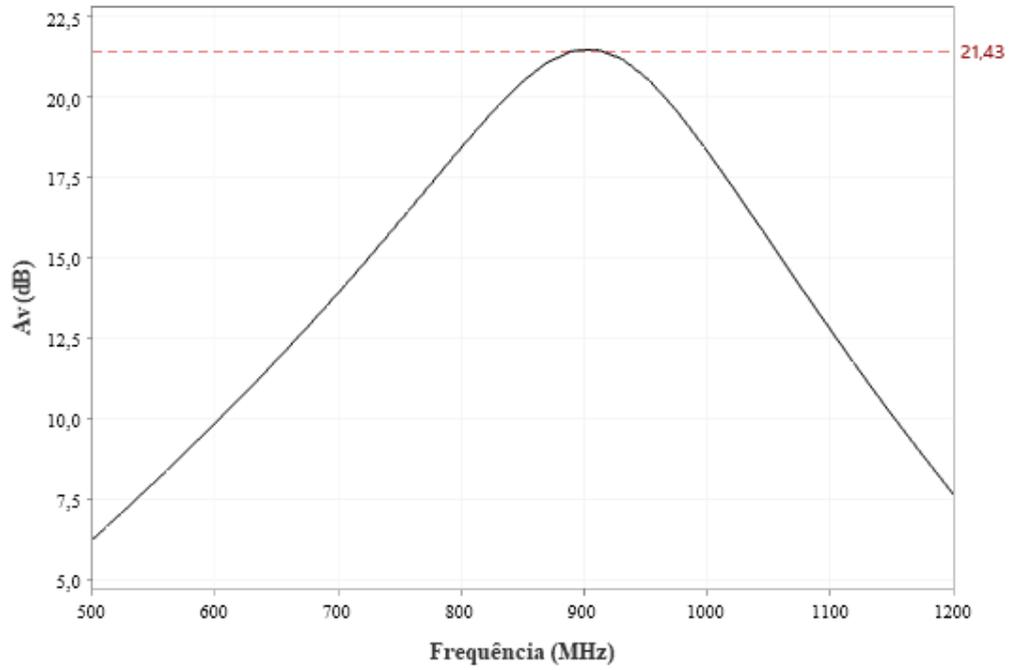
Na Figura 31, é ilustrado o resultado do consumo de corrente  $I_D$  na simulação transiente. Usando uma alimentação de tensão de 700 mV, polarização de transistores perto da saturação de dreno-fonte, foi possível alcançar um patamar ULP e ULV do projeto. O consumo de corrente foi de  $944,9\mu A$ , multiplicado pela alimentação do estágio, o resultado da potência é de  $661\mu W$ . Nesse resultado é possível comprovar como a topologia de degeneração indutiva é usual para projetos de ultra-baixa potência, e uma vez o consumo sendo satisfatório, há margem para melhoria de performance com aumento de corrente quando possível. O aumento de corrente pode ser escolhido pelo projetista para casos do receptor possuir um modo de hibernação e um modo ativo, onde o consumo de corrente é diferente. A Figura 29, corrobora com a alta amplificação previamente vista. Nela é possível ver a tensão de saída, em vermelho, e a tensão de entrada, em azul, numa simulação transiente. A característica de tensão transiente é satisfatório desse amplificador, algo que é necessário para o LNA, além de um baixo NF. Amplificar um pequeno sinal sem inserir ruído significativo ao circuito.

Na Tabela 3 é possível comparar as especificações do LNA com os resultados da versão final do amplificador. A tensão de alimentação é um parâmetro desafiador ao projetista, pois em questão de circuitos de baixa potência em RF, é sempre interessante simular o circuito com tensões VDD cada vez mais baixas. O limite desta última versão de LNA foi em 700 mV de VDD. O ganho de tensão de 21,43 dB foi atingido com margem para melhorar outros parâmetros do LNA, se necessário, assim como NF. O coeficiente de reflexão é crítico em projetos de LNA, sendo o valor atingido suficiente para entregar o sinal eficiente para o resto do receptor. Porém, é comum ver em outras literaturas a magnitude de S11 sendo explorada além de outros parâmetros. Isso se deve a necessidade de impedir que o LNA tenha descasamento de impedância e se torne um oscilador ou case em frequências indesejadas. Além disso, o consumo de potência foi muito satisfatório para a proposta do projeto de LNA.

Tabela 3: Parâmetros de componentes simulados do estágio LNA.

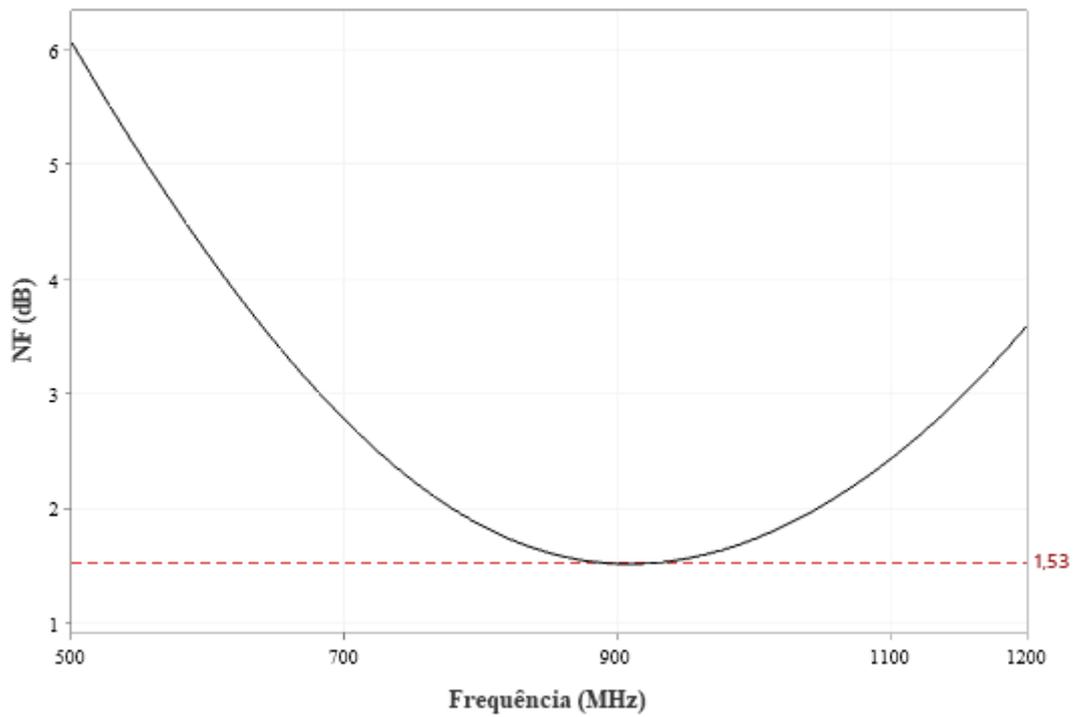
Parâmetro	Valores
$W_0/L_0$ ( $\mu m$ )	540 /0,12
$W_1/L_1$ ( $\mu m$ )	900/0,12
$W_{PMOS}/L_{PMOS}$ ( $\mu m$ )	1566/0,10
$g_{m0}$ (mS)	24,99
$g_{m0}/I_D$ (1/V)	26,66
$g_{m1}$ (mS)	26,7
$g_{m1}/I_D$ (1/V)	28,57
$g_{mPMOS}$ (mS)	20,9
$g_{mPMOS}/I_D$ (1/V)	27,39
$L_S$ (nH)	8,3
$L_G$ (nH)	28
$C_S$ (fF)	660
$C_{tank}$ (pF)	2,6
$L_{tank}$ (nH)	4,32

Fonte: Autor.

Figura 23: Curva de Ganho  $A_v$  em função da frequência.

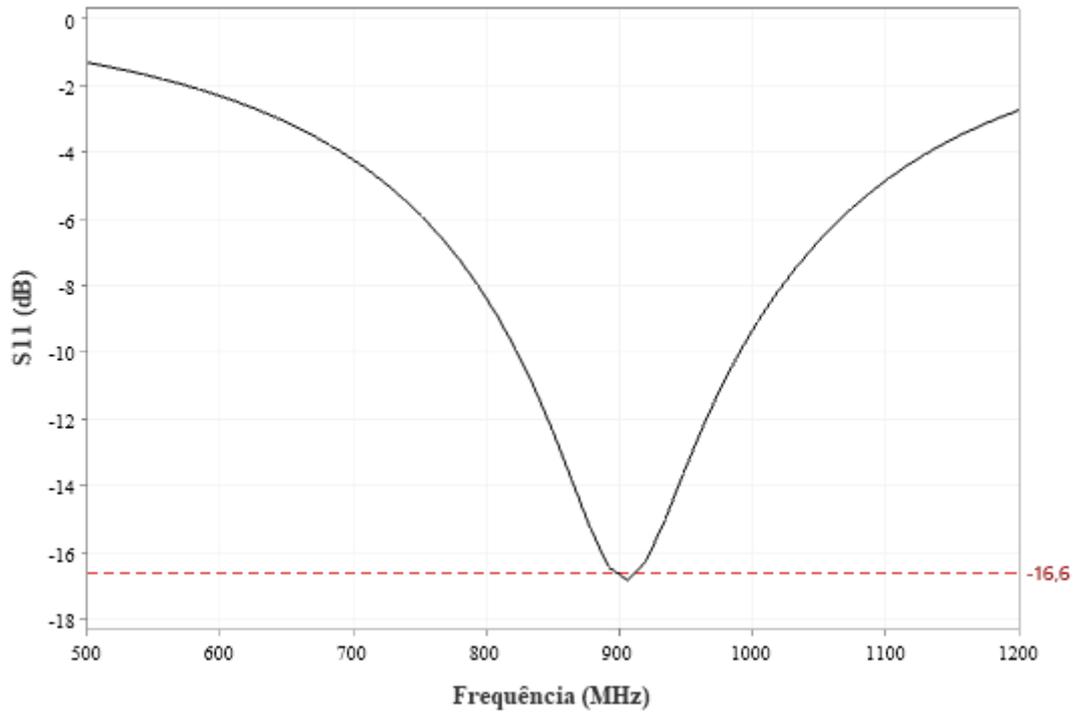
Fonte: Autor.

Figura 24: Curva de Figura de Ruído em função da frequência.



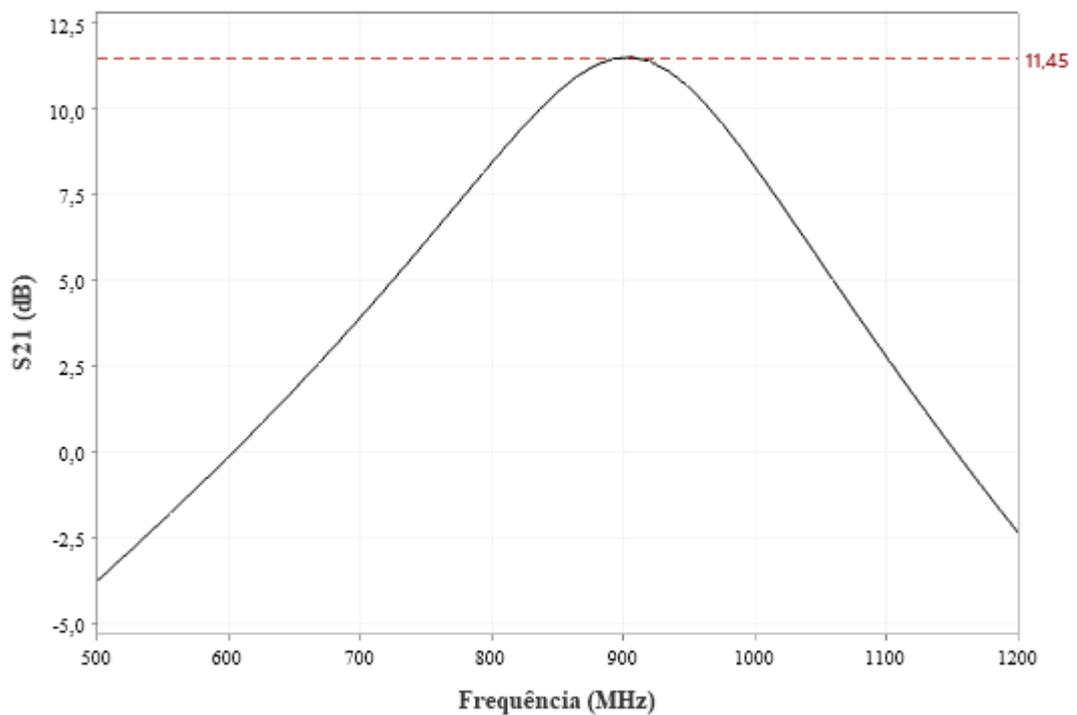
Fonte: Autor.

Figura 25: Curva de Coeficiente de Reflexão em função da frequência.



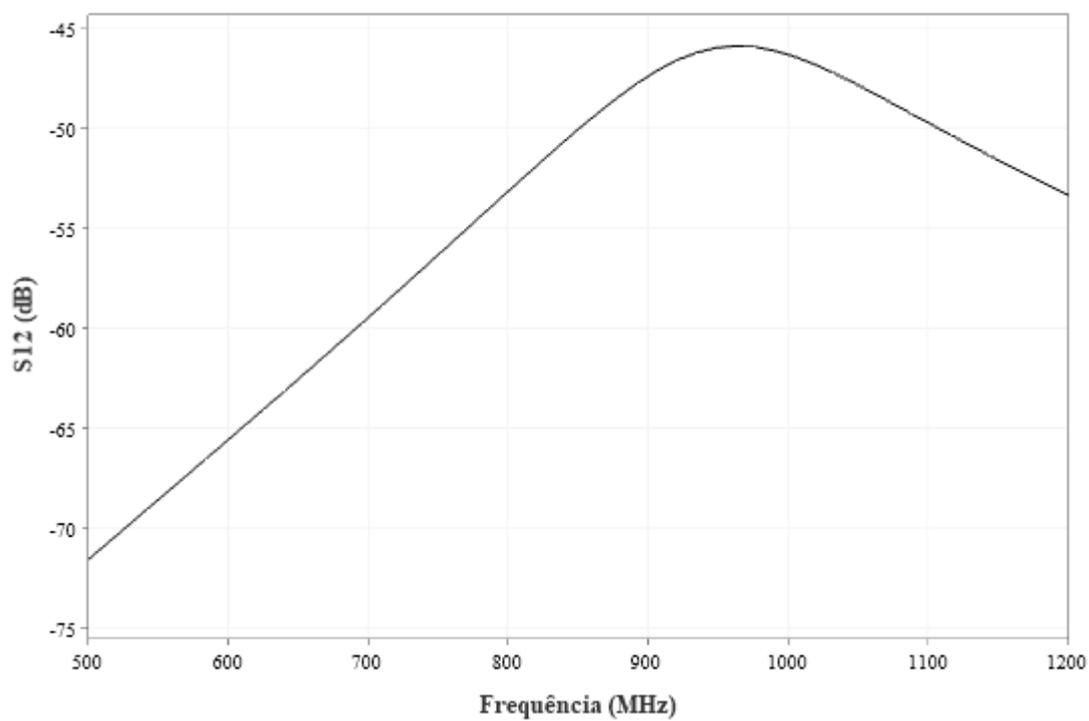
Fonte: Autor.

Figura 26: Curva de Ganho Direto em função da frequência.



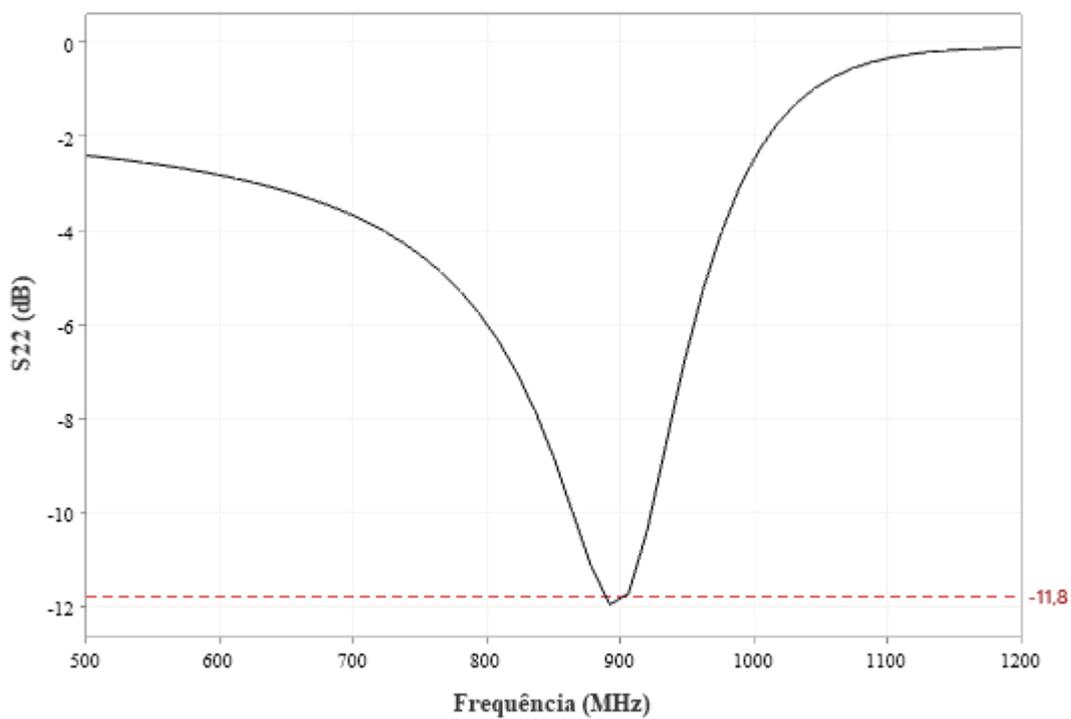
Fonte: Autor.

Figura 27: Curva de ganho Reverso S12 em função da frequência.



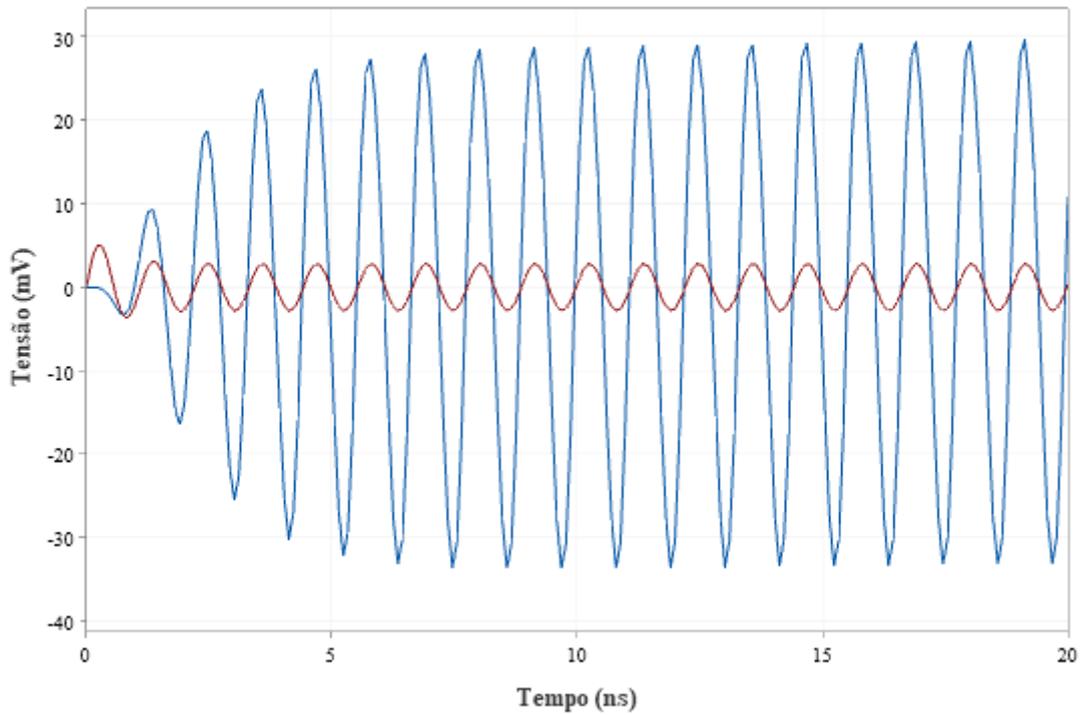
Fonte: Autor.

Figura 28: Curva de S22 em função da frequência.



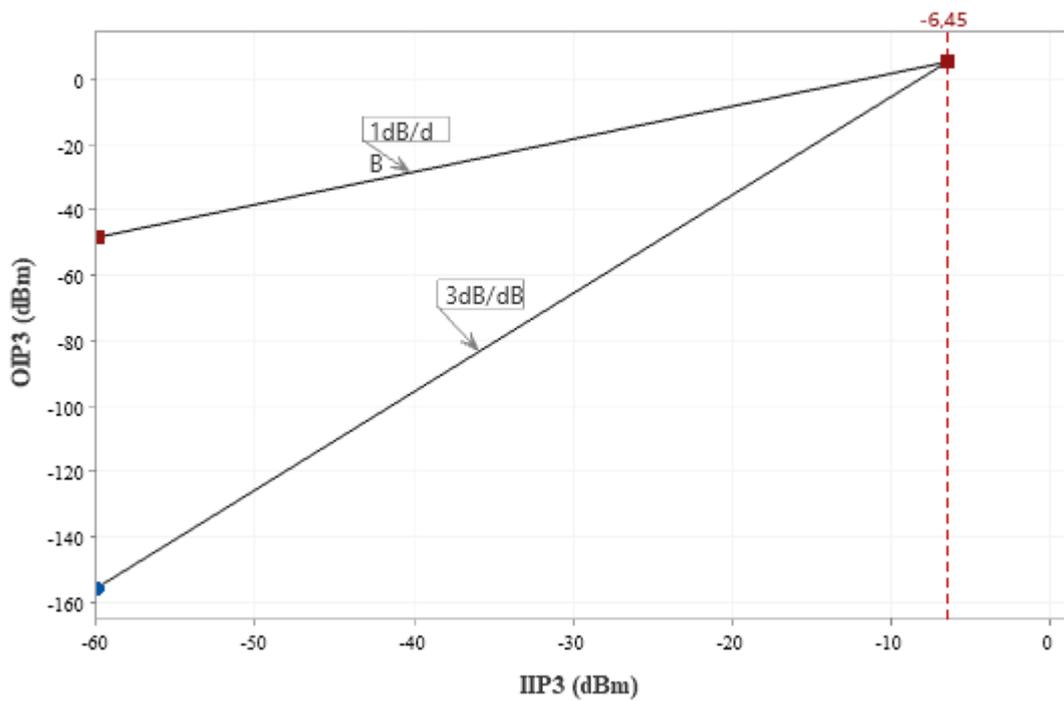
Fonte: Autor.

Figura 29: Curva de  $V_{OUT}$  (azul),  $V_{IN}$  (vermelho) em função do tempo.

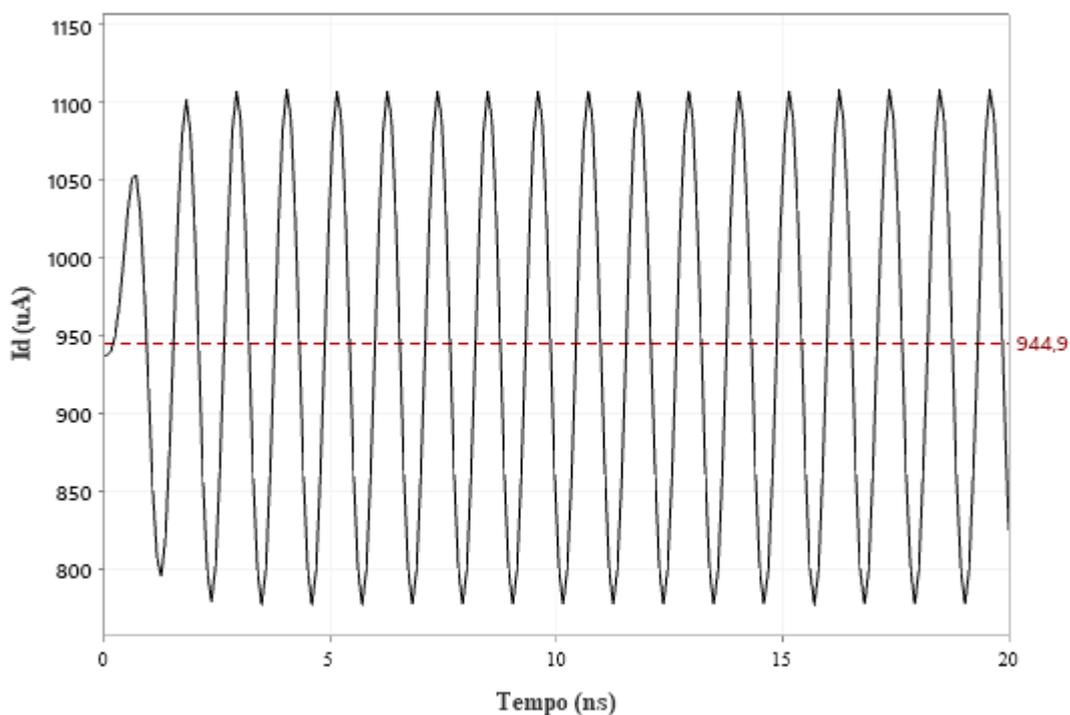


Fonte: Autor.

Figura 30: Curva de IIP3 em função de OIP3.



Fonte: Autor.

Figura 31: Curva de corrente  $I_D$  em função do tempo.

Fonte: Autor.

Tabela 4: Resultados do Projeto do LNA.

Parâmetro	Especificação	Resultados
Tecnologia CMOS	28 nm TSMC	28 nm TSMC
Frequência	900 MHz	900 MHz
Alimentação de Tensão	< 1 V	0,7 V
Ganho de Tensão	> 15 dB	21,43 dB
Figura de Ruído	< 3 dB	1,53 dB
S11	< -15 dB	-16,6 dB
IIP3	> -8 dBm	-6,45 dBm
Consumo de Corrente	-	944,9 $\mu$ A
Consumo de Potência	< 1 mW	0,661 mW

Fonte: Autor.

Além do bloco de LNA como projeto de diplomação, a jornada de estudos em LNA gerou duas publicações sobre circuitos analógicos. A primeira publicação tem relação direta neste projeto pois essa publicação científica apresenta o fluxo analógico de amplificadores adotado neste projeto de diplomação (SEVERO, I. R. M.; BAUMGRATZ, F. D.; BAMPI, S., 2019). Já na segunda publicação, citado na Seção (3.1), é apresentado a primeira versão do LNA de degeneração indutiva em 28 nm CMOS de autoria própria. Esta publicação foi resultado do trabalho em LNA e serviu de inspiração para ser refinado neste trabalho de diplomação.

## 4 CONCLUSÃO

Projetar um LNA não é trivial. Para um projetista de LNA, é necessário entender os conceitos de eletrônica e de RF em relação às ondas eletromagnéticas. O LNA é um circuito sensível e está sujeito a influência eletromagnética externa do ambiente e interna de outros blocos integrados. Além disso, é o primeiro bloco de um receptor, sendo o LNA um projeto de grande responsabilidade em uma equipe de projetistas. Em se tratando de comunicação sem-fio, este projeto de LNA pode atender a área de *IoT*, pois atende as expectativas previstas no início do projeto. E pode ser usado para futuras aplicações, tanto industriais quanto acadêmicas.

A topologia de degeneração indutiva em cascode do LNA, é uma alternativa de grande vantagem para aplicações ULP e ULV. Foi visto nesse projeto, que a topologia atende bem as especificações definidas em questão de potência, ganho e ruído. O uso de indutores faz necessário um conhecimento na formulação das bobinas. Sendo o fator de qualidade um parâmetro importante no design. Além disso, o acoplamento magnético entre indutores existe e deve ser levado em consideração quando se projeta um LNA. Um destaque para o uso de indutores é a atenção em relação ao tamanho. Em nível de layout, as bobinas ocupam um grande espaço em relação a parte CMOS do LNA. Uma vez definido o uso de indutores, deve-se fazer uso da vantagem do espaço para aproveitar transistores maiores quando possível. Porém, em frequências maiores, a dificuldade de modelar bobinas aumenta e as capacitâncias parasitas que modela o indutor devem ser levadas em consideração. Pois nem sempre modelos básicos podem estimar indutores em alta frequência. A consequência de modelar de modo errado os indutores é levar o amplificador a um comportamento oscilatório, impedindo de satisfazer o objetivo do circuito.

Em projetos de ultra-baixa potências, o dimensionamento de transistores é importante para estimar a necessidade de usar correntes mais baixas. Neste projeto, foi essencial usar transistores em inversão fraca devido ao consumo de corrente. E o projeto comprovou o aumento do tamanho dos transistores. Assim, foi possível atender as expectativas de um LNA em baixa potência. Todavia, o *trade-off* é presente em todas as estimativas do LNA até o final do projeto, pois todos os parâmetros influenciam entre si. Logo, as ferramentas de automação de design eletrônico permitem ao projetista aumentar a possibilidade de refinamento do projeto. Ao passo que a ferramenta permite iterações de refinamento dos parâmetros, o projetista consegue interpretar o comportamento do circuito e

direcionar sua habilidade de engenharia para soluções mais exatas. Um exemplo é o uso de análise paramétrica da ferramenta *Virtuoso*, onde é possível variar parâmetros para entender a influência deste em outros componentes.

O maior desafio do projeto de LNA é modificar a rede de casamento de modo que evite prejudicar o estágio de cascode e a impedância de saída. Uma vez que é necessário fazer alterações, outras partes do LNA são influenciadas. A partir disso, há possibilidades de explorar o LNA em relação a problemas como esse. Pois, com processos de fabricação cada vez mais precisos, o nó tecnológico exige mais detalhamento de projeto e passa a enfrentar diversos efeitos como por exemplo modulação de comprimento de canal.

Em relação a trabalhos futuros, este LNA pode ser testado com outras redes de casamento que possam satisfazer a aplicação de ultra-baixa potência. Sendo o uso de transformadores integrados um trabalho proposto para ser explorado futuramente. O transformador integrado pode ser modelado por indutores de acoplamento mútuo, sendo a relação de espiras um parâmetro para casar a impedância em diversas frequências, geralmente aplicado para banda larga. Além disso, a etapa de leiaute do LNA de degeneração indutiva é um trabalho futuro, pois o projeto pode ser usado para aplicações acadêmicas ou industriais. A etapa de leiaute consiste no desenho dos transistores CMOS, indutores, capacitores, resistores, alimentação, anel de proteção e trilhas de contato. Logo, a extração de parasitas para simulações mais refinadas é realizada de modo que o projeto se aproxime da realidade quando fabricado. Usar as instâncias de RF da tecnologia 28 nm torna o modelo de transistor mais completo em relação a confiabilidade. Porém, as interconexões do circuito podem afetar a performance do LNA, pois não estão modelados os elementos parasitas. Os resultados de simulação podem ser considerados confiáveis. Contudo, para explorar o grau de confiabilidade da simulação, o projeto de LNA deve ser ajustado após a etapa de extração de parasitas.

## REFERÊNCIAS

- RAZAVI, B. **RF Microelectronics**. 2nd Ed. Prentice Hall New York, 2012.
- RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. 2nd Ed. McGraw-Hill, New York, 2001.
- RAZAVI, B. **Fundamentals of Microelectronics**. 1nd Ed. John Wiley & Sons, Inc., New York, 2008.
- LEE, T. H. **The design of CMOS Radio-Frequency Integrated Circuits**. 1nd Ed. Cambridge University Press, 1998.
- SHAEFFER, D. K.; LEE, T. H. **A 1.5, 1.5GHz CMOS Low Noise Amplifier**. IEEE Journal of Solid-State Circuits, 1997.
- RABAEY, J. M. **Digital Integrated Circuits: A Design Perspective**. 2nd Ed. Prentice Hall India, 1996.
- ALLEN, P. E.; HOLBERG, D. R. **CMOS Analog Circuit Design**. 2nd Ed. Oxford University Press, New York, 1998.
- VIZMULLER, P. **RF Design Guide: Systems, Circuits and Equations**. 1nd Ed. Artech House Publishers, Boston, 1995.
- LIN, J. **A Survey on Internet of Things: Architecture, Enabling Technologies, Security and Privacy, and Applications**. IEEE Internet of Things Journal, 2017.
- FERREIRA, S. B.; **Design of a SAW-Less CMOS Discrete-Time Receiver for Bluetooth Low Energy**. Tese (Ph.D.) - PGMICRO da UFRGS, 2016.
- LEUNG, B., **Cascaded Noisy Stages. VLSI for Wireless Communication**. Prentice Hall, NJ, 2002.
- ALLSTOT, D. J.; LI, X.; SHEKHAR, S. **Design Considerations for CMOS Low Noise Amplifier**. IEEE Radio Frequency Integrated Circuits Symposium, 2004.
- SCHNEIDER, S., **Understanding the Protocols Behind the Internet of Things**, Electron. Design, Out. 2013. Acesso em Março de 2023. Disponível em: <http://electronicdesign.com/iot/understanding-protocols-behind-internet-things>.
- SCHNEIDER, M. C.; GALUP-MONTORO, C.. **CMOS analog design using all-region MOSFET modeling**. Cambridge University Press, 2010.

STATISTA. **Internet of Things (IoT) connected devices installed base worldwide. from 2015 to 2025.** 2016. Disponível na internet:

<https://www.statista.com/statistics/471264/iot-number-of-connected-devices-worldwide/>.

FORBES. **2017 Roundup Of Internet Of Things Forecasts.** 2017. Disponível na internet:

<https://www.forbes.com/sites/louiscolumbus/2017/12/10/2017-roundup-of-internet-of-things-forecasts/#5b03a9f61480>.

CADENCE. **Cadence Design Systems.** 2023. Disponível na internet:

[https://www.cadence.com/en\\_US/home.html](https://www.cadence.com/en_US/home.html).

SEVERO, I. R. M.; BAUMGRATZ, F. D.; BAMPI, S. **Amplificador de Baixo Ruído Banda-Estreta de Ultra-baixa**

**Potência Integrado em 28nm CMOS.** Salão de Iniciação Científica (32. : 2020 set. 14-18 : UFRGS, Porto Alegre, RS).

SEVERO, I. R. M.; BAUMGRATZ, F. D.; BAMPI, S. **Método de Projeto e Simulação de Amplificadores Operacionais Integrados CMOS.** Salão de Iniciação Científica (31. : 2019 out. 21-25 : UFRGS, Porto Alegre, RS).

G. GONZALEZ; **Microwave Transistor Amplifiers: Analysis and Design.** 2nd Edition, Prentice Hall, 1996.

W. WANG; B. CHI. "A Wideband High PSRR Capacitor-Less LDO with Adaptive DC Level Shift and Bulk-Driven Feed-Forward Techniques in 28nm CMOS," 2019 IEEE International Symposium on Circuits and Systems (ISCAS), Sapporo, Japan, 2019.

SEDRA, A. S.; SMITH, K. C. **Microelectronic Circuits.** 5th Edition. Oxford University Press. 2004.