

# Concepção de Circuitos e Sistemas Integrados

Renato Perez Ribas <sup>1</sup>, André Inácio Reis <sup>1</sup>, Marcelo Soares Lubaszewski <sup>2</sup>

**Resumo:** Este artigo tem por objetivo apresentar de forma ampla e genérica a tecnologia dos circuitos integrados, sua importância e aplicações potenciais. Dispositivos integrados e processos de fabricação são descritos de forma simplificada, mostrando a construção e funcionalidade de dispositivos básicos e alguns tópicos do estado da arte. Diversas formas de obtenção ou estilos de projeto de circuitos e sistemas integrados de aplicação específica são discutidos considerando-se suas características quanto a desempenho e tempo para obtenção dos mesmos. As etapas que envolvem a obtenção de um circuito integrado (CI), assim como conceitos fundamentais que se referem a ferramentas computacionais de auxílio ao projeto, também são abordados neste trabalho. Por fim, as últimas tendências relacionadas com a área de microeletrônica são brevemente discutidas.

**Palavras Chaves:** Circuito integrado, ASIC, chip, microeletrônica, CAD, teste.

**Abstract:** The goal of this paper is to broadly discuss the technology of integrated circuits, focusing on its importance and potential applications. Integrated devices and fabrication processes are briefly described, showing up the design and functionality of basic building blocks and visiting some state-of-the-art topics. Several styles for designing application specific integrated circuits and systems are discussed, considering performance and design cycle issues. The steps to follow to design an integrated circuit (IC), as well as the fundamentals of existing computer-aided design tools, are also addressed in this work. Finally, the last trends related to the Microelectronics field are briefly discussed.

**Keywords:** Integrated circuit, ASIC, chip, microelectronics, CAD, test.

---

<sup>1</sup> Instituto de Informática, UFRGS.  
{rpribas, andreis@inf.ufrgs.br}

<sup>2</sup> Departamento de Engenharia Elétrica, UFRGS.  
{luba@iee.ufrgs.br}

## 1 Introdução

A expressão na área da eletrônica de que 'tudo acaba em chip' reflete uma grande verdade do nosso cotidiano. Os chips ou circuitos integrados (CIs) fazem parte hoje de praticamente todo e qualquer equipamento, sistema ou aplicação que envolva circuitos eletrônicos. A importância de tais componentes é claramente observada nos computadores, mas também são facilmente encontrados em equipamentos eletrodomésticos, meios de transporte, sistemas de controle, aparelhos médicos, entre tantos outros.

O mercado de componentes eletrônicos e de CIs é um dos principais setores da economia mundial, sendo portanto uma área estratégica em qualquer país que objetiva a independência tecnológica. Um bom exemplo desta dependência é o fato do Brasil apresentar atualmente a aquisição de componentes e placas com CIs como segundo item na pauta de importações, ficando atrás apenas do petróleo. Este contexto tecnológico tende a ficar cada vez mais evidente com a acelerada expansão do mundo digital através da Internet, da comunicação sem fio, exigindo sempre uma eletrônica analógica periférica, dos eletrodomésticos digitais, da robótica, etc.

Atualmente, em um único chip de algumas dezenas de milímetros quadrados é possível colocar da ordem de centenas de milhares de transistores, além de centenas de componentes passivos, como por exemplo capacitores. O desempenho dos circuitos integrados com razoável número de funções eletrônicas ultrapassa a faixa de unidades de GHz, enquanto que o consumo de processadores que podem ser vistos como computadores completos é da ordem de mW. O aumento da capacidade de integração das tecnologias de microeletrônica tem seguido quase que fielmente a Lei de Moore pronunciada no início dos anos 70: a cada ano esta capacidade de integração é duplicada resultando em um crescimento exponencial da mesma ao longo dos anos [1], capítulo 1.

Este artigo tem por objetivo apresentar as diversas áreas de atuação e etapas existentes para a obtenção do circuito integrado ou chip final. Inicialmente é apresentada uma simplificada descrição de dispositivos integrados e processos de fabricação, mostrando a construção e funcionalidade de dispositivos básicos e alguns tópicos do estado da arte. A seguir são discutidas diversas formas de obtenção ou estilos de projeto de circuitos e sistemas integrados de aplicação específica (ASIC - *Application Specific Integrated Circuits*), ou seja, que são de propriedade e conhecimento de um único fornecedor. As etapas que envolvem a obtenção de um CI, assim como conceitos fundamentais que se referem a ferramentas computacionais de auxílio ao projeto, são abordados na seção 4. Por fim, as últimas tendências relacionadas com a área de microeletrônica são discutidas.

## 2 Dispositivos e Fabricação

A fabricação de transistores é realizada em mais de 90% dos casos sobre lâminas ou pastilhas de Silício (Si) [2]. Isso se deve à facilidade de obtenção e custo deste semiconductor. Outros materiais semicondutores também têm sido pensados para servirem de substrato para a integração de transistores e circuitos, tais como Arseneto de Gálio (AsGa), Fosfeto de Índio (InP), entre outros compostos III-V [3]. Várias propriedades físicas e químicas destacam estes compostos no que se refere à obtenção de maior mobilidade de elétrons e lacunas e, conseqüentemente, transistores e circuitos com maior velocidade de resposta. Porém, estes materiais são mais caros e ainda com inúmeros problemas tecnológicos de estabilidade de processos de fabricação.

Os últimos avanços nesta questão têm considerado o uso de Germânio (Ge), material muito semelhante ao Si, em porções do substrato de Si onde se forma o canal do transistor, a fim de obter melhores tempos de propagação dos sinais elétricos fazendo uso dos processos convencionais de tecnologia de Si [4]. Do ponto de vista de fabricação, pouquíssimas etapas de processo são modificadas. Do ponto de vista de projeto, a tecnologia SiGe é compatível com as técnicas de estrutura complementar CMOS, a ser apresentada na seqüência deste artigo.

A construção de dispositivos ativos (transistores, diodos) e passivos (resistores, capacitores, indutores, linhas de transmissão) baseia-se em etapas de processo que envolvem implantação ou difusão iônica no substrato, para a alteração de propriedades físico-químicas em regiões do mesmo (canal do transistor, áreas de contato, resistores 'enterrados', etc.), e a deposição e corrosão (personalização) de camadas condutoras e isolantes para o acesso e propagação de sinais elétricos [2]. O corte de um transistor NMOS é apresentado na Fig. 1.

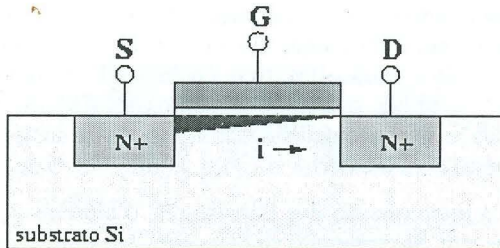


Figura 1 – Corte de um transistor MOS.

O transistor MOS é o mais utilizado na concepção de circuitos integrados (CIs) devido a diversas particularidades, como a maturidade dos processos de fabricação e a possibilidade da construção de estruturas complementares CMOS através de árvores lógicas PMOS, conectada à alimentação, e NMOS, conectada à massa [5]. Nesta estrutura, o sinal de saída da porta lógica está praticamente sendo carregado através da estrutura PMOS ou descarregado através da estrutura NMOS, garantindo assim um consumo quase inexistente

quando os sinais estão estabilizados. Veja Fig. 2. Esta complementaridade é também utilizada no projeto de circuitos analógicos, mas os efeitos de consumo quase zero não se aplicam, devido às regiões de operação dos transistores serem diferentes do caso digital [6].

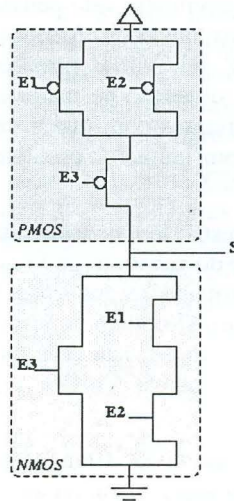


Figura 2 – Estrutura CMOS.

Outros tipos de transistores são pensados quando se pretende melhorar o tempo de resposta de circuitos. O ‘antigo’ transistor bipolar é um exemplo disso. Outros como HBT, HEMT e MESFET também encontram seu espaço em aplicações particulares que requerem principalmente velocidade em detrimento do consumo de potência obtido [3]. Isso é comumente visto em circuitos para altas frequências (RF e microondas). A tecnologia BiCMOS, por sua vez, combina o baixo consumo do CMOS, para o processamento eletrônico, com a rapidez e a capacidade de corrente dos transistores bipolares, para os circuitos de interfaceamento com o exterior do chip, muitas vezes de natureza analógica.

No que se refere à interconexão dos transistores, o alumínio é o metal mais utilizado em tecnologias baseadas em Si, enquanto que o ouro é bastante usado em tecnologia de AsGa. O cobre está começando a ser considerado para substituir o alumínio devido à sua maior condutividade elétrica e mesmo térmica para dissipação de calor.

A finalização do chip é feita através da deposição de uma camada de proteção (passivação), onde são mantidas aberturas para acesso às regiões de contato elétrico do circuito com o meio exterior.

O encapsulamento do circuito é uma tecnologia a parte que envolve a integridade da pastilha processada, a condutividade térmica para dissipação de calor, o desempenho afetado pelo atraso de propagação de sinais, o número de pontos de entrada e saída de sinais, e o formato final do encapsulamento.

### 3 Concepção de Circuitos Integrados

Para conceber um sistema eletrônico, componentes integrados pré-fabricados e disponíveis aos projetistas podem ser facilmente utilizados, desde que respeitando-se sua funcionalidade e suas especificações descritas nos *data sheets*. Uma maior flexibilidade de projeto é obtida através de componentes pré-fabricados, mas com configuração ou programação via software. Para isso, encontram-se disponíveis os microprocessadores, microcontroladores, os componentes de lógica programável (PLDs, também conhecidos por FPGAs, EPLDs, entre tantas outras denominações), e mesmo componentes analógicos programáveis (conhecidos por FPAAAs). Estes dispositivos programáveis serão discutidos um pouco mais adiante

Para dispor de maior flexibilidade de projeto do que os componentes programáveis por software permitem, é necessário então pensar na fabricação do próprio circuito integrado quando o projetista define cada transistor que será fabricado sobre a pastilha semicondutora. Dessa forma obtém-se os ASICs. São circuitos integrados desenhados respeitando-se regras de fabricação impostas pelas *foundries* e cujos limites de desempenho são os parâmetros de processo inerentes a cada tecnologia.

O desenho de um ASIC é baseado em formas geométricas que têm um significado durante o processo de fabricação, indicando a posição e as dimensões das camadas que compõem os dispositivos (transistores, capacitores,...), veja Fig. 3. Polígonos de mesma cor ou textura representam a mesma camada e/ou etapa de fabricação, e o desenho dos mesmos deve respeitar regras como dimensões mínimas de largura, distância, superposição de camadas, entre outras, impostas pelas limitações do processo em questão. O conjunto destas formas geométricas constitui o layout do ASIC, conforme ilustrado na Fig. 4.

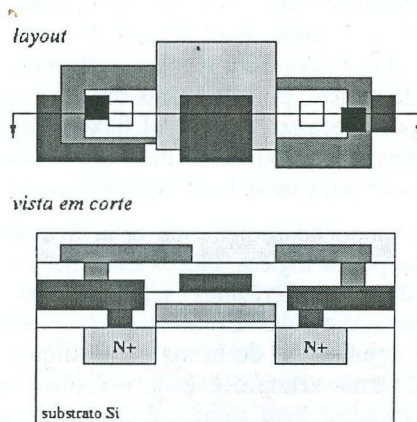


Figura 3 – Relação layout versus construção física.

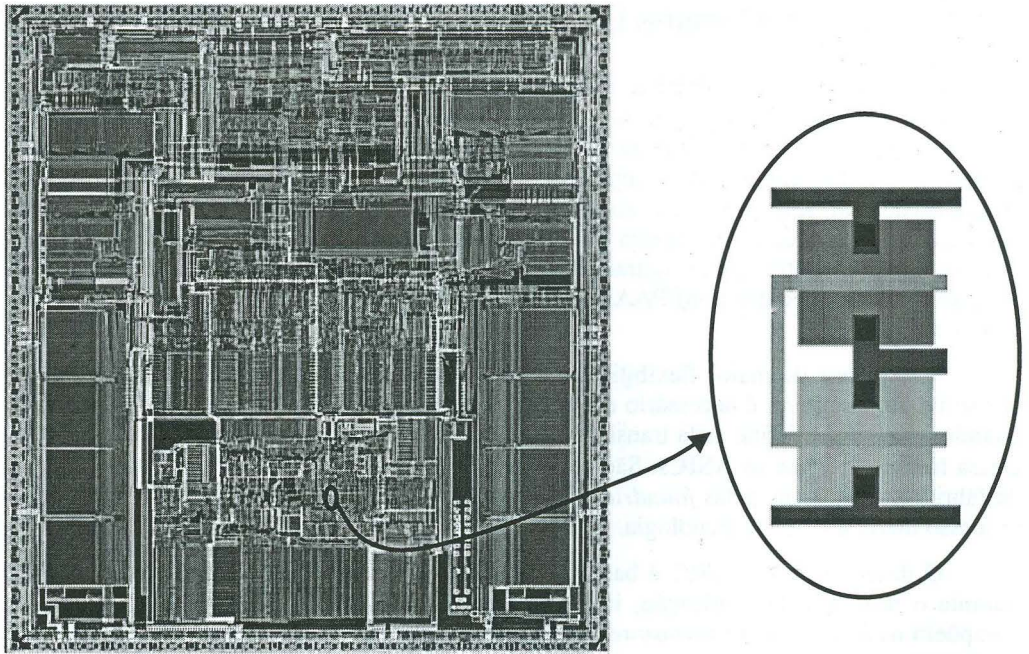


Figura 4 – *Layout* de um microprocessador com o detalhe de um inversor.

O procedimento mais lógico para gerar o *layout* de um ASIC é aquele em que o projetista desenha e define cada camada a ser construída ou personalizada sobre a pastilha, definindo consequentemente o formato e o desempenho de cada transistor ou outro dispositivo eletrônico a ser construído. Esta técnica, conhecida por *full custom*, é a que permite maior flexibilidade de projeto, pois as únicas restrições para o mesmo são as regras de desenho e os parâmetros de processo. Porém, tal flexibilidade decorre de um tempo de projeto bastante elevado pois cada transistor deve ser cuidadosamente dimensionado (segundo os parâmetros de processo) e desenhado (segundo as regras de desenho).

A fim de reduzir o tempo de projeto, ou seja, a avaliação de desempenho e a construção do *layout*, algumas portas lógicas, blocos analógicos e circuitos completos podem estar previamente desenhados, caracterizados segundo suas propriedades elétricas, e armazenados em uma biblioteca de células. Estas células (portas lógicas, blocos analógicos e circuitos) são recuperadas e combinadas de forma a constituírem o ASIC desejado. Dessa forma o tempo de projeto de cada célula é evitado e o posicionamento e conexão destas podem inclusive ser automatizados. Esta técnica é conhecida como *standard cells*. Uma topologia clássica de ASICs gerados com esta técnica apresenta linhas de células intercaladas por canais de roteamento para interconexão das mesmas, conforme ilustrado na Fig. 5.

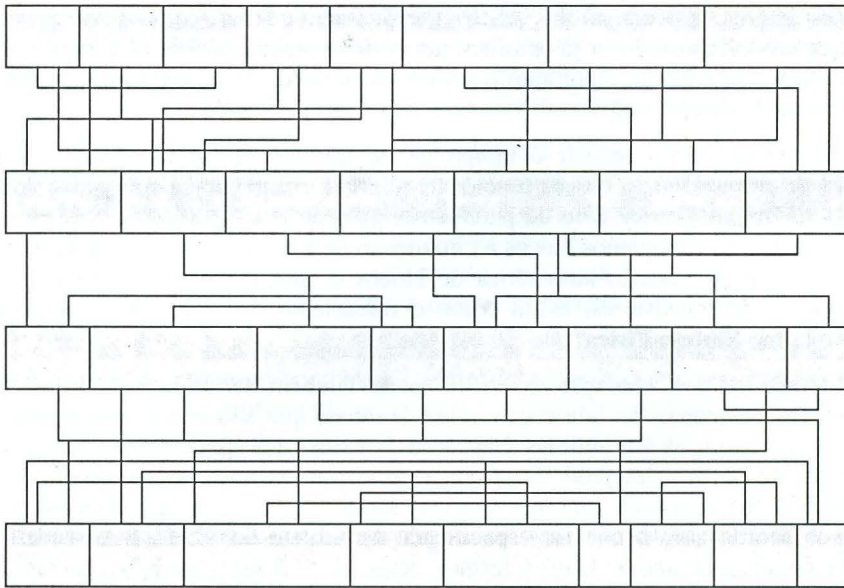


Figura 5 – Topologia *standard cell* com linhas de células e canais de roteamento.

Atualmente, além de portas lógicas e pequenos blocos analógicos guardados em bibliotecas de células, a mesma técnica de pré-projeto tem sido estendida a grandes circuitos e mesmo a sistemas completos (processadores, memórias, conversores de dados, amplificadores, etc.), chamados por sua vez de núcleos pré-projetados (do inglês, *cores*). Os *cores* também são reutilizados na confecção de ASICs que, neste caso, devido à sua maior complexidade, são chamados de **SoC** (*System-on-Chip*).

Um SoC pode ser projetado a partir de núcleos das mais diversas procedências e incluir, ainda, pequenos blocos concebidos pelo próprio projetista do sistema. Um sistema computacional, por exemplo, pode ser construído utilizando-se o *layout* previamente validado de um processador (chamado *hardcore*), de algumas memórias e conversores de dados (analógico-digital e digital-analógico), a descrição do comportamento de uma interface serial utilizando a linguagem de entrada de uma ferramenta computacional capaz de gerar o seu *layout* (chamado *softcore*), a *netlist* dos transistores que compõem um conjunto de portas paralelas de entradas e saída (chamado *firmcore*) e seus respectivos amplificadores de sinal - esta também sintetizável por intermédio de alguma outra ferramenta de auxílio ao projeto, e um bloco lógico de decodificação de endereços especificamente projetado para o sistema em apreço. Como se pode observar, os núcleos de hardware podem ser comercializados em versões bastante distintas do ponto de vista de abstração do projeto (somente comportamento, descrição elétrica ou *layout*), o importante é que eles tenham sido validados para um determinado conjunto de ferramentas de geração de *layout* e um determinado processo de fabricação.

A característica principal dos ASICs gerados com células, como SoCs gerados com *cores*, é que tais células e *cores* já possuem um comportamento elétrico e formato de *layout* pré-definidos e inalteráveis, e portanto o projeto de tais ASICs e SoCs está comprometido com esta perda de flexibilidade.

Outra técnica para reduzir o tempo de geração do *layout* do ASIC é a geração automática de portas lógicas, blocos funcionais (digitais e analógicos) e circuitos completos, a partir da descrição elétrica e/ou de parâmetros geométricos. Quando se fala em desenho automático de portas e pequenos blocos e circuitos, o termo mais usado é o de **Geradores de Layout**. No caso da geração automática de blocos e circuitos que envolva construção e posicionamento de transistores, assim como o roteamento dos mesmos automaticamente, utiliza-se o termo **Síntese Física**.

O tempo para a obtenção do ASIC pode também ser reduzido através do pré-processamento de etapas de fabricação sobre lâminas, que são armazenadas desta forma aguardando a realização das últimas etapas de processo que as personalizarão segundo a especificação do circuito desejado. Isso é conseguido, por exemplo, através da pré-fabricação de uma matriz de transistores que, por sua vez, serão conectados posteriormente por linhas de metal de acordo com o que for especificado no projeto do ASIC. Esta técnica é mais conhecida como *gate array*. Outros termos como *gate forest*, *sea-of-gates* também são encontrados, simplesmente para diferenciar topologias de distribuição dos transistores com ou sem canal de roteamento, por exemplo. Apesar de originalmente concebidos para o projeto de circuitos digitais, os *gate arrays* têm sido igualmente utilizados para o projeto de circuitos analógicos, valendo-se da possibilidade de implementar múltiplas associações série-paralelo de transistores para a obtenção das diferentes dimensões necessárias ao projeto de pares diferenciais, circuitos de polarização, estágios de amplificação, etc.

Além dos transistores, pode-se chegar até ao pré-processamento da primeira (ou mesmo outras) camada de metal. Dessa forma as lâminas podem estar prontas até a deposição do segundo (e talvez último) nível de metal, restando apenas personalizar este através de uma etapa de corrosão (*etching*), para formar as conexões próprias do ASIC, e a deposição da camada de proteção (passivação). O fato de definir previamente a primeira camada de metal permite também pré-definir portas lógicas, e nesse caso as demais camadas de interconexão farão a ligação entre as portas, sabendo que qualquer circuito digital pode ser gerado por um conjunto mínimo de portas lógicas *nand*, *nor*, inversores, entre outras; este é o *sea-of-cells*.

A estratégia de uso de biblioteca de células pré-projetadas pode ser aplicada nos *gate arrays*. O tempo para obtenção do ASIC certamente é bastante curto considerando o uso de células pré-projetadas durante a confecção do *layout* e o fato da lâmina apresentar as etapas de processo mais demoradas já finalizadas, restando apenas as etapas finais de metalização dos chips. Consequentemente, a perda de flexibilidade de projeto é mais acentuada.

Os componentes de lógica programável ou PLDs, por sua vez, são componentes totalmente pré-fabricados e cujas portas e blocos lógicos estão disponíveis para serem conectados através de 'chaves lógicas' construídas com fusíveis, anti-fusíveis, bits EPROM, bits EEPROM, bits SRAM, ou outro. Dependendo da tecnologia de programação das chaves



lógicas, o componente apresenta características de reprogramabilidade e volatilidade. Portanto, o projetista não tem acesso a definições no *layout* ou na construção do CI, este já está pronto, encapsulado e apresenta um número conhecido e limitado de portas lógicas a serem conectadas (capacidade lógica do PLD) com características elétricas já determinadas.

De maneira similar, os dispositivos analógicos programáveis ou FPAA's (*Field Programmable Analog Arrays*), são também componentes totalmente pré-fabricados e cujas células de base, compostas por amplificadores operacionais, capacitores, etc, estão disponíveis para serem conectadas através de chaves semelhantes às dos PLDs [7]. Portanto, como nos PLDs, o *layout* do CI já está pronto, encapsulado e apresenta um número conhecido e limitado de células analógicas a serem conectadas com características elétricas já determinadas.

Novamente, o compromisso entre flexibilidade de projeto e tempo para obtenção do ASIC se repete: o ASIC é configurado em questão de segundos no PLD ou FPAA, porém o projetista está limitado ao uso das células já presentes no componente.

## 4 Etapas de Projeto

O projeto de circuitos integrados de aplicação específica (ASIC) pode ser realizado através de metodologias *bottom-up* ou *top-down*. A metodologia *bottom-up* trata inicialmente do projeto de pequenas partes, como dimensionamento e desenho de transistores nas portas lógicas ou células analógicas e a junção das mesmas passam a formar os blocos funcionais, e estes, por sua vez, formarão os circuitos. Esta metodologia é comumente usada em projeto de CIs *full custom*. A metodologia *top-down* trata inicialmente da descrição e especificação do circuito final e a elaboração do *layout* do ASIC geralmente é feita automaticamente [8].

No caso da metodologia *bottom-up*, a descrição do circuito é realizada normalmente através da captura esquemática em nível de transistores. Desta forma, esta descrição pode ser avaliada e validada eletricamente fazendo-se uso de simuladores elétricos como SPICE. Uma vez definido o dimensionamento exato de cada transistor, a construção do *layout full custom* pode ser realizada. É importante, ao final da construção do *layout*, a verificação das regras de desenho impostas pelo processo alvo; esta etapa é conhecida como **DRC – Design Rules Checking**. É interessante também realizar uma extração do *layout* final, a fim de resimular o circuito original tomando-se em conta elementos parasitas (resistências e capacitâncias) associados principalmente com o roteamento dos sinais. A extração é também conhecida como *back-annotation*. Outra ferramenta útil na verificação do *layout* final é a comparação do circuito extraído a partir deste *layout* com a descrição inicial do circuito, conhecida como **LVS – Layout Versus Schematic**.

A metodologia *bottom-up* também pode ser seguida fazendo-se uso de bibliotecas de células nos estilos *standard cells* e *gate arrays*. Neste caso, a descrição esquemática do ASIC é realizada em nível de células, cujo desempenho elétrico já é conhecido. Considerando-se circuitos digitais, ao invés de simulação elétrica, a verificação da funcionalidade do circuito descrito fica simplificada realizando-se uma simulação lógica com características de *timing*

(tempos de propagação e transição de sinais). Em geral, o *layout* é gerado automaticamente baseado na descrição esquemática, tanto no posicionamento dos *layouts* das células provenientes da biblioteca, quanto no roteamento das interconexões. O DRC e o LVS podem ser descartados, uma vez que a geração automática do *layout* deva ser correta por construção. A extração continua sendo uma etapa interessante para a avaliação do efeito do roteamento dos sinais no desempenho final do circuito. A medida em que os processos evoluem para dimensões menores de transistores, os elementos parasitas associados ao roteamento tornam-se, cada vez mais importantes.

Quando se considera a metodologia *top-down*, a descrição do ASIC é preferencialmente realizada com o uso de linguagens de descrição de hardware (**HDL – Hardware Description Language**), embora a descrição esquemática também possa ser usada. Nesse caso, o reaproveitamento de descrições HDL (VHDL ou Verilog, para circuitos digitais; AHDL ou Verilog-A, para circuitos analógicos) de *cores* de blocos funcionais é bastante considerado para agilizar a criação da descrição do sistema ou ASIC final.

No caso de circuitos digitais, a descrição do circuito passa então por uma etapa de otimização e mapeamento lógico para células disponíveis nas bibliotecas. Esta Síntese Lógica permite optar pela melhor construção do circuito dentre tantas que a descrição funcional permitiria. Uma vez obtido o mapeamento em nível de portas lógicas do ASIC descrito em HDL, o circuito passa então para as etapas de posicionamento e roteamento automático do *layout* final, seguindo então algumas etapas já citadas acima.

O advento de novas tecnologias onde aparecem efeitos sub-micronicos faz com que os métodos de projeto não possam mais considerar a etapa de síntese lógica como independente da de síntese física para circuitos acima de 50.000 portas [9]. Isto acontece porque o desacoplamento das etapas de síntese física e de síntese lógica é baseado no fato de que o atraso do circuito seria avaliado a partir dos atrasos individuais das células. Deste modo a contribuição dos fios que interconectam as células para o atraso é avaliada a partir da capacitância dos fios e das características elétricas das células da biblioteca. Esta aproximação era válida para tecnologias com dimensões acima de um micron. Porém esta aproximação perde a validade devido aos efeitos parasitas introduzidos por tecnologias sub-micronicas, que estão interferindo de maneira a provocar uma mudança de paradigma para métodos de síntese de circuitos digitais. Esta mudança advém do fato de que a maior parcela do atraso de um circuito submicronico se deve ao atraso nas interconexões entre as células, e não mais ao atraso interno às células. Deste modo, existem problemas de convergência de projeto, pois os atrasos calculados na etapa de síntese lógica são imprevisíveis Segundo [9], a abordagem tradicional de visão de síntese lógica desacoplada e independente da síntese física deve ser suficiente para tratar módulos de até 50.000 portas. Além deste limite os projetistas devem focar em um novo conceito: projeto global de interconexões. Com este novo paradigma começam a surgir métodos que integram as etapas de síntese lógica e síntese física [10].

No caso de circuitos analógicos (filtros e conversores, por exemplo), a descrição é tratada por ferramentas de síntese específicas que experimentam diversas topologias previamente definidas, optando pelo arranjo de transistores, e respectivas dimensões, que melhor atende à especificação da função que se quer implementar. O posicionamento e o

roteamento dos transistores no *layout* devem, em geral, seguir regras bastante rígidas (embutidas na própria ferramenta), de forma a evitar efeitos parasitas e contornar dispersões típicas do processo de fabricação em uso.

Na medida em que o projeto do CI aproxima-se de seu final, deve-se pensar obrigatoriamente na verificação do seu comportamento logo após a sua fabricação. Mesmo que o projeto tenha sido realizado corretamente, defeitos de fabricação podem impor um comportamento indesejado ao circuito. A preparação do teste do circuito pode seguir diferentes metodologias [11, 12].

No teste exaustivo, aplica-se todas as combinações possíveis nas entradas e contrapõe-se cada resposta obtida à resposta esperada. A taxa de detecção de falhas é a maior possível. No entanto, o tempo de aplicação do teste pode se tornar insustentável para circuitos digitais com muitas entradas e para circuitos analógicos em geral. O teste exaustivo de circuitos analógicos implicaria em uma varredura completa de amplitudes, frequências e fases do sinal de entrada.

Uma possibilidade para reduzir substancialmente o número de estímulos de entrada a aplicar a um circuito é gerar-se digitalmente uma sequência de números aleatórios cuja extensão deve ser determinada de forma a manter-se uma boa cobertura das falhas que podem ocorrer no circuito. A extensão desta sequência pode ser definida a partir de um processo de simulação de falhas que consiste em simular, lógica ou eletricamente, para cada novo estímulo da sequência, a sua capacidade de detecção de falhas e, de maneira cumulativa, avaliar o ganho que se terá em termos de cobertura pela inclusão de mais um estímulo na sequência. Uma vez atingida uma boa taxa de detecção de falhas, encerra-se a geração de números aleatórios. No caso de circuitos analógicos, o gerador de números aleatórios precisaria estar associado a um conversor digital-analógico, de forma a aplicar o sinal adequado na entrada do circuito.

Uma terceira alternativa seria calcular, de maneira determinística, que conjunto de estímulos leva à cobertura desejada de falhas. Existem ferramentas comerciais, conhecidas como *ATPGs* – *Automatic Test Pattern Generators*, capazes de, utilizando métodos booleanos (caso digital) ou análise de sensibilidade (caso analógico), gerar estímulos de entrada que sensibilizam as falhas no interior do circuito e cujo comportamento errôneo se propaga a pelo menos uma de suas saídas. O teste determinístico, apesar de exigir um tempo mais elevado de preparação, é aquele que apresenta o menor tempo de aplicação.

A Fig. 6 mostra um ambiente típico de geração de teste, onde se observa um módulo de determinação de estímulo de teste (geração aleatória ou determinística) e um módulo de simulação (lógica ou elétrica) para determinação da taxa de detecção de falhas.

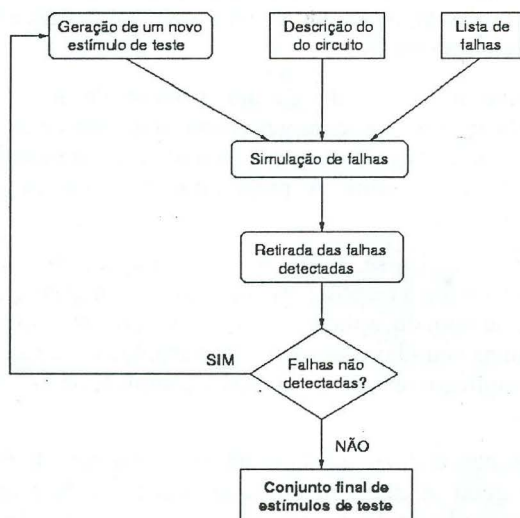


Figura 6 - Procedimento genérico de geração de teste

Mesmo contando com ferramentas computacionais de auxílio ao teste, falhas difíceis de detectar podem impedir que um bom compromisso entre a taxa de detecção de falhas e o tempo de aplicação do teste seja alcançado. Nestes casos, o re-projeto de partes do circuito pode representar uma possível solução para melhorar a acessibilidade a componentes internos ao circuito (*design for testability*). Um exemplo típico desta técnica consiste em transformar os registradores internos de um circuito digital em registradores de deslocamento e em agrupá-los em uma ou várias cadeias de varredura acessíveis através da interface por pinos de *scan-in* e *scan-out*. Esta técnica, conhecida como *scan path*, permite o acesso a pontos internos do circuito tanto para a aplicação de estímulos externos, quanto para a observação do comportamento no interior do circuito. A mesma técnica se estende a circuitos analógicos na medida em que, durante o teste, seus estágios internos possam ser configurados como seguidores de tensão e, assim, prover o acesso a pontos internos do circuito.

Considerando o alto custo de testadores de aplicação geral e a complexidade crescente de circuitos e sistemas, uma prática que tem se mostrado eficiente do ponto de vista de custos e de capacidade de detecção de falhas consiste na integração no próprio sistema de hardware e software para realização de auto-teste (*built-in self-test* ou BIST). De fato, transfere-se funcionalidades do testador para dentro do próprio CI. Basicamente, deve-se conceber uma lógica adicional capaz de gerar estímulos de teste e de avaliar a resposta do circuito, ou partes deste, aos estímulos aplicados. Um bom exemplo de gerador de testes são os geradores de números aleatórios. Do ponto de vista da avaliação interna do teste, na tentativa de evitar o armazenamento de todas as respostas do circuitos, que podem ser muitas, utilizam-se métodos de compactação de dados. Um exemplo típico é a integração das respostas de teste,

mais conhecida como *checksum* no mundo digital, mas também aplicada ao mundo analógico.

Por fim, para validar o circuito final projetado, alguns protótipos devem ser fabricados e rigorosamente testados e caracterizados antes do ASIC entrar em processo de produção em larga escala.

## 5 Novas Tecnologias

Com a constante evolução dos processos de fabricação as dimensões dos dispositivos integrados sobre a pastilha semicondutora tornam-se cada vez menores [13]. O canal do transistor MOS já pode ser construído abaixo de 0.1 micron (100nm), e por isso fala-se hoje em tecnologias sub-micrônicas. Tais tecnologias apresentam alguns novos fenômenos não antes considerados. A nanotecnologia é uma área decorrente da evolução natural da microeletrônica, mas que apresenta desafios inéditos que devem ser estudados.

Os circuitos integrados também têm evoluído no sentido de permitirem a integração de sistemas completos, incluindo micro-sensores e micro-atuadores, como micro-espelhos e micro-motores [14]. Os microsistemas integrados prometem ser a grande revolução das próximas décadas pois os CIs deixarão de ser simplesmente eletrônicos e passarão a dispor de funções de sensoriamento e atuação que permitirão a integração completa de um sistemas em uma única pastilha.

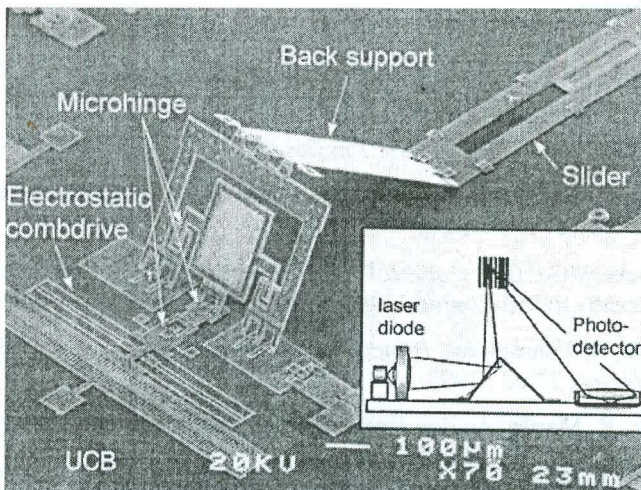


Figura 7: Micro-espelhos fabricados sobre substrato de Si [16].

A optoeletrônica é uma área estudada a vários anos, mas que também promete avanços significativos breves, principalmente pelo grande interesse atual sobre os sistemas de telecomunicações e a banda de operação da ordem de GHz [15]. O grande desafio da

optoeletrônica é a integração monolítica com circuitos eletrônicos, hoje na sua maioria baseados no semicondutor silício que não apresenta características ópticas para emissão e recepção de sinais luminosos.

## 6 Conclusão

A concepção de circuitos e sistemas integrados envolve aspectos que vão da tecnologia de fabricação ao projeto e teste do produto final. A tecnologia de fabricação envolve o domínio dos processos físico-químicos envolvidos na produção de dispositivos. O projeto envolve a modelagem dos dispositivos fabricados e dos processos de fabricação. O domínio desta modelagem é necessário para fornecer ao fabricante uma descrição de projeto que possa ser utilizada no controle das etapas de processo de modo a guiar o processo de fabricação para a produção de um circuito ou sistema integrado com as características determinadas pelo projeto. O projeto então envolve dois pontos-chaves: uma boa modelagem do sistema ou circuito a ser produzido e métodos para se obter o melhor desempenho possível para o circuito ou sistema sem ferir o modelo estabelecido pelo processo de fabricação. Finalmente, a etapa de teste deve garantir que o processo produtivo foi executado sem falhas. Este tutorial apresentou uma visão geral destes aspectos na concepção de circuitos e sistemas integrados.

## 7 Referências

- [1] G. deMicheli, *Synthesis and Optimization of Digital Circuits*, McGraw-Hill Electrical and Computer Engineering Series, 1994.
- [2] S. M. Sze, *Semiconductor Devices: Physics and Technology*, John Wiley & Sons, 2001.
- [3] William Liu, *Fundamentals of III-V Devices: HBTs, MESFETs, and HFETs/HEMTs*. Wiley-Interscience, 1999. 505p.
- [4] Jiann S. Yuan. *SiGe, GaAs, and InP Heterojunction Bipolar Transistors* (Wiley Series in Microwave and Optical Engineering). Wiley-Interscience, 1999. 464p.
- [5] N. Weste & K. Eshraghian, *Principles of CMOS VLSI Design: a Systems Perspective*, Addison-Wesley, 2<sup>nd</sup> ed., 1993.
- [6] D. A. Johns, K. Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, Inc., 1997.
- [7] H. Kutuk, S.M. Kang, "A Switched Capacitor Approach to Field-Programmable Analog Array (FPPA) Design", *Journal of Analog Integrated Circuits and Signal Processing*, 17, 67-89, 1998, Kluwer Academic Publishers.
- [8] S. Gerez, *Algorithms for VLSI Design Automation*, John Wiley & Sons, 1999.
- [9] D. Sylvester, K. Keutzer, "Rethinking Deep-Submicron Circuit Design", *IEEE Computer Magazine*, Vol. 32, No. 11, pp.25-33, November 1999.

- [10] J.Lou, W.Chen, M.Pedram, Concurrent Logic Restructuring and Placement for Timing Closure. *Proceedings of ICCAD 1999*.
- [11] M. Abramovici, M. Breuer, A. Friedman, Digital Systems Testing and Testable Design, *IEEE Press*, 1990.
- [12] B. Vinnakota, Analog and Mixed-Signal Test, Prentice Hall, 1999.
- [13] D. K. Ferry, J. R. Barker, C. Jacoboni. *Granular Nanoelectronics*. NATO Asi Series B, Physics, Vol 251. Plenum Pub Corp, 1991.
- [14] Mohamed Gad-El-Hak. *The MEMS Handbook*. CRC Press, editor, 2001. 1368p.
- [15] John Wilson, John Hawkes. *Optoelectronics: An Introduction*. Prentice Hall, 3a. edição, 1998. 480p.
- [16] Kiang, M.-H.; Solgaard, O.; Lau, K. Y. & Muller, R. S. Electrostatic combdrive-actuated micromirrors for laser-beam scanning and positioning. *Journal of Microelectromechanical Systems*, vol. 7, no. 1, Mar. 1998, pp. 27-37.