

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

ERIC LACERDA DA SILVA

**ESTUDO E IMPLEMENTAÇÃO DE UM
MICROINVERSOR MONOFÁSICO DE
BAIXO CUSTO PARA INSTALAÇÕES
FOTOVOLTAICAS *GRID TIE***

Porto Alegre
2022

ERIC LACERDA DA SILVA

**ESTUDO E IMPLEMENTAÇÃO DE UM
MICROINVERSOR MONOFÁSICO DE
BAIXO CUSTO PARA INSTALAÇÕES
FOTOVOLTAICAS *GRID TIE***

Projeto de diplomação apresentado ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul como parte dos requisitos para a Graduação em Engenharia Elétrica.

ORIENTADOR: Prof. Dr. Fausto Bastos Líbano

CO-ORIENTADOR: Prof. Msc. Alexandre Hugo Da Silveira

Porto Alegre
2022

ERIC LACERDA DA SILVA

**ESTUDO E IMPLEMENTAÇÃO DE UM
MICROINVERSOR MONOFÁSICO DE
BAIXO CUSTO PARA INSTALAÇÕES
FOTOVOLTAICAS *GRID TIE***

Este projeto foi julgado adequado para a obtenção do título de Engenheiro Eletricista e aprovado em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: _____
Prof. Dr. Fausto Bastos Líbano, UFRGS
Doutor pela Universidade Politécnica de Madri - Madri, Espanha

Banca Examinadora:

Prof. Dr. Maicon Jaderson Silveira Ramos, UFRGS
Doutor pela UFSM - Santa Maria, Brasil

Profa. Dra. Thieli Smidt Gabbi, UFRGS
Doutora pela UFSM - Santa Maria, Brasil

Porto Alegre, Junho de 2022.

DEDICATÓRIA

Dedico este trabalho aos meus pais e amigos, em especial pela dedicação e apoio em todos os momentos difíceis.

AGRADECIMENTOS

Agradeço primeiramente aos meus pais Solange Da Silveira De Lacerda e Paulo Sergio Ferreira Da Silva que sempre me incentivaram a estudar e fizeram o possível para me proporcionar educação, além de dedicarem suas vidas a minha criação e de minha irmã. Durante a jornada da graduação em Engenharia Elétrica encontrei pessoas com muitas semelhanças e diferenças que se tornaram muito importantes na minha formação, agradeço as amizades que pude fazer neste período. Também agradeço aos amigos de infância que estão comigo até hoje e sempre dispostos a ajudar em momentos difíceis e confraternizar as alegrias. Por fim agradeço ao meu orientador professor Dr. Fausto Bastos Líbano e meu co-orientador professor Msc. Alexandre Hugo Da Silveira pela orientação neste presente trabalho, que mesmo em meio a dificuldades devido ao período pandêmico estiveram sempre dispostos a ajudar e fizeram esforços para viabilizar acesso a laboratórios da universidade para realização de testes.

RESUMO

Este trabalho tem como objetivo apresentar o projeto e implementação do protótipo de microinversor fotovoltaico monofásico de baixo custo com capacidade de 500 W que possa ser aplicado a um painel solar. O projeto está dividido em etapas de simulação e implementação prática de parte do sistema. Inicialmente são abordadas técnicas de sincronização utilizadas em inversores *grid tie* e então são realizadas simulações com três diferentes tipos de PLL (*Phase Locked Loop*) no *software* Matlab® para verificação da opção que oferece melhor relação desempenho x viabilidade de implementação utilizando microcontrolador de baixo custo. O circuito completo do inversor é simulado no *software* PSIM®, onde verificam-se sua operação e capacidade de entregar potência ativa e reativa à rede elétrica. No protótipo em *hardware*, de acordo com o sinal de referência oriundo do controle de corrente, o microcontrolador ATMEGA328p (Arduino) é utilizado para gerar os pulsos PWM (*Pulse Width Modulation*), que atuam no chaveamento para os MOSFET's. Ao final são apresentados resultados das simulações, justificativa da escolha em utilizar o dq-PLL e testes do protótipo funcionando de forma isolada (não conectado à rede) com carga resistiva conectada aos seus terminais de saída.

Palavras-chave: Microinversor *grid-tie*, monofásico, sincronização, PLL, PWM, controle de corrente.

ABSTRACT

This work aims to present the design and implementation of a low cost single-phase photovoltaic microinverter prototype with a capacity of 500W that can be applied to a solar panel. The project is divided into stages of simulation and practical implementation of part of the system. Initially, synchronization techniques used in grid tie inverters are discussed and then simulations are performed with three different types of PLL in software Matlab® to verify the option that offers the best performance x implementation difficult ratio when using a low cost microcontroller. The complete inverter circuit is simulated in the software PSIM®, where its operation and capacity to deliver active and reactive power to the electrical grid are verified. In the hardware prototype, according to the reference signal coming from the current control, the ATMEGA328p microcontroller (Arduino) is used to generate the PWM pulses, which act in the switching for the MOSFET's. At the end, simulation results are presented, justification of the choice to use the dq-PLL and tests of the prototype working in stand-alone mode (not connected to the gird) with resistive load connected to its output terminals.

Keywords: Grid tie microinverter, single phase, PLL, PWM, current control.

LISTA DE ILUSTRAÇÕES

Figura 1 –	Crescimento global energia fotovoltaica.	20
Figura 2 –	A célula fotovoltaica.	27
Figura 3 –	Curva característica de um módulo fotovoltaico.	28
Figura 4 –	Visão geral sistema <i>grid tie</i>	30
Figura 5 –	Sinal de tensão com distorção harmônica	32
Figura 6 –	Diagrama de blocos do microinversor.	40
Figura 7 –	Fluxograma: protótipo microinversor de frequência <i>grid tie</i>	41
Figura 8 –	Conversor <i>boost</i>	44
Figura 9 –	Ponte H.	46
Figura 10 –	Capacitor de <i>bootstrap</i> carregando.	48
Figura 11 –	Capacitor de <i>bootstrap</i> descarregando.	48
Figura 12 –	Configuração acionamento em meia ponte.	50
Figura 13 –	Filtros L, LC e LCL.	51
Figura 14 –	Transformada de Clarke Sistema Trifásico.	59
Figura 15 –	Transformada de Park Sistema Trifásico.	60
Figura 16 –	Amostragem tensão rede elétrica.	61
Figura 17 –	Geração SPWM analogicamente.	62
Figura 18 –	Princípio de funcionamento SPWM.	62
Figura 19 –	Principais blocos PLL.	63
Figura 20 –	Diagrama de blocos $\alpha\beta$ -PLL.	64
Figura 21 –	Diagrama de blocos dq -PLL.	65
Figura 22 –	Diagrama de blocos filtro SOGI.	66
Figura 23 –	Diagrama de blocos SOGI-PLL.	66
Figura 24 –	$\alpha\beta$ -PLL implementado para simulações.	67
Figura 25 –	dq -PLL implementado para simulações.	68
Figura 26 –	SOGI-PLL implementado para simulações.	68
Figura 27 –	Obtenção componentes dq	70
Figura 28 –	Controle de corrente dq	70
Figura 29 –	Amostragem corrente rede elétrica.	70
Figura 30 –	Estrutura do código implementado.	71
Figura 31 –	Descrição <i>bits</i> WGM de acordo com modo de operação TIMER1.	72
Figura 32 –	Modos <i>bits</i> TCCR1A.	73
Figura 33 –	Modos <i>bits</i> TCCR1B.	73
Figura 34 –	<i>Compare output mode</i> não PWM.	74
Figura 35 –	Modos de operação <i>bits</i> CS.	74
Figura 36 –	Funcionamento PWM rápido.	74
Figura 37 –	<i>Compare output mode</i> PWM rápido.	75

Figura 38 – Funcionamento PWM com correção de fase e frequência.	75
Figura 39 – <i>Compare output mode</i> PWM com correção de fase e frequência.	75
Figura 40 – Funcionamento <i>fast</i> PWM com variação no valor de estouro do <i>timer</i>	76
Figura 41 – Integração pela regra do trapézio.	78
Figura 42 – Resultados $\alpha\beta$ -PLL para o Caso 1.	83
Figura 43 – Resultados dq -PLL para o Caso 1.	83
Figura 44 – Resultados SOGI-PLL para o Caso 1.	83
Figura 45 – Resultados $\alpha\beta$ -PLL para o Caso 2.	84
Figura 46 – Resultados dq -PLL para o Caso 2.	84
Figura 47 – Resultados SOGI-PLL para o Caso 2.	84
Figura 48 – Resultados $\alpha\beta$ -PLL para o Caso 3.	85
Figura 49 – Resultados dq -PLL para o Caso 3.	85
Figura 50 – Resultados SOGI-PLL para o Caso 3.	85
Figura 51 – Resultados $\alpha\beta$ -PLL para o Caso 4.	86
Figura 52 – Resultados dq -PLL para o Caso 4.	86
Figura 53 – Resultados SOGI-PLL para o Caso 4.	86
Figura 54 – Resultados $\alpha\beta$ -PLL para o Caso 5.	87
Figura 55 – Resultados dq -PLL para o Caso 5.	87
Figura 56 – Resultados SOGI-PLL para o Caso 5.	87
Figura 57 – Resposta em frequência do filtro RC de primeira ordem.	89
Figura 58 – Resposta em frequência do filtro RC de segunda ordem.	90
Figura 59 – Filtro RC de segunda ordem implementado.	91
Figura 60 – Componentes $\alpha\beta$ obtidas via filtro RC.	91
Figura 61 – Resposta em frequência filtro LCL projetado.	92
Figura 62 – Resposta em frequência filtro LCL proposto com base em análise dinâmica.	93
Figura 63 – Circuito de potência.	93
Figura 64 – Controle: Sincronização via dq -PLL.	94
Figura 65 – Controle de corrente dq	94
Figura 66 – Controle: Geração pulsos PWM.	95
Figura 67 – Tensão de referência para o PWM oriunda da malha de controle de corrente.	95
Figura 68 – Corrente de saída do inversor em relação a tensão da rede para diferentes situações.	96
Figura 69 – Correntes e tensões direta e em quadratura.	97
Figura 70 – Esquemático PCI microinversor.	98
Figura 71 – <i>Layout</i> PCI microinversor.	98
Figura 72 – Vista isométrica modelo 3D.	99
Figura 73 – Vista superior modelo 3D.	100
Figura 74 – <i>Layout</i> para impressão.	101
Figura 75 – PCI após etapas de corrosão/furação.	102
Figura 76 – PCI concluída.	102
Figura 77 – Dimensões núcleos L_1 e L_2	103
Figura 78 – Fator de indutância núcleos L_1 e L_2	103
Figura 79 – Saída amplificador AMC1200.	104
Figura 80 – Esquemático simplificado AMC1200.	104
Figura 81 – Componentes $\alpha\beta$ de tensão sem tratamento.	105
Figura 82 – Componentes $\alpha\beta$ de tensão tratadas.	105

Figura 83 – Circuito optoacopladores.	106
Figura 84 – Saída PWM pinos 9-10 e optoacopladores.	106
Figura 85 – PWM <i>gate</i> MOSFET's superior/inferior meia ponte.	107
Figura 86 – Configuração experimental.	107
Figura 87 – Bancada de testes.	108
Figura 88 – Saída ponte H/saída após filtro.	108

LISTA DE TABELAS

Tabela 1 –	Especificações técnicas típicas de módulo fotovoltaico para conexão à rede.	29
Tabela 2 –	Limites THDv e TIDv em percentagem da componente fundamental.	34
Tabela 3 –	Limites THDi de acordo com nível de curto circuito da carga.	34
Tabela 4 –	Distorção harmônica máxima da corrente em função de I^a	35
Tabela 5 –	Distorção harmônica máxima da tensão em função da tensão nominal.	35
Tabela 6 –	Níveis máximos para distorções harmônicas individuais de tensão.	36
Tabela 7 –	Níveis máximos para distorções harmônicas totais de tensão.	36
Tabela 8 –	Classificação tensão de atendimento.	37
Tabela 9 –	Especificações técnicas do módulo fotovoltaico.	39
Tabela 10 –	Especificações técnicas do microinversor.	39
Tabela 11 –	Principais especificações IRF740.	45
Tabela 12 –	Principais especificações elétricas do IR2111.	47
Tabela 13 –	Dimensionamento capacitor de <i>bootstrap</i>	49
Tabela 14 –	Especificações de projeto filtro LCL.	55
Tabela 15 –	Filtro projetado por diferentes métodos.	56
Tabela 16 –	Parâmetros do controlador PI para diferentes PLL.	67
Tabela 17 –	Parâmetros de código para o SPWM.	77
Tabela 18 –	Caso 1: Sinal de entrada puramente senoidal.	79
Tabela 19 –	Caso 2: Sinal de entrada com variação de amplitude.	80
Tabela 20 –	Caso 3: Sinal de entrada com variação de fase.	81
Tabela 21 –	Caso 4: Sinal de entrada com variação de frequência.	81
Tabela 22 –	Caso 5: Sinal de entrada com distorção harmônica.	82
Tabela 23 –	Comparação entre os PLL's.	88
Tabela 24 –	Custo do protótipo.	110

LISTA DE ABREVIATURAS

AM	Massa de ar
ANEEL	Agência Nacional de Energia Elétrica
CA	Corrente Alternada
CC	Corrente Contínua
COM	<i>Common</i>
DDSRF	<i>Double Decoupled Synchronous Reference Frame</i>
DHT	Distorção Harmônica Total
DIT	Distorção Individual Total
DGS	<i>Distributed Generation System</i>
DSOGI	<i>Double Second Order Generalized Integrator</i>
DSP	<i>Digital Signal Processor</i>
EPLL	<i>Enhanced PLL</i>
FACT	<i>Flexible Alternating Current Transmission</i>
FIFO	<i>First In First Out</i>
FRF	<i>Fixed Reference Frame</i>
GD	Geração Distribuída
IBGE	Instituto Brasileiro de Geografia e Estatística
IEEE	Instituto de Engenheiros Eletrônicos e Eletricistas
IGBT	<i>Insulated Gate Bipolar Transistor</i>
INMETRO	Instituto Nacional de Metrologia, Qualidade e Tecnologia
IP	Invólucro de Proteção
LPF	<i>Low-Pass Filter</i>
MPP	<i>Maximum Power Point</i>
MPPT	<i>Maximum Power Point Tracking</i>
MCU	<i>Microcontroller Unit</i>
MOSTET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>

PCC	Ponto Comum de Conexão
PCI	Placa de Circuito Impresso
PD	<i>Phase Detection</i>
PED	<i>Phase Error Detection</i>
PLL	<i>Phase-Locked Loop</i>
pPLL	<i>Power PLL</i>
PRODIST	Procedimentos de Distribuição de Energia Elétrica no Sistema Nacional
PWM	<i>Pulse Width Modulation</i>
QSG	<i>Quadrature Signal Generation</i>
SOGI	<i>Second Order Generalized Integrator</i>
SRF	<i>Synchronous Reference Frame</i>
STA	<i>Sinusoidal Tracking Algorithm</i>
STATCOM	<i>Static Synchronous Compensators</i>
STC	<i>Standard Test Conditions</i>
Std	<i>Standard</i>
SPWM	<i>Sinusoidal Pulse Width Modulation</i>
THD	<i>Total Harmonic Distortion</i>
THD_i	<i>Current Total Harmonic Distortion</i>
THD_v	<i>Voltage Total Harmonic Distortion</i>
UPS	<i>Uninterruptible Power Supply</i>
UPFC	<i>Unified Power Flow Controller</i>
VCO	<i>Voltage Controller Oscillator</i>
VSI	<i>Voltage Source Inverter</i>

LISTA DE SÍMBOLOS

Al	Fator de indutância
α	Alfa
β	Beta
C_b	Capacitância de base
C_{calc}	Capacitor calculado
C_f	Capacitância do filtro
Δi_{L1}	Variação de corrente em L_1
Δi_{Lmax}	Máximo <i>ripple</i> de corrente nos indutores
f_c	Frequência de corte
f_r	Frequência da rede
f_{ch}	Frequência de chaveamento
f_{res}	Frequência de ressonância
f_{clock}	Frequência de <i>clock</i>
h_{max}	Componente harmônica máxima de tensão
I^a	Capacidade de corrente nominal da unidade de GD.
I_{sc}	Corrente de curto-circuito
I_{mp}	Corrente de máxima potência
I_h	Componente harmônica individual de corrente
I_{1max}	Máxima corrente fundamental da carga
I_D	Corrente de dreno
$I_{G,on}$	Corrente de <i>gate</i> modo ligado
$I_{G,off}$	Corrente de <i>gate</i> modo desligado
I_G	Corrente de <i>gate</i>
$I_{o+/-}$	Corrente alternada de curto-circuito na saída do lado alto/baixo
$I_{qbs(max)}$	Corrente de alimentação V_{BS} quiescente
$I_{cbs(leak)}$	Corrente de fuga no capacitor

I_{max}	Corrente máxima
I_{min}	Corrente mínima
$I_{1(h)}$	Corrente harmônica na frequência de chaveamento do indutor L_1
$I_{2(h)}$	Corrente harmônica na frequência de chaveamento do indutor L_2
i^*	Corrente de referência
i_d^*	Corrente de referência direta
i_q^*	Corrente de referência em quadratura
k_a	Fator atenuação
k_p	Ganho proporcional
k_i	Ganho integral
L_{Tmax}	Indutância total máxima
L_{Tb}	Indutância total de base
N	Número de espiras
P	Potência ativa
P_{max}	Potência ativa máxima
P_n	Potência nominal
Q	Potência reativa
Q_{ls}	Carga necessária por ciclo para mudança de nível
Q_g	Carga total de <i>gate</i>
r	Razão entre indutâncias L_1 e L_2
R_G	Resistor de <i>gate</i>
t_r	Tempo de subida
t_f	Tempo de descida
V_α	Componente alfa tensão
V_β	Componente beta tensão
V_n	Tensão nominal
V_1	Componente fundamental de tensão
V_{mp}	Tensão de máxima potência
V_{oc}	Tensão de circuito aberto
V_h	Componente harmônica individual de tensão
V_{in}	Tensão de entrada
V_d	Tensão direta
V_q	Tensão em quadratura
V_{out}	Tensão de saída

V_{DS}	Tensão <i>dreno-source</i>
V_g	Tensão da rede
V_{GS}	Tensão <i>gate-source</i>
$V_{GS(th)}$	Tensão limiar <i>gate-source</i>
V_{BSUV-}	Limiar negativo subtensão de alimentação V_{BS}
V_{BS}	Limiar negativo subtensão de alimentação
V_{cc}	Tensão de alimentação em CC
V_{HO}	Tensão flutuante de saída do lado alto
V_{LO}	Tensão de saída do lado baixo
V_{ref}	Tensão de referência
$\%X_{L1}$	Percentual da impedância de L_1
X_f	Percentual potência reativa absorvida
ω_n	Frequência angular da rede
ω_{ch}	Frequência angular de chaveamento
Z_b	Impedância de base
Σ	Somatório
\int	Integral

SUMÁRIO

1	INTRODUÇÃO	18
1.1	Motivação	19
1.2	Caracterização do problema e solução proposta	20
2	REVISÃO BIBLIOGRÁFICA	22
3	ENERGIA FOTOVOLTAICA	27
4	QUALIDADE DE ENERGIA E NORMAS RELACIONADAS	32
5	METODOLOGIA	39
5.1	Especificações técnicas	39
5.2	Dimensionamento de componentes	41
5.3	Simulações	41
5.4	Implementação prática	42
6	CONVERSORES ESTÁTICOS E FILTROS	44
6.1	Conversores	44
6.2	Filtro de saída	50
7	SINCRONIZAÇÃO COM A REDE ELÉTRICA E CONTROLE DE CORRENTE	57
7.1	Transformação de sistemas de referência	57
7.1.1	Transformada de Clarke	57
7.1.2	Transformada de Park	59
7.2	PWM	60
7.3	PLL	62
7.3.1	Princípio de funcionamento	63
7.3.2	PLL Com Quadro De Referência Estacionário ($\alpha\beta$ -PLL)	64
7.3.3	PLL Com Quadro De Referência Síncrono (dq -PLL)	65
7.3.4	PLL com integrador generalizado de segunda ordem (SOGI-PLL)	65
7.3.5	Estratégia de avaliação	67
7.4	Controle de corrente	69
8	IMPLEMENTAÇÃO EM SOFTWARE	71
8.1	PWM	72
8.1.1	Timers ATMEGA	72
8.1.2	Registradores	73
8.1.3	Fast PWM	74

8.1.4	<i>Phase-Correct PWM</i>	75
8.1.5	Variando o valor de estouro do <i>timer</i> : <i>Fast PWM</i>	76
8.1.6	Definição parâmetros	76
8.2	Integral numérica	77
9	RESULTADOS E DISCUSSÕES	79
9.1	Simulações	79
9.1.1	PLL	79
9.1.2	Filtro RC	89
9.1.3	Filtro LCL	91
9.1.4	Controle de corrente <i>dq</i>	93
9.2	Projeto e confecção PCI	97
9.3	Montagem indutores L_1 e L_2	102
9.4	Testes	103
9.4.1	Leitura sinais rede	103
9.4.2	Verificação PWM	105
9.4.3	Testes com carga	107
9.5	Avaliação de custo	109
10	CONCLUSÕES E TRABALHOS FUTUROS	111
10.1	Conclusões	111
10.2	Trabalhos Futuros	112
	REFERÊNCIAS	113

1 INTRODUÇÃO

Atualmente a sociedade utiliza a energia elétrica de maneira intensiva, principalmente nos países mais desenvolvidos. Isso se deve ao avanço de tecnologias, bem como ao crescimento populacional e industrial e, também, aos padrões de consumo da sociedade. Conseqüentemente, há o aumento de agentes poluentes no meio ambiente que são causadores de vários efeitos, tais como: desmatamento e desertificação, poluição do solo, do ar e das águas subterrâneas, aquecimento global, efeito estufa e chuva ácida, assim como esgotamento de recursos naturais não renováveis.

Neste cenário, a geração de energia elétrica tem passado por muitas mudanças e observa-se aumento significativo na demanda por energias renováveis, fontes como água, sol e vento cada vez mais são vistos como alternativa confiável às fontes de energia tradicionais como petróleo, gás natural e carvão que, além de serem meios finitos, provocam danos consideráveis ao meio ambiente no processo de geração de energia.

Segundo Sumathi et al. (2015) as regulamentações ambientais devido à emissão de gases de efeito estufa, a reestruturação de negócios e o recente desenvolvimento na geração de energia em pequena escala são os principais fatores que impulsionam o setor de energia para uma nova era, onde grandes porções nos aumentos na demanda de energia elétrica serão atendidos por meio de instalação ampla de recursos distribuídos ou o que é conhecido como Geração Distribuída (GD).

Dentre as fontes de energia renováveis, a energia solar está a pleno desenvolvimento e rápido crescimento, representando um papel muito importante como fonte de energia global em sistemas de GD. A captação da energia solar é realizada via sistemas fotovoltaicos conectados ou não à rede elétrica da concessionária através de inversores de frequência.

Sendo um dos principais componentes do sistema, o inversor de frequência tem a função de converter a energia gerada em corrente contínua (CC) dos painéis solares para corrente alternada (CA), possibilitando alimentar diretamente cargas locais (sistemas *off grid*) ou interligar a energia gerada com a rede elétrica (sistemas *grid tie*). Seu circuito é formado por dois blocos principais: potência e controle. Composto por semicondutores de potência, conversores CC-CC e CC-CA, o circuito de potência é responsável por efetivamente converter a energia CC em CA por meio de chaveamento em alta frequência e

filtros.

O circuito de controle pode ser subdividido em duas etapas, uma na entrada do inversor composta por um conversor CC-CC e controle MPPT (*Maximum Power Point Tracking*) para extrair a máxima potência da fonte de energia, e um conversor CC-CA com controles diversos que podem ter como base a potência ativa ou reativa na frequência fundamental da rede, harmônicas de corrente do sistema, ou de forma multifuncional em todas elas.

Os sistemas *grid tie (on grid)* têm uma grande vantagem em relação aos sistemas *off grid* por não utilizarem baterias e controladores de carga, isso os torna mais eficientes e também garante que toda a energia seja utilizada, localmente ou em outro ponto da rede. Sistemas de conexão à rede podem ser utilizados tanto para abastecer uma residência, ou então simplesmente produzir e injetar a energia na rede elétrica, assim como uma usina hidroelétrica ou térmica.

O grande desafio dos inversores *grid tie* é atender todos os requisitos de qualidade e eficiência para que possa ser instalado nos projetos fotovoltaicos em residências, empresas e demais propriedades. O equipamento deve seguir padrões de qualidade estabelecidos em normas nacionais e internacionais que dizem respeito, por exemplo, ao limite de THD (*Total Harmonic Distortion*) da energia injetada na rede pois, de acordo com Sumathi et al. (2015), um inversor de frequência deste tipo é conectado à rede elétrica através de um filtro em meio a muitos outros sistemas eletrônicos conectados no mesmo local, como STATCOM's, UPFC's e demais DGS.

Nestes sistemas a sincronização é parte crítica na etapa de controle, sendo responsável por monitorar as condições e conectar o inversor suavemente à rede elétrica. As informações fornecidas na etapa de sincronização (geralmente fase, frequência e amplitude da componente fundamental da tensão da rede) são muito importantes para a estratégia de controle do conversor durante a condição normal de operação, especificamente para a geração da corrente de referência para o inversor. Diferentes técnicas de sincronização são propostas na literatura e uma estratégia amplamente difundida na área é o PLL, um sistema de controle que trava sua saída à entrada com uma constante de erro de fase idealmente zero.

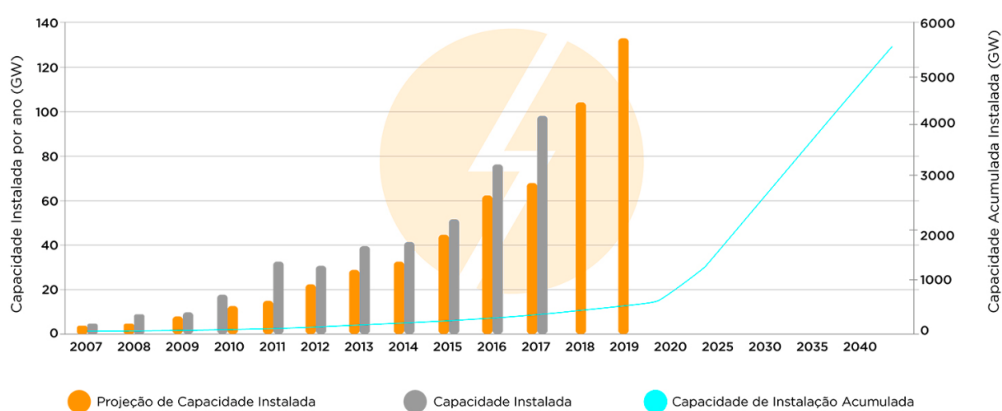
1.1 Motivação

A busca por novas fontes alternativas de energia está cada vez mais presente nos dias atuais, uma vez que as formas convencionais de gerar energia causam muitos impactos socioambientais negativos ao liberarem gases de efeito estufa e, por consequência, contribuem para o aquecimento global e para as mudanças climáticas. O cenário brasileiro possui hidrelétricas como fonte principal de energia alternativa, no entanto, com o crescente aumento populacional, industrial e agrícola, o consumo de energia vem aumentando

no país e além disso as frequentes estiagens acarretam crises hídricas que prejudicam a oferta de energia no país, bem como o consumidor final.

A motivação para o estudo de inversores de frequência fotovoltaicos decorre principalmente devido ao potencial de desenvolvimento nesta área atualmente e futuramente como mostra a Figura 1. Também destaca-se o papel do trabalho de iniciação científica que vem sendo desenvolvido paralelamente sobre inversores multifuncionais, o qual teve grande contribuição em despertar mais interesse pela área. Sendo assim tem-se por principais objetivos apresentar as diferentes técnicas de sincronização, bem como desenvolver um protótipo que seja funcional.

Figura 1 – Crescimento global energia fotovoltaica.



Fonte: Portal Solar (2022).

1.2 Caracterização do problema e solução proposta

Sendo de suma importância, a sincronização tem sido objeto de estudo cada vez mais forte por parte de pesquisadores e teve maior impulso com o surgimento de inversores multifuncionais que, além de injetar potência, buscam contribuir para melhoria na qualidade da energia utilizando filtros ativos. A tendência é que inversores multifuncionais se tornem cada vez mais populares visto que os equipamentos elétricos não-lineares já são a maioria e sua utilização injeta na rede elétrica correntes harmônicas que contribuem negativamente para a qualidade de energia.

Associado a forte importância do estudo da sincronização está a utilização cada vez maior de microinversores em instalações fotovoltaicas residenciais como alternativa aos tradicionais inversores centralizados. Eles ocupam menos espaço físico, ficam próximos aos painéis e a parada de operação de um microinversor não compromete a geração de todo o sistema como ocorre ao utilizar o inversor centralizado.

Como dito anteriormente, o inversor deve seguir padrões de qualidade estabelecidos em normas nacionais e internacionais que dizem respeito, por exemplo, ao limite THD da energia injetada na rede, com isto o sistema de controle deve ser eficiente para atender

estes requisitos.

Inserido neste contexto, o escopo deste trabalho contempla o estudo e simulação de diferentes topologias PLL para escolha do tipo mais adequado à ser utilizado em um protótipo e que, principalmente, seja capaz de extrair os dados de tensão e corrente da rede elétrica no ponto de conexão com o inversor de frequência e utilizá-los como referência para realizar a sincronização. Ainda busca-se implementar um protótipo de baixo custo no intuito de avaliar a possibilidade de futura utilização como microinversor associado a um ou mais painéis fotovoltaicos.

2 REVISÃO BIBLIOGRÁFICA

Para Carrasco et al. (2006) o uso de recursos de energia distribuída está aumentando constantemente na busca por um suplemento e uma alternativa para grandes centrais convencionais. A especificação de uma eletrônica de potência eficiente está sujeita a requisitos relacionados não apenas a própria fonte de energia renovável, mas também seus efeitos sobre a operação do sistema de energia, especialmente onde a fonte de energia intermitente constitui uma parte significativa da capacidade total do sistema (Carrasco et al., 2006).

Zhong and Hornik (2013) relata que um dos problemas mais importantes na integração entre a energia renovável e a rede de distribuição da concessionária é como sincronizar os inversores de frequência com a rede. Para eles existem dois cenários diferentes: um antes da conexão do inversor na rede e o outro durante sua operação. Se o inversor não for sincronizado com a rede grandes correntes de transiente podem aparecer no momento da conexão, o que considerando o primeiro cenário pode danificar o equipamento, e para o segundo cenário pode acarretar mal funcionamento do sistema durante a operação normal. Em ambos os casos as informações da rede são necessárias com precisão e em tempo hábil e, dependendo da estratégia de controle adotada, as informações necessárias podem ser de fase, frequência e amplitude de tensão (Zhong and Hornik, 2013).

Atualmente existem dois métodos para fins de sincronização: métodos de malha aberta e de malha fechada. Dentro do primeiro estão técnicas como detecção do cruzamento por zero, método de vetor espacial baseado em filtro e o método de filtro estendido de Kalman (Zhong and Hornik, 2013). Porém esses métodos costumam ser lentos, com alta sensibilidade a desvios de frequência, distorções de tensão e desequilíbrio de tensão (Blaabjerg et al., 2006).

Já os métodos de malha fechada introduzem um mecanismo para garantir que as informações obtidas sejam precisas, exemplos típicos de métodos de malha fechada incluem o PLL convencional, amplamente utilizado em aplicações monofásicas e o SRF-PLL com maior aplicação em sistemas trifásicos (Zhong and Hornik, 2013). Os PLL's têm sido adotados como parte dos controladores para a maioria das aplicações conectadas à rede atualmente, por exemplo em aplicações de energia renovável, dispositivos FACTS, filtros

de potência ativa, UPS e controle de qualidade de energia (Zhong and Hornik, 2013).

A robustez e precisão são essenciais para a operação desses controladores, nos últimos anos o SOGI-PLL e o STA-PLL (ou ePLL) tem atraído muita atenção dos pesquisadores da área (Zhong and Hornik, 2013). Quando se fala em sistemas trifásicos, um problema comum é o desequilíbrio de tensão, neste caso o SRF-PLL pode fornecer um excelente desempenho para condições ideais de equilíbrio, mas o desempenho degrada muito com tensões desequilibradas devido aos harmônicos de segunda ordem que aparecem na saída (Zhong and Hornik, 2013).

Zhong and Hornik (2013) ainda evidenciam que existem várias técnicas mais sofisticadas para sincronização de inversores de frequência com a rede elétrica como o DDSRF-PLL, FRF-PLL e o DSOGI-PLL. Golestan et al. (2017) fornece uma revisão de PLL's monofásicos com base em duas categorias principais: baseados em energia (pPLL) e em geração de sinal de quadratura (QSG-PLL). Para cada classe são descritas suas vantagens e desvantagens, além de algumas diretrizes para melhorar seu desempenho. De maneira geral as pesquisas na área têm focado em projetar QSG-PLL visto que são mais eficazes do que os pPLL's, principalmente no que se refere a rejeição de distúrbios. A principal vantagem dos pPLL's está em suas estruturas simples e que tornam sua análise e ajuste mais simples do que no caso de QSG-PLL.

De acordo com Blaabjerg et al. (2006) o controle de sistemas de geração distribuída deve ser melhorado para atender aos novos e mais rígidos requisitos de interconexão com a rede elétrica em relação à qualidade de energia, funcionamento seguro e proteção de ilhamento. O autor fornece uma visão geral dos métodos de sincronização e das estruturas para sistemas de geração distribuída com base em sistemas fotovoltaico e eólico, além de apresentar estruturas de controle para o lado da rede e discutir a possibilidade de compensação para harmônicos de baixa ordem.

Em relação a protótipos e trabalhos recentes que vêm sendo desenvolvidos na área, Frgal (2013) descreve o projeto de um microinversor desenvolvido em parceria com a empresa *Future Electronics*. O microinversor foi implementado utilizando controle digital, o que torna o sistema muito flexível e capaz de realizar tarefas que seriam muito complicadas ou quase impossíveis ao utilizar-se puramente controle analógico. O projeto integra processamento de sinal digital de alto desempenho com eletrônica de potência proporcionando um ambiente de controle altamente eficiente (Frgal, 2013). O microcontrolador utilizado foi o MC56F8257 da NXP®.

Frgal (2013) realiza testes com vários algoritmos de sincronização e ao final seleciona o SOGI-PLL por fornecer o melhor desempenho, como destaque dos resultados do projeto observa-se a baixa distorção harmônica (THD < 3%) e alta eficiência na etapa de controle do MPPT (99,5%) de seu microinversor.

Outro estudo interessante é apresentado por Jia and Li (2012), onde apresentam simulações para o desenvolvimento de um microinversor fotovoltaico monofásico de 200

W e sua estratégia de controle para operação conectada à rede. O inversor foi integrado a cada painel fotovoltaico realizando conversão CC-CC e CC-CA individualmente, assim a confiabilidade geral do sistema pode ser melhorada significativamente. O sistema de controle consiste na regulação da corrente da rede no lado de alta tensão e o MPPT no lado de baixa tensão. Com a estrutura de controle proposta, foram obtidos MPPT de alta eficiência e corrente de saída senoidal com baixo THD (Jia and Li, 2012).

De acordo com Abdar et al. (2012), o inversor *grid tie* é um tipo especial de inversor que converte potência CC em CA para conexão com alguma rede elétrica existente. Normalmente estes equipamentos são utilizados na produção de energia a partir de fontes renováveis, como painéis solares ou turbinas de vento, para utilização doméstica ou negócios. Para Sumathi et al. (2015) os inversores produzem um dos três tipos diferentes de onda na sua saída:

- Onda quadrada;
- Onda quadrada modificada ou onda senoidal modificada;
- Onda senoidal pura ou onda senoidal verdadeira.

Os inversores de onda quadrada foram os primeiros a serem desenvolvidos, mas não são mais usados hoje em dia pois entrega potência desigual que não pode alimentar eficientemente a maioria dos equipamentos elétricos/eletrônicos. Já os inversores de onda quadrada modificada fornecem energia que pode ser utilizada por equipamentos CA, porém ainda existem alguns equipamentos mais sensíveis (como equipamentos médicos) que requerem alimentação com onda senoidal. Os inversores de onda senoidal verdadeira são tendência recente e produzem onda senoidal praticamente perfeita, muitas vezes mais limpa que a da rede elétrica, assim sua saída pode alimentar qualquer aparelho CA sem problemas, sua única desvantagem é na implementação pois o circuito é complexo e caro.

A operação de um inversor depende principalmente dos tipos de semicondutores, chaveamento, configuração do sistema e tensão de saída. Convencionalmente, são utilizados transistores IGBT ou MOSFET com base na exigência do projetista, onde o primeiro é preferido para frequências pouco mais baixas e altas demandas de energia enquanto que o segundo para frequências de chaveamento mais altas (Sumathi et al., 2015). Um ponto muito importante em inversores de frequência é o controle PWM que de acordo com Sumathi et al. (2015) possui como principais vantagens:

- Nenhum circuito externo necessário para obter a saída desejada;
- Harmônicos de ordem inferior são minimizados pelo próprio PWM;
- Harmônicos de ordem superior podem ser removidos por filtros.

Embora a utilização da técnica PWM possua desvantagens como o uso de dispositivos de chaveamento, é popularmente usado em todos os equipamentos industriais. Utilizam-se pulsos de amplitude constante cujo ciclo de trabalho pode ser variado conforme a necessidade de cada período, onde a tensão de saída desejada é obtida modulando a largura desses pulsos. Nos casos onde a modulação PWM gera uma onda senoidal chama-se de SPWM, muito popular e amplamente usado em aplicações industriais, onde uma onda portadora triangular de alta frequência é comparada com uma onda senoidal de referência com frequência desejada.

De acordo com Dias et al. (2020), para inversores monofásicos com modulação SPWM a tensão de *link* CC (V_{cc}) deve ser maior que a tensão de pico no lado CA, enquanto que para inversores trifásicos V_{cc} deve ser superior ao dobro da tensão máxima de fase (Hart, 2016). A lógica por trás do controle SPWM é que quando a onda de referência tem maior magnitude do que a onda portadora, a saída do comparador é alta, senão é baixa. A razão entre a magnitude da onda de referência e a da onda portadora é denominada como índice de modulação, se a amplitude da onda triangular for mantida constante, a magnitude da componente fundamental da tensão de saída é proporcional ao índice de modulação.

Para Abdar et al. (2012) o sinal PWM pode ser obtido de diferentes formas, a técnica mais básica é o método de dois níveis, onde o sinal é obtido a partir de uma onda senoidal de referência modulada por uma onda portadora com frequência muito maior que a onda de referência. Os dois sinais são inseridos em um comparador que então produz uma saída PWM com *duty cycle* diretamente proporcional a amplitude do sinal de referência senoidal. Outra alternativa é o método de três níveis, similar ao anterior em relação a onda de referência ser modulada por uma onda portadora de frequência muito maior, com a diferença de que a onda portadora tem metade da amplitude do sinal de referência senoidal e é chaveada entre as metades superior e inferior da onda senoidal. Em resumo, o que diferencia os dois métodos é que em três níveis o chaveamento só é feito na metade superior da ponte H, enquanto a metade inferior está em nível alto. O resultado é uma onda com alta resolução e grande eficiência devido ao menor chaveamento e baixos níveis de distorção harmônica.

Sumathi et al. (2015) descreve que devido a utilização de chaveamento em alta frequência para conversão da tensão CC em CA, harmônicos de alta ordem são introduzidos na rede elétrica, necessitando utilização de um filtro na saída do inversor para contornar esta situação. O filtro indutor é mais comumente usado nestes casos, para diminuir o *ripple* da corrente, a indutância deve ser aumentada e conseqüentemente o volume e peso do filtro aumentam. Outra possibilidade é o filtro LC que apesar de possuir estrutura e parâmetros fáceis, o efeito de filtragem não é bom devido à incerteza da impedância da rede. Já o filtro LCL possui alta frequência de corte e forte capacidade de penetração em baixa frequência, por isto tem sido amplamente utilizado nesta área.

Hossain et al. (2014) implementa um protótipo monofásico de baixo custo onde ob-

teve um inversor econômico, com alta eficiência, baixas perdas a vazio, alta capacidade de potência e baixa distorção harmônica. Outro ponto importante de seu trabalho é a capacidade do inversor em gerar formas de tensão e corrente quase que senoides perfeitas com baixa frequência de chaveamento, o que significa maior facilidade de eliminar harmônicas geradas no processo de conversão CC-CA. Na saída do inversor Hossain et al. (2014) utiliza um filtro passivo LC que consiste de um indutor com núcleo de ferro (868 mH) e um capacitor sem polaridade (10 uF).

Abdar et al. (2012) descreve em seu trabalho o desenvolvimento de um protótipo de inversor de frequência que possui uma etapa de *driver* para gerar os pulsos de chaveamento para os semicondutores de potência, uma etapa de controle para gerar os comandos e desempenhar outras funções como amostrar o sinal de tensão da rede e comunicar com outros controladores. Um conversor CC-CC converte a tensão não constante da fonte de energia em tensão constante de 24 V para alimentar o inversor e o transformador amplifica a magnitude da tensão que sai da ponte completa formada pelos quatro semicondutores de potência. Na saída do inversor é utilizado um filtro passa-baixas para remover os sinais de alta frequência produzidos pelos pulsos de chaveamento e obter um sinal CA limpo. Como *hardware* Abdar et al. (2012) usa MOSFET's IRF530 na ponte H completa e o *driver* IR2110 é usado para aplicar os pulsos de chaveamento oriundos do microcontrolador aos MOSFET's de potência.

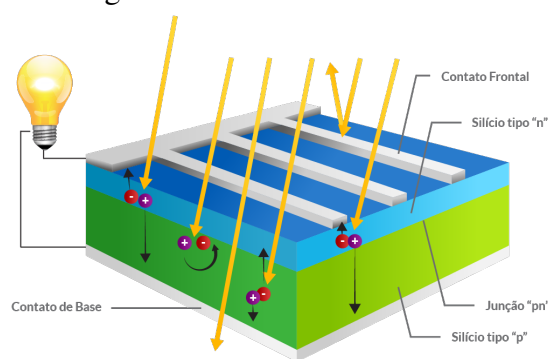
Na etapa de controle o módulo EVK1100 é responsável por rastrear a fase e frequência da rede elétrica e gerar os sinais de saída para o *drive* nas metades superior e inferior da ponte H. O *software* é baseado em uma estrutura de pesquisa híbrida onde cinco funções são executadas a cada ciclo no *loop* principal do código. Ainda como possibilidade futura, Abdar et al. (2012) propõe realizar melhorias no *software* para permitir que o inversor tenha capacidade de controlar a potência ativa e reativa injetada na rede elétrica e também frequência do sinal na saída do inversor.

3 ENERGIA FOTOVOLTAICA

Muitas são as aplicações da fonte de energia solar provenientes dos raios solares. Pode-se destacar a geração direta (energia solar fotovoltaica) e indireta (energia heliotérmica, conversão de irradiação solar em calor para geração de energia elétrica) de eletricidade, além da energia solar térmica (geração de calor para aquecer fluidos, bem como secagem e aquecimento industrial). No caso da energia fotovoltaica utilizam-se painéis constituídos de células em material semicondutor adaptado para gerar eletricidade a partir do efeito fotoelétrico.

As células fotovoltaicas possuem, no mínimo, duas camadas de silício (semicondutor mais comum) carregadas positivamente ou negativamente. Após o semicondutor ser irradiado pela luz solar, por meio do campo elétrico entre a junção das duas camadas inicia-se um fluxo de energia e assim gera-se a corrente contínua, este processo é ilustrado na Figura 2.

Figura 2 – A célula fotovoltaica.

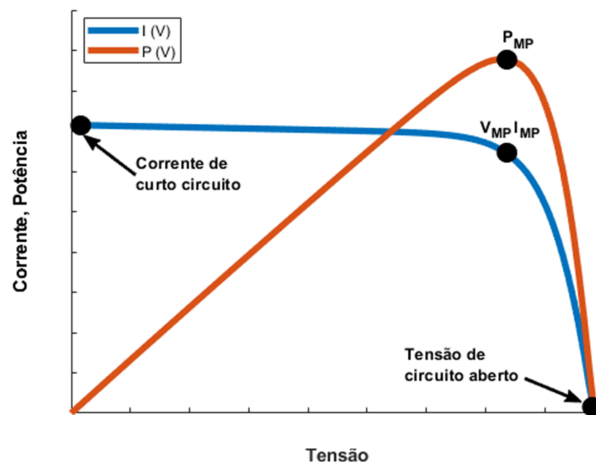


Fonte: BlueSol Energia Solar (2022).

Um módulo consiste no arranjo de diversas células fotovoltaicas com ligações em série e paralelo, dependendo da quantidade de células o arranjo fornece mais ou menos capacidade de corrente. Quando em funcionamento o módulo fornece corrente e tensão que variam de acordo com curvas específicas denominadas curvas características $I \times V$ como mostrado na Figura 3.

A seguir são apresentadas as principais especificações que deve-se observar em um

Figura 3 – Curva característica de um módulo fotovoltaico.



Fonte: Do autor.

módulo fotovoltaico.

Corrente de curto-circuito (I_{SC}) - É a máxima corrente que o módulo pode produzir sob determinadas condições de insolação e temperatura, quando seus terminais são curto-circuitados. Como não há tensão, a potência elétrica é zero.

Tensão de circuito aberto (V_{OC}) - É a máxima tensão que o módulo pode produzir sob determinadas condições de insolação e temperatura e acontece quando seus terminais estão abertos. Como não há corrente elétrica, a potência elétrica fornecida pelo módulo é zero.

Corrente de potência máxima (I_{MP}) - É a corrente elétrica que o módulo fornece no ponto de potência máxima sob determinadas condições de insolação e temperatura. É considerada a corrente nominal do módulo fotovoltaico.

Tensão de potência máxima (V_{MP}) - É a tensão elétrica que o módulo fornece no ponto de potência máxima, sob determinadas condições de insolação e temperatura.

Potência máxima (P_{max}) - É a potência elétrica máxima que o módulo pode fornecer sob determinadas condições de insolação e temperatura. Corresponde ao produto da corrente de potência máxima, pela tensão de potência máxima. Este ponto ocorre no joelho da curva característica.

$$P_{max} = I_{mp} \cdot V_{mp} \quad (1)$$

Apesar de que o módulo comum utilizado em sistemas *off grid* pode ser aplicado em sistemas *grid tie*, normalmente ele não apresenta capacidade e tensão otimizadas para esta aplicação. Como os inversores para conexão à rede existentes no mercado trabalham normalmente com tensões elétricas de entrada muito elevadas são mais indicados módulos fotovoltaicos especiais de maior capacidade e com maior número de células em série e, portanto com maior tensão de máxima potência.

Os módulos fotovoltaicos de tensão mais elevada utilizados em sistemas conectados à rede também podem ser utilizados em sistemas autônomos com baterias de 12 V desde

que seja utilizado o controlador de carga MPPT que permite que o módulo trabalhe no seu ponto de máxima eficiência. Como a potência dos módulos fotovoltaicos não é constante e varia em função da irradiância, temperatura da célula e coeficiente de massa do ar, os módulos são ensaiados em condições ambientais padronizadas, ou seja, condições de teste padrão ou STC (*Standard Test Conditions*), isto permite que todos os fabricantes possuam uma única base de comparação de potência. Normalmente os testes são realizados nas seguintes condições: intensidade de radiação solar de 1000 W/m^2 , massa de ar (AM) de 1.5, temperatura da célula de $25 \text{ }^\circ\text{C}$ e velocidade do vento de 1 m/s . A Tabela 1 mostra as características típicas de um módulo fotovoltaico para conexão à rede na condição STC.

Tabela 1 – Especificações técnicas típicas de módulo fotovoltaico para conexão à rede.

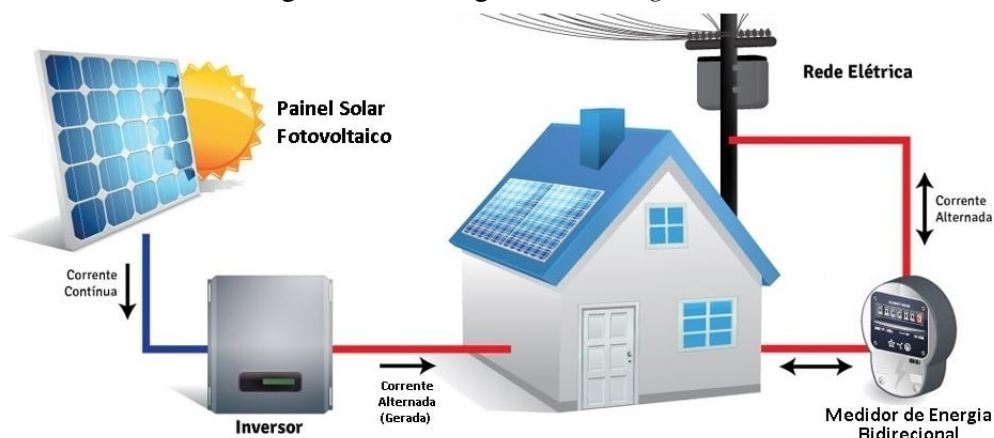
Parâmetro	Valor
Potência nominal	240 Wp
Eficiência	14,75 %
Tensão de operação máxima	1000 V
Tipo de célula	Silício policristalino
Número de células	60
Dimensões (AxLxE)	1640x992x50 mm
Área total	$1,627 \text{ m}^2$
Peso	19,6 kg
Tensão MPP	29,55 V
Corrente MPP	8,12 A
Tensão de circuito aberto	37,54 V
Corrente de curto circuito	8,9 A

Fonte: Alvarenga (2014)

Os sistemas *grid tie*, também conhecidos como sistemas conectados à rede elétrica, possuem um crescimento exponencial no mercado fotovoltaico em países desenvolvidos e são considerados uma fonte complementar ao sistema elétrico, empregados em locais já atendidos por energia elétrica. Neste sistema a rede da concessionária funciona como uma bateria que recebe todo excedente de energia gerado pelo sistema e geralmente está associado a geração distribuída, sendo classificado de acordo com a potência gerada:

- Microgeração: Central geradora de energia elétrica com potência instalada de até 75 kW;
- Minigeração: Central geradora de energia elétrica com potência instalada superior a 75 kW e menor ou igual a 5 MW.

O funcionamento do sistema começa pelo painel fotovoltaico, que gera energia elétrica em CC, depois é convertida em CA e conectada à rede de energia elétrica da concessionária. A interface entre o painel e a rede se dá através do inversor de frequência,

Figura 4 – Visão geral sistema *grid tie*.

Fonte: Ecomais (2022).

que de acordo com INMETRO (2011), os inversores para serem aplicados em sistemas fotovoltaicos devem apresentar forma de onda senoidal pura; eficiência superior a 85% na faixa entre 50% e 100% da potência nominal e THD menor que 5%, em qualquer potência de operação. Os inversores também devem possuir as demais características (Pinho et al., 2014):

- alta confiabilidade e baixa manutenção;
- operação em uma faixa ampla de tensão de entrada;
- boa regulação na tensão da saída;
- baixa emissão de interferência eletromagnética e de ruído audível;
- tolerância aos surtos de partida das cargas a serem alimentadas;
- segurança para pessoas e instalações;
- grau de proteção IP adequado ao tipo de instalação;
- garantia de fábrica de pelo menos dois anos.

Na Figura 4 é apresentada visão geral do sistema, o qual é composto basicamente por painéis fotovoltaicos, inversor e medidor bidirecional. Esse sistema não armazena energia, portanto o excedente é entregue diretamente à rede elétrica. O medidor bidirecional tem a função de monitorar a energia consumida e injetada na rede, com isto, se o sistema produzir menos que a demanda no momento, a rede supre a necessidade automaticamente.

De maneira contrária e complementar, quando o sistema não consome tudo o que produz, o excedente é entregue à rede elétrica da concessionária. Nesse caso o medidor bidirecional contabiliza o que está sendo entregue à rede e o consumidor fica com saldo

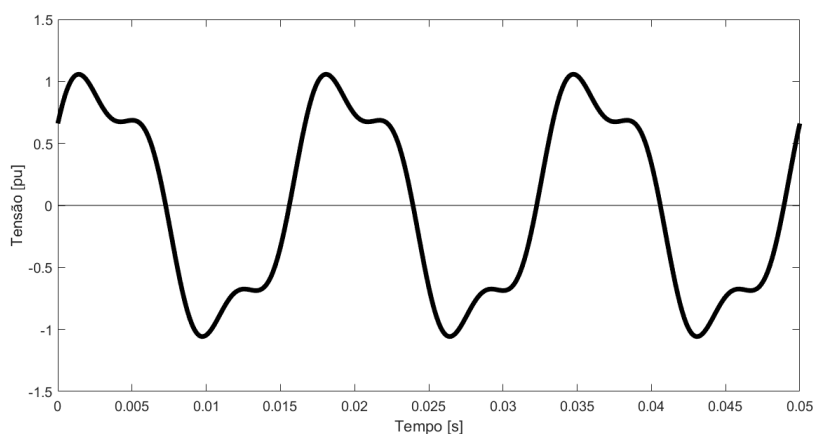
positivo na tarifa de energia mensal, saldo que é automaticamente deduzido quando o cliente precisar usar a energia da rede novamente. Com isto, a principal vantagem do sistema é a economia na tarifa de energia do consumidor.

4 QUALIDADE DE ENERGIA E NORMAS RELACIONADAS

Nesta seção são apresentadas resumidamente as principais normas que devem ser observadas ao trabalhar com inversores de frequência conectados à rede elétrica. Nelas são discutidas principalmente questões relativas a distorção harmônica total de corrente e tensão, abrangendo sistemas elétricos em diferentes níveis de tensão. Ressaltando que neste trabalho o foco está em nível de distribuição.

Harmônicas são tensões ou correntes senoidais que têm frequências múltiplas inteiras da frequência fundamental (60 Hz no Brasil) somadas às componentes fundamentais de tensão e corrente, as harmônicas causam distorção na forma de onda conforme mostrado no exemplo da Figura 5.

Figura 5 – Sinal de tensão com distorção harmônica



Fonte: Do autor.

Esta corrente harmônica distorcida circulando nas impedâncias série dos transformadores e circuitos de alimentação geram quedas de tensão que contribuem para distorção harmônica da tensão. Também, transformadores e geradores com altos níveis de saturação magnética podem gerar distorção harmônica da tensão. O nível de distorção pode ser caracterizado pelo espectro de frequência com suas magnitudes e ângulos para todas as componentes harmônicas. É comum utilizar-se para a quantificação deste distúrbio,

a distorção total de tensão ou corrente. A injeção de corrente harmônica por parte dos consumidores pode causar distorção na forma de onda da tensão do sistema da concessionária, o que pode provocar no sistema elétrico os efeitos a seguir:

- Sobreaquecimento em máquinas rotativas e transformadores, com consequente redução da vida útil destes equipamentos;
- Sobretensões harmônicas, resultando no aumento das solicitações do isolamento dos dispositivos, o que, em muitos casos, causa a ruptura do dielétrico;
- Operação indevida dos sistemas de proteção, medição e controle de equipamentos elétricos;
- Redução da vida útil dos capacitores e o seu sobreaquecimento. Os capacitores, por sua vez, amplificam os harmônicos existentes, podendo criar ressonância na rede elétrica;
- Perturbações no funcionamento de microcomputadores, equipamentos de telefonia e equipamentos de controle microprocessados.

A presença de harmônicos compromete a qualidade de energia da instalação e possíveis soluções são utilização de filtros passivos ou ativos. O primeiro é constituído basicamente de componentes R, L e C por meio dos quais são obtidos os filtros sintonizados e amortecidos. Estes são instalados geralmente em paralelo com o sistema supridor, proporcionando um caminho de baixa impedância para as correntes harmônicas. Podem ser utilizados para a melhoria do fator de potência, fornecendo o reativo necessário ao sistema. Entretanto, existem alguns problemas relacionados à utilização destes filtros, dentre os quais se destacam: o alto custo, a complexidade de sintonia e a possibilidade de ressonância paralela com a impedância do sistema elétrico.

Já os filtros ativos são circuitos que geram e injetam correntes harmônicas com defasagem oposta àquelas produzidas pela carga não linear. Assim, há um cancelamento das ordens harmônicas que se deseja eliminar. Embora bastante eficientes, estes dispositivos apresentam custos elevados (superiores aos filtros passivos), o que tem limitado a sua utilização nos sistemas elétricos.

A norma IEEE Std 519-2014 descreve os principais fenômenos causadores da distorção harmônica, indicando limites de distorção harmônica para sistemas elétricos de potência com base na THD_V , THD_i e TID_V . A THD_V é um indicador para a quantidade de harmônicas de tensão e é calculada através da Equação 2. Por questões práticas a norma considera apenas até a 50ª harmônica. A THD_i mede a distorção harmônica em percentagem da máxima corrente fundamental da carga, causada por um único consumidor em qualquer ponto do sistema. Similarmente a Equação 2, a THD_i é calculada pela

Equação 3. A TID_V define o percentual de cada harmônico em relação a componente fundamental e é calculada através da Equação 4 (IEEE, 2014).

$$THD_v(\%) = \frac{\sqrt{\sum_{h=2}^{h_{max}} V_h^2}}{V_1} * 100 \quad (2)$$

$$THD_i(\%) = \frac{\sqrt{\sum_{h=2}^{h_{max}} I_h^2}}{I_{1max}} * 100 \quad (3)$$

$$TID_v(\%) = \frac{V_h}{V_1} \cdot 100 \quad (4)$$

A Tabela 2 apresenta os limites para a THD_V e para a TID_V no ponto de conexão comum (PCC) para diferentes níveis de tensões do sistema de potência.

Tabela 2 – Limites THDv e TIDv em percentagem da componente fundamental.

Tensão no PCC (kV)	TIDv [%]	THDv [%]
$V_n \leq 1$	5,0	8,0
$1 < V_n \leq 69$	3,0	5,0
$69 < V_n \leq 161$	1,5	2,5
$161 < V_n$	1,0	1,5

Fonte: IEEE Std 519-2014

Os limites de distorção harmônica de corrente dependem do nível de tensão e da corrente de curto-circuito no PCC. Esses limites são mostrados na Tabela 3, que apresenta os valores máximos de cada componente harmônica em percentagem da corrente fundamental máxima de carga I_{1max} para tensão no PCC entre 120 V e 69 kV.

Tabela 3 – Limites THDi de acordo com nível de curto circuito da carga.

$\frac{I_{sc}}{I_{1max}}$	$h < 11$	$11 \leq h < 17$	$17 \leq h < 23$	$23 \leq h < 35$	$h \leq 35$	THD_i
<20	4,0	2,0	1,5	0,6	0,3	5,0
20<50	7,0	3,5	2,5	1,0	0,5	8,0
50<100	10,0	4,5	4,0	1,5	0,7	12,0
100<1000	12,0	5,5	5,0	2,0	1,0	15,0
>1000	15,0	7,0	6,0	2,5	1,4	20,0

Fonte: IEEE Std 519-2014

A IEEE Std 1547-2018 define especificações para os limites de injeção de correntes e tensões harmônicas no sistema elétrico, para unidades de GD inferiores a 10 MVA. Quando a unidade de geração distribuída está alimentando cargas lineares equilibradas

Tabela 4 – Distorção harmônica máxima da corrente em função de I^a .

Harmônica individual	%
$h < 11$	4,0
$11 \leq h < 17$	2,0
$17 \leq h < 23$	1,5
$23 \leq h < 35$	0,6
$35 \leq h$	0,3
THD_i	5,0

Fonte: IEEE Std 1547-2018

a injeção de correntes harmônicas no sistema elétrico de potência, no PCC, não deve exceder os valores estipulados pela Tabela 4 (IEEE, 2018).

Quando a unidade de geração distribuída está alimentando uma carga resistiva com 100% da potência da unidade, os níveis de harmônicos de tensão não devem exceder os limites estipulados na Tabela 5. Deve-se medir as harmônicas considerando tensões de linha para sistemas trifásicos a três fios ou considerando tensões de fase para sistemas a quatro fios.

Tabela 5 – Distorção harmônica máxima da tensão em função da tensão nominal.

Harmônica individual	%
$h < 11$	4,0
$11 \leq h < 17$	2,0
$17 \leq h < 23$	1,5
$23 \leq h < 35$	0,6
$35 \leq h$	0,3
THD_v	5,0

Fonte: IEEE Std 1547-2018

A ANEEL aborda a questão das distorções harmônicas de tensão e corrente por meio do módulo 8 do Prodist, documento aprovado em 2008 e que teve sua primeira revisão no final de 2009 (Prodist, 2010). O documento define o cálculo da distorção harmônica individual e total de tensão da mesma forma anteriormente definida em (2) e (4), respectivamente. Também determina que no cálculo da THD_V deve-se considerar no mínimo até a 25ª harmônica. Os valores máximos para a TID_V e THD_V são apresentados nas Tabelas 6 e 7.

Em relação a variações de tensão o Prodist estabelece indicadores que compreendem os limites adequados, precários e críticos para os níveis de tensão em regime permanente, bem como os indicadores individuais e coletivos de conformidade da tensão elétrica. Para compreender a tabela mostrada na Tabela 8 é importante ter conhecimento dos conceitos a seguir.

Tabela 6 – Níveis máximos para distorções harmônicas individuais de tensão.

Harmônicas	h	TID_V (%)		
		$V_n \leq 1$ kV	$1 \text{ kV} < V_n \leq 13,8$ kV	$13,8 \text{ kV} < V_n \leq 69$ kV
Ímpares não múltiplos de 3	5	7,5	6	4,5
	7	6,5	5	4
	11	4,5	3,5	3
	13	4	3	2,5
	17	2,5	2	1,5
	19	2	1,5	1,5
	23	2	1,5	1,5
	25	2	1,5	1,5
>25	1,5	1	1	
Ímpares múltiplos de 3	3	6,5	4	4
	9	2	1,5	1,5
	15	1	0,5	0,5
	21	1	0,5	0,5
	>21	1	0,5	0,5
Pares	2	2,5	1,5	1,5
	4	1,5	1	1
	6	1	0,5	0,5
	8	1	0,5	0,5
	10	1	0,5	0,5
	12	1	0,5	0,5
	>12	1	0,5	0,5

Fonte: Prodlist - Módulo 8

Tabela 7 – Níveis máximos para distorções harmônicas totais de tensão.

V_n (kV)	THD_V (%)
$V_n \leq 1$	10
$1 < V_n \leq 13,8$	8
$13,8 < V_n \leq 69$	6
$69 < V_n \leq 230$	3

Fonte: Prodlist - Módulo 8

Tensão contratada: valor eficaz de tensão que deverá ser informado ao consumidor por escrito, ou estabelecido em contrato.

Tensão de atendimento (TA) ou Tensão de conexão: valor eficaz de tensão no ponto de conexão, obtido por meio de medição, podendo ser classificada em adequada, precária ou crítica, de acordo com a leitura efetuada.

Tensão de leitura (TL): valor eficaz de tensão, integralizado a cada dez minutos, obtido

de medição por meio de equipamentos apropriados.

Tensão de referência (TR): valor de tensão utilizado como referência para comparação com os valores de tensão de leitura, devendo ser equivalente à tensão nominal ou contratada pelas unidades consumidoras.

Tabela 8 – Classificação tensão de atendimento.

Tensão no ponto de conexão (kV)	TA	Faixa de variação de TL em relação à TR (pu)
$V_n \geq 230$	Adequada	$0,95TR \leq TL \leq 1,05TR$
	Precária	$0,93TR \leq TL < 0,95TR$ ou $1,05TR < TL \leq 1,07TR$
	Crítica	$TL < 0,93TR$ ou $TL > 1,07TR$
$69 \leq V_n < 230$	Adequada	$0,95TR \leq TL \leq 1,05TR$
	Precária	$0,90TR \leq TL < 0,95TR$ ou $1,05TR < TL \leq 1,07TR$
	Crítica	$TL < 0,90TR$ ou $TL > 1,07TR$
$1 < V_n < 69$	Adequada	$0,93TR \leq TL \leq 1,05TR$
	Precária	$0,90TR \leq TL < 0,93TR$
	Crítica	$TL < 0,90TR$ ou $TL > 1,05TR$

Fonte: Prodist - Módulo 8.

Para variações na frequência, de forma geral, o Prodist regulamenta as seguintes condições:

- O sistema de distribuição e as instalações de geração a ele conectadas devem, em condições normais de operação e em regime permanente, operar dentro dos limites de frequência situados entre 59,9 Hz e 60,1 Hz;
- Na ocorrência de distúrbios no sistema de distribuição, as instalações de geração devem garantir que a frequência retorne, no intervalo de tempo de 30 segundos após a transgressão, para a faixa de 59,5 Hz a 60,5 Hz, permitindo a recuperação do equilíbrio carga-geração;
- Havendo necessidade de corte de geração ou de carga para permitir a recuperação do equilíbrio carga-geração, durante os distúrbios no sistema de distribuição, a frequência não pode exceder 66 Hz ou ser inferior a 56,5 Hz em condições extremas. Pode permanecer acima de 62 Hz por no máximo 30 segundos e acima de 63,5 Hz por no máximo 10 segundos. Por fim, pode permanecer abaixo de 58,5 Hz por no máximo 10 segundos e abaixo de 57,5 Hz por no máximo 5 segundos.

Este capítulo apresentou uma síntese das principais normas relacionadas ao projeto de inversores de frequência *grid tie*. As normas não definem topologias de filtros nem

requisitos de projeto, mas são importantes para balizar os objetivos do projeto com os requisitos de qualidade de energia que os inversores devem atender.

Uma vez que a atenuação dos harmônicos de corrente ou tensão estão fortemente relacionados ao correto projeto dos filtros de saída dos inversores, os índices máximos de distorção harmônica de corrente ou tensão tem papel fundamental nesse estudo. Com base no estudo das normas verifica-se que dependendo da aplicação há requisitos de distorção harmônica de tensão e/ou corrente distintos, mas de maneira geral pode-se dizer que para sistemas em baixa tensão, o THD_V máximo fica entorno de 5% ou 10%, no pior caso, enquanto o THD_i é limitado ao máximo de 5%.

5 METODOLOGIA

5.1 Especificações técnicas

O projeto do microinversor foi dimensionado considerando como fonte de tensão CC um módulo fotovoltaico do fabricante Empalux modelo MF00500, cujas especificações são apresentadas na Tabela 9. Enquanto que, na Tabela 10 são apresentados os parâmetros nominais do microinversor projetado.

Tabela 9 – Especificações técnicas do módulo fotovoltaico.

Parâmetro	Valor
Potência máxima	500 W
Tensão de circuito aberto	54,22 V
Tensão de máxima potência	45,42 V
Corrente de curto circuito	11,72 A
Corrente de máxima potência	11,01 A

Fonte: Empalux (2022).

Tabela 10 – Especificações técnicas do microinversor.

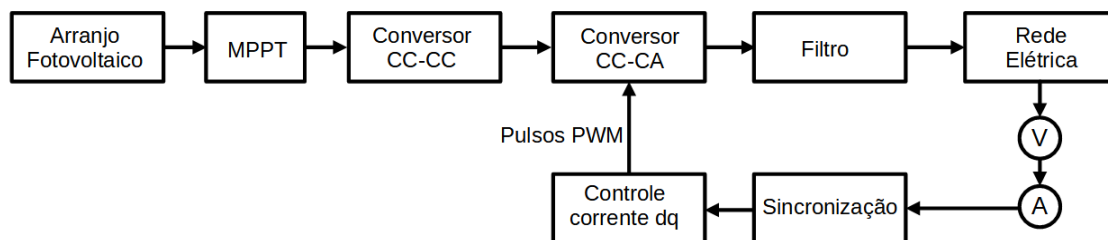
Parâmetro	Valor
Potência	500 VA
Tensão de entrada	315 V
Tensão do <i>link</i> CC	315 V
Corrente de entrada	1,59 A
Tensão de saída	220 V_{RMS}
Corrente de saída	2,27 A_{RMS}
Frequência fundamental	60 Hz
Frequência de chaveamento	10 kHz

Fonte: Do autor

A Figura 6 ilustra a topologia funcional típica de um inversor *grid tie* em diagrama de blocos, assim como a estratégia de controle adotada. O inversor em si tem início no

estágio elevador de tensão cuja função é fornecer a tensão CC múltipla de operação ao inversor, após a tensão CC é convertida para CA utilizando chaveamento em alta frequência. Como a saída do conversor CC-CA é em forma de pulsos, utiliza-se um filtro para que se obtenha uma onda senoidal. No ponto de conexão com a rede elétrica são amostrados sinais de tensão e corrente utilizados na etapa do controle de corrente e sincronização.

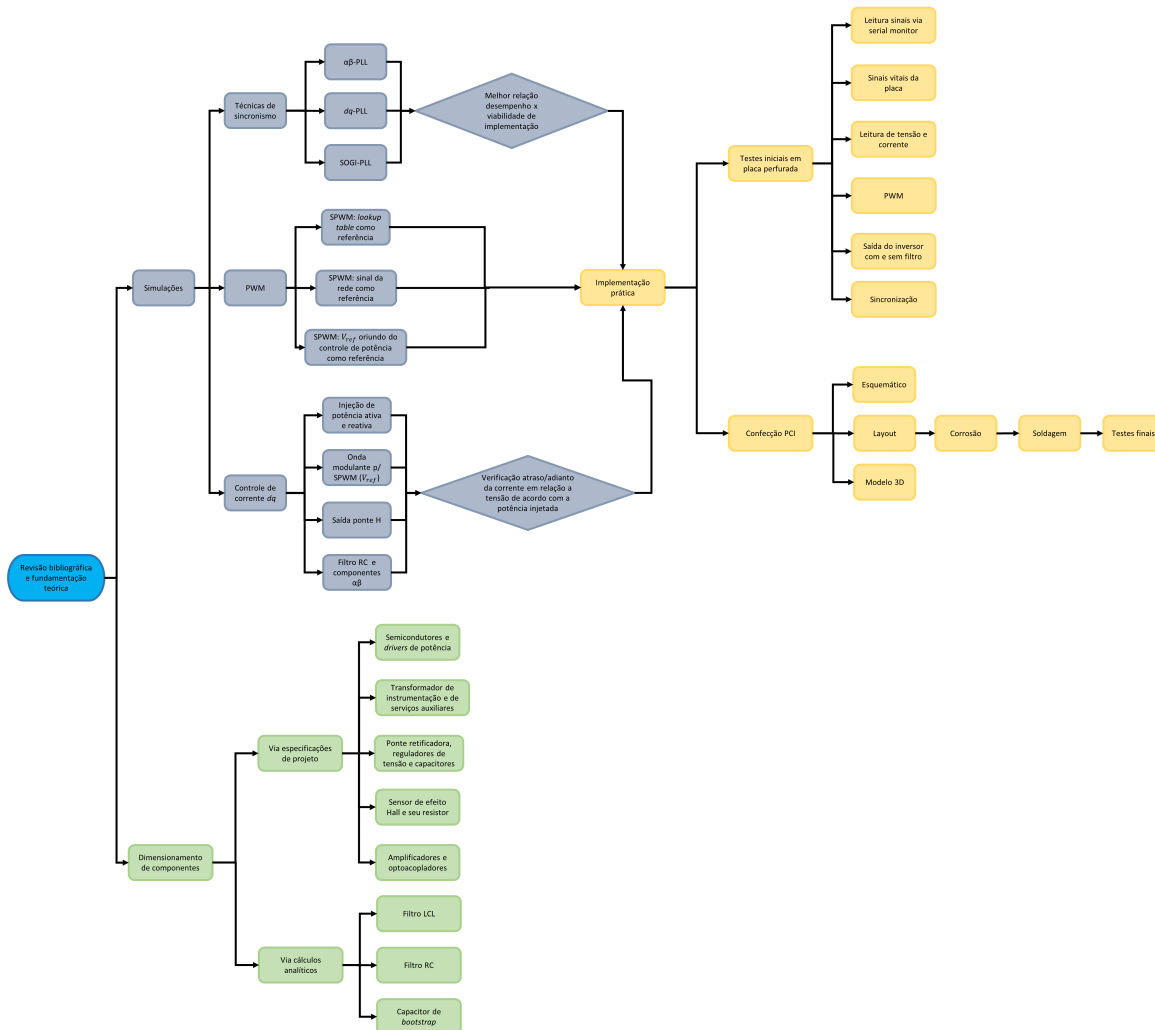
Figura 6 – Diagrama de blocos do microinversor.



Fonte: Do autor.

O projeto e implementação de cada bloco seguiu de acordo com o fluxograma mostrado na Figura 7 e tem seus detalhes explorados nas seções seguintes.

Figura 7 – Fluxograma: protótipo microinversor de frequência *grid tie*.



Fonte: Do autor.

5.2 Dimensionamento de componentes

Componentes como semicondutores de potência, *drivers*, optoacopladores e transformadores foram dimensionados de acordo com as especificações técnicas do projeto. No caso dos filtros LCL e RC, dispositivos dos serviços auxiliares e capacitores de *bootstrap* foram realizadas cálculos apresentados na seção de implementação.

5.3 Simulações

Inicialmente são realizadas simulações e estudo aprofundado sobre as técnicas de sincronização existentes e mais utilizadas na área de inversores de frequência conectados à rede. Dentre todas as possibilidades optou-se por estudar as três mais adequadas para este trabalho, avaliar seus desempenhos em relação ao tempo de sincronização, resposta a distúrbios no sinal de tensão e distorção harmônica, comparando também com a viabilidade e complexidade de implementação prática.

A partir dos resultados das simulações de sincronização são realizadas simulações no *software* PSIM® para estudo da injeção de potência na rede pelo inversor, avaliando o funcionamento do controle de corrente dq no que diz respeito a injeção de potência ativa e reativa e também para sintonizar os parâmetros dos controladores PI. Durante as simulações verifica-se ainda a geração dos pulsos de PWM, comportamento do sinal em relação a variações no índice de modulação e frequência de chaveamento.

O filtro de saída projetado de acordo com especificações do microinversor e pelos diferentes métodos é simulado isoladamente e conectado ao sistema. O desempenho do filtro é avaliado com base na distorção harmônica total da corrente injetada na rede e queda de tensão.

Como as componentes $\alpha\beta$ da tensão e corrente são geradas analogicamente, realizam-se simulações para verificar a defasagem entre os dois sinais e atenuação gerada pelo filtro RC, dado importante visto que para a utilização das transformadas de Park e Clarke ambos sinais devem ter mesma amplitude (Figuras 14 e 15).

5.4 Implementação prática

A implementação prática, inicialmente realizada utilizando placa perfurada e *proto-board*, está dividida em etapas para otimizar o trabalho, minimizar e facilitar a correção de possíveis erros de montagem do circuito. Os primeiros testes são relacionados a etapa de instrumentação (aquisição e leitura de sinais de tensão da rede elétrica) utilizando transformador abaixador e amplificador isolado galvanicamente. A estratégia adotada foi verificar o sinal com osciloscópio na saída do transformador, saída do amplificador e por fim injetar o sinal da saída do amplificador em uma porta do Arduino e observá-lo através da *serial monitor*.

A partir de então utiliza-se o sinal lido pelo Arduino como referência (onda modulante) na geração do PWM, e verifica-se o sinal gerado nas saídas digitais do Arduino. Após utiliza-se os pulsos gerados como entrada dos optoacopladores para testar o chaveamento dos semicondutores de potência, com os pulsos PWM corretos na saída da ponte H conecta-se o filtro LCL em conjunto com uma carga resistiva.

A última etapa da implementação prática é realizada com uso parcial do PLL para sincronização com a rede elétrica. Para isto, similarmente ao caso da tensão, inicialmente testa-se o funcionamento do sensor de efeito *Hall* em conjunto com o amplificador isolado galvanicamente realizando medidas nos mesmos pontos descritos anteriormente. Com o funcionamento correto da leitura de corrente implementa-se o chaveamento utilizando como onda modulante para o PWM o sinal oriundo do controle dq de corrente e não mais diretamente o sinal de tensão da rede elétrica.

Após repetir os passos de verificação das saídas PWM nos pinos do Arduino, na saída dos optoacopladores, na saída dos *drivers* e na saída da ponte H, conecta-se o filtro LCL

novamente com carga resistiva. A partir de então são realizados testes e medições do sinal de saída do inversor com a tensão da rede elétrica para verificar sincronismo, ruído, distorção harmônica, injeção de potência ativa e reativa, e capacidade de potência. Em paralelo aos testes iniciais é realizado projeto e confecção da placa de circuito impresso para o microinversor, utilizando o software Eagle®.

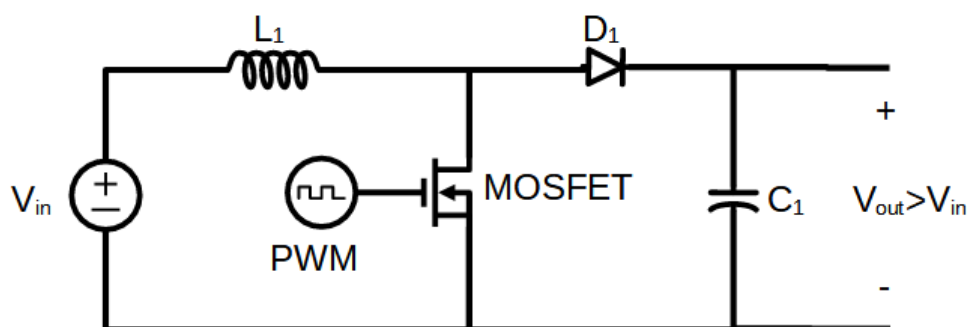
6 CONVERSORES ESTÁTICOS E FILTROS

6.1 Conversores

A tensão de saída no arranjo de painéis fotovoltaicos é variável e de baixa magnitude, sendo que o inversor necessita tensão de *link* CC maior que a tensão de pico CA (para um inversor com saída 220 V, V_{CC} deve ser maior que $220 * \sqrt{2} = 311V$). Neste caso utiliza-se um estágio elevador de tensão, o *boost* é um conversor de passo que fornece tensão de saída maior que sua tensão na entrada através do circuito mostrado na Figura 8. Nos casos onde aplica-se rastreamento de máxima potência dos painéis (MPPT), o *duty cycle* do conversor é modulado pelo algoritmo de controle do MPPT para igualar a potência de saída no ponto $dp/dv = 0$ onde P e V são a potência e tensão supridos pelo respectivo arranjo fotovoltaico.

No entanto, como o foco deste trabalho é a sincronização e implementação de um protótipo capaz de ser conectado à rede elétrica, o desenvolvimento deste estágio elevador de tensão não está no escopo. Sendo assim, esta seção apresenta breve explicação de seu funcionamento e pode ser utilizada como referência para implementação futura do conversor. Na prática utiliza-se uma fonte CC com tensão de saída adequada (315 V) para correto funcionamento do microinversor.

Figura 8 – Conversor *boost*.



Fonte: Do autor.

Quando o transistor se comporta como chave fechada, a corrente percorre apenas a primeira malha do circuito passando pelo indutor e pelo transistor e a energia é acumulada

no indutor L_1 . Quando o transistor está no estado chave aberta, o diodo passa a conduzir, o indutor e a fonte fornecem energia para a carga aumentando assim a tensão de saída, com o capacitor agindo como um filtro. O controlador do inversor é projetado para regular a potência fornecida garantindo que a tensão do *link* CC não caia abaixo do mínimo necessário para fornecer a tensão de saída de pico.

Na saída do conversor é adicionado um capacitor para limitar o *ripple* na saída do *link* CC e dar suporte à carga quando o diodo não está conduzindo. Quanto maior o capacitor menor é o *ripple* na tensão de saída, porém a resposta transiente do sistema é mais lenta e o capacitor demora mais para carregar.

A etapa de conversão CC-CA é de simples topologia, com baixa quantidade de componentes, baixo custo e alta eficiência. Inversores podem ser constituídos por meia ponte ou ponte completa (Ponte H), neste trabalho optou-se por utilizar a topologia de ponte completa devido a simplicidade de implementação e alta eficiência. Também porque para utilizar a meia ponte é necessário que a tensão de entrada tenha o dobro da amplitude, sendo que esta tensão necessita um divisor capacitivo, servindo o ponto intermediário de tensão, entre os capacitores, como ponto de referência de tensão zero, para propiciar o circuito de retorno da corrente de carga.

A Figura 9 apresenta o projeto da ponte completa para o inversor monofásico, o circuito consiste de quatro MOSFET's IRF740 com principais características de operação mostradas na Tabela 11. Este semiconductor foi escolhido com base em pesquisa de mercado sobre quais atendem as especificações de projeto, principalmente capacidade de tensão (mínimo 315 V) e corrente (mínimo 3,21 A), com margem de segurança e valor acessível.

Tabela 11 – Principais especificações IRF740.

Parâmetro	Valor
V_{DS} máximo	400 V
V_{GS} máximo	± 20 V
I_D máximo (25°C)	10 A
$V_{GS(th)}$	3 V
t_r	27 ns
t_f	27 ns
Q_g	63 nC
V_{BSUV-}	9,2 V

Fonte: ST Microelectronics

Os *gates* de cada semiconductor são controlados através da modulação por largura de pulso e o valor eficaz da tensão de saída na ponte H em um ciclo de chaveamento é diretamente proporcional ao índice de modulação e a amplitude da tensão no barramento CC. Tensão direta (semi-ciclo positivo) é aplicada a carga quando os MOSFET's 1 e 2

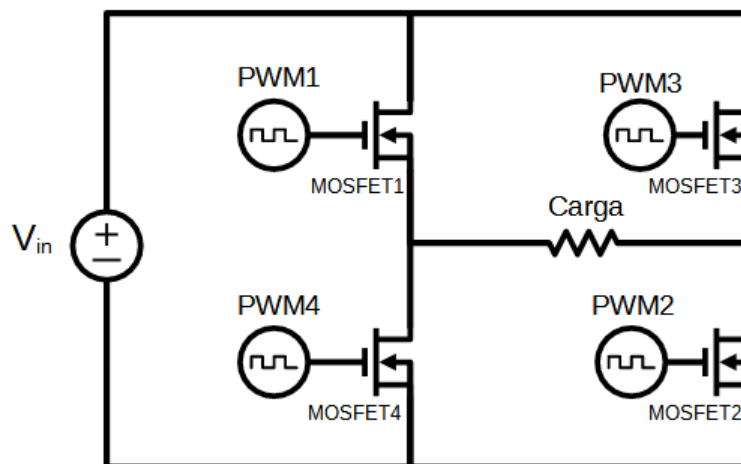
estão ligados simultaneamente, e quando os MOSFET's 3 e 4 estão ligados é aplicada tensão reversa (semi-ciclo negativo) à carga.

Em geral, estes transistores necessitam circuito de comando para o seu acionamento, principalmente quando o controle é realizado a partir de microcontroladores (MCUs) ou processadores digitais de sinais (DSPs), visto que esses dispositivos não têm capacidade suficiente de corrente e tensão.

Um circuito de comando pode ser isolado ou não-isolado, dependendo da aplicação, quando o terminal *source* do transistor compartilha o mesmo terra do conversor pode-se utilizar um circuito de comando não isolado, já quando o terminal *source* possui um referencial diferente do terra torna-se necessário isolar o circuito de comando.

Para acionar um MOSFET precisa-se aplicar uma tensão positiva maior ou menor que a tensão de *threshold* entre os terminais *gate* e *source*. No projeto do circuito de acionamento, o primeiro passo é definir uma tensão *gate-source* acima do valor de *threshold* que resulte no menor valor possível para a tensão *dreno-source* durante a condução. Logo, analisando os dados do componente observa-se que a tensão entre *gate* e *source* que garante a operação no modo saturado é 15 V, portanto adota-se $V_{GS} = 15V$.

Figura 9 – Ponte H.



Fonte: Do autor.

O próximo passo é determinar a corrente de *gate*, para isto utiliza-se as expressões 5 e 6 que consideram os tempos de subida e descida durante o chaveamento. Em alguns modelos o tempo de subida e de descida da tensão *gate-source* são diferentes, sendo necessário definir uma corrente de *gate* para a entrada em condução e outra para o bloqueio. Porém, no caso em estudo, de acordo com a Tabela 11 os tempos são iguais e é necessário calcular apenas uma corrente (Equação 7).

$$I_{G,on} = \frac{Q_g}{t_r} \quad (5)$$

$$I_{G,off} = \frac{Q_g}{t_f} \quad (6)$$

$$I_G = \frac{63 \cdot 10^{-9}}{27 \cdot 10^{-9}} = 2,3A \quad (7)$$

Definida a corrente de *gate*, é necessário dimensionar o resistor de gate externo que vai limitar a corrente, para isso basta dividir o valor máximo da tensão *gate-source* pelo valor obtido em (7).

$$R_G = \frac{V_{GS}}{I_G} = \frac{15}{2.3} = 6,52\Omega \quad (8)$$

Então utiliza-se o resistor comercial mais próximo do valor calculado, neste caso $R_G = 6,8\Omega$. A partir de então deve-se escolher o *driver* de acionamento, os circuitos integrados da família IR21XX da *International Rectifier* são muito conhecidos no mundo da eletrônica de potência e bastante populares em aplicações deste tipo por serem versáteis e acessíveis. Existem opções para aplicação *low-side* (quando o *source* está aterrado solidamente ao circuito de potência), *high-side* (quando o *source* está em um referencial diferente do terra do circuito), e por fim em modelos dois canais utilizados para acionamento de *half-bridges* onde o *source* do MOSFET superior está flutuando e no MOSFET *inferior* está aterrado solidamente (Figura 12).

Das possibilidades acima citadas, a que melhor se aplica e é utilizada neste trabalho é o acionamento em meia-ponte onde foi escolhido o *driver* IR2111 devido a sua capacidade de tensão e corrente atender as especificações de projeto, ter custo acessível e com base nos protótipos citados nas referências. Suas principais características são mostradas na Tabela 12.

Tabela 12 – Principais especificações elétricas do IR2111.

Parâmetro	Valor
V_{CC}	$-0,3 < V_{CC} \leq 25$ V
V_B	$-0,3 < V_B \leq 625$ V
V_S	$V_B - 25 < V_S \leq V_B + 0,3$ V
V_{HO}	$V_S - 0,3 < V_{HO} \leq V_B + 0,3$ V
V_{LO}	$-0,3 < V_{LO} \leq V_{CC} + 0,3$ V
V_{IN}	$-0,3 < V_{IN} \leq V_{CC} + 0,3$ V
$I_{O+/-}$	200/420 mA

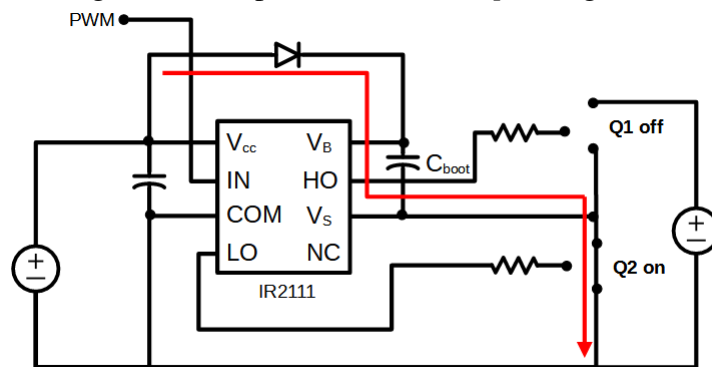
Fonte: *International Rectifier*

Como mostrado na Figura 12, o *driver* fornece as saídas alta e baixa (uma invertida em relação a outra) com tensão igual a V_{CC} a partir da entrada oriunda dos pulsos do optoacoplador. O capacitor entre V_{CC} e COM serve apenas como filtro, enquanto que o diodo e o capacitor entre V_B e V_S fazem parte do circuito de *bootstrap* responsável

pelo terra flutuante do MOSFET superior, visto que não está aterrado solidamente como o inferior.

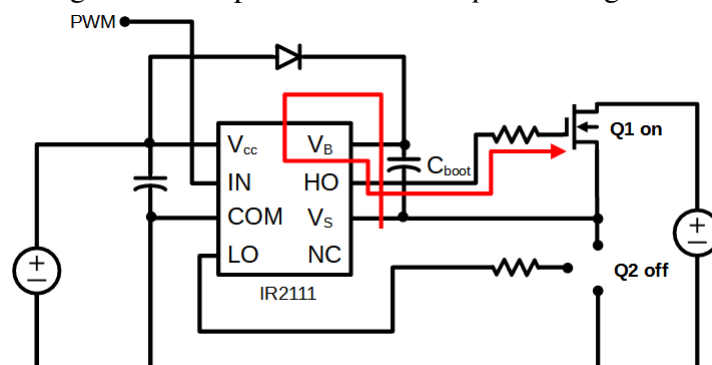
O circuito de *bootstrap* funciona da seguinte forma: quando o MOSFET2 é ligado, o MOSFET1 é desligado, a fonte de alimentação carrega o capacitor e a corrente flui de V_{CC} para V_S , o diodo evita que a corrente percorra caminho inverso e assim o capacitor é carregado com a tensão da fonte (Figura 10). Quando MOSFET1 é ligado, MOSFET2 é desligado e a carga do capacitor alimenta o circuito de *driver* do MOSFET1 que é mantido ligado até que cesse o pulso de disparo ou a carga do capacitor (Figura 11), o que ocorrer primeiro, porém o objetivo é manter a carga do capacitor para evitar oscilações no disparo. O projeto do diodo não necessita de análise matemática profunda, a única restrição é que deve ser um diodo ultra-rápido, sendo assim foi escolhido o modelo UF4007 que possui capacidade de 1000 V e 1 A.

Figura 10 – Capacitor de *bootstrap* carregando.



Fonte: Adaptado de *Application Report SLUA887 - Texas Instruments*.

Figura 11 – Capacitor de *bootstrap* descarregando.



Fonte: Adaptado de *Application Report SLUA887 - Texas Instruments*.

Para o dimensionamento do capacitor é necessária avaliação analítica, visto que sua capacitância influencia o chaveamento. Neste caso, utilizou-se como referência para dimensionamento a *application note AN-978* da *International Rectifier*, onde a capacitância é determinada pelos seguintes parâmetros (Equação 9):

- Tensão de *gate* necessária;
- Corrente quiescente no lado alto do circuito de *driver*;
- Correntes de chaveamento no circuito do *driver*
- Corrente de fuga direta *gate-source*;
- Corrente de fuga no capacitor.

Em que, o último fator só é relevante ao utilizar capacitor eletrolítico, podendo ser ignorado ao usar outros tipos de capacitor.

$$C = \frac{2(2Q_g + \frac{I_{qbs(max)}}{f} + Q_{ls} + \frac{I_{cbs(leak)}}{f})}{V_{CC} - V_f - V_{LS} - V_{min}} \quad (9)$$

Em que, Q_g e V_{ls} são parâmetros relacionados aos MOSFET's e obtidos do *datasheet*. $I_{qbs(max)}$ e V_{min} são relacionados ao *driver* IR2111, sendo que o primeiro é obtido diretamente do *datasheet* e o segundo deve ser no mínimo maior que V_{BSUV-} máximo. E Q_{ls} , de acordo com a referência, é $5 \eta C$. A Tabela 13 apresenta o valor das variáveis e o capacitor calculado.

Tabela 13 – Dimensionamento capacitor de *bootstrap*.

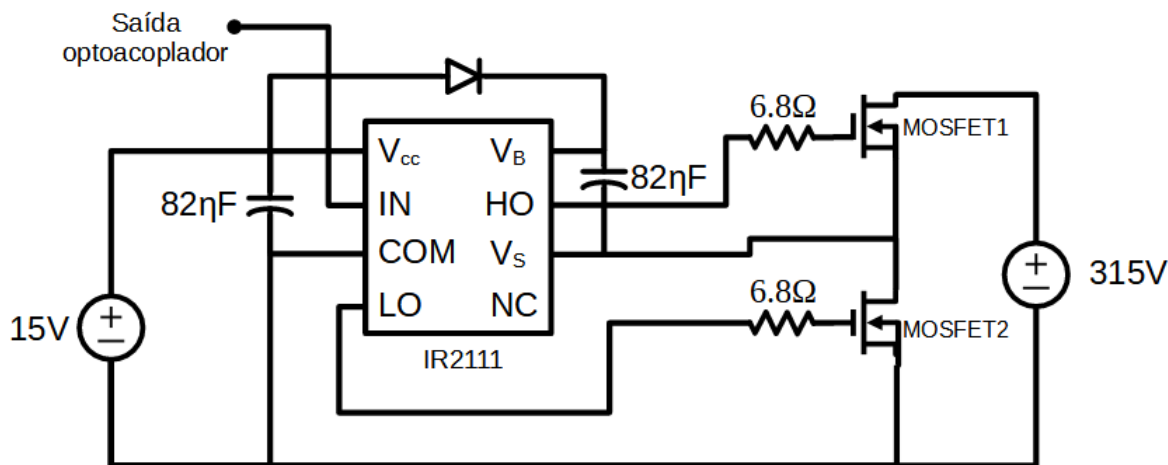
Variável	Valor
Q_g	$63 \eta C$
$I_{qbs(max)}$	$100 \mu A$
Q_{ls}	$5 \eta C$
$I_{cbs(leak)}$	$0 A$
V_{CC}	$15 V$
V_f	$1,7 V$
$V_{LS+/-}$	$0,06 V$
V_{min}	$9,2 V$
f_{ch}	$10 kHz$
C_{calc}	$68,8 \eta F$

Fonte: Do autor.

Portanto o capacitor deve ser maior ou igual a C_{calc} , considerando que o valor comercial imediatamente superior ($69 \eta F$) está muito próximo do limite calculado, no projeto foi escolhido capacitor de poliéster $82 \eta F$. Deve-se atentar que apesar de ser necessário capacitor maior ou igual ao valor obtido no cálculo, capacitâncias muito altas devem ser evitadas, visto que o tempo de carregamento do *bootstrap* diminui e o MOSFET inferior pode não ter tempo longo o suficiente para atingir a tensão do *bootstrap*.

Com todos componentes definidos, o circuito para acionamento em meia-ponte é mostrado na Figura 12. O mesmo é replicado simetricamente para a outra meia-ponte formando a ponte H completa do tipo mostrado na Figura 9.

Figura 12 – Configuração acionamento em meia ponte.



Fonte: Do autor.

6.2 Filtro de saída

O chaveamento utilizado na conversão CC-CA, para obter forma de onda senoidal, é realizado em alta frequência se comparada com a frequência do sinal senoidal de interesse, e sua vantagem é a redução de perdas no inversor. Porém, é gerado um conteúdo harmônico que se não for adequadamente filtrado afeta a qualidade de energia (Irwin, 2002; Luiz, 2007).

A presença desses componentes harmônicos não é desejável, uma vez que causam muitos problemas nos sistemas elétricos devido às perdas e interferências eletromagnéticas que surgem. Alguns problemas oriundos dos harmônicos são: redução da vida útil de máquinas girantes, aquecimento de transformadores, queima de banco de capacitores, ressonâncias, interferência nos dispositivos de proteção e erros nas medidas de potência (da Silva, 2007; Araújo, 2012).

A redução do conteúdo harmônico produzido pelos inversores pode ser realizada através da utilização de filtros passivos conectados a saída do inversor. Estes filtros são compostos por um conjunto de indutores e capacitores configurados para atuar como um filtro passa-baixa. Os três tipos mais utilizados são L (indutivo), LC (capacitivo-indutivo) e LCL (indutivo-capacitivo-indutivo). O emprego destas topologias está vinculado à atenuação harmônica necessária, aplicação do inversor, bem como à sua potência (Teixeira, 2009; Araújo, 2012; Luiz, 2007).

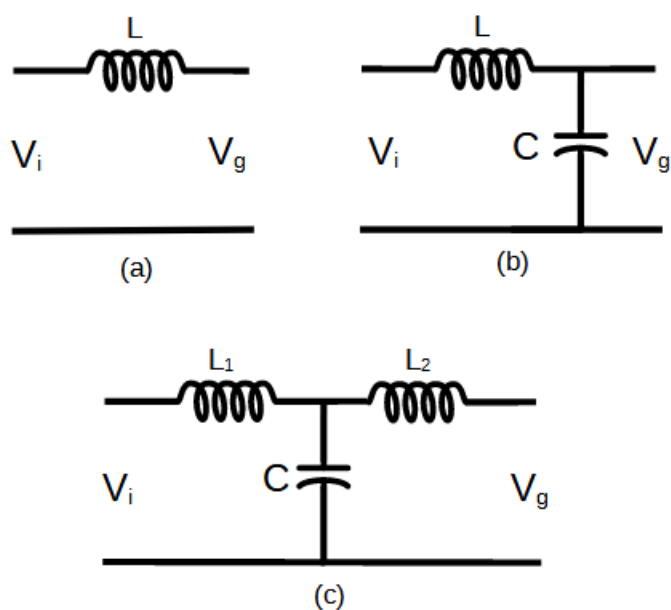
O filtro L (Figura 13a) é de primeira ordem, constituído por uma indutância conectada em série com a saída do inversor. Possui atenuação de magnitude na resposta em frequência de -20 dB/dec, característica típica de sistemas de primeira ordem (Ahmed et al., 2007; Luiz and Cardoso Filho, 2008). Tipicamente, esse tipo de filtro é utilizado em conversores que tem saída em corrente, porém dependendo do espectro harmônico e da amplitude das componentes harmônicas, um filtro de primeira ordem pode não ser

suficiente para garantir a atenuação necessária.

Assim, filtros de ordem superior devem ser empregados. Para inversores com saída em tensão, o uso de um filtro LC (Figura 13b) fornece maior atenuação dos harmônicos em relação ao anterior. Ainda sim, caso se deseje saída em corrente e o ponto de conexão da saída do conversor tenha uma característica indutiva, o filtro LC poderá ser utilizado por possuir maior atenuação do que o filtro L (Prodanovic and Green, 2003). Este filtro é constituído por uma indutância conectada em série com a saída do inversor e um elemento capacitivo em derivação, caracterizando um filtro passa-baixa. Possui uma resposta em frequência com atenuação de -40 dB/dec, típico de sistemas de segunda ordem. Usualmente, o filtro LC substitui o filtro L em aplicações onde o inversor opera como fonte de tensão. O filtro LC também pode ser utilizado na conexão de inversores com a rede elétrica desde que a rede tenha característica indutiva.

Entretanto, para inversores conectados à rede, esse não se mostra a melhor opção basicamente por dois problemas: a frequência de ressonância é muito suscetível a impedância no ponto de conexão e a corrente de carga durante a conexão com a rede é elevada (Araújo, 2012). O filtro de terceira ordem LCL (Figura 13c) apresenta maior atenuação harmônica quando comparado aos dois tipos anteriores. Em aplicações de conversores de potência conectados à rede, como os empregados em filtros ativos de potência ou nos sistemas de geração distribuída, necessita-se de um inversores com característica de fonte de corrente. Assim, os filtros de saída L e LCL são preferíveis.

Figura 13 – Filtros L, LC e LCL.



Fonte: Do autor.

O filtro LCL é constituído por uma indutância em série com a saída do inversor, um elemento capacitivo em derivação e uma segunda indutância em série com a saída do inversor para rede. Idealmente possui atenuação de magnitude em na resposta em frequên-

cia de -60 dB/dec, atenuação típica de sistemas de terceira ordem (Ahmed et al., 2007; Araújo et al., 2007).

Quando comparado com a topologia anterior, o filtro LCL tem a vantagem de proporcionar um melhor desacoplamento entre o filtro e a impedância da rede (reduzindo a dependência dos parâmetros da rede) e uma menor tensão de corrente de ondulação no indutor da rede (já que o *ripple* de corrente é reduzido pelo capacitor, a indutância no lado da rede sofre menos estresse). Apesar de o filtro LCL ter um maior número de componentes, frente aos filtros L e LC, possui algumas vantagens sobre esses, tais como: tem maior atenuação, possui saída indutiva no ponto de interligação com a rede o que evita grandes variações, e corrente no instante de conexão com a rede, possui indutores com valores reduzidos o que, conseqüentemente, reduz os custos de implementação (Wang et al., 2003; Machado, 2008). Considerando pontos discutidos acima, este trabalho propões o projeto e utilização do filtro LCL na saída do microinversor.

Uma dificuldade encontrada para o projeto desse filtro é como definir um bom critério para escolha dos parâmetros, devido à necessidade de se manter o fator de potência alto o suficiente, ao mesmo tempo que não se leve o sistema a ressonância. Além disso há questões relativas às perdas produzidas pelos indutores quando o filtro é empregado em aplicações de baixa potência, pois perdas elevadas levam o sistema a ter baixo rendimento (Barbosa et al., 2011; Araújo et al., 2007).

Sendo assim, nesta seção são apresentadas três metodologias para projeto de filtro LCL. A primeira baseada em Liserre et al. (2001) e Krug et al. (2004), usa como premissa básica a limitação do *ripple* de corrente no indutor. Essa metodologia é desenvolvida com base em um sistema trifásico, pois o filtro LCL, geralmente, é empregado neste tipo sistema.

A partir das especificações do sistema de potência nominal do inversor, tensão eficaz de linha, frequência que se deseja sintetizar e a frequência de chaveamento do inversor, inicialmente determinam-se os valores de impedância base e capacitância base utilizadas para cálculos dos componentes do filtro de acordo com as expressões 10 e 11.

$$Z_b = \frac{V_n^2}{P_n} \quad (10)$$

$$C_b = \frac{1}{Z_b \omega_n} \quad (11)$$

Em que $\omega_n = 2\pi f_r$ é a frequência angular da rede. Deste modo, o projeto do filtro LCL é realizado com base em três critérios para alcançar valores aceitáveis dos seus parâmetros:

- I. Impedância do indutor L_1 (X_{L_1}): deve ser inferior a 10% da impedância de base para limitar a queda de tensão (Liserre et al., 2001);
- II. Capacitância C_f do filtro: limitada de modo que a potência reativa absorvida da rede seja inferior a 5%, em condições nominais de operação do sistema (Liserre

et al., 2001);

- III. Frequência de ressonância (f_{res}): deve permanecer na faixa de dez vezes a frequência da rede e a metade da frequência de chaveamento, como mostrado na Equação 12 para evitar problemas de ressonâncias (Liserre et al., 2001).

$$10 \cdot f_r < f_{res} < \frac{f_{ch}}{2} \quad (12)$$

Mantendo o valor de f_{res} dentro dessa faixa torna-se mais difícil a excitação dos modos oscilatórios do filtro pela interação com os harmônicos de alta frequência ou com os de baixa frequência presentes na rede (Liserre et al., 2001; Barbosa et al., 2011; Araújo, 2012). Para se obter o indutor no lado do conversor, deve-se definir um percentual máximo para o *ripple* de corrente ($\Delta i_{L1}(\%)$) admissível que, juntamente com a potência do inversor e a tensão nominal de linha da rede, fornece o *ripple* de corrente máximo tolerável (Δi_{L1}). Isto é:

$$\Delta i_{L1} = \Delta i_{L1}(\%) \cdot \sqrt{2} \cdot \frac{P_n}{3 \cdot \frac{V_n}{\sqrt{3}}} \quad (13)$$

Em que $\Delta i_{L1} = I_{mx} - I_{mn}$. Obtém-se, então, o valor de L_1 através da expressão 14 (Krug et al., 2004).

$$L_1 = \frac{V_n}{2 \cdot \sqrt{6} \cdot f_s \cdot \Delta i_{L1}} \quad (14)$$

A porcentagem da impedância X_{L1} em relação a Z_b é dada por (15):

$$\%X_{L1} = \frac{2\pi \cdot f_r \cdot L_1}{Z_b} \quad (15)$$

Caso esse percentual seja maior do que 10%, deve-se adotar um valor menor que o escolhido para $\Delta i_{L1}(\%)$ e calcula-se, novamente, Δi_{L1} . Para o cálculo do capacitor C_f é levada em consideração a potência reativa absorvida pelo filtro em condições nominais de operação. Assim,

$$C_f = X_f \cdot C_b \quad (16)$$

Em que X_f representa o percentual da potência reativa absorvida. O valor da indutância do lado da rede (L_2) é calculado de acordo com a expressão 17.

$$L_2 = r \cdot L_1 \quad (17)$$

Em que a variável r representa a relação entre as indutâncias L_1 e L_2 . O valor de r é obtido de acordo com a expressão 18.

$$\frac{I_{2(h)}}{I_{1(h)}} = \frac{1}{|1 + r \cdot (1 - C_b \cdot L_1 \cdot \omega_{ch}^2 \cdot X_f)|} \quad (18)$$

Em que $\omega_{ch} = 2\pi f_{ch}$. Essa relação, segundo Liserre et al. (2001), deve ter um valor inferior a 20%. Com os valores de L_1 , L_2 e C_f obtidos, pode-se calcular a frequência de ressonância expressa por:

$$f_{res} = \frac{1}{2\pi} \sqrt{\frac{L_1 + L_2}{L_1 \cdot L_2 \cdot C_f}} \quad (19)$$

O valor da frequência de ressonância deve satisfazer o terceiro critério, expresso em (12), caso contrário deve-se alterar o valor do capacitor C_f . O procedimento de projeto apresentado foi concebido para sistemas trifásicos. Não há na literatura uma metodologia de projeto específica para sistemas monofásicos. Assim, essa metodologia é aplicada para sistemas monofásicos realizando modificação no cálculo do indutor L_1 , realizado considerando a tensão linha e que para adequar ao caso monofásico, considera-se a tensão de fase. Assim, a Equação 20 é modificada para:

$$L_1 = \frac{V_n}{2 \cdot \sqrt{2} \cdot f_{ch} \cdot \Delta i_{L1}} \quad (20)$$

Dardouri et al. (2018) projeta o filtro de forma semelhante, inicialmente calculando a capacitância de base, idem a Equação (11). Os indutores são calculados de forma diferente, Dardouri et al. (2018) utiliza a norma IEEE (2014) como referência para os cálculos, onde o valor da indutância total dada pela Equação 21 deve ser menor que 10% do valor da indutância total de base e ainda ressalta que pequenos valores de L_1 e L_2 contribuem para redução na queda de tensão do filtro, enquanto que grandes valores o torna mais volumoso e caro.

$$L_{Tmax} = (L_1 + L_2)_{max} = 10\% L_{Tb} = 10\% \frac{z_b}{2\pi f_r} \quad (21)$$

Sendo que o indutor L_1 é dado por:

$$L_1 = \frac{V_{CC}}{6 \cdot f_s \cdot \Delta i_{Lmax}} \quad (22)$$

Em que Δi_{L-max} é 10% do *ripple* de corrente:

$$\Delta i_{L-max} = 0.1 \frac{\sqrt{2} P_n}{V_n} \quad (23)$$

Reznik et al. (2013) inicia o projeto pela impedância e capacitância de base, idem aos dois métodos anteriores, para a escolha da capacitância do filtro considera que a variação máxima do fator de potência vista pela rede é de 5% (Equação 24), sendo que um fator de projeto superior a 5% pode ser usado, quando for necessário compensar a reatância indutiva do filtro.

$$C_f = 0.05 \cdot C_b \quad (24)$$

Sabendo que o *ripple* máximo de corrente na saída do inversor é dado por:

$$\Delta i_{Lmax} = \frac{2V_{CC}}{3L_1}(1-m)mT_{sw} \quad (25)$$

Considerando que o *ripple* máximo na corrente de pico-a-pico ocorre em $m=0.5$ e que vale 10% (Reznik et al., 2013):

$$\Delta i_{Lmax} = \frac{V_{DC}}{6f_{sw}L_1} \quad (26)$$

$$\Delta i_{Lmax} = 0.1 \cdot I_{max} \quad (27)$$

Em que:

$$i_{max} = \frac{P_n}{V_n} \sqrt{2} \quad (28)$$

Assim:

$$L_1 = \frac{V_{CC}}{6f_{ch}\Delta i_{Lmax}} \quad (29)$$

Para calcular a redução do *ripple*, o circuito equivalente do filtro LCL é inicialmente analisado considerando o inversor como fonte de corrente para cada frequência harmônica. Sendo assim, Reznik et al. (2013) relaciona a corrente harmônica gerada pelo inversor (Equação 18) com a injetada na rede para obter L_2 .

$$L_2 = \frac{\sqrt{\frac{1}{k_a^2} + 1}}{C\omega_{ch}^2} \quad (30)$$

Tabela 14 – Especificações de projeto filtro LCL.

Parâmetro	Valor
V_{CC}	315 V
V_n	220 V_{RMS}
f_r	60 Hz
P_n	500 VA
f_{ch}	10 kHz
ΔI_{Lmax}	10%
FP	1
k_a	10%
r	10%
ω_n	$2\pi f_r$

Fonte: Do autor.

Considerando a dificuldade em encontrar na literatura uma metodologia concreta e bem estabelecida para dimensionamento de filtros LCL para aplicação em inversores monofásicos, a estratégia adotada foi dimensionar o filtro de acordo com os três métodos

estudados anteriormente e avaliar os resultados com base nas semelhanças e diferenças. Os dados utilizados para projeto são apresentados na Tabela 14 e os resultados na Tabela 15.

Verifica-se uma divergência nos resultados para os diferentes métodos, sendo que o único componente que converge em ambos métodos (por ser calculado utilizando a mesma equação) é o capacitor. Para L_1 os métodos 2 e 3 forneceram o mesmo resultado, enquanto que L_2 difere nos três, com a ressalva de que os métodos 1 e 3 fornecem resultados próximos. Nos três métodos a condição da frequência de ressonância (Equação 12) foi satisfeita, então o critério adotado para escolha prévia dos valores dos indutores foi utilizar os valores mais frequentes ou mais próximos entre os três métodos.

Tabela 15 – Filtro projetado por diferentes métodos.

Parâmetro	Método 1	Método 2	Método 3
L_1	24,2 mH	16,33 mH	16,33 mH
L_2	2,40 mH	9,34 mH	2,03 mH
C	1,37 μ F	1,37 μ F	1,37 μ F
f_{res}	2909,96 Hz	1764,03 Hz	3200,04 Hz
$10 \cdot f_r$		600 Hz	
$\frac{f_{ch}}{2}$		5000 Hz	

Fonte: Do autor.

Sendo assim, define-se $L_1 = 16,33$ mH, $L_2 = 2,0$ mH e $C = 1,37$ μ F. Estes são resultados temporários pois na seção de simulações o filtro será avaliado em relação a outros aspectos como resposta em frequência, queda de tensão, tamanho e custo, no intuito de realizar uma análise completa que viabilize a implementação prática do filtro.

7 SINCRONIZAÇÃO COM A REDE ELÉTRICA E CONTROLE DE CORRENTE

7.1 Transformação de sistemas de referência

As transformações Clarke e Park são usadas para diversas aplicações como arquiteturas de controle vetorial relacionadas a máquinas síncronas de ímã permanente e sistemas de sincronização de maneira geral. Esta seção explica as transformações Park e Clarke, bem como suas transformadas inversas, que são aplicadas nos capítulos seguintes para sincronização e controle de corrente.

7.1.1 Transformada de Clarke

Em 1938, Edith Clarke apresentou uma modificação das componentes simétricas a fim de remover a parte imaginária presente nas componentes simétricas e facilitar os cálculos. Para apresentar o conceito, inicialmente define-se um sistema, convenientemente de 3 fases, dado pela seguinte Equação:

$$\lambda_{abc} = \begin{bmatrix} M_a \cos(\omega t + \phi_a) \\ M_b \cos(\omega t + \phi_b) \\ M_c \cos(\omega t + \phi_c) \end{bmatrix} \quad (31)$$

Em que λ_{abc} é uma variável qualquer definida pelo sistema de coordenadas abc , k é a coordenada, M_k é a amplitude máxima de k , ω é a velocidade angular do sistema [rad/s] e ϕ_k é a defasagem da coordenada k em relação a origem [rad]. Em um sistema trifásico equilibrado as amplitudes de todas as coordenadas do sistema são iguais e possuem uma defasagem de 120° ou $\frac{2\pi}{3}$ entre si. Ou seja,

$$\lambda_{abc} = M \begin{bmatrix} \cos(\omega t + \phi) \\ \cos(\omega t + \phi - 2\pi/3) \\ \cos(\omega t + \phi + 2\pi/3) \end{bmatrix} \quad (32)$$

A transformada de Clarke projeta as variáveis trifásicas dos eixos abc para os eixos $\alpha\beta$. Considerando que os eixos a e α estão na mesma direção e sentido (Equação 33).

Expandindo o termo T_{Clarke} , sem entrar em detalhes dos passos algébricos, pois não é o objetivo neste trabalho, o sistema abc equivalente é dado pela Equação 34.

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = T_{Clarke} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (33)$$

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (34)$$

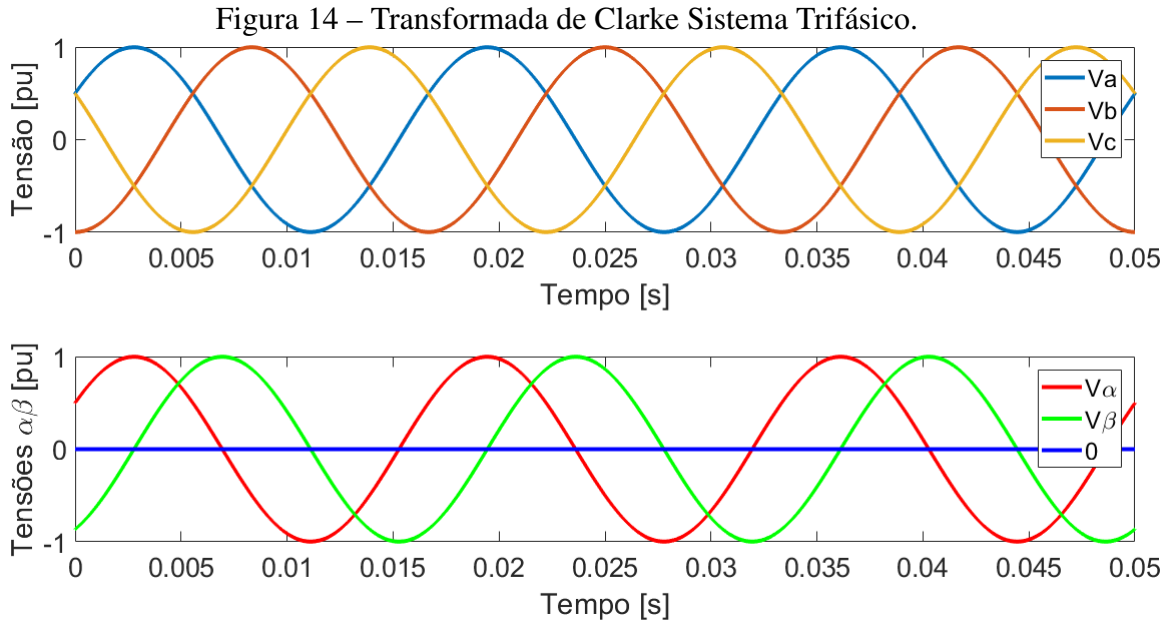
Extraindo da forma matricial as variáveis trifásicas são transformadas para o quadro de referência estacionário ortogonal de dois eixos usando a Equação 35.

$$\begin{aligned} V_\alpha &= \frac{2}{3}V_a - \frac{1}{3}(V_b - V_c) \\ V_\beta &= \frac{2}{\sqrt{3}(V_b - V_c)} \end{aligned} \quad (35)$$

Considerando um sistema equilibrado onde $I_a + I_b + I_c = 0$, tem-se que a transformada de Clarke é dada pelo conjunto de equações em 36, e sua inversa pelo conjunto de equações em 37.

$$\begin{aligned} V_\alpha &= V_a \\ V_\beta &= \frac{1}{\sqrt{3}(V_a + 2V_b)} \end{aligned} \quad (36)$$

$$\begin{aligned} V_a &= V_\alpha \\ V_b &= \frac{\sqrt{3}V_\beta - V_\alpha}{2} \\ V_c &= \frac{\sqrt{3}V_\beta - V_\alpha}{2} \end{aligned} \quad (37)$$



Fonte: Do autor.

7.1.2 Transformada de Park

Em 1929, Robert H. Park apresentou uma modificação da análise de máquinas elétricas na qual as tensões, correntes e fluxos magnéticos estão referidos a um sistema que está girando na mesma velocidade da máquina síncrona. O autor denomina esse sistema de $dq0$, onde d é o eixo direto da máquina síncrona e q é o eixo em quadratura, a coordenada 0 é a mesma dos sistemas $\alpha\beta0$ e abc . Matematicamente a Transformada de Park é definida por:

$$\lambda_{dq} = \frac{2}{3} \begin{bmatrix} \cos(\theta) & \cos(\theta - \frac{2\pi}{3}) & \cos(\theta + \frac{2\pi}{3}) \\ 1/2 & 1/2 & 1/2 \end{bmatrix} \begin{bmatrix} \lambda_a \\ \lambda_b \\ \lambda_c \end{bmatrix} \quad (38)$$

Em que θ é a posição instantânea dos eixos, λ_k é uma variável (geralmente tensão, corrente ou fluxo magnético) relacionada à coordenada k . O objetivo da transformada de Park é projetar as variáveis dos eixos $\alpha\beta$ para os eixos dq como mostrado na Equação 39, que após algebrismo matemático e algumas simplificações chega-se em sua forma final (Equação 40).

$$\begin{bmatrix} V_d \\ V_q \end{bmatrix} = T_{Park} \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} \quad (39)$$

$$\begin{bmatrix} V_d \\ V_q \end{bmatrix} = \begin{bmatrix} \cos(\theta) & \sin(\theta) & 0 \\ -\sin(\theta) & \cos(\theta) & 0 \end{bmatrix} \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} \quad (40)$$

Sendo assim, as variáveis no quadro de referência estacionário ortogonal de dois eixos ($\alpha\beta$) são transformadas para o quadro de referência rotativo de acordo com o conjunto de

equações dado em 41. Enquanto que o processo inverso é realizado de acordo com o conjunto de equações dado em 42.

$$V_d = V_\alpha \cos(\theta) + V_\beta \sin\theta \quad (41)$$

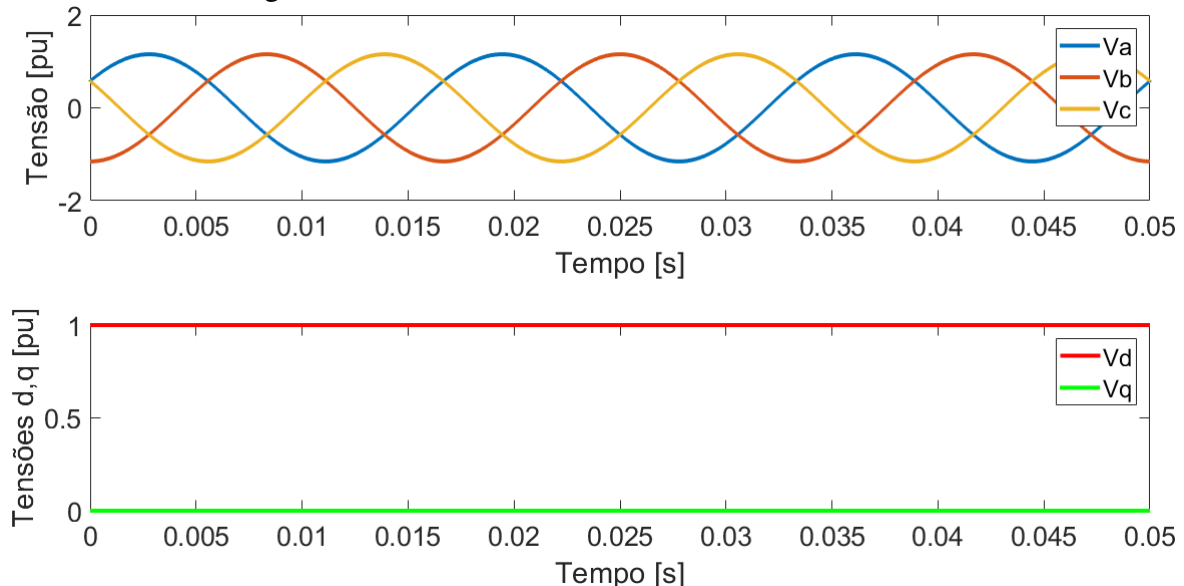
$$V_q = V_\beta \cos(\theta) - V_\alpha \sin\theta$$

$$V_\alpha = V_d \cos(\theta) - V_q \sin\theta \quad (42)$$

$$V_\beta = V_q \cos(\theta) + V_d \sin\theta$$

Neste trabalho a transformada de Park é aplicada malha de sincronização com a rede elétrica (PLL) e sua inversa na saída do controle de corrente (Figura 28).

Figura 15 – Transformada de Park Sistema Trifásico.



Fonte: Do autor.

7.2 PWM

O PWM é uma técnica que se caracteriza pela geração de pulso de amplitude constante modulando a duração do ciclo de trabalho. O controle PWM analógico requer a geração de sinais de referência e modulante inseridos em comparador para gerar a saída lógica (Figura 17), o objetivo final é chavear os MOSFET's de potência com a ajuda do *driver* IR2111. O sinal de referência pode ser onda senoidal ou quadrada, enquanto que ondas do tipo dente de serra ou triangulares são utilizadas como portadora em uma frequência significativamente maior que a referência.

Existem diversas técnicas propostas na literatura que diferem em conceito e/ou desempenho, sendo que as principais são:

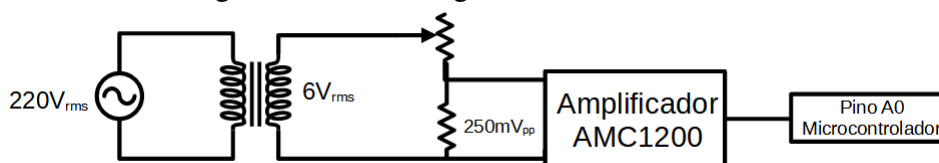
- PWM de controle de corrente por banda de histerese;

- Modulação por portadora sincronizada;
- PWM senoidal (SPWM);
- PWM de vetor espacial (SVPWM).

As técnicas de PWM por histerese e portadora sincronizada utilizam estratégias de frequência de chaveamento variável, nas quais a frequência da portadora varia com a forma de onda de saída. Já nos casos de SPWM e SVPWM a frequência da portadora é fixa.

No SPWM são necessários dois sinais: uma onda de referência e uma onda portadora. Como o objetivo deste projeto é entregar potência à rede elétrica, a referência utilizada é o sinal senoidal 60 Hz lido da rede, que devido ao nível de tensão ($220 V_{RMS}$) ser alto para o microcontrolador, um transformador rebaixador é utilizado em conjunto com um divisor de tensão para converter a tensão em sinal senoidal de $500 mV_{pp}$ que posteriormente passa por um amplificador isolador, conforme Figura 16.

Figura 16 – Amostragem tensão rede elétrica.



Fonte: Do autor.

Analogicamente o PWM é gerado utilizando elementos de circuitos digitais para comparar a onda de referência com a onda portadora como mostrado na Figura 17. Porém, por ser mais eficiente e simples, neste trabalho este processo é realizado internamente no microcontrolador onde uma onda triangular de 10 kHz é utilizada como onda portadora na comparação com o sinal de referência oriundo do circuito apresentado na Figura 16 para gerar o sinal PWM.

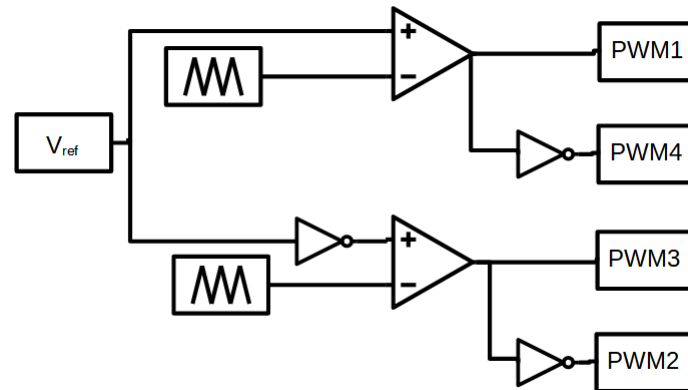
A Figura 18 mostra o princípio de funcionamento desta técnica, onde nos casos em que a onda modulante tem maior amplitude que a portadora a saída é nível alto e quando a portadora possui maior amplitude a saída tem nível baixo, com isto são gerados pulsos estreitos nas extremidades do sinal e mais largos no centro (pico e vale da senoide).

O coeficiente de modulação é dado por:

$$m = \frac{v_m}{v_p} \quad (43)$$

Idealmente o coeficiente de modulação deve variar entre 0 e 1 para que se mantenha uma relação linear entre as magnitudes da onda modulante e da onda de saída. O inversor atua basicamente como um amplificador linear com um ganho específico entre o sinal modulante/referência e a tensão de saída.

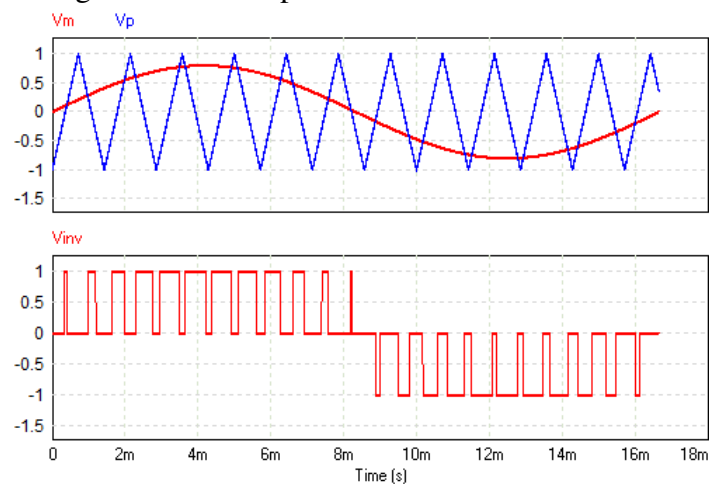
Figura 17 – Geração SPWM analógicamente.



Fonte: Do autor.

A magnitude dos harmônicos mais altos é independente da frequência da portadora. Em frequências portadoras mais altas os harmônicos de saída do inversor serão significativamente atenuados pelo filtro de saída, e as formas de onda de tensão e corrente de saída se aproximam de uma senoide. A seleção da frequência da portadora depende da compensação entre a perda do inversor e a qualidade da forma de onda de saída. Frequências de portadora mais altas aumentam a perda de chaveamento do inversor, mas diminuem o custo e o tamanho do filtro de saída, reduzindo a distorção da forma de onda de saída.

Figura 18 – Princípio de funcionamento SPWM.



Fonte: Do autor.

7.3 PLL

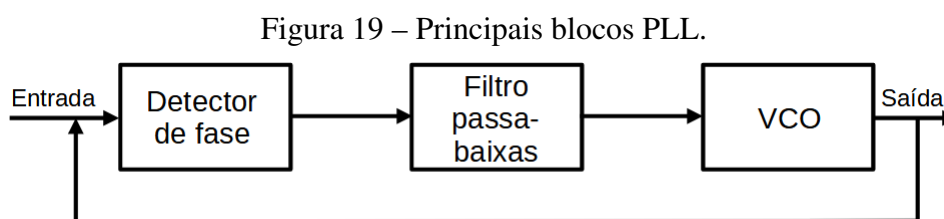
O PLL, ou também chamado de malha de travamento de fase, é parte fundamental das tecnologias referentes ao rádio, transmissões sem fio, telecomunicações e sistemas que necessitam sincronização de um sinal com base em uma referência. É um sistema negativamente realimentado podendo ser implementado analógica ou digitalmente, de

forma a permitir a geração estável e com baixo ruído.

A diferença básica entre analógicos e digitais são seus componentes, PLL's digitais trabalham em tempo discreto e utilizam filtros digitais, já os PLL's analógicos geralmente são compostos por detector de fase, filtro passa-baixa e oscilador controlado por tensão (VCO). Nesta seção o objetivo é elencar as principais técnicas para aplicação em inversores de frequência, e definir critérios de avaliação para escolha de qual oferece melhor relação desempenho x viabilidade de implementação.

7.3.1 Princípio de funcionamento

O princípio básico de funcionamento consiste na correção contínua da diferença de fase e/ou frequência existente entre o sinal de entrada e de saída do *loop*. Isto ocorre através da interação entre três principais blocos (Figura 19): detector de fase/frequência (PD/PED), filtro passa-baixas (LPF) e oscilador controlado por tensão (VCO).



Fonte: Do autor.

O bloco detector de fase/frequência fornece uma tensão de saída cuja componente CC é proporcional a diferença de fase/frequência entre o sinal de entrada e sinal do VCO, gerando um sinal de erro. O sinal gerado pelo PD é encaminhado ao filtro, onde é extraída a sua componente contínua para utilização como sinal de controle do oscilador.

O filtro é responsável por filtrar a saída do PD e converter os pulsos de corrente num valor contínuo de tensão, utilizado para controlar o VCO, ou seja, funciona como uma rede de transimpedância convertendo corrente em tensão enquanto filtra. Este bloco também está relacionado ao aspecto de estabilidade da realimentação, atenuação de ruídos indesejados e na determinação da largura de banda do *loop*, aspecto influente no ruído total do PLL.

O VCO é responsável por gerar um sinal cuja frequência é dependente da tensão de controle, de forma que este sinal é realimentado no *loop* como entrada do PD, observa-se que a frequência do sinal de saída do VCO é uma multiplicação da frequência do sinal de referência. Numa situação onde não existe um sinal de entrada, a frequência do sinal de saída é determinada apenas pelo VCO, a partir de suas características, permanecendo num valor central.

Em resumo, quando uma entrada é aplicada no sistema, o PD realiza a comparação entre a entrada e o sinal gerado pelo VCO. Sendo diferentes, gera-se um erro proporcional a essa diferença que passa pelo filtro e serve como tensão de controle do VCO, ajustando

a frequência do sinal de saída deste bloco e aproximando-a da frequência do sinal de entrada. A partir do momento que estas se igualam, o VCO trava, ou seja, diz-se que capturou o sinal de entrada e a saída do PLL é um sinal multiplicado em frequência por um fator N . Uma alteração na frequência do sinal de entrada acarretará num novo sinal diferença, gerado na saída do PD, causando uma mudança de tensão na saída do filtro que levará o VCO a se adaptar a essa nova frequência.

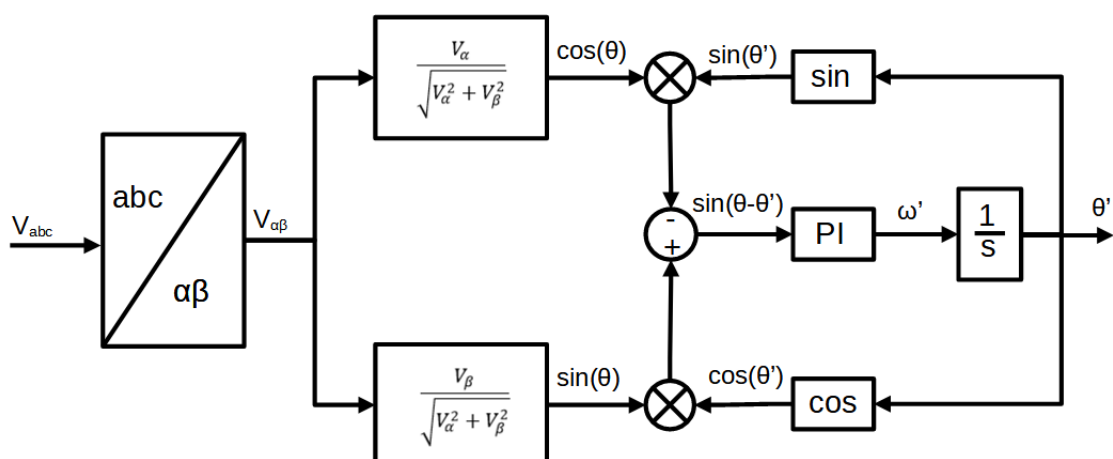
Visando o correto funcionamento do sistema e como meio de verificar desempenho entre diferentes topologias, alguns parâmetros devem ser levados em consideração:

- Faixa de Frequência: frequência de operação do PLL;
- Ruído de Fase: indicador da qualidade do sinal;
- Tempo de travamento ou *settling time*: tempo necessário para estabelecer uma nova frequência, ou seja, sintonizar um novo canal.

7.3.2 PLL Com Quadro De Referência Estacionário ($\alpha\beta$ -PLL)

Este modelo tem como principal característica a utilização da transformada de Clarke para detecção da frequência angular, transformando o quadro de referência natural abc para o quadro de referência estacionário $\alpha\beta$. A velocidade angular da rede é estimada pela Equação 44.

Figura 20 – Diagrama de blocos $\alpha\beta$ -PLL.



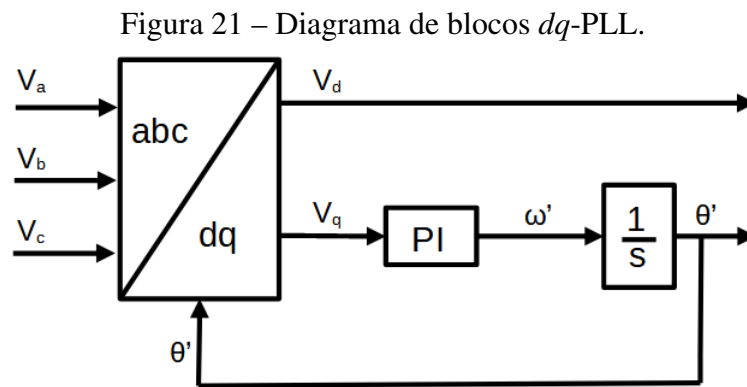
Fonte: Do autor.

$$\Delta\theta = (\theta - \theta') = \text{sen}(\theta - \theta') \approx \text{sen}(\theta)\cos(\theta') - \text{sen}(\theta')\cos(\theta) \quad (44)$$

Em que θ' é a velocidade angular medida da rede e θ é a verdadeira velocidade angular da rede. Para controlar a variável $\Delta\theta$ de tal forma que seu valor seja zero, o controle de malha fechada mostrado no diagrama de blocos da Figura 20 é utilizado.

7.3.3 PLL Com Quadro De Referência Síncrono (*dq*-PLL)

Este modelo é muito comum em aplicações trifásicas e a principal diferença para o anterior é que a detecção da frequência é feita pelo uso da transformada de Park, onde o vetor de tensão trifásico é transformado do quadro de referência natural *abc* para a referência rotativa *dq*. Um *loop* de *feedback* é usado para regular a componente *q* à zero controlando a velocidade angular do quadro de referência *dq*. A amplitude do vetor de tensão é dada pela componente *d* e a saída do *loop* de *feedback* fornece a velocidade angular da rede.



Fonte: Do autor.

Além de ser bastante popular em aplicações de controle de potência, o *dq*-PLL está disponível nas bibliotecas do Simulink® no software MATLAB®. Em sistemas equilibrados ele é capaz de eliminar o erro de estado estacionário no rastreamento da fase e da frequência e alcançar alta largura de banda, o que oferece desempenho de rastreamento rápido e preciso. No entanto, é muito sensível a harmônicos ou desequilíbrios na tensão e então esquemas de controle mais sofisticados são necessários nessas situações.

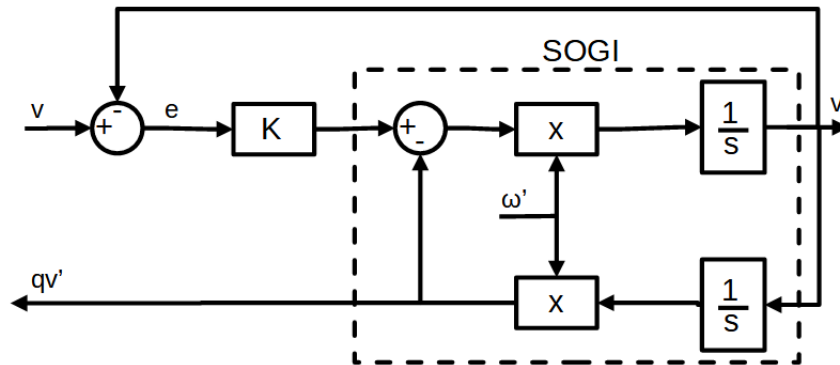
Este conceito também pode ser utilizado em aplicações monofásicas, porém como não há três tensões balanceadas e uma tensão monofásica não pode ser transformada em um vetor espacial como é feito em sistemas trifásicos, é necessário realizar algumas manobras. Uma possibilidade é gerar duas componentes perpendiculares *e* e *eq*, em seguida tratar essas componentes como v_α e v_β para formar $v_{\alpha\beta}$ e então realizar a transformada de Park.

7.3.4 PLL com integrador generalizado de segunda ordem (SOGI-PLL)

O SOGI-PLL é baseado na geração de sinais de quadratura adaptativos em frequência por meio de um filtro integrador generalizado de segunda ordem mostrado na Figura 22.

A estrutura deste esquema é dependente da frequência e problemas ocorrem quando a frequência da rede tem flutuações, por isso é necessário um ajuste da estrutura em relação à sua frequência de ressonância. As funções de transferência de malha fechada do filtro passa-banda de segunda ordem são mostradas nas Equações 45 e 46.

Figura 22 – Diagrama de blocos filtro SOGI.



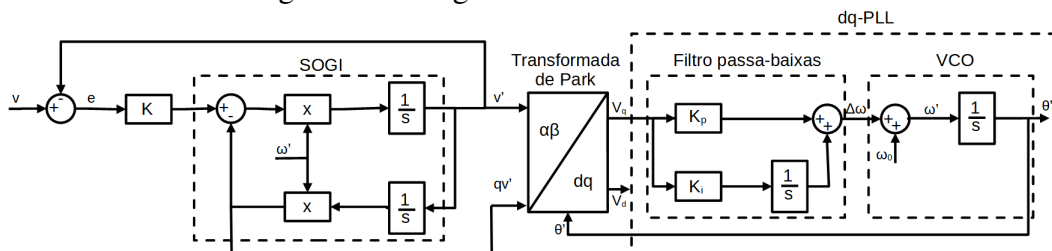
Fonte: Do autor.

$$H_d(s) = \frac{v'}{v}(s) = \frac{k\omega_0 s}{s^2 + k\omega_0 s + \omega_0^2} \quad (45)$$

$$H_q(s) = \frac{qv'}{v}(s) = \frac{k\omega_0^2}{s^2 + k\omega_0 s + \omega_0^2} \quad (46)$$

Em que a largura de banda do filtro é independente da frequência central ω_0 , sendo exclusivamente definida pelo ganho k . Além disso, as funções de transferência de evidenciam que a saída qv' está sempre 90° defasada da saída v' , independentemente da frequência do sinal de entrada v e da frequência de ressonância do SOGI. O modelo mostrado na Figura 23 é conhecido como SOGI-PLL.

Figura 23 – Diagrama de blocos SOGI-PLL.



Fonte: Do autor.

7.3.5 Estratégia de avaliação

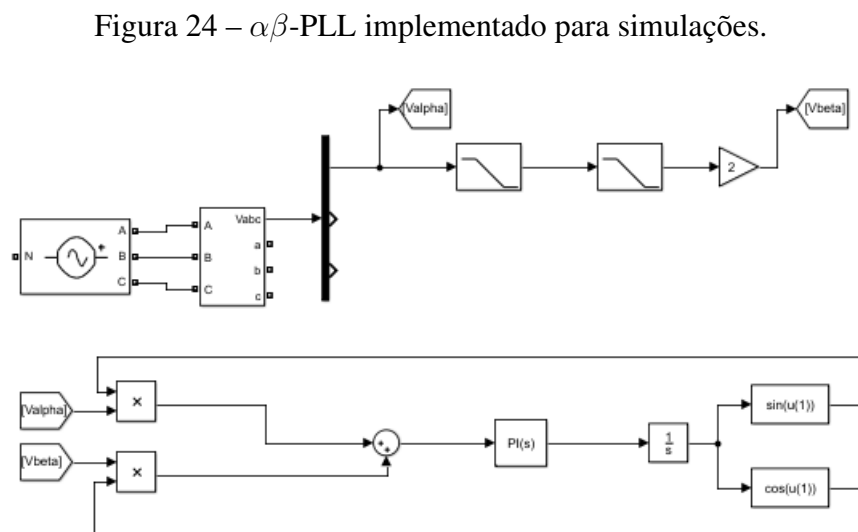
Para a comparação de desempenho entre os três tipos de PLL foram definidas cinco condições consideradas críticas e que podem ocorrer em sistemas *grid tie*, em relação a tensão de referência, são elas: tensão de rede equilibrada, variação de amplitude, desvios de frequência, saltos de fase e distorções harmônicas. Para implementação das simulações foi utilizado o aplicativo Simulink® do *software* Matlab®.

Os parâmetros K_p e K_i para os diferentes PLL's são mostrados na Tabela 16. É importante destacar que para os três casos de teste os parâmetros internos do controlador PI foram selecionados levando em consideração o meio termo entre o tempo de resposta, *overshoot* tolerável, tempo de regime transitório e tolerância a alta distorção no sinal de entrada. Assim, os resultados apresentados neste trabalho não podem ser comparados rigorosamente com outros PLL's do mesmo tipo observados na literatura, pois seus parâmetros foram ajustados para lidar com distúrbios e distorções no sinal de entrada.

Tabela 16 – Parâmetros do controlador PI para diferentes PLL.

Tipo PLL	K_p	K_i
$\alpha\beta$	100	50000
dq	100	100000
SOGI	2.5	50

Fonte: Do autor

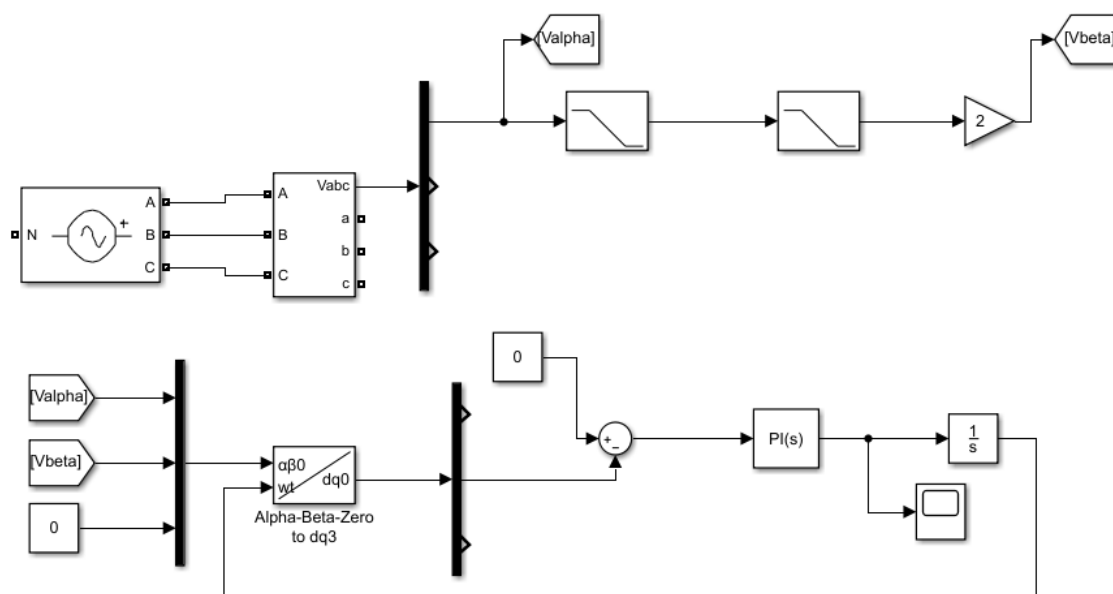


Fonte: Do autor.

O diagrama de blocos mostrado na Figura 24 é uma adaptação do $\alpha\beta$ -PLL monofásico baseado na teoria da potência instantânea (teoria pq). Neste caso, devido ao uso de uma tensão ou corrente monofásica como entrada, a transformação para as coordenadas $\alpha\beta$ é fictícia, onde o sinal de entrada V_i corresponde ao componente β e a componente α é gerada atrasando o sinal em 90° , com a utilização de dois filtros passa-baixas de primeira

ordem em série. O sinal de atraso de 90° pode ser obtido por circuitos analógicos ou digitais, em uma implementação digital o atraso pode ser facilmente implementado por meio do uso de uma estrutura de memória FIFO, e de forma analógica é possível realizar o atraso com filtros ativos ou passivos.

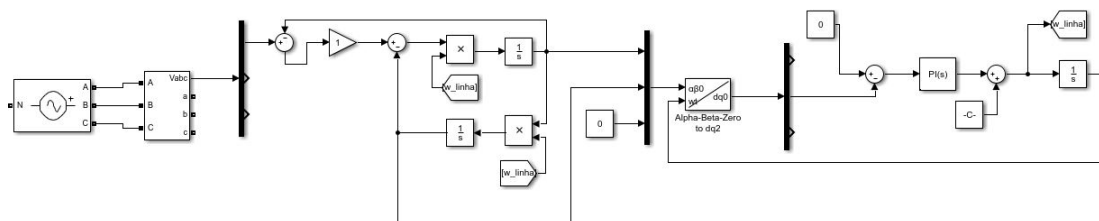
Figura 25 – dq -PLL implementado para simulações.



Fonte: Do autor.

A Figura 25 mostra o diagrama de blocos para o dq -PLL, este circuito contém uma etapa a mais se comparado ao anterior, pois a detecção de frequência angular é feita pelo uso da transformação de Park, o vetor de tensão é transformado para o sistema de referência estacionário $\alpha\beta$ e posteriormente para o sistema de referência rotativo dq .

Figura 26 – SOGI-PLL implementado para simulações.



Fonte: Do autor.

A estrutura do SOGI-PLL difere do $\alpha\beta$ -PLL e do dq -PLL na forma como o sinal ortogonal é produzido. A Figura 26 mostra o diagrama de blocos do SOGI, possui uma estrutura simples baseada na utilização de um integrador duplo e requer não só a tensão da rede, mas também a frequência angular. Os integradores representam dois filtros de segunda ordem com largura de banda ajustável e frequência de ressonância igual à

frequência do sinal de entrada. Se a frequência da rede estiver na frequência de ressonância do SOGI o sinal V_α tem a mesma fase e amplitude que a fundamental do sinal de entrada e V_β é ortogonal a V_α .

7.4 Controle de corrente

Inversores de frequência *grid-tie* devem entregar potência para a rede elétrica da concessionária e para isto é necessário um controle de corrente. No presente trabalho o inversor implementado é controlado por tensão, contudo a corrente de saída é uma variável de grande importância para monitoramento e controle da potência que está sendo injetada na rede, por isto também é realizado controle por corrente.

Sabe-se que a potência de saída do inversor é proporcional a corrente em quadratura em relação a tensão da rede, portanto, a referência de corrente pode ser dividida em duas componentes: corrente de referência para potência ativa (i_d^*) e corrente de referência para potência reativa (i_q^*). Em que,

$$i^* = i_d^* + i_q^* \quad (47)$$

$$i_d^* = i_d^* \text{sen}(\theta) \quad (48)$$

$$i_q^* = i_q^* \text{cos}(\theta) \quad (49)$$

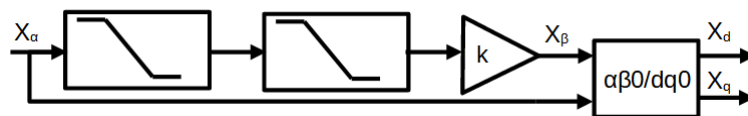
Na malha de controle da corrente, dada na Figura 28, as referências para potência ativa e reativa necessárias para alimentar a rede são obtidas e a potência instantânea entregue a rede é calculada utilizando as componentes dq de tensão e corrente medidas da rede elétrica. A partir destas componentes, as potências ativa e reativa podem ser calculadas de acordo com as Equações a seguir.

$$P = V_d i_d + V_q i_q \quad (50)$$

$$Q = V_d i_d - V_q i_q \quad (51)$$

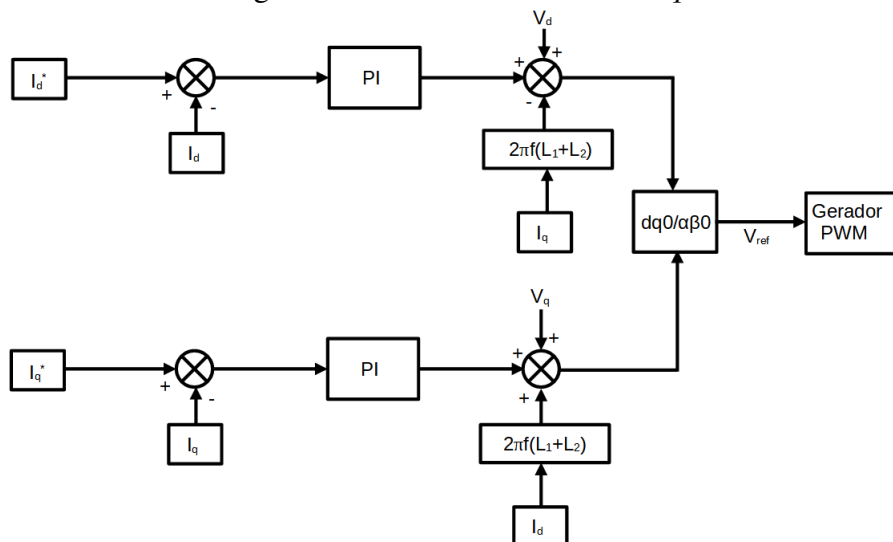
Os valores calculados são comparados com a referência de potência ativa e reativa e consequentemente as correntes de saída de referência para a rede são obtidas utilizando controladores PI. Como o uso da transformada dq necessita no mínimo duas fases, esta transformação em um sistema monofásico não pode ser implementada diretamente, como já mencionado anteriormente, então cria-se uma componente de fase virtual ortogonal por meio de um filtro passa-baixas de segunda ordem. Neste processo ocorre um atraso de 90° do sinal de saída em relação a entrada e como consequência uma atenuação, para solucionar a atenuação aplica-se um ganho na saída, como mostrado na Figura 27.

Ambas correntes de saída do inversor e da carga são transformadas para o sistema dq , a corrente na carga é utilizada como corrente de comando e a corrente de saída do inversor é subtraída para gerar os sinais d e q de erro que são enviados aos controladores PI que

Figura 27 – Obtenção componentes dq .

Fonte: Do autor.

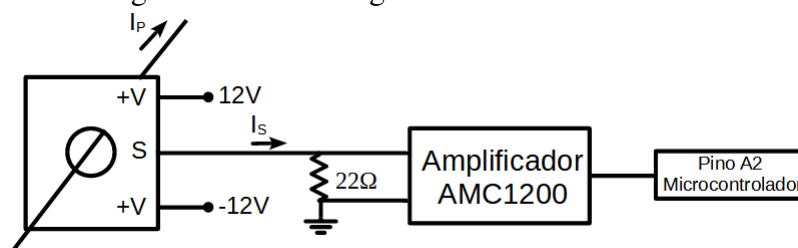
ajustam sua saída para eliminar este erro. Então a saída do controlador PI é transformada de volta ao sistema de referência estacionário, utilizando apenas a parte real da transformada inversa. A saída é utilizada para comandar o gerador de sinal PWM que controla a tensão de saída da ponte H.

Figura 28 – Controle de corrente dq .

Fonte: Do autor.

Similar ao caso de tensão (Figura 16), a corrente da rede elétrica é amostrada utilizando circuito com amplificador isolador. A diferença é que o transformador de potencial é substituído por um sensor de efeito *Hall* que possui um resistor conectado em série com sua saída, sendo que a queda de tensão no resistor é amplificada e enviada a porta analógica do Arduino como mostra a Figura 29.

Figura 29 – Amostragem corrente rede elétrica.



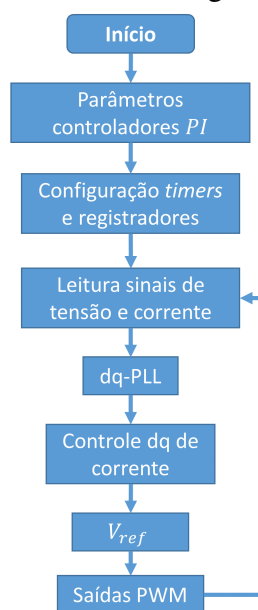
Fonte: Do autor.

8 IMPLEMENTAÇÃO EM SOFTWARE

Todo o processamento e controle do microinversor é realizado pelo Arduino via código desenvolvido linha a linha com utilização de algumas bibliotecas e funções prontas. Inicialmente são definidos os parâmetros dos controladores PI utilizados no PLL e controle de corrente, então são realizadas configurações nos *timers* do microcontrolador para operação em modo PWM. Na sequência os sinais de tensão e corrente no PCC são lidos e utilizados no PLL que fornece as informações de frequência da rede necessárias para o controle de corrente.

A saída da malha de controle de corrente fornece uma tensão senoidal de referência utilizada como onda modulante para gerar os pulsos PWM de chaveamento dos MOS-FET's, então novamente são lidos tensão e corrente, e este laço de repetição é realizado com a frequência de 10 kHz. A estrutura resumida do código é mostrada no fluxograma da Figura 30 e seus detalhes são descritos nos subcapítulos seguintes.

Figura 30 – Estrutura do código implementado.



Fonte: Do autor.

8.1 PWM

A modulação por largura de pulso pode ser implementada no Arduino de várias maneiras. Esta seção tem como objetivo explicar as possibilidades, como usar os registradores e qual a técnica adotada. O chip ATmega328P possui três temporizadores PWM que controlam seis saídas e manipulam diretamente os registros do temporizador.

8.1.1 Timers ATMEGA

O ATmega328P tem três temporizadores conhecidos como Temporizador 0, Temporizador 1 e Temporizador 2. Cada temporizador tem dois registradores de comparação de saída que controlam a largura do PWM para as duas saídas do temporizador: quando o temporizador atinge o valor do registrador de comparação, a saída correspondente é alternada. As duas saídas para cada temporizador normalmente terão a mesma frequência, mas podem ter ciclos de trabalho diferentes (dependendo do respectivo registro de comparação de saída).

Cada um dos temporizadores possui um *pre-scale* que gera o relógio do temporizador dividindo o relógio do sistema por um fator de pré-escala como 1, 8, 64, 256 ou 1024. O Arduino possui um relógio do sistema de 16 MHz e a frequência do relógio do temporizador é a frequência do relógio do sistema dividida pelo fator de *pre-scale*.

Os temporizadores podem operar em vários modos diferentes. Os principais modos de PWM são "*Fast PWM*" e "*Phase-correct PWM*", que são descritos na sequência. O temporizador pode ser executado de 0 a 255 ou de 0 a um valor fixo. (O Timer 1 de 16 bits possui modos adicionais para suportar valores de timer de até 16 bits.) Cada saída também pode ser invertida. O Timer 1 utilizado neste trabalho apresenta os modos de operação mostrados na Figura 31.

Figura 31 – Descrição *bits* WGM de acordo com modo de operação TIMER1.

Mode	WGM13	WGM12 (CTC1)	WGM11 (PWM11)	WGM10 (PWM10)	Timer/Counter Mode of Operation	TOP	Update of OCR1x at	TOV1 Flag Set on
0	0	0	0	0	Normal	0xFFFF	Immediate	MAX
1	0	0	0	1	PWM, Phase Correct, 8-bit	0x00FF	TOP	BOTTOM
2	0	0	1	0	PWM, Phase Correct, 9-bit	0x01FF	TOP	BOTTOM
3	0	0	1	1	PWM, Phase Correct, 10-bit	0x03FF	TOP	BOTTOM
4	0	1	0	0	CTC	OCR1A	Immediate	MAX
5	0	1	0	1	Fast PWM, 8-bit	0x00FF	BOTTOM	TOP
6	0	1	1	0	Fast PWM, 9-bit	0x01FF	BOTTOM	TOP
7	0	1	1	1	Fast PWM, 10-bit	0x03FF	BOTTOM	TOP
8	1	0	0	0	PWM, Phase and Frequency Correct	ICR1	BOTTOM	BOTTOM
9	1	0	0	1	PWM, Phase and Frequency Correct	OCR1A	BOTTOM	BOTTOM
10	1	0	1	0	PWM, Phase Correct	ICR1	TOP	BOTTOM
11	1	0	1	1	PWM, Phase Correct	OCR1A	TOP	BOTTOM
12	1	1	0	0	CTC	ICR1	Immediate	MAX
13	1	1	0	1	(Reserved)	–	–	–
14	1	1	1	0	Fast PWM	ICR1	BOTTOM	TOP
15	1	1	1	1	Fast PWM	OCR1A	BOTTOM	TOP

Fonte: Embarcados (2022).

8.1.2 Registradores

Vários registradores são usados para controlar cada temporizador. Os registros de controle de temporizador/contador TCCRnA e TCCRnB mantêm os bits de controle principais para o temporizador. Esses registradores contêm vários grupos de bits:

- WGM: controlam o modo geral do temporizador (Esses bits são divididos entre TCCRnA e TCCRnB);
- CS: controlam o *prescale* de *clock*;
- COMnA: habilita, desabilita, ou inverte a saída A;
- COMnB: habilita, desabilita, ou inverte a saída B.

Os registradores de comparação de saída OCRnA e OCRnB definem os níveis nos quais as saídas A e B serão alteradas, quando o valor do temporizador corresponde ao valor do registro, a saída correspondente é modificada conforme especificado pelo modo. O controle do modo de operação do TIMER1 é feito nos registradores TCCR1A e TCCR1B, conforme descrito nas Figuras 32 e 33.

Figura 32 – Modos *bits* TCCR1A.

Bit (0x80)	7	6	5	4	3	2	1	0	TCCR1A
Read/Write	COM1A1	COM1A0	COM1B1	COM1B0	–	–	WGM11	WGM10	
Initial Value	0	0	0	0	0	0	0	0	

Fonte: Embarcados (2022).

Figura 33 – Modos *bits* TCCR1B.

TCCR1B – Timer/Counter1 Control Register B

Bit (0x81)	7	6	5	4	3	2	1	0	TCCR1B
Read/Write	ICNC1	ICES1	–	WGM13	WGM12	CS12	CS11	CS10	
Initial Value	0	0	0	0	0	0	0	0	

Fonte: Embarcados (2022).

Onde ICNC1 habilita/desabilita o filtro de ruído no pino de captura ICP1 e ICES1 seleciona qual borda no pino de entrada (ICP1) é usada para disparar evento de captura. Sabendo que COM1A1 e COM1B1 controlam os pinos de saída OC1A e OC1B, respectivamente, a Figura 34 mostra suas configurações possíveis para operação em modo não PWM.

A Figura 35 apresenta os modos de configuração dos *bits* de *clock* para o TIMER1B.

Figura 34 – Compare output mode não PWM.

COM1A1/COM1B1	COM1A0/COM1B0	Description
0	0	Normal port operation, OC1A/OC1B disconnected.
0	1	Toggle OC1A/OC1B on Compare Match.
1	0	Clear OC1A/OC1B on Compare Match (Set output to low level).
1	1	Set OC1A/OC1B on Compare Match (Set output to high level).

Fonte: Embarcados (2022).

Figura 35 – Modos de operação bits CS.

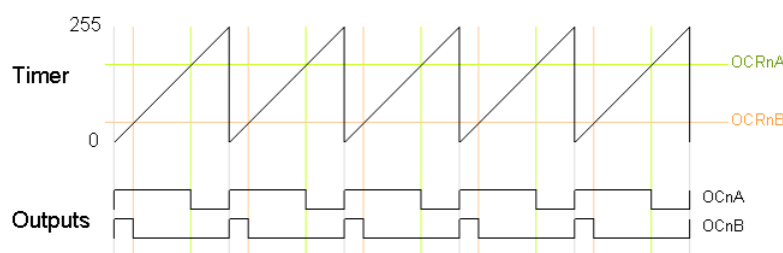
CS12	CS11	CS10	Description
0	0	0	No clock source (Timer/Counter stopped).
0	0	1	$clk_{IC}/1$ (No prescaling)
0	1	0	$clk_{IC}/8$ (From prescaler)
0	1	1	$clk_{IC}/64$ (From prescaler)
1	0	0	$clk_{IC}/256$ (From prescaler)
1	0	1	$clk_{IC}/1024$ (From prescaler)
1	1	0	External clock source on T1 pin. Clock on falling edge.
1	1	1	External clock source on T1 pin. Clock on rising edge.

Fonte: Embarcados (2022).

8.1.3 Fast PWM

No modo PWM mais simples, o temporizador conta repetidamente de 0 a 255. A saída liga quando o temporizador está em 0 e desliga quando o temporizador corresponde ao registrador de comparação de saída. Quanto maior o valor no registro de comparação de saída, maior o ciclo de trabalho. Este modo é conhecido como Modo PWM rápido. O diagrama da Figura 36 mostra as saídas para dois valores específicos de OCRnA e OCRnB, observa-se que ambas as saídas têm a mesma frequência, correspondendo à frequência de um ciclo completo do temporizador.

Figura 36 – Funcionamento PWM rápido.



Fonte: Arduino Docs (2022).

A Figura 37 apresenta as possíveis configurações para este modo de operação.

Figura 37 – Compare output mode PWM rápido.

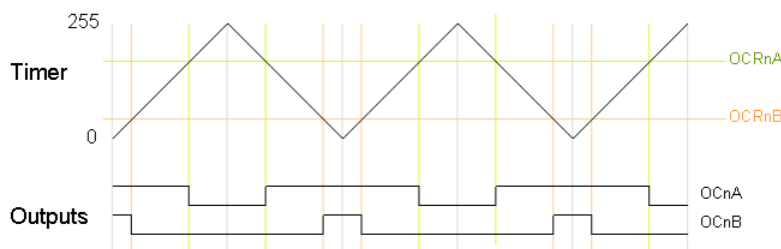
COM1A1/COM1B1	COM1A0/COM1B0	Description
0	0	Normal port operation, OC1A/OC1B disconnected.
0	1	WGM13:0 = 14 or 15: Toggle OC1A on Compare Match, OC1B disconnected (normal port operation). For all other WGM1 settings, normal port operation, OC1A/OC1B disconnected.
1	0	Clear OC1A/OC1B on Compare Match, set OC1A/OC1B at BOTTOM (non-inverting mode)
1	1	Set OC1A/OC1B on Compare Match, clear OC1A/OC1B at BOTTOM (inverting mode)

Fonte: Embarcados (2022).

8.1.4 Phase-Correct PWM

O segundo modo é chamado de PWM com correção de fase e frequência. Neste modo, o cronômetro conta de 0 a 255 e depois volta a 0. A saída desliga quando o cronômetro atinge o valor do registrador de comparação de saída no caminho para cima e liga novamente quando o cronômetro atinge o valor do registrador de comparação de saída em o caminho para baixo. O resultado é uma saída mais simétrica. A frequência de saída será aproximadamente metade do valor para o modo PWM rápido, porque o temporizador é executado tanto para cima quanto para baixo.

Figura 38 – Funcionamento PWM com correção de fase e frequência.



Fonte: Arduino Docs (2022).

Figura 39 – Compare output mode PWM com correção de fase e frequência.

COM1A1/COM1B1	COM1A0/COM1B0	Description
0	0	Normal port operation, OC1A/OC1B disconnected.
0	1	WGM13:0 = 9 or 11: Toggle OC1A on Compare Match, OC1B disconnected (normal port operation). For all other WGM1 settings, normal port operation, OC1A/OC1B disconnected.
1	0	Clear OC1A/OC1B on Compare Match when up-counting. Set OC1A/OC1B on Compare Match when downcounting.
1	1	Set OC1A/OC1B on Compare Match when up-counting. Clear OC1A/OC1B on Compare Match when downcounting.

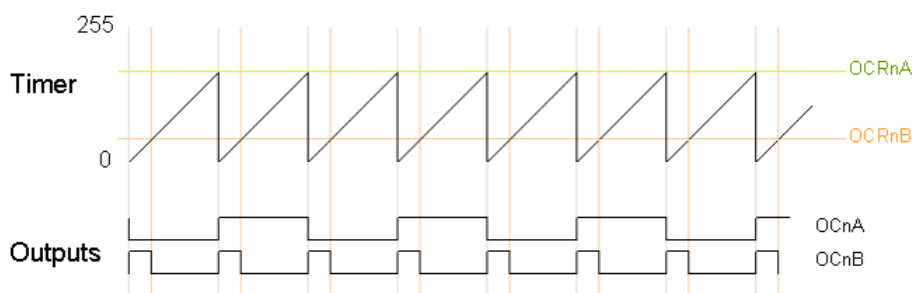
Fonte: Embarcados (2022).

8.1.5 Variando o valor de estouro do *timer*: *Fast PWM*

Tanto o PWM rápido quanto o PWM com correção de fase e frequência têm um modo adicional que fornece controle sobre a frequência de saída. Neste modo o temporizador conta de 0 a OCRA (o valor do registrador de comparação de saída A), em vez de 0 a 255. Isso dá muito mais controle sobre a frequência de saída do que os modos anteriores e é o modo que permite a implementação do SPWM, visto que, o *duty cycle* necessita ser variável.

Neste modo, somente a saída B pode ser usada para PWM; O OCRA não pode ser usado como valor superior e valor de comparação PWM. No entanto, existe um modo de caso especial "*Toggle OCnA on Compare Match*" que alterna a saída A no final de cada ciclo. No diagrama a seguir, o temporizador é reiniciado quando corresponde a OCRnA, produzindo uma frequência de saída mais rápida para OCnB do que nos diagramas anteriores.

Figura 40 – Funcionamento *fast PWM* com variação no valor de estouro do *timer*.



Fonte: Arduino Docs (2022).

8.1.6 Definição parâmetros

A partir da compreensão do funcionamento dos *timers*, registradores e modos do PWM, faz-se a definição dos principais parâmetros para desenvolvimento do código. Iniciando pelas configurações dos *timers* 1A (Tabela 32) e 1B (Tabela 33) para o modo PWM com correção de fase e frequência (onda portadora triangular). Como deseja-se zerar o TIMER1A quando o comparador atingir o valor de OC1A, COM1A1 e COM1A0 valem, respectivamente, 1 e 0 (Tabela 39) e o mesmo vale para os valores de COM1B1 e COM1B0. Os próximos dois bits são irrelevantes e, portanto, setados em 0, por fim WGM11 e WGM10 valem 0 pois estes bits em conjunto com os bits WGM13 e WGM12 na configuração do TIMER1B definem operação no modo PWM com correção de fase em frequência.

Passando à configuração do TIMER1B, os dois primeiros bits valem zero pois não se tem interesse em habilitar o filtro de ruído e a borda de descida é selecionada no pino de entrada ICP1 para disparar o evento de captura. O próximo bit é um bit reservado e de acordo com as referências deve ser zero, WGM13 e WGM12 valem, respectivamente, 1 e

0 que em conjunto com WGM11 e WGM10 formam 1000, o que configura o modo PWM com correção de fase e frequência (Figura 31). Os três últimos bits são definidos como 001 pois não necessita-se *pre-scale* do contador.

O próximo passo é definir o valor de ICR1 que está relacionado com o *clock* interno do microcontrolador e a frequência da onda portadora (frequência de chaveamento), como mostra a Equação 52.

$$ICR1 = \frac{f_{clock}}{f_{ch}} = \frac{16 \cdot 10^6}{10 \cdot 10^3} = 1600 \quad (52)$$

Por fim, TIMSK1 é definido como 00000001 para habilitar as interrupções disponíveis no TIMER1, a Tabela 17 resume os principais parâmetros utilizados no código para geração do PWM senoidal. Enquanto que os registradores de comparação OCR1A (pino 9) e OCR1B (pino 10) são variáveis e recebem o valor de V_{ref} em um semiciclo e zero no seguinte.

Tabela 17 – Parâmetros de código para o SPWM.

Parâmetro	Valor
TCCR1A	10100000
TCCR1B	00010001
ICR1	1600
TIMSK1	00000001

Fonte: Do autor

8.2 Integral numérica

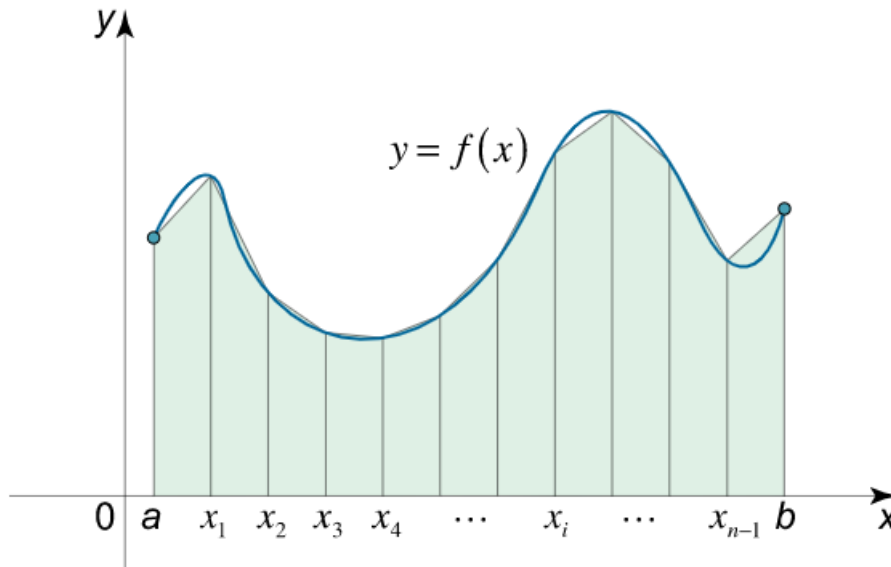
Observando o diagrama de blocos do PLL e do controle de corrente *dq* verifica-se a necessidade de utilizar integradores na saída do PLL, e internamente para o ganho integral (k_i) do controlador PI no controle de corrente. Com isto, surge a necessidade de utilizar métodos numéricos para implementação da integral no microcontrolador, visto que, em tempo contínuo não é possível.

Existem diferentes métodos para resolver uma integral em tempo discreto, aqui é utilizado a integração numérica pela regra do trapézio, devido a sua eficiência e simplicidade do algoritmo. Este é um método numérico usado para estimar a área ao longo do intervalo de tempo finito $b - a$, em uma curva contínua $x(t)$ conforme mostrado na Figura 41. A integral é calculada utilizando valores de amostra em uma sequência $x[n]$ discreta de comprimento finito.

Na Figura 41 tem-se uma área subdividida em infinitos segmentos e a soma da área dos mesmos resulta no valor aproximado da integral desejada. A área no domínio do tempo para o primeiro trapézio é $area_{a \rightarrow a+\Delta} \approx \Delta \frac{x(0)+x(1)}{2}$ onde:

$$\Delta = \frac{b - a}{N - 1} \quad (53)$$

Figura 41 – Integração pela regra do trapézio.



Fonte: Math24 (2022).

Da mesma forma, a área do segundo trapézio é $area_{a \rightarrow a+2\Delta} \approx \Delta \frac{x(1)+x(2)}{2}$. Incluindo mais dois segmentos, a área total dos primeiros quatro trapézios é dada por:

$$\begin{aligned} area_{a \rightarrow b} &\approx \Delta \left(\frac{x(0) + x(1)}{2} + \frac{x(1) + x(2)}{2} + \frac{x(2) + x(3)}{2} + \frac{x(3) + x(4)}{2} \right) \approx \\ &\approx \Delta \left(\frac{x(0)}{2} + x(1) + x(2) + x(3) + \frac{x(4)}{2} \right) \end{aligned} \quad (54)$$

Este processo pode seguir infinitamente, logo, com base na Equação 54, o método geral da regra trapezoidal para calcular a integração em tempo discreto, considerando N amostras de dados, é dado por:

$$\int_a^b x(t) dt = area_{a \rightarrow b} \approx \Delta \left(\frac{x(0)}{2} + \sum_{k=1}^{N-2} x(k) + \frac{x(n) - 1}{2} \right) \quad (55)$$

Na Equação 55 quanto maior o valor de N maior a taxa de amostragem de $x(t)$, o que gera mais $x[n]$ amostras no intervalo $b - a$, e conseqüentemente produz resultado da integral mais preciso. No código implementado, a taxa de amostragem segue a mesma frequência das interrupções que geram o pulso PWM, ou seja, a cada interrupção b recebe o instante de tempo atual e a recebe b (instante de tempo anterior), então calcula-se a integral de acordo com a Equação 55.

9 RESULTADOS E DISCUSSÕES

9.1 Simulações

9.1.1 PLL

As simulações realizadas buscam explorar situações que podem ocorrer durante a operação de um inversor de frequência monofásico que está conectado à rede e assim avaliar o comportamento e desempenho dos três tipos de PLL abordados. Geralmente são encontrados quatro tipos de perturbações elétricas básicas em um sinal de tensão ou corrente: perturbações na amplitude, frequência ou forma de onda do sinal e desequilíbrios de tensão/corrente em sistemas trifásicos. Inicialmente simulou-se uma condição de operação ideal, onde o sinal de referência V_{in} é uma onda puramente senoidal e sem distúrbios, os resultados são mostrados na Tabela 18.

Tabela 18 – Caso 1: Sinal de entrada puramente senoidal.

	Primeiro Caso	$\alpha\beta$ -PLL	dq -PLL	SOGI-PLL
	<i>Settling Time</i>	122 ms	124 ms	0.5 μ s
Sem distúrbios	Máx. Freq. No Período Transitório	94 Hz	125 Hz	60 Hz
	Mín. Freq. No Período Transitório	43 Hz	-25 Hz	60 Hz
	THD Do Sinal De Saída	0.8%	0.8%	0.8%
	THD Máx. No Período Transitório	0.88%	1.2%	0.8%

Fonte: Do autor

Os desequilíbrios de tensão presentes na rede elétrica são fenômenos referentes à alteração do padrão de sistemas de transmissão/distribuição. É a condição, na qual as fases apresentam tensões com módulos diferentes entre si, ou defasagem angular diferente de 120° , ou ainda, as duas situações simultaneamente. Com o surgimento de correntes desequilibradas percorrendo o circuito elétrico, têm-se quedas de tensões provenientes dessas correntes. Existem vários fatores que podem vir a gerar desequilíbrios nas tensões, sendo que os mais usuais são:

- Distribuição inadequada de cargas monofásicas;

- Linhas aéreas de transmissão com disposição física assimétrica e sem transposição;
- Conexões de transformadores;
- Abertura de um condutor;
- Fornos elétricos trifásicos a arco;
- Abertura de fusíveis em uma das fases de um banco de capacitores;
- Distorção Harmônica.

As perturbações na amplitude da tensão ocorrem quando são produzidas variações de tensão em um sinal puramente senoidal, podendo ocorrer:

- afundamento (*sag*): diminuição brusca da tensão, seguida por um restabelecimento após um curto intervalo de tempo (10ms a 1 min.);
- sobretensão (*swell*): caracterizada pelo incremento do valor eficaz da tensão na faixa de 110% a 180% e com duração entre 0,5 ciclos a 1 minuto. Geralmente está associada condições de falta desequilibrada no sistema, saída de grandes blocos de carga e entrada de bancos de capacitores.
- interrupção da alimentação: ocorre quando a tensão é inferior a um certo limite;
- sobretensão transitória: é de curta duração (máximo alguns mili segundos);
- flutuações de tensão: variações na amplitude do sinal, periódicas ou aleatórias (mais ou menos 10% em torno do valor nominal);
- cintilação (*flicker*): pode ser notada pela sensação visual de que a luminosidade está variando no tempo.

Tabela 19 – Caso 2: Sinal de entrada com variação de amplitude.

Segundo Caso		$\alpha\beta$ -PLL	dq -PLL	SOGI-PLL
Variação de amplitude	<i>Settling Time</i>	122 ms	124 ms	0.5 μ s
	Máx. Freq. No Período Transitório	94 Hz	125 Hz	60 Hz
	Mín. Freq. No Período Transitório	43 Hz	-25 Hz	60 Hz
	THD Do Sinal De Saída	0.8%	0.8%	0.8%
	THD Máx. No Período Transitório	0.88%	1.2%	0.8%

Fonte: Do autor

As distorções de fase ocorrem quando o deslocamento de fase não varia linearmente com a frequência da rede, assim a componente da frequência sofre um *delay*. Apesar de

Tabela 20 – Caso 3: Sinal de entrada com variação de fase.

Terceiro Caso		$\alpha\beta$ -PLL	dq -PLL	SOGI-PLL
Variação de fase	<i>Settling Time</i>	235 ms	247 ms	200 ms
	Máx. Freq. No Período Transitório	94 Hz	125 Hz	60 Hz
	Mín. Freq. No Período Transitório	26 Hz	-44 Hz	58 Hz
	THD Do Sinal De Saída	0.8%	0.8%	0.8%
	THD Máx. No Período Transitório	1.0%	1.2%	0.8%

Fonte: Do autor

ser um distúrbio mais raro de ser observado na rede elétrica este caso também foi simulado para efeito de observar a resposta dos diferentes PLL's à mudança brusca no ângulo da tensão de referência.

Em sistemas elétricos, a frequência está diretamente relacionada à rotação dos geradores do sistema. Em qualquer instante, a frequência depende do balanço entre a carga e a geração disponível. Quando este equilíbrio é alterado, pequenas variações ocorrem e quando ultrapassam os valores limites das condições normais de regime permanente são, normalmente, causadas por faltas no sistema de transmissão, desconexão de grandes blocos de carga e saída de grandes parques de geração. Os efeitos deste tipo de distúrbio são variados e podem afetar, por exemplo, a operação de máquinas rotativas. Contudo, devido a interconexão dos sistemas elétricos modernos, estes distúrbios são raros de ocorrer e são mais prováveis em sistemas de consumidores que possuam geração própria, quando passam a operar na configuração isolada. Sendo assim, a Tabela 21 apresenta os resultados ao elevar a frequência da tensão por determinado período de tempo.

Tabela 21 – Caso 4: Sinal de entrada com variação de frequência.

Quarto Caso		$\alpha\beta$ -PLL	dq -PLL	SOGI-PLL
Variação de frequência	<i>Settling Time</i>	220 ms	240 ms	150 ms
	Máx. Freq. No Período Transitório	128 Hz	134 Hz	62 Hz
	Mín. Freq. No Período Transitório	36 Hz	-45 Hz	59 Hz
	THD Do Sinal De Saída	0.8%	0.8%	0.8%
	THD Máx. No Período Transitório	0.92%	1.2%	0.8%

Fonte: Do autor

Harmônicas são componentes de uma onda periódica cuja frequência é um múltiplo inteiro da frequência fundamental, por exemplo, múltiplos de 60 Hz no Brasil. Desta forma, pode-se dizer que um sinal periódico contém harmônicas quando a forma de onda desse sinal não é senoidal, ou seja, o sinal é deformado em relação a um sinal senoidal. O grau de distorção harmônica presente na tensão e/ou corrente pode ser quantificado matematicamente com base no estudo das ondas não senoidais periódicas por meio da série de *Fourier*.

Existem harmônicos pares e ímpares. Os ímpares são mais frequentes e com maior intensidade, sendo encontrados nas instalações elétricas em geral e sendo os maiores causadores de problemas. De acordo com a ordem do harmônico ele pode ser de sequência positiva, negativa ou zero. O harmônico de ordem 1 é de sequência positiva, o de ordem 2 é de sequência negativa, o de ordem 3 é de sequência zero, o de ordem 4 é novamente de sequência positiva e assim por diante.

Tomando como exemplo um motor trifásico, as harmônicas de sequência positiva tenderiam a fazer o motor girar no mesmo sentido da componente fundamental provocando uma sobrecorrente nos seus enrolamentos. Essas harmônicas normalmente provocam aquecimentos indesejados em condutores, motores, transformadores, e outros equipamentos. Já as harmônicas de sequência negativa fariam o motor girar em sentido contrário ao giro produzido pela fundamental freando o motor e causando aquecimentos. As harmônicas de sequência zero não provocam efeitos no sentido de rotação do motor, porém somam-se algebricamente no condutor neutro, com amplitude de até três vezes maior que a corrente de terceira ordem de cada uma das fases, causando aquecimentos excessivos do condutor neutro, destruição de bancos de capacitores, entre outros problemas. Sendo assim, a Tabela 22 apresenta os resultados para o último caso estudado, onde leva em conta um sinal de entrada com distorção harmônica.

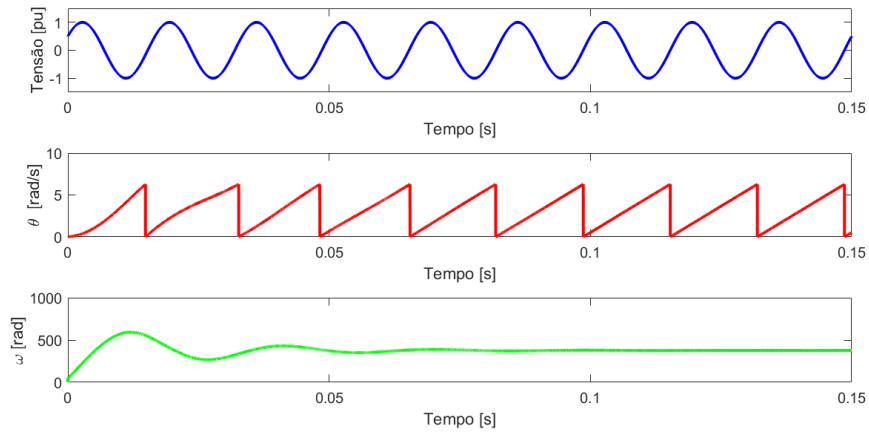
Tabela 22 – Caso 5: Sinal de entrada com distorção harmônica.

Quinto Caso		$\alpha\beta$ -PLL	dq -PLL dq	SOGI-PLL
	<i>Settling Time</i>	170 ms	200 ms	200 ms
Distorção harmônica	Máx. Freq. No Período Transitório	94 Hz	125 Hz	60 Hz
	Mín. Freq. No Período Transitório	43 Hz	-44 Hz	59 Hz
	THD Do Sinal De Saída	0.8%	0.8%	0.8%
	THD Máx. No Período Transitório	0.88%	1.2%	0.8%

Fonte: Do autor

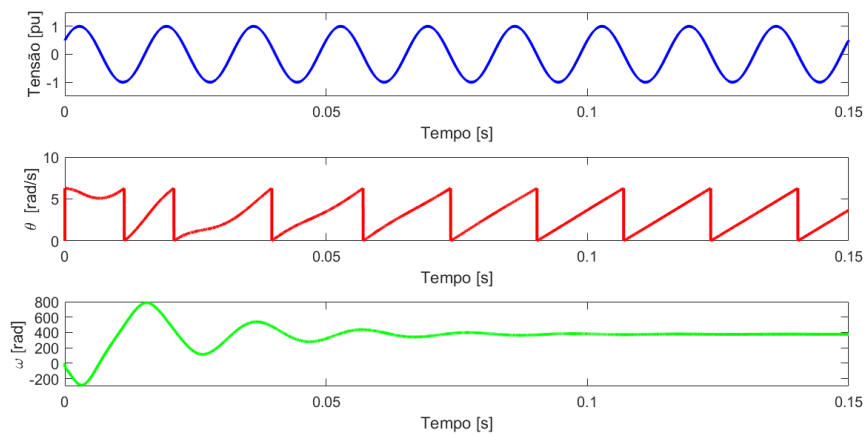
As Figuras 42 a 56 apresentam os resultados gráficos para as simulações realizadas.

Figura 42 – Resultados $\alpha\beta$ -PLL para o Caso 1.



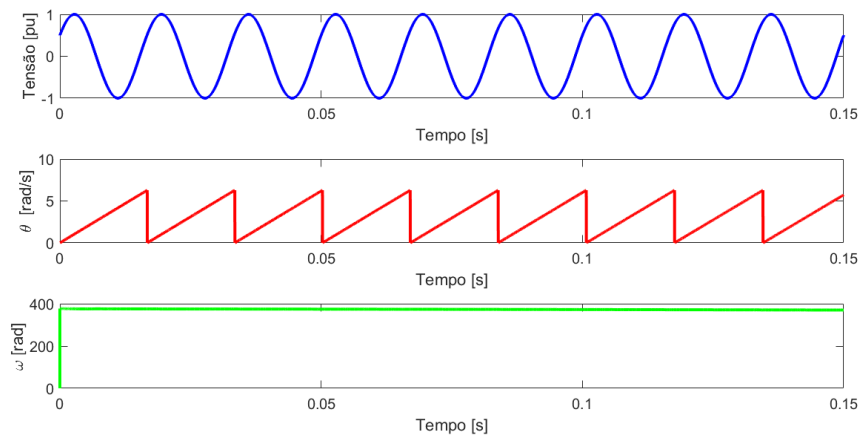
Fonte: Do autor.

Figura 43 – Resultados dq -PLL para o Caso 1.



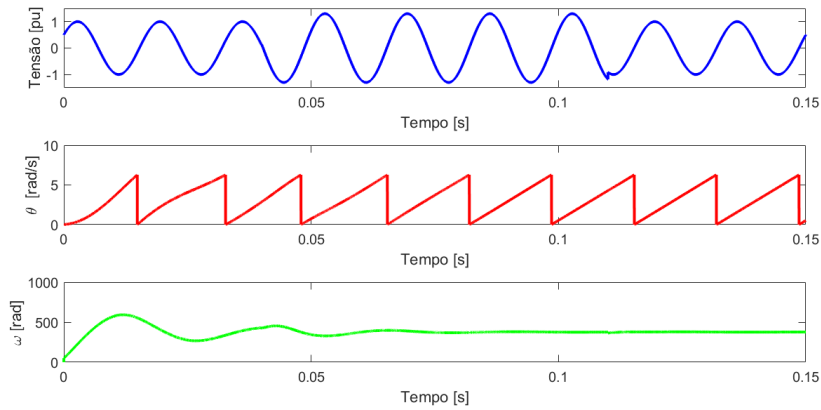
Fonte: Do autor.

Figura 44 – Resultados SOGI-PLL para o Caso 1.



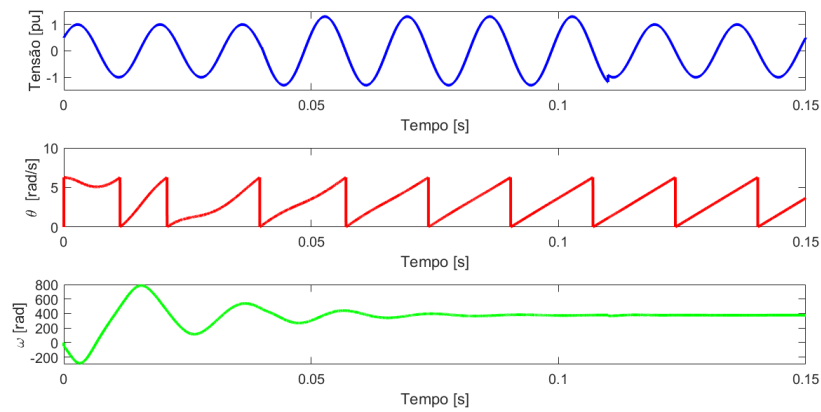
Fonte: Do autor.

Figura 45 – Resultados $\alpha\beta$ -PLL para o Caso 2.



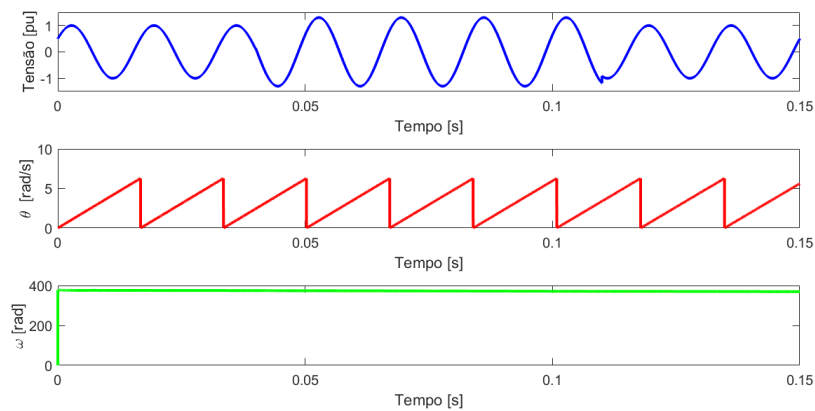
Fonte: Do autor.

Figura 46 – Resultados dq -PLL para o Caso 2.



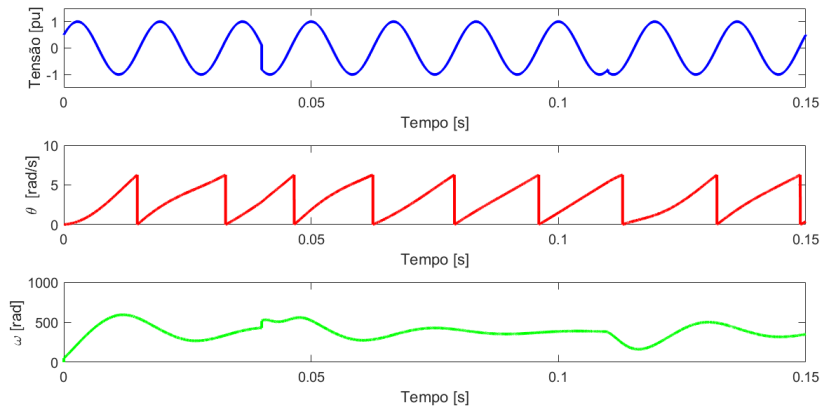
Fonte: Do autor.

Figura 47 – Resultados SOGI-PLL para o Caso 2.



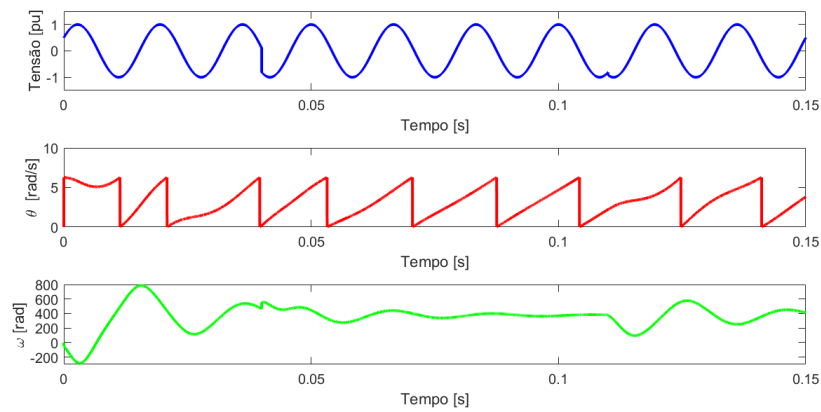
Fonte: Do autor.

Figura 48 – Resultados $\alpha\beta$ -PLL para o Caso 3.



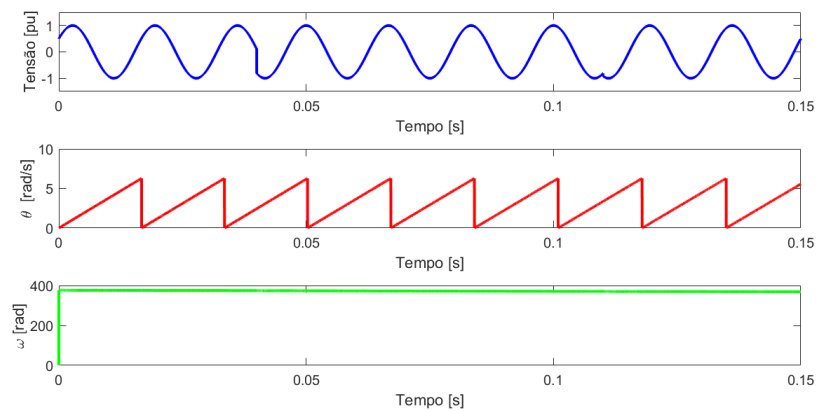
Fonte: Do autor.

Figura 49 – Resultados dq -PLL para o Caso 3.



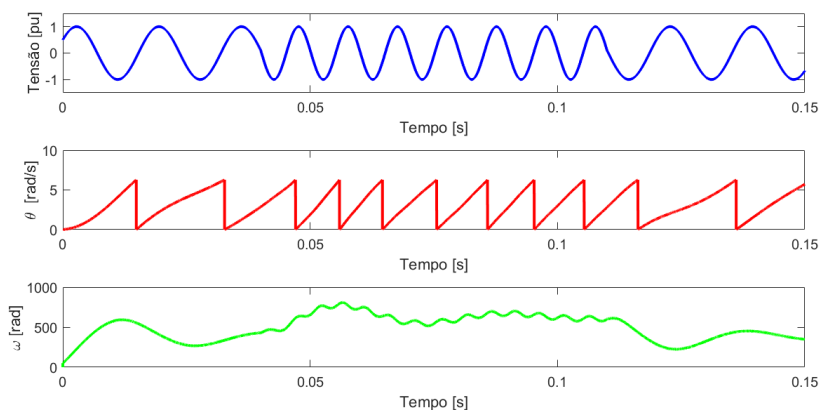
Fonte: Do autor.

Figura 50 – Resultados SOGI-PLL para o Caso 3.



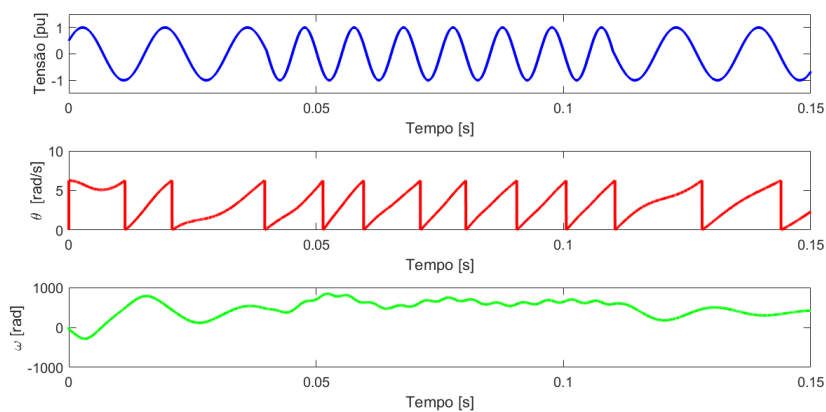
Fonte: Do autor.

Figura 51 – Resultados $\alpha\beta$ -PLL para o Caso 4.



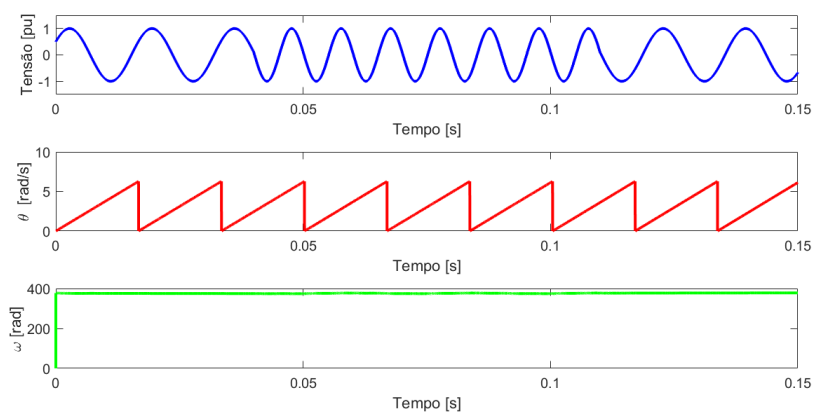
Fonte: Do autor.

Figura 52 – Resultados dq -PLL para o Caso 4.



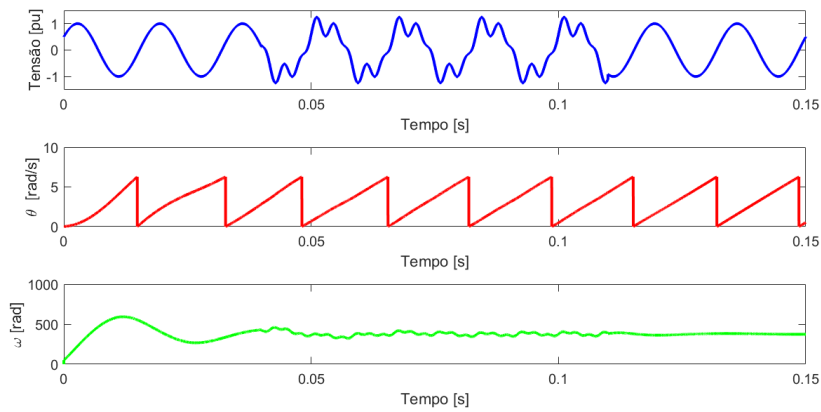
Fonte: Do autor.

Figura 53 – Resultados SOGI-PLL para o Caso 4.



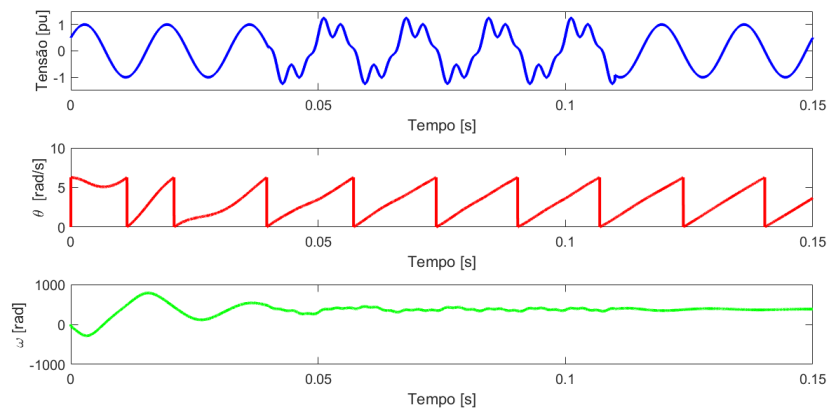
Fonte: Do autor.

Figura 54 – Resultados $\alpha\beta$ -PLL para o Caso 5.



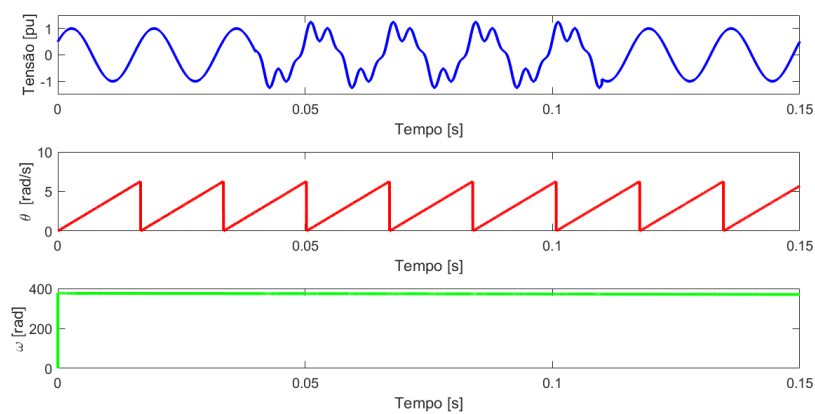
Fonte: Do autor.

Figura 55 – Resultados dq -PLL para o Caso 5.



Fonte: Do autor.

Figura 56 – Resultados SOGI-PLL para o Caso 5.



Fonte: Do autor.

Analisando os resultados obtidos para o Caso 1 observa-se que os tempos de travamento dos PLL's $\alpha\beta$ e dq são muito semelhantes, com a diferença de que o segundo sofre mais perturbações na frequência durante o período transitório como pode ser visto nas formas de onda de θ e ω (Figuras 42 e 43). O SOGI-PLL destaca-se pelo rápido tempo de travamento muito superior aos outros dois PLL's, e pelo curto período transitório com mínima variação na frequência. Em relação a qualidade do sinal de saída, os três forneceram valores de THD muito próximos e sem picos no período transitório, com exceção do PLL dq que teve um pico de 1,2%.

A simulação de uma sobretensão (Caso 2) não afetou o funcionamento de nenhum dos PLL's como pode ser visto na Tabela 19 e nas Figuras 45 a 47. Já para o Caso 3, onde simulou-se variação de fase do sinal de referência, nota-se que o principal ponto afetado foi o tempo de travamento, onde os três tipos resultaram em tempo na ordem de 200 ms, além de ocasionar uma leve variação na frequência do SOGI, que para os outros casos vinha se mantendo estável. Nas Figuras 48 e 49 observa-se que no momento da variação de fase os PLL's $\alpha\beta$ e dq sofrem distúrbios na frequência ω , resultando em algo semelhante a um novo período transitório.

No Caso 4, ao simular variação de frequência do sinal de referência nota-se situação semelhante a anterior em relação ao tempo de travamento dos PLL's, com a diferença de que o SOGI respondeu melhor a perturbação, necessitando de 150 ms para realizar o travamento enquanto que os outros dois necessitaram em torno de 200 ms. Também verificou-se uma maior variação de frequência do PLL SOGI no período transitório. Nas Figuras 51 e 52 nota-se que a resposta dos PLL's ao aumento da frequência é rápido, porém instável, visto que a curva de ω apresenta forma semelhante a um *ripple* durante o período da perturbação.

Por fim, ao simular um sinal de referência com distorção harmônica de 3ª e 5ª ordem, de sequência positiva e negativa, respectivamente, observou-se que ambos PLL's responderam bem as distorções mantendo a THD na saída e variações de frequência no período transitório similar aos casos anteriores. Neste caso, vale ressaltar que o PLL $\alpha\beta$ teve um tempo de travamento (170 ms) ligeiramente melhor que os outros dois PLL's (200 ms).

Tabela 23 – Comparação entre os PLL's.

Característica	$\alpha\beta$ -PLL	dq -PLL	SOGI-PLL
Arquitetura Simples	Sim	Sim	Não
Picos de Transitório	Sim	Sim	Não
<i>Settling Time</i>	122 ms a 235 ms	124 ms a 247 ms	0.5 μ s a 200 ms
THD Sinal De Saída	0,8% a 1,0%	0,8% a 1,2%	0,8%

Fonte: Do autor

Os resultados apresentados nas Figuras 42 à 56 e resumidos na Tabela 23, mostraram que o $\alpha\beta$ -PLL e o dq -PLL são capazes de detectar com precisão a frequência angular

fundamental no caso de tensões de rede puramente senoidais, já para casos onde a tensão sofre perturbações uma solução mais adequada seria o SOGI-PLL, que além de ser mais estável também possui tempo de travamento menor que os outros dois modelos.

Ambas topologias apresentaram resposta semelhante aos sinais de entrada com distorção harmônica, com THD variando entre 0.8% e 1.2%. Portanto, verifica-se que para aplicações onde sabe-se que o sinal de referência não sofre grandes perturbações qualquer um dos modelos estudados atende a necessidade, com a observação de que $\alpha\beta$ -PLL e o dq -PLL possuem arquitetura mais simples e têm vantagem neste caso.

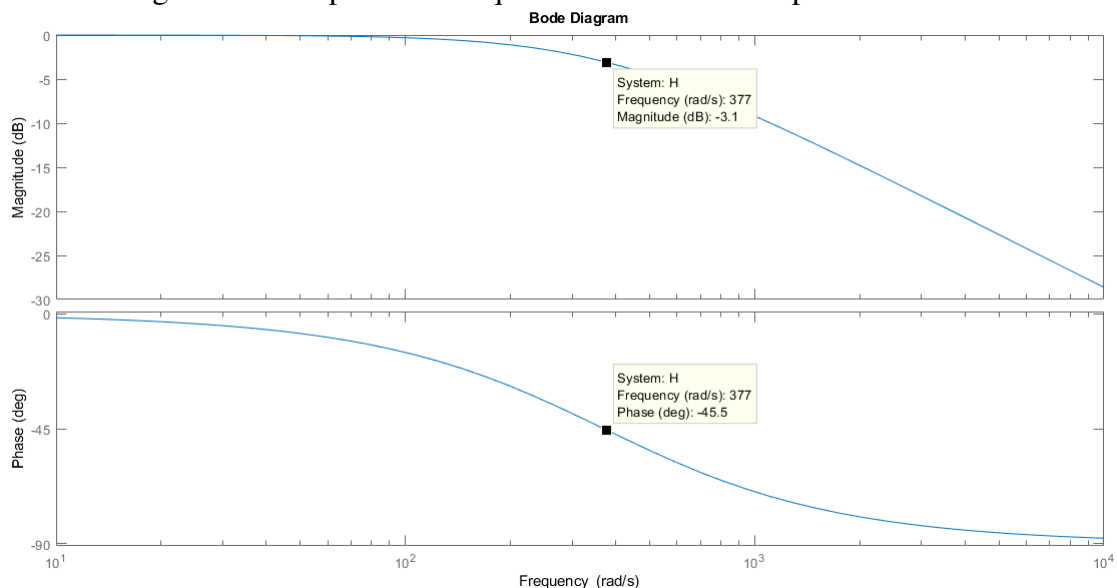
Em sistemas conectados a sinais de referência com distorções harmônicas, variação de frequência, amplitude ou fase o SOGI-PLL é mais adequado pois apresenta funcionamento estável nestas condições. Considerando os pontos discutidos acima, a capacidade de processamento do microcontrolador utilizado, testes prévios de implementação do SOGI-PLL via código e a configuração experimental projetada para testes iniciais (tensão sem distorções ou distúrbios) optou-se por utilizar o dq -PLL no protótipo do microinversor.

9.1.2 Filtro RC

O filtro RC é utilizado para gerar a componente β necessária nas transformações de Park e Clarke aplicadas no PLL e controle de corrente. Este tipo de filtro é de primeira ordem, a Equação 56 apresenta sua função de transferência e a Figura 57 mostra sua resposta em frequência.

$$H(s) = \frac{1}{RC} \frac{1}{s + \frac{1}{RC}} \quad (56)$$

Figura 57 – Resposta em frequência do filtro RC de primeira ordem.

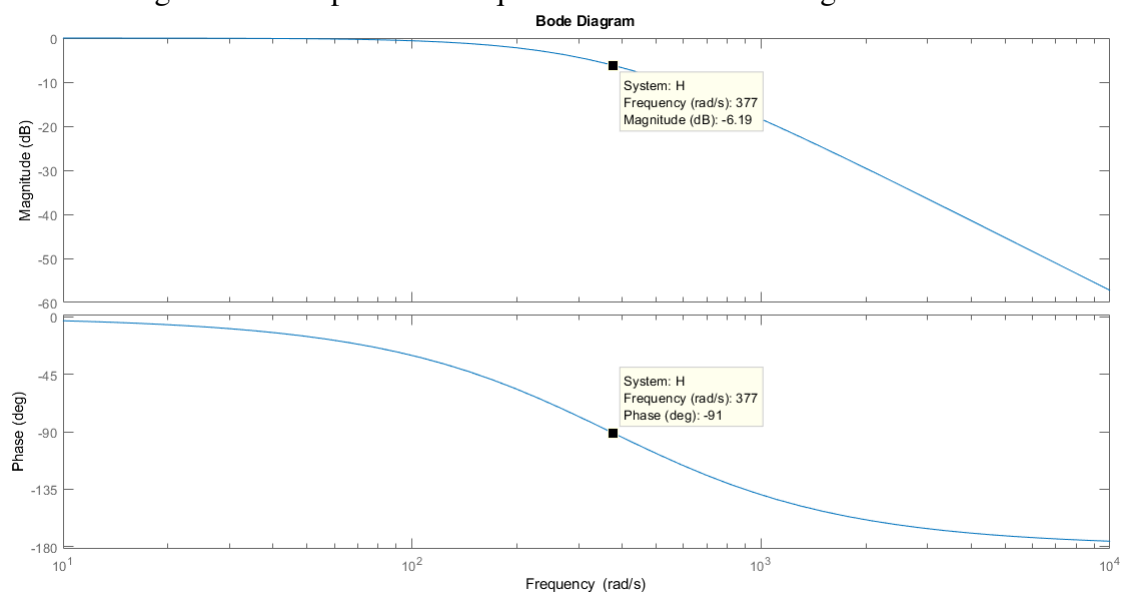


Fonte: Do autor.

Nota-se que para a frequência fundamental da rede ocorre atenuação de 3,1 dB e defasagem de 45,5°, para obter a defasagem de 90° necessária entre as componentes $\alpha\beta$ é preciso um filtro de segunda ordem, neste caso foi utilizado dois filtros de primeira ordem em série, resultando na função de transferência mostrada em (57) e resposta em frequência mostrada na Figura 58.

$$H(s) = \frac{1}{s^2 + \frac{2}{RC}s + \frac{1}{R^2C^2}} \quad (57)$$

Figura 58 – Resposta em frequência do filtro RC de segunda ordem.



Fonte: Do autor.

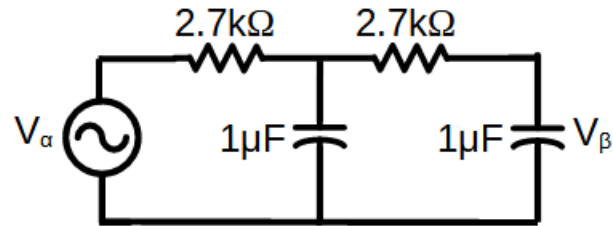
Para o filtro de segunda ordem obteve-se atenuação de 6,19 dB e defasagem de 91° do sinal de saída em relação a entrada, o que é necessário para obter a componente β . O próximo passo é dimensionar os componentes do circuito, de acordo com a frequência de corte desejada (Equação 58). Definindo a frequência de corte como a fundamental da rede, restam duas variáveis e uma equação, com isto é necessário pré definir o valor do resistor ou capacitor, neste caso optou-se por utilizar capacitor de 1 μF , então:

$$f_c = \frac{1}{2\pi RC} \Leftrightarrow R = \frac{1}{2\pi f_c C} = \frac{1}{2\pi 60 * 1 * 10^{-6}} = 2652,58\Omega \quad (58)$$

Como valor de resistor comercial mais próximo do calculado encontra-se 2,7 k Ω . A Figura 59 mostra o circuito do filtro projetado.

No intuito de validar a atenuação e defasagem obtidas da resposta em frequência, o filtro em questão foi simulado no software PSIM®. Utilizou-se sinal de entrada de 2 V, pois é o valor que ocorre na prática na saída do amplificador. Na Figura 60 obteve-se valor de pico na saída de aproximadamente 0,34 V o que resulta em uma atenuação do sinal de saída em 2,94 vezes, enquanto que na resposta em frequência foi observado atenuação de

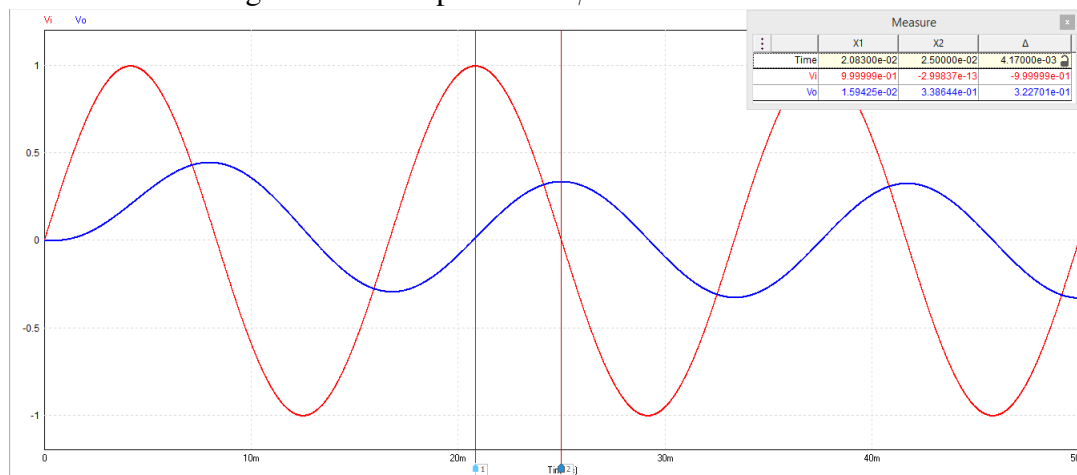
Figura 59 – Filtro RC de segunda ordem implementado.



Fonte: Do autor.

aproximadamente duas vezes (Equação 59), ou seja, há divergência que será verificada na etapa de implementação prática.

Figura 60 – Componentes $\alpha\beta$ obtidas via filtro RC.



Fonte: Do autor.

A defasagem obtida foi de 4,17 ms, que de acordo com a Equação 60 é de 90° , portanto conclui-se que o filtro RC projetado tem funcionamento correto. Vale destacar que a informação de atenuação serve como referência para acrescentar ganho na leitura do sinal pelo microcontrolador, visto que ambas componentes α e β devem ter mesma amplitude.

$$\delta_{linear} = 10^{\frac{\delta_{dB}}{20}} = 10^{\frac{-6,19}{20}} = 0,49 \quad (59)$$

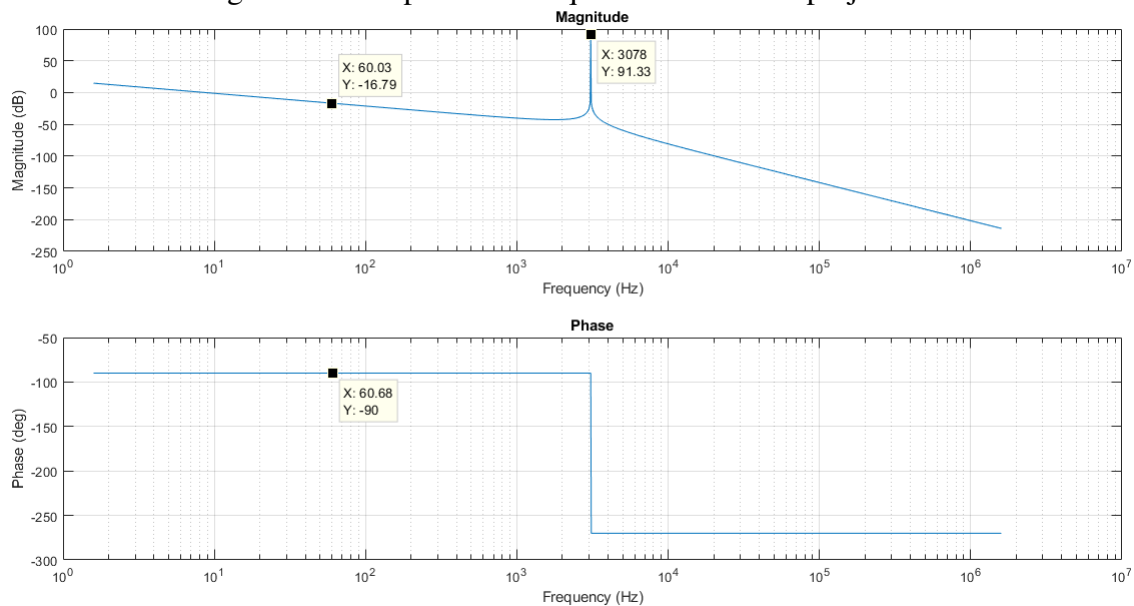
$$\alpha = \frac{4,17 \cdot 10^{-3} \cdot 360}{\frac{1}{60}} = 90,07^\circ \quad (60)$$

9.1.3 Filtro LCL

Similarmente ao caso anterior, inicialmente observa-se a resposta em frequência do filtro, para isto utilizou-se como valores dos componentes $L_1 = 16,33$ mH, $L_2 = 2$ mH e $C = 1,5$ μ F, conforme Tabela 15, na função de transferência mostrada em (61).

$$H(s) = \frac{i_g}{v_g} = \frac{1}{CL_1L_2s^3 + (L_1 + L_2)s} \quad (61)$$

Figura 61 – Resposta em frequência filtro LCL projetado.



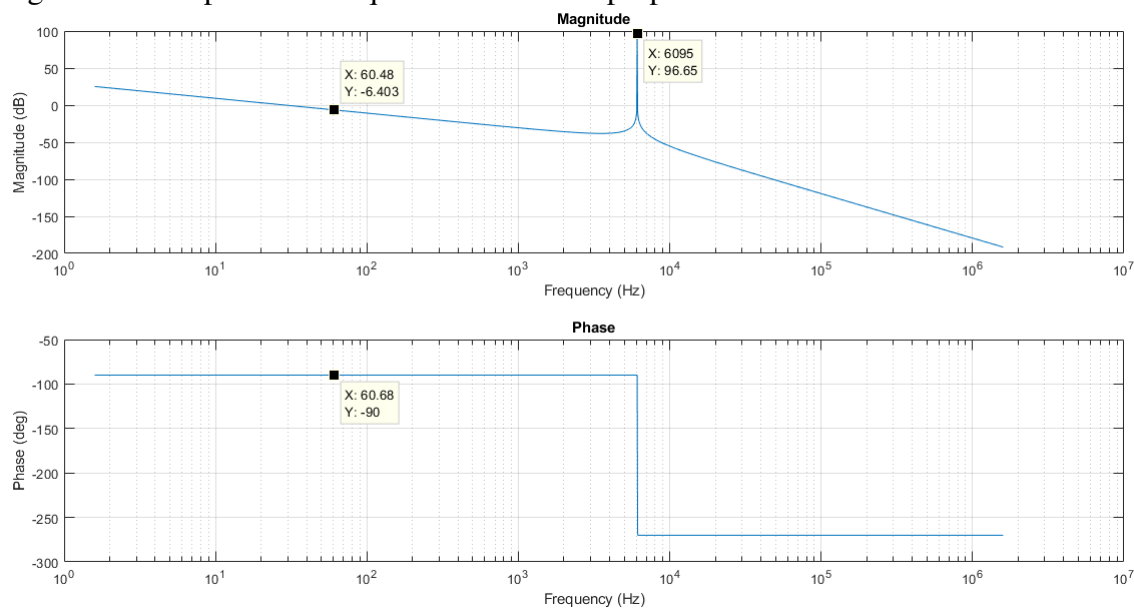
Fonte: Do autor.

A partir da resposta em frequência do filtro destaca-se a defasagem de 90° , atenuação de 16,79 dB e pico de ressonância em aproximadamente 3 kHz. Em relação ao pico de ressonância, não há grandes problemas que justifiquem a utilização de resistor de amortecimento, visto que, as frequências da rede (60 Hz) e de chaveamento (10 kHz) estão distantes do pico.

O grande problema está na atenuação do sinal, que utilizando a Equação 59, obtém-se tensão de saída do filtro aproximadamente sete vezes menor que a entrada, o que implicaria baixa eficiência do inversor de modo geral. Outro fator que corrobora na busca por uma alternativa ao filtro calculado é o fato do tamanho dos indutores, principalmente L_1 , que encarece o protótipo e dificulta a implementação física. Considerando estes pontos, optou-se por analisar a resposta em frequência de um filtro com $L_1 = 5$ mH e $L_2 = 0,5$ mH, conforme Figura 62.

A nova configuração forneceu redução considerável na atenuação do sinal passando para 6,4 dB, ou seja, aproximadamente duas vezes. O pico de ressonância se deslocou para 6 kHz o que, apesar de se aproximar da frequência de chaveamento, ainda não representa situação que necessite algum ajuste. Sendo assim, com base em todos aspectos analisados e discutidos acima optou-se por utilizar um filtro com $L_1 = 5$ mH, $L_2 = 0,5$ mH e $C = 1,5$ μ F na implementação prática.

Figura 62 – Resposta em frequência filtro LCL proposto com base em análise dinâmica.

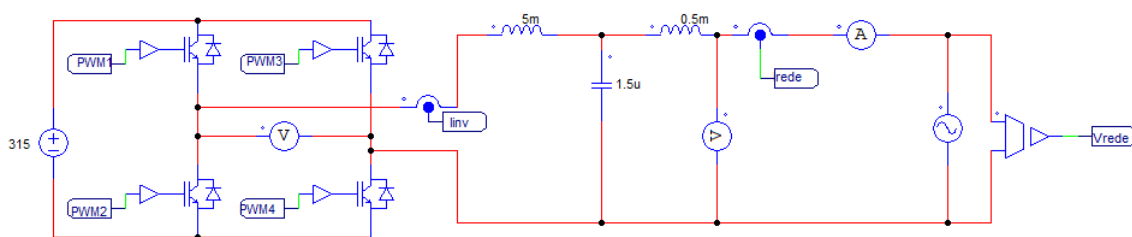


Fonte: Do autor.

9.1.4 Controle de corrente dq

Com todos componentes do inversor dimensionados, implementou-se o circuito no software PSIM® para simular e avaliar seu funcionamento por meio de simulações explorando situações pertinentes a operação conectada com a rede elétrica. O circuito de potência envolve fonte de tensão CC (simulando tensão do painel fotovoltaico após o conversor *boost*), quatro MOSFET's, filtro LCL e fonte de tensão CA (rede elétrica).

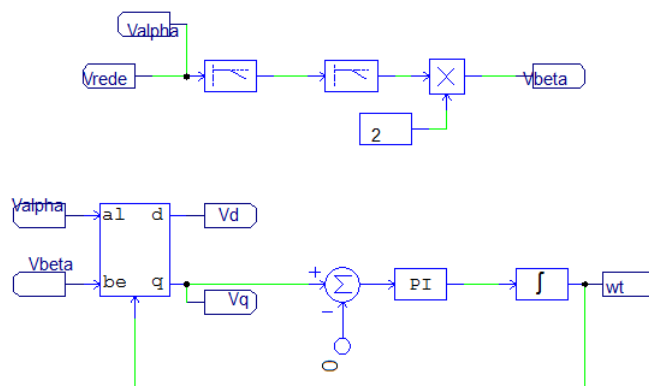
Figura 63 – Circuito de potência.



Fonte: Do autor.

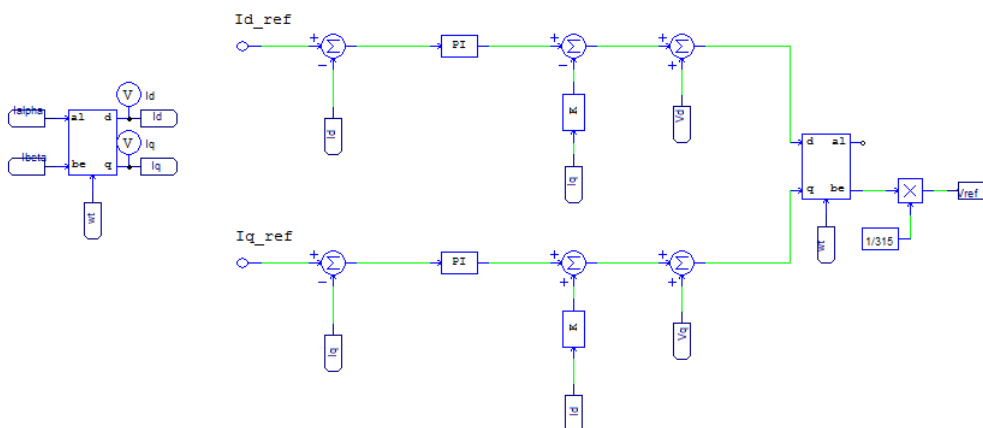
A etapa de controle tem início pela sincronização, em que um dq -PLL é utilizado em conjunto com filtro passa-baixas de segunda ordem, na prática dois filtros RC de primeira ordem em série, para gerar as componentes $\alpha\beta$ do sistema, visto que em um sistema monofásico seria inviável aplicar a transformada de Park devido a necessidade de no mínimo duas fases.

O controle de potência fornecida pelo inversor é realizado utilizando as tensões e correntes direta e em quadratura amostradas na saída do inversor, e também correntes direta e em quadratura de referência. A corrente direta (I_{dref}) está relacionada a injeção de

Figura 64 – Controle: Sincronização via dq -PLL.

Fonte: Do autor.

potência ativa, enquanto que a corrente em quadratura ($I_{q_{ref}}$) está relacionada a potência reativa capacitiva ou indutiva dependendo do seu sinal. A saída desta malha de controle é a tensão de referência utilizada como onda modulante na geração do sinal PWM.

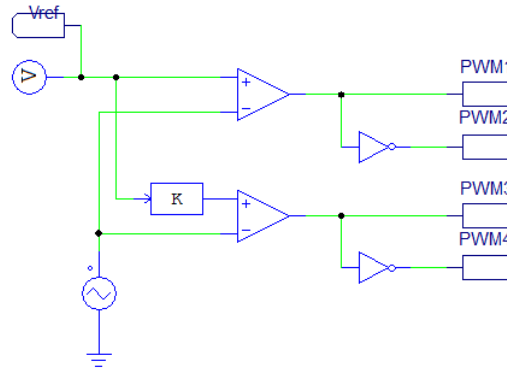
Figura 65 – Controle de corrente dq .

Fonte: Do autor.

Para geração dos pulsos PWM foi utilizado o esquemático mostrado na Figura 66, onde a onda modulante (V_{ref} - 60 Hz) é comparada com a onda portadora (triangular - 10 kHz), processo ao qual na prática é implementado via processamento interno no microcontrolador.

As situações simuladas estão de acordo com as especificações do inversor de frequência, descritas anteriormente. Considerando que o painel esteja gerando a potência de 500 W, em uma rede de 220 V, a corrente de pico a pico na saída é 3,21 A, sendo assim, nos casos de estudo adotou-se corrente de referência no controle de potência de 3,5 A, como forma de manter margem de segurança no projeto. A Figura 68 mostra o comportamento da corrente de saída do inversor em relação a tensão da rede elétrica em três situações diferentes. O primeiro caso, Figura 68a, apresenta $I_{d_{ref}} = 3,5$ A e $I_{q_{ref}} = 0$, portanto

Figura 66 – Controle: Geração pulsos PWM.

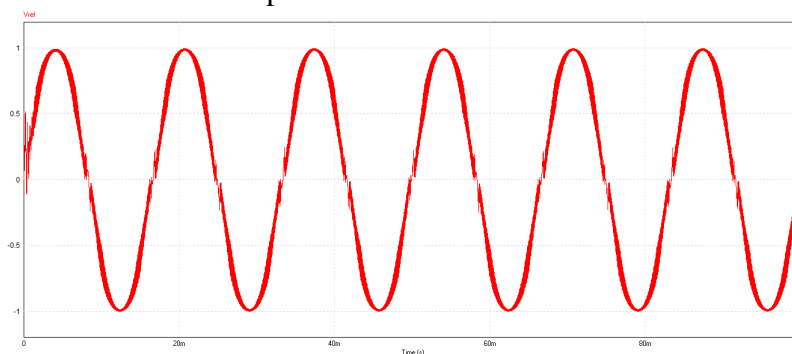


Fonte: Do autor.

injeção de potência ativa, de acordo com o esperado a corrente de saída está em fase com a tensão da rede elétrica.

No segundo e terceiro casos é injetada potência reativa, onde $I_{d_{ref}} = 0$ e $I_{q_{ref}} = -3,5$ A, Figura 68b, está relacionado à potência reativa capacitiva (adianto de 90° em relação a tensão) e $I_{d_{ref}} = 0$ e $I_{q_{ref}} = 3,5$ A, Figura 68c, está relacionado à potência reativa indutiva (atraso de 90° em relação a tensão). O intuito do trabalho é que o protótipo seja capaz de injetar somente potência ativa, pois é o usual em sistemas de GD, e as concessionárias do sistema de distribuição restringem a injeção de reativa na rede. Contudo ambos casos são avaliados nas simulações visto que a interação entre ativa e reativa é uma ferramenta importante que pode ser utilizada na melhoria da qualidade de energia e ser aplicada em trabalhos futuros.

Figura 67 – Tensão de referência para o PWM oriunda da malha de controle de corrente.



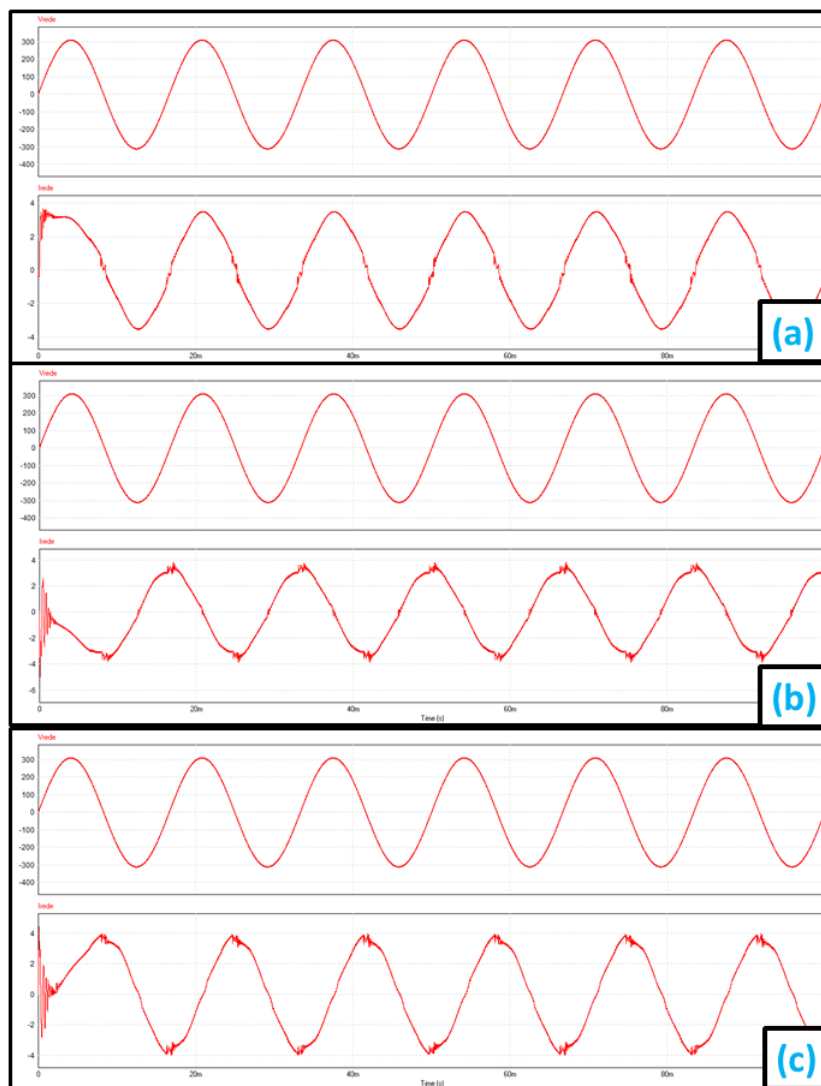
Fonte: Do autor.

Observa-se que a corrente não é puramente senoidal, como ocorre na tensão, isto está relacionado ao projeto do filtro de saída do inversor e ajuste dos parâmetros do controlador PI. Este fato se confirma ao analisar as formas de onda das correntes e tensão direta e em quadratura mostradas na Figura 69.

Sabe-se que para o caso de potência ativa deve-se ter $I_d = I_{d_{ref}}$ e $I_q = 0$, para potência reativa $I_d = 0$ e $I_q = I_{q_{ref}}$. Porém, há um ruído (*ripple*) em torno do valor de

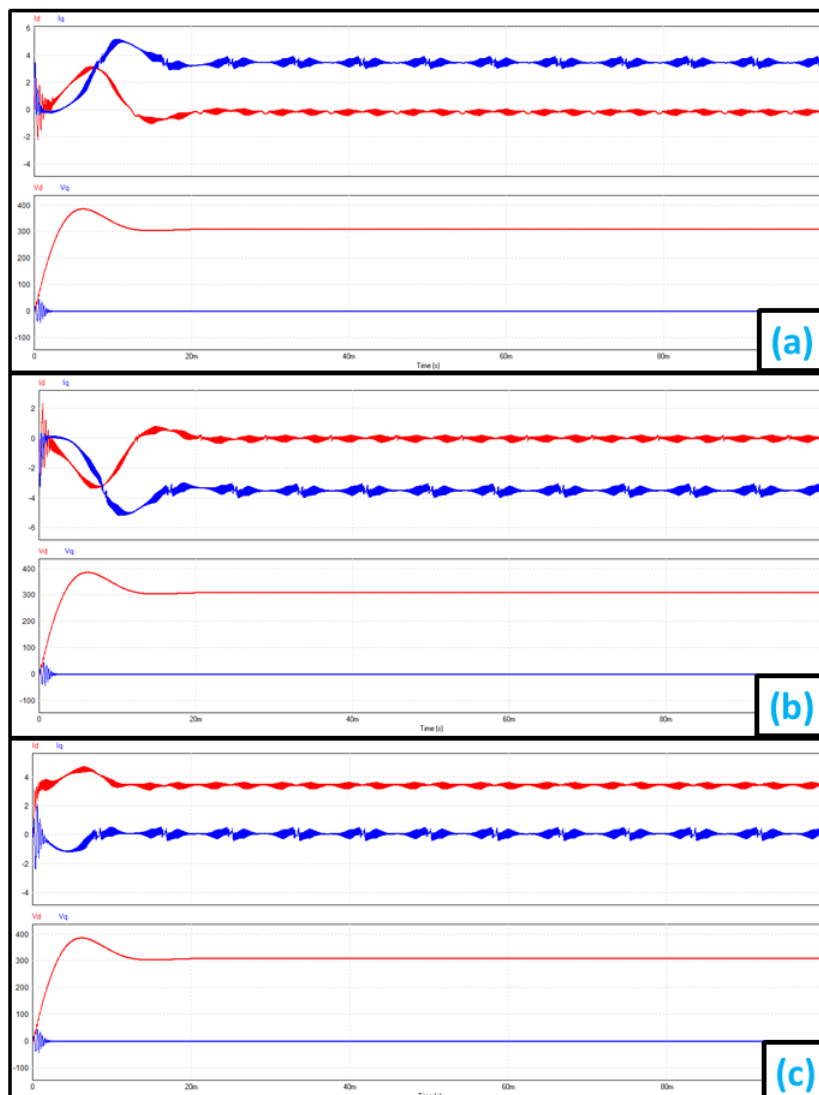
referência ou zero, dependendo do caso, e isto explica as distorções na corrente de saída. Como a tensão modulante do PWM origina-se da malha de controle de potência, o ruído também é carregado para v_{ref} como mostrado na Figura 67. Vale destacar que o ganho de 1/315 na saída do controle de corrente dq (Figura 65) é utilizado para manter o índice de modulação (Equação 43) entre 0 e 1, faixa onde a relação entre a tensão de entrada e a saída PWM é linear. Como a onda portadora triangular tem amplitude de 1,2 V o índice de modulação $V_m/V_p = 0,83$.

Figura 68 – Corrente de saída do inversor em relação a tensão da rede para diferentes situações.



Fonte: Do autor.

Figura 69 – Correntes e tensões direta e em quadratura.



Fonte: Do autor.

9.2 Projeto e confecção PCI

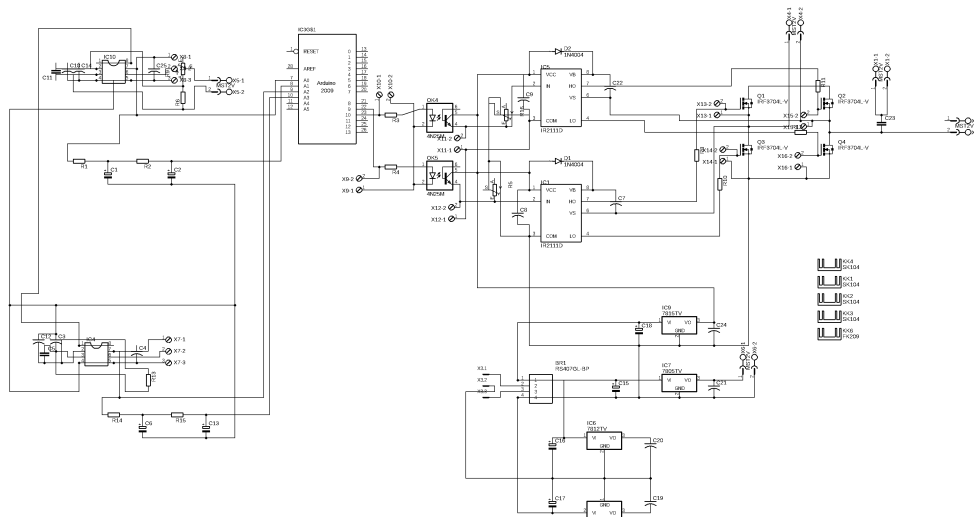
Paralelo a realização de testes iniciais com o circuito do microinversor montado em placa perfurada, desenvolveu-se o projeto da PCI para eliminar o uso de fios e *jumpers*, minimizar problemas relacionados a conexões frágeis, facilitar o trabalho na bancada, diminuir o espaço físico ocupado e dar aspecto melhor ao protótipo.

Na implementação do projeto utilizou-se o software Eagle®, ferramenta bastante difundida e completa nesta área. O escopo inicial do processo de fabricação de PCI contempla as premissas de execução, integração, composição, colocação e orientações de dimensões, sendo as primeiras etapas de um projeto o diagrama do circuito e o *layout* da PCI.

Com todos os dados em mãos é possível realizar o desenho esquemático, nele estão áreas de conexão entre circuitos e informações detalhadas de design, como identificação

de componentes, números de pinos, entre outros. A Figura 70 apresenta o diagrama do circuito.

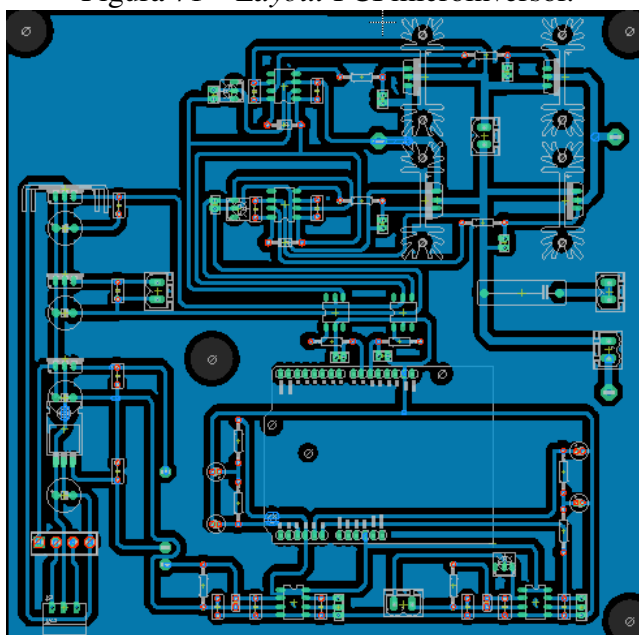
Figura 70 – Esquemático PCI microinversor.



Fonte: Do autor.

A partir das especificações de projeto e do esquemático é possível determinar o local adequado para cada componente dentro da área de montagem, isto é realizado no *layout* que, em geral, tem características bastante funcionais e deve ser feito máximo aproveitamento de espaço.

Figura 71 – *Layout* PCI microinversor.



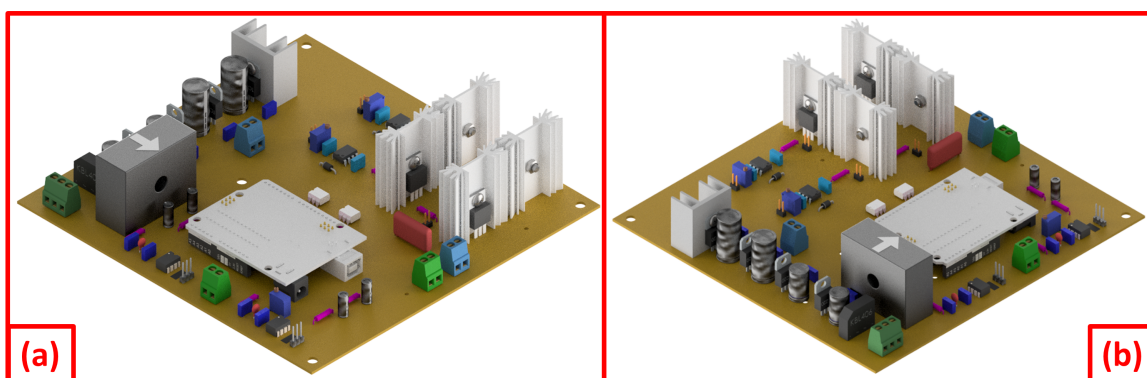
Fonte: Do autor.

Na maioria dos projetos o *layout* é a última etapa antes de iniciar a confecção da placa, contudo uma verificação extra de grande importância e que colabora para melhor

visualização do circuito final é o modelo 3D. A precisão é fundamental ao projetar uma placa e os modelos 3D adicionam segurança e tranquilidade de que o design da placa será funcional e não haverá problemas de montagem dos componentes.

Os principais pontos verificados nesta etapa são folgas, alinhamento e disposição de forma geral dos componentes buscando facilitar a montagem. Tendo esta visão é possível saber como a placa ficará fisicamente e projetar o invólucro/caixa mais adequado. Todas estas verificações visuais permitem evitar erros de fabricação dispendiosos e aumentar a integridade do projeto, as Figuras 72a e 72b mostram o modelo 3D da PCI projetada para o microinversor em vista isométrica frontal e lateral, respectivamente.

Figura 72 – Vista isométrica modelo 3D.



Fonte: Do autor.

Para melhor compreensão e localização dos diferentes subcircuitos presentes na placa, é mostrado na Figura 73 uma vista superior com identificação, onde:

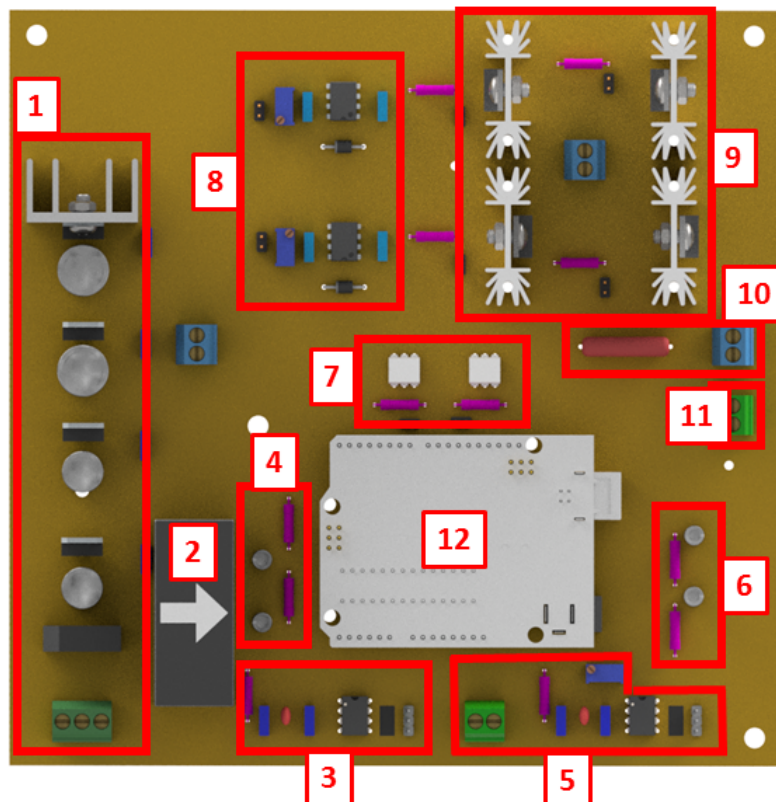
- 1 - Fontes de alimentação** - Saídas em 5 V, 12 V, -12 V e 15 V para alimentação de serviços auxiliares como sensor de efeito *Hall*, Arduino, amplificadores, *drivers* IR2111 e *gate* MOSFET's.
- 2 - Sensor de efeito *Hall*** - Medidor de corrente na saída do inversor.
- 3 - Amostragem de corrente e amplificação** - Constituído por um resistor percorrido pela corrente de saída do sensor *Hall* cuja queda de tensão é amplificada e direcionada ao Arduino.
- 4 - Filtro RC corrente** - Gera a componente β de corrente.
- 5 - Amostragem de tensão e amplificação** - Constituído por resistor em série com *trim-pot* conectados a saída do transformador de instrumentação, a queda de tensão no resistor é amplificada e direcionada ao Arduino.
- 6 - Filtro RC tensão** - Gera a componente β de tensão.
- 7 - Optoacopladores** - Tem como função isolar a saída PWM do Arduino do circuito de potência para proteção do microcontrolador contra possíveis surtos.
- 8 - Drivers de potência** - Recebem sinais PWM dos optoacopladores e os direcionam aos *gates* dos MOSFET's.
- 9 - Ponte H** - Realizam a conversão CC-CA.

10 - Ponte de conexão filtro LCL - Nó que conecta a saída de L_1 , entrada de L_2 e terminal superior do capacitor.

11 - Saída CA - Saída após filtro LCL.

12 - Arduino - Realiza todo controle do sistema.

Figura 73 – Vista superior modelo 3D.



Fonte: Do autor.

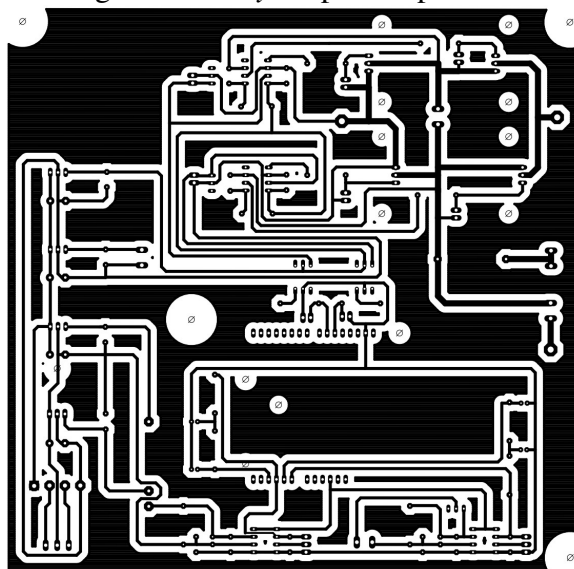
Uma PCI é responsável por realizar as conexões elétricas e proporcionar fixação mecânica entre os componentes eletrônicos de um dispositivo. As placas são compostas por material base não condutor, geralmente fenolite ou fibra de vidro, e uma ou mais camadas de material condutor, geralmente cobre. Comercialmente as placas possuem diversas camadas por onde passam as trilhas condutoras, neste caso se tratando de um protótipo e fabricação artesanal, é utilizado apenas uma camada. Os materiais utilizados para confecção são:

- Placa de fenolite;
- Papel fotográfico;
- Percloreto de ferro;
- Palha de aço;

- Recipiente plástico;
- Ferro de passar roupa;
- Impressora a laser;
- Furadeira.

Com o *layout* da PCI pronto é feita exportação para arquivo PDF (Figura 74) e impresso em papel fotográfico utilizando uma impressora laser. O *layout* impresso é posicionado sobre a placa de cobre e pressionado com ferro de passar roupa por alguns minutos.

Figura 74 – *Layout* para impressão.

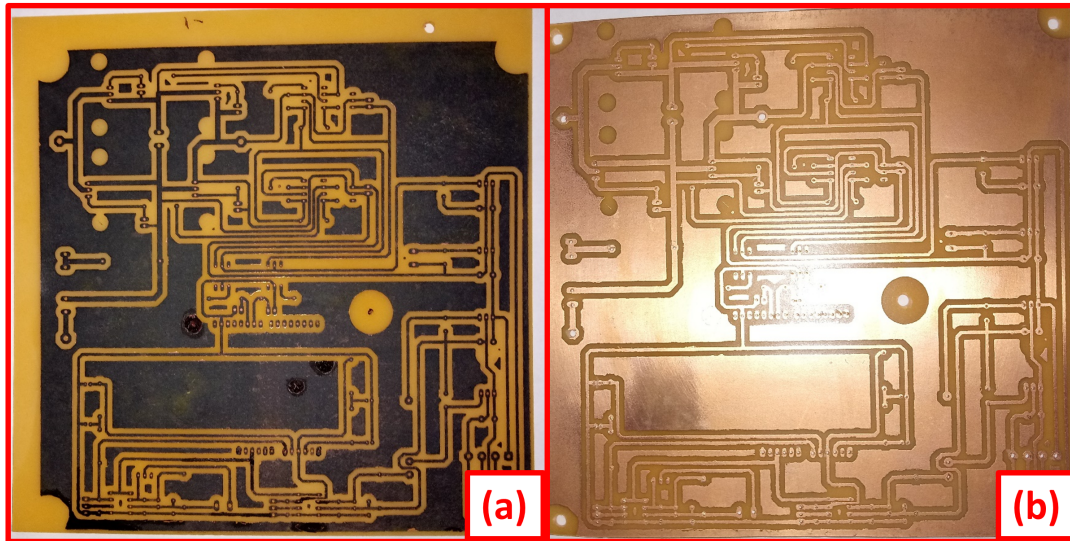


Fonte: Do autor.

Na sequência a placa é colocada em um recipiente com água fria para remoção do papel, após conferir se não há nenhuma falha nas trilhas a placa é colocada em um recipiente de vidro, plástico ou cerâmica com o perclorato de ferro até que não seja possível visualizar nenhuma superfície de cobre, depois de lavada ela apresenta a forma mostrada na Figura 75a. Após passar palha de aço para remover a tinta e furar (Figura 75b), a placa está pronta e só resta posicionar e soldar os componentes (Figura 76).

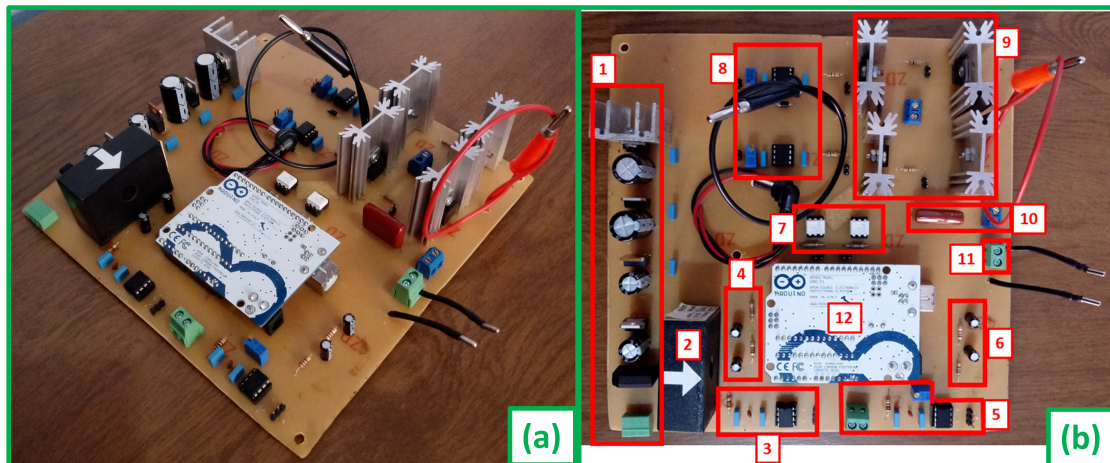
A Figura 76a apresenta vista isométrica e a Figura 76b vista superior com identificação dos subcircuitos do microinversor de acordo com a disposição apresentada no projeto (Figura 73). Importante destacar o papel do modelo 3D ao projetar a placa, pois verificou-se a montagem de acordo com o esperado e sem interferência ou outro problema de montagem dos componentes, bem como otimização de espaço físico.

Figura 75 – PCI após etapas de corrosão/furação.



Fonte: Do autor.

Figura 76 – PCI concluída.

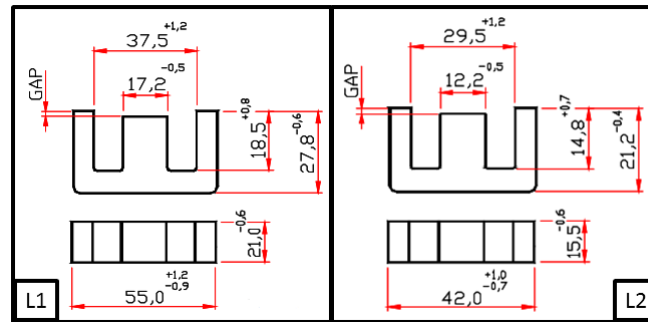


Fonte: Do autor.

9.3 Montagem indutores L_1 e L_2

Os indutores são fios enrolados na forma de espiral, o fio pode apresentar maior ou menor diâmetro, assim como maior ou menor comprimento, o que depende das características de cada componente. A produção de um indutor é simples, basta enrolar um condutor, em geral sobre uma forma de material isolante que lhe dá suporte mecânico. O material isolante é chamado núcleo e pode ter diversas formas, neste trabalho utilizou-se núcleos de ferrite tipo E do fabricante Thorton.

Para L_1 foi escolhido o modelo NEE-55/28/21 e para L_2 o modelo NEE-42/21/15, a Figura 77 mostra as dimensões dos núcleos. O fabricante relaciona a indutância e número de espiras com o fator de indutância mostrado na Equação 62, com A_l dado pelas tabelas mostradas na Figura 78.

Figura 77 – Dimensões núcleos L_1 e L_2 .

Fonte: Catálogo Thorton.

$$Al = \frac{L}{N^2} \quad (62)$$

Figura 78 – Fator de indutância núcleos L_1 e L_2 .

SEM GAP						
CÓDIGO DE ENCOMENDA	MATERIAL	Al [nH]	Tol. %	-g [mm]	~ μ e	
NEE-55/28/21-6000-IP6	IP6	6000	+40 / -20	---	1623	
NEE-55/28/21-6500-IP12R	IP12R	6500	+40 / -20	---	1759	
NEE-55/28/21-6800-IP12E	IP12E	6800	\pm 25	---	1840	
NEE-55/28/21-7050-IP612	IP612	7050	min.	---	1907	

SEM GAP						
DESCRIÇÃO DE ENCOMENDA	MATERIAL	Al [nH]	Tol. %	-g [mm]	~ μ e	
NEE-42/21/15-4000-IP12R	IP12R	4000	\pm 25	---	1719	
NEE-42/21/15-4000-IP6	IP6	4000	\pm 25	---	1719	
NEE-42/21/15-4100-IP12E	IP12E	4100	\pm 25	---	1762	

Fonte: Catálogo Thorton.

Aplicando os valores de indutância desejados (5 mH para L_1 e 0,5 mH para L_2) em conjunto com seus respectivos fatores de indutância na Equação 62 obtém-se 27 espiras para L_1 e 14 espiras para L_2 . Considerando não idealidades e perdas ao enrolar o fio manualmente, optou-se por utilizar margem de tolerância, então selecionou-se 40 e 25 espiras para L_1 e L_2 , respectivamente. De acordo com a corrente de projeto utilizou-se quatro fios AWG18 em paralelo para L_1 e sete fios AWG24 em paralelo para L_2 , ao final as indutâncias medidas utilizando ponte RLC foram 4,7 mH e 0,8 mH para L_1 e L_2 , respectivamente.

9.4 Testes

9.4.1 Leitura sinais rede

Os primeiros testes tiveram como objetivo verificar a amostragem de tensão da rede elétrica na saída do amplificador e leitura pelo Arduino via *serial monitor*, já verificando a relação de defasagem e amplitude das componentes $\alpha\beta$. Na Figura 79 é possível verificar sinal com *offset*, o Arduino não é capaz de ler valores negativos, e com amplitude de

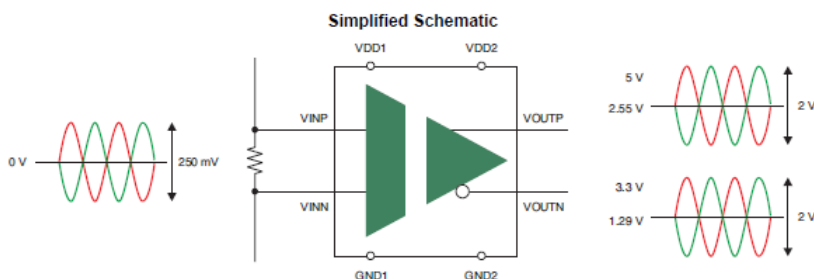
acordo com o especificado pelo fabricante do componente para uma entrada de $500mV_{pp}$ entre V_{inp} e V_{inn} (Figura 79)), ajustada pelo *trimpot* em série com o resistor na entrada do amplificador.

Figura 79 – Saída amplificador AMC1200.



Fonte: Do autor.

Figura 80 – Esquemático simplificado AMC1200.

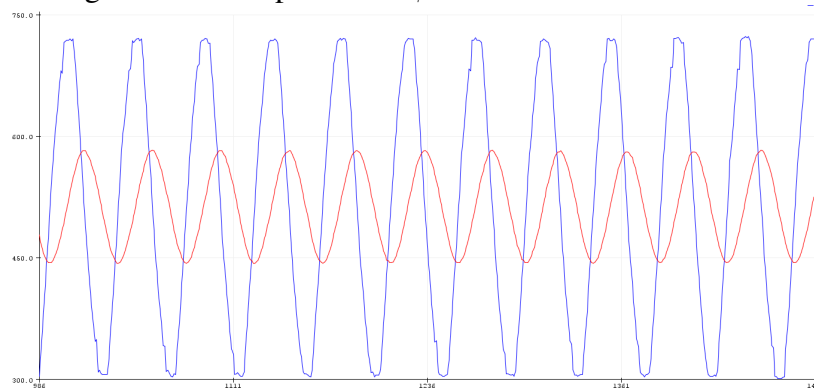


Fonte: Texas Instruments.

Utilizando a *serial monitor* do Arduino realizou-se a leitura dos sinais V_{α} e V_{β} que são mostrados na Figura 81. Nota-se que a defasagem e atenuação ocorreram como esperado, agora é necessário remover o *offset* e dar ganho suficiente na componente β para que ambas tenham mesma amplitude. Utilizando a *serial plotter* do Arduino tem-se que $V_{\alpha_{max}} = 726 \text{ bits}$ e $V_{\alpha_{min}} = 299 \text{ bits}$, ou seja, amplitude de 427 bits , enquanto que $V_{\beta_{max}} = 583 \text{ bits}$ e $V_{\beta_{min}} = 442 \text{ bits}$, amplitude de 141 bits . Sendo assim o ganho necessário é de 3,02 vezes, valor que está de acordo com o ganho de 2,94 resultado das simulações no PSIM®, conforme Figura 60.

Inserindo o ganho na componente β , removendo o *offset* e convertendo os sinais de *bits* para Volts (Equação 63) tem-se as componentes que podem ser aplicadas nas transformações de Park e Clarke utilizadas no PLL e controle de corrente (Figura 82). Os

Figura 81 – Componentes $\alpha\beta$ de tensão sem tratamento.

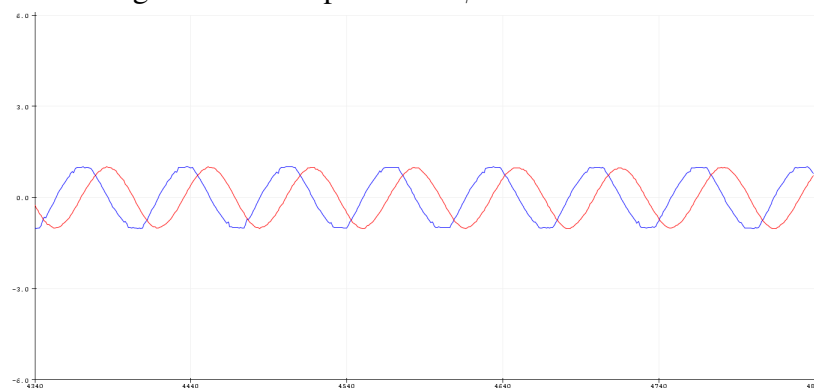


Fonte: Do autor.

mesmos passos e análises foram realizados para a amostragem de corrente e ajusta das componentes $\alpha\beta$.

$$volts = \frac{bits}{1024} \cdot 5 \quad (63)$$

Figura 82 – Componentes $\alpha\beta$ de tensão tratadas.



Fonte: Do autor.

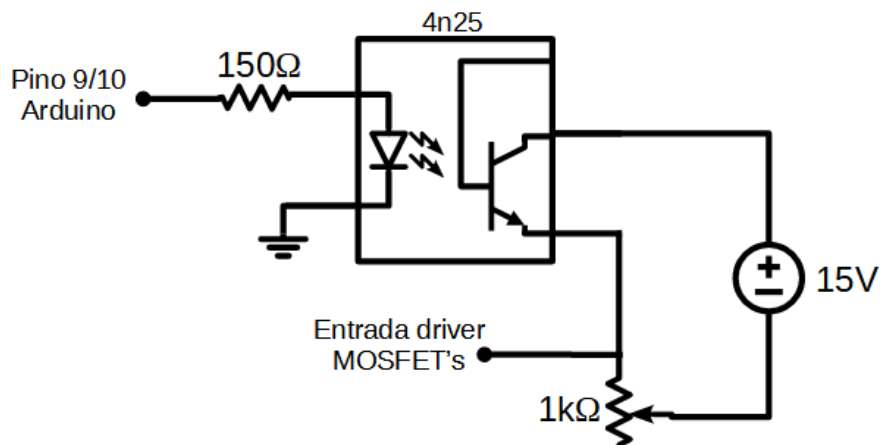
9.4.2 Verificação PWM

Os testes seguintes consistem em avaliar o funcionamento do PWM ao longo do circuito até a saída da ponte H. Inicialmente o sinal sai do Arduino nos pinos 9 e 10 com amplitude de 5 V, sendo que no semi-ciclo que uma saída está chaveando a outra deve estar em zero. A saída de cada pino é conectada a um optoacoplador que, como já dito, serve como proteção para o microcontrolador e também tem a função de elevar a tensão dos pulsos para 15 V visto que 5 V não são suficientes para chavear os MOSFET's (Figura 83).

Cada saída dos optoacopladores é conectada a um *driver* IR2111, componente específico para chaveamento de semicondutores de potência, além de entregar a potência necessária, fornece duas saídas, uma para o MOSFET de cima da meia ponte (igual a

entrada) e outra para o MOSFET de baixo da ponte (invertida em relação a entrada) conforme Figura 12. Os resultados são mostrados nas Figuras 84a (saída pinos 9-10), 84b (saída optoacopladores), 85a (gate MOSFET superior) e 85b (gate MOSFET inferior).

Figura 83 – Circuito optoacopladores.



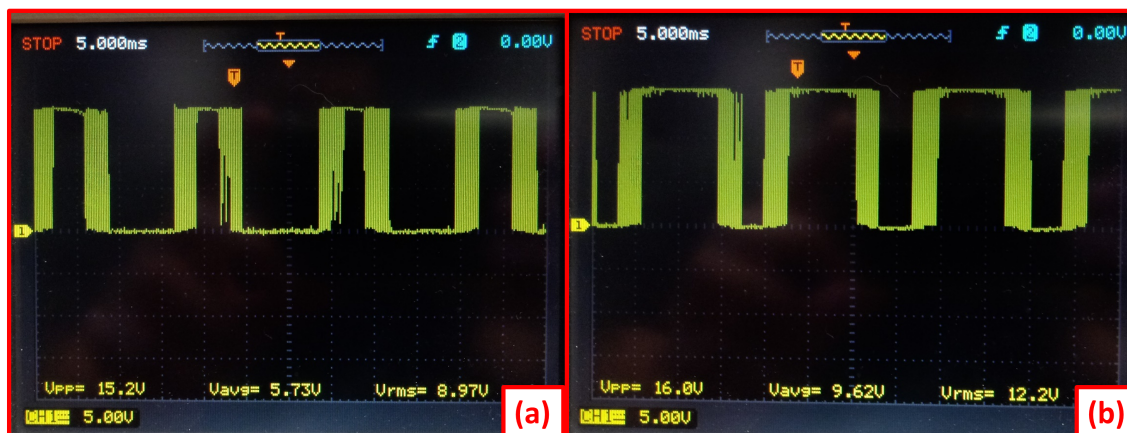
Fonte: Do autor.

Observa-se que o funcionamento do PWM ao longo do circuito se mostrou adequado, na saída do microcontrolador possui amplitude de 5 V (10 V se medido entre pinos 9 e 10), na saída dos optoacopladores e entrada nos *drivers* IR2111 com 15 V (30 V se medido entre as duas entradas dos *drivers*), e chega nos *gates* dos MOSFET's com 15 V, sendo que os pulsos na parte inferior da ponte são invertidos em relação a parte superior.

Figura 84 – Saída PWM pinos 9-10 e optoacopladores.



Fonte: Do autor.

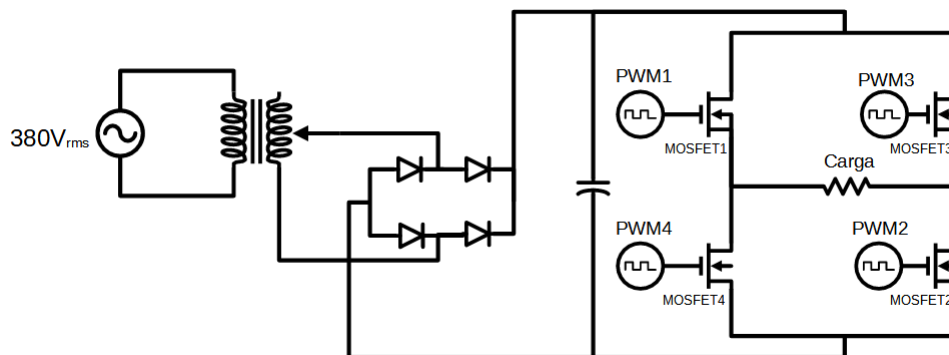
Figura 85 – PWM *gate* MOSFET's superior/inferior meia ponte.

Fonte: Do autor.

9.4.3 Testes com carga

A configuração experimental montada para testar o funcionamento do inversor conectado a carga foi pensado de forma que a tensão CC, equivalente a tensão do painel solar após o estágio do conversor *boost*, pudesse ser elevada gradualmente até $315 V_{CC}$. Então utilizou-se um variador de tensão com sua entrada conectada à rede e saída em uma ponte retificadora, como mostram as Figuras 86 e 87.

Figura 86 – Configuração experimental.

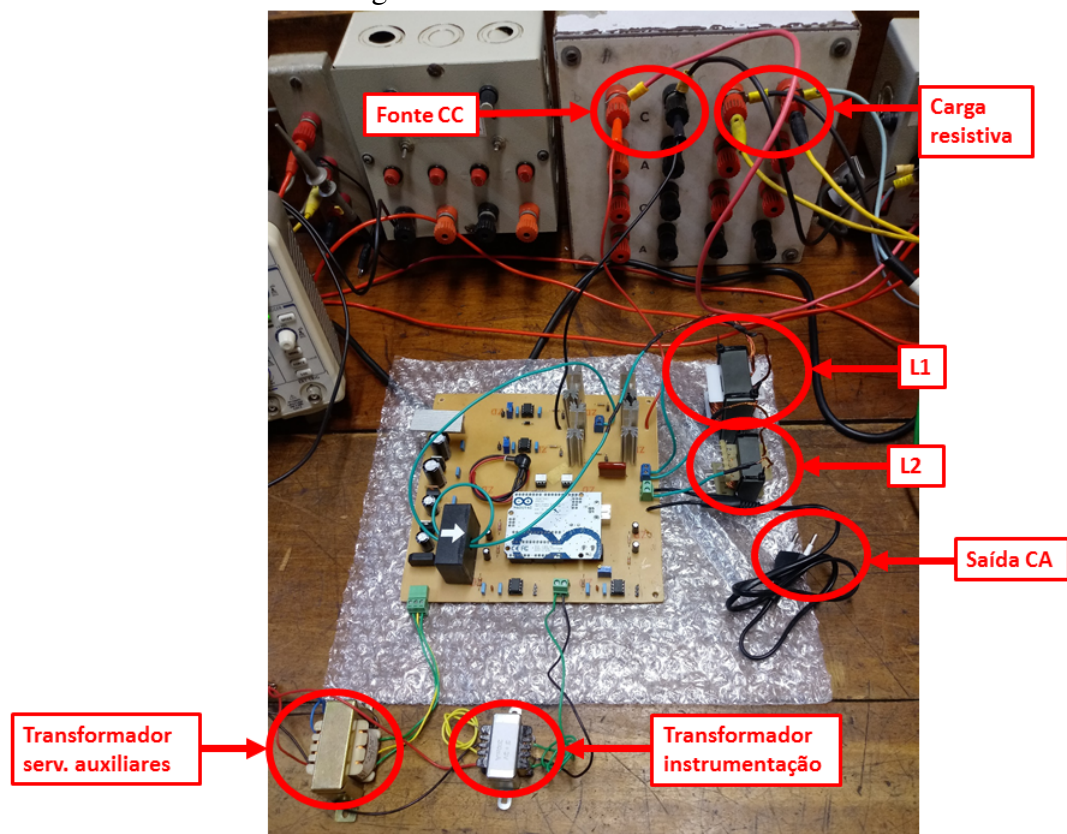


Fonte: Do autor.

Como teste inicial foi conectada carga resistiva de 517Ω diretamente a saída da ponte H e a tensão foi elevada lentamente até aproximadamente $70 V_{pp}$, após inseriu-se o filtro LCL com a carga conectada em sua saída e novamente elevou-se a tensão até valor próximo de $70 V_{pp}$, os resultados são mostrados nas Figuras 88a (saída sem filtro) e 88b (saída com filtro).

Observa-se na saída sem filtro que há a presença de *spikes* no sinal, devido principalmente a distorção harmônica e não utilização de capacitores de desacoplamento nos braços da ponte H. Ao conectar o filtro é possível notar a forma de onda senoidal como esperado, ainda que com muito ruído, que deve diminuir ao aplicar tensão nominal no

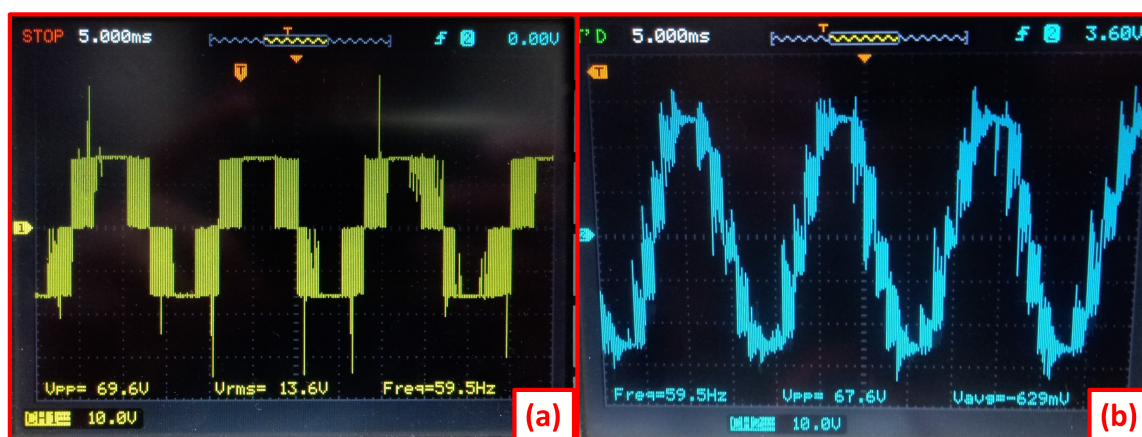
Figura 87 – Bancada de testes.



Fonte: Do autor.

barramento CC. Sabe-se que para realizar conexão com a rede é fundamental que o sinal esteja com melhor qualidade, sendo assim, caso o alto THD do sinal de saída se mantenha mesmo com tensão CC nominal, deve-se realizar otimização do filtro LCL. Em ambos casos, verificou-se que uma das variáveis mais importantes em um inversor de frequência *grid tie* está de acordo com o desejado, a frequência esteve variando em torno de 60 Hz.

Figura 88 – Saída ponte H/saída após filtro.



Fonte: Do autor.

9.5 Avaliação de custo

A Tabela 24 apresenta os itens utilizados no protótipo e seus valores, bem como o valor total gasto. Nota-se que o custo está próximo do valor de inversores comerciais, porém, considerando o fato de que os componentes foram adquiridos em lojas físicas e em baixa quantidade sugere-se que o custo total do projeto possa ser reduzido consideravelmente imaginando a situação de produzir em escala e adquirir componentes mais baratos.

Tabela 24 – Custo do protótipo.

Item	Descrição	Qtd	Un	Valor Unit. (R\$)	Subtotal (R\$)
1	Amplificador AMC1200	02	PÇ	13,60	27,20
2	Arduino Uno	01	PÇ	120,00	120,00
3	Borne KRE 2 vias	04	PÇ	3,50	14,00
4	Borne KRE 3 vias	01	PÇ	3,50	3,50
5	Capacitor 1000 μF 50 V	02	PÇ	3,59	7,18
6	Capacitor 1000 μF 25 V	02	PÇ	1,97	3,94
7	Capacitor 1 μF 63 V	04	PÇ	0,37	1,48
8	Capacitor cerâmico 10 pF	02	PÇ	0,39	0,78
9	Capacitor poliéster 82 ηF	04	PÇ	0,86	3,44
10	Capacitor poliéster 68 ηF	04	PÇ	0,86	3,44
11	Capacitor poliéster 100 ηF	04	PÇ	0,93	3,72
12	Capacitor poliéster 1,5 μF 400 V	PÇ	01	2,50	2,50
13	Diodo UF4007	02	PÇ	1,29	2,58
14	Dissipadores	05	PÇ	6,40	32,00
15	Driver IR2111	02	PÇ	12,90	25,80
16	Fio cobre AWG18	12	m	1,00	12,00
17	Fio cobre AWG24	10	m	0,25	2,50
18	MOSFET IRF740	04	PÇ	6,00	24,00
19	Núcleo ferrite NEE-55/28/21	01	PÇ	55,10	55,10
20	Núcleo ferrite NEE-42/21/15	01	PÇ	34,59	34,59
21	Optoacoplador 4n25	02	PÇ	2,50	5,00
22	Placa fenolite	01	PÇ	22,00	22,00
23	Ponte retificadora	01	PÇ	4,50	4,50
24	Regulador de tensão 7805	01	PÇ	6,90	6,90
25	Regulador de tensão 7815	01	PÇ	3,48	3,48
26	Regulador de tensão 7812	01	PÇ	4,50	4,50
27	Regulador de tensão 7912	01	PÇ	6,40	6,40
28	Resistores 1/4 W	12	PÇ	0,60	7,20
29	Sensor efeito Hall	01	PÇ	105,06	105,06
30	Transformador 3 + 3 V 200 mA	01	PÇ	35,00	35,00
31	Transformador 15 + 15 V 500 mA	01	PÇ	46,00	46,00
32	<i>Trimpot</i>	03	PÇ	5,40	16,20
	Total				641,99

Fonte: Do autor

10 CONCLUSÕES E TRABALHOS FUTUROS

10.1 Conclusões

Foram apresentados o projeto, simulação e implementação de um protótipo de microinversor fotovoltaico monofásico *grid tie* com capacidade nominal de 500 W, com funcionamento atestado por simulações e ensaios experimentais parciais. A escolha da topologia de PLL para o projeto foi realizada com base na avaliação do desempenho de três topologias sob diferentes condições de operação simuladas, onde observou-se resultados semelhantes quanto aos critérios de desempenho adotados, sendo que o SOGI-PLL demonstrou ligeira vantagem em relação aos demais, principalmente em situações com distorção harmônica. Porém, ao avaliar a relação desempenho x viabilidade de implementação, optou-se pelo *dq*-PLL por ser o mais adequado a capacidade de processamento do microcontrolador utilizado e devido aos testes iniciais não estarem relacionados a sinais de tensão com distúrbios.

Através da simulação do filtro de saída observou-se que o THD diminui com o aumento das indutâncias, conseqüentemente a queda de tensão aumenta. Nessa situação, foi necessária análise dinâmica envolvendo outros fatores além do cálculo analítico para o projeto do filtro LCL, onde chegou-se a conclusão de que o filtro mais adequado para testes iniciais possui $L_1=5$ mH e $L_2=0,5$ mH. O controle de corrente *dq* demonstrou funcionamento correto na geração da onda modulante para o SPWM de acordo com as simulações de injeção de potência ativa e reativa indutiva ou capacitiva, verificado pela corrente em fase com a tensão da rede elétrica (potência ativa) ou em atraso/adianto (potência reativa).

Ao final, a forma de onda e frequência do sinal na saída do protótipo correspondeu à onda senoidal CA fornecida pela rede, embora com grande distorção. Infelizmente não foi possível realizar testes práticos com o inversor conectado à rede devido a limitações de tempo e uso de laboratórios, em contrapartida ressalta-se que são necessárias pequenas modificações adicionais e testes para tornar o protótipo capaz de injetar energia na rede.

A maior contribuição do trabalho foi a utilização do microcontrolador de baixo custo ATMEGA328p para construção do microinversor, também demonstrou-se boa perfor-

mance do algoritmo em gerar os pulsos PWM, realizar o controle de corrente e transformada Park e sua inversa, bem como a ação conjunta entre o circuito de controle e de potência. Ainda, fica evidente que é possível fabricar microinversores fotovoltaicos monofásicos *grid tie* com componentes de baixo custo, minimizando a dependência de equipamentos e tecnologia estrangeiras, onde a demonstração prática do funcionamento do protótipo é de grande valia e ressalta-se a possibilidade de melhoria em trabalhos futuros.

10.2 Trabalhos Futuros

Em curto prazo o que deve ser implementado no microinversor é a sincronização com a rede elétrica, não necessariamente na tensão nominal, mas como alternativa pode-se montar experimento utilizando motor CA como gerador para simular a rede. Considerando que inversores fotovoltaicos *grid tie* são fontes de corrente, ou seja, não fornecem referência de tensão em seus terminais como os inversores convencionais, na sequência deve ser testado o controle e capacidade do inversor em entregar potência à rede, pondo em prática as situações simuladas na Figura 68.

Em relação ao circuito deve-se realizar estudo para viabilizar a implementação das componentes $\alpha\beta$ via código, eliminando a etapa analógica com os dois filtros RC, o que melhora a eficiência e confiabilidade do sistema, reduz a área necessária da placa e impacta na redução de custos.

Como já dito, os módulos fotovoltaicos possuem tensão de saída variável, sendo necessário que algum dispositivo externo controle sua tensão de saída, com isto a longo prazo deve-se pensar na implementação do controle MPPT em conjunto com o conversor *boost* na entrada do inversor. Por fim, para que se tenha um protótipo que possa funcionar como microinversor associado a um painel fotovoltaico deve-se implementar funções de proteção como monitoramento de correntes de fuga, desconexão em casos de sobre ou subfrequência da rede e durante quedas de energia da concessionária. Também deve-se avaliar questões associadas ao desempenho e qualidade de energia, como eficiência na conversão CC-CA e baixa distorção harmônica da corrente injetada na rede.

REFERÊNCIAS

- [1] H.M. Abdar, A. Chakraverty, D.H. Moore, J.M. Murray, and K.A. Loparo. Design and implementation a specific grid-tie inverter for an agent-based microgrid. In *2012 IEEE Energytech*, pages 1–6, 2012.
- [2] Khaled H. Ahmed, Stephen J. Finney, and Barry W. Williams. Passive filter design for three-phase inverter interfacing in distributed generation. In *2007 Compatibility in Power Electronics*, pages 1–9. IEEE, 2007.
- [3] Carlos Alberto Alvarenga. O módulo fotovoltaico para gerador solar de eletricidade. *Solenerg Engenharia*, 2014.
- [4] Rômulo Diniz Araújo. Projeto e simulação de filtros l e lcl para interconexão de inversor npc trifásico à rede. *Dissertação de Mestrado*, 2012.
- [5] Samuel Vasconcelos Araújo, Alfred Engler, Benjamin Sahan, and Fernando Luiz Marcelo Antunes. Lcl filter design for grid-connected npc inverters in offshore wind turbines. In *2007 7th International Conference on Power Electronics*, pages 1133–1138. IEEE, 2007.
- [6] Rui Diogo Ribeiro Barbosa et al. Compensação harmónica em inversores fotovoltaicos ligados à rede eléctrica. *Dissertação de Mestrado*, 2011.
- [7] F. Blaabjerg, R. Teodorescu, M. Liserre, and A.V. Timbus. Overview of control and grid synchronization for distributed power generation systems. *IEEE Transactions on Industrial Electronics*, 53(5):1398–1409, 2006.
- [8] J.M. Carrasco, L.G. Franquelo, J.T. Bialasiewicz, E. Galvan, R.C. Portillo Guisado, M.A.M. Prats, J.I. Leon, and N. Moreno-Alfonso. Power-electronic systems for the grid integration of renewable energy sources: A survey. *IEEE Transactions on Industrial Electronics*, 53(4):1002–1016, 2006.
- [9] Marina MD da Silva. Análise de filtros passivos de harmônicos de conversor ca/cc de seis pulsos. *Dissertação de Mestrado*, 2007.

- [10] Meriem Dardouri, S. Khojet El Khil, and K. Jelasi. Control and filter design of single phase grid-connected inverter for pv applications. In *International Conference on Green Energy & Environmental Engineering (GEEE-2018) Proceedings of Engineering and Technology–PET*, volume 37, pages 50–57, 2018.
- [11] André Lage A. Dias, Renan F. Bastos, Yasmine N. Maia, and Luciano G. Cota. Projeto e implementação de um inversor monofásico grid-tie de baixo custo para sistema de geração fotovoltaica. In *Congresso Brasileiro de Automática-CBA*, volume 2, 2020.
- [12] Arduino Docs. Secrets of arduino pwm. *Disponível em:* <https://docs.arduino.cc/tutorials/generic/secrets-of-arduino-pwm>, 2022.
- [13] Ecomais. Sistemas on-grid. *Disponível em:* <https://www.ecomais.ind.br/energia-solar>, 2022.
- [14] Embarcados. Timers do atmeg328 no arduino. *Disponível em:* <https://www.embarcados.com.br/timers-do-atmega328-no-arduino/>, 2022.
- [15] Empalux. Módulo 500w. *Catálogo de produtos*, 2022.
- [16] Petr Frgal. On-grid solar microinverter on freescale mc56f82xx/mc56f82xxx dscs. *Freescale Semicondutor*, 2013.
- [17] Saeed Golestan, Josep M. Guerrero, and Juan C. Vasquez. Single-phase pll: A review of recent advances. *IEEE Transactions on Power Electronics*, 32(12): 9013–9030, 2017.
- [18] Daniel W. Hart. *Eletrônica de potência: análise e projetos de circuitos*. McGraw Hill Brasil, 2016.
- [19] Md. Jahangir Hossain, Md. Raqibull Hasan, and Md. Rafiqul Hossain, Monowar and. Islam. Design and implementation of a grid connected single phase inverter for photovoltaic system. In *2014 3rd International Conference on the Developments in Renewable Energy Technology (ICDRET)*, pages 1–6. IEEE, 2014.
- [20] IEEE. Ieee recommended practice and requirements for harmonic control in electric power systems. *IEEE Std 519-2014 (Revision of IEEE Std 519-1992)*, pages 1–29, 2014.
- [21] IEEE. Ieee standard for interconnection and interoperability of distributed energy resources with associated electric power systems interfaces. *IEEE Std 1547-2018 (Revision of IEEE Std 1547-2003)*, pages 1–138, 2018.

- [22] INMETRO. Ministério do desenvolvimento indústria e comércio exterior. Disponível em: <<http://www.inmetro.gov.br/legislacao/rtac/pdf/RTAC001652.pdf>>, 2011.
- [23] J. David Irwin. *Control in power electronics: selected problems*. Elsevier, 2002.
- [24] Youwei Jia and Yuan Li. A 200-w grid-connected single phase micro- photovoltaic inverter and its control strategy. In *2012 Asia-Pacific Power and Energy Engineering Conference*, pages 1–4, 2012.
- [25] Dietmar Krug, Mariusz Malinowski, and Steffen Bernet. Design and comparison of medium voltage multi-level converters for industry applications. In *Conference Record of the 2004 IEEE Industry Applications Conference, 2004. 39th IAS Annual Meeting.*, volume 2, pages 781–790. IEEE, 2004.
- [26] Marco Liserre, Frede Blaabjerg, and Steffan Hansen. Design and control of an lcl-filter based three-phase active rectifier. In *Conference Record of the 2001 IEEE Industry Applications Conference. 36th IAS Annual Meeting (Cat. No. 01CH37248)*, volume 1, pages 299–307. IEEE, 2001.
- [27] Alex-Sander A Luiz and Braz J Cardoso Filho. Análise de filtros passivos para retificadores de três níveis e alta potência. In *VIII Conferência Internacional de Aplicações Industriais (Induscon 2008), Poços de Caldas, MG, de*, volume 17, 2008.
- [28] Alex-Sander Amável Luiz. Tensões e correntes senoidais em conversores para média tensão industrial. *Dissertação de Doutorado*, 2007.
- [29] Otavio Ferreira Machado. Estimção e análise estatística de distorções harmônicas em usinas eólicas a velocidade variável. *Dissertação de Mestrado*, 2008.
- [30] Math24. Trapezoidal rule. Disponível em: <<https://math24.net/trapezoidal-rule.html>>, 2022.
- [31] João Tavares Pinho, Marco Antonio Galdino, et al. Manual de engenharia para sistemas fotovoltaicos. *Rio de Janeiro*, 1:47–499, 2014.
- [32] Milan Prodanovic and Timothy C Green. Control and filter design of three-phase inverters for high power quality grid connection. *IEEE transactions on Power Electronics*, 18(1):373–380, 2003.
- [33] Prodist. Módulo 8–qualidade da energia elétrica. *Agência Nacional de Energia Elétrica–ANEEL*, 2010.

- [34] Aleksandr Reznik, Marcelo Godoy Simões, Ahmed Al-Durra, and SM Muyeen. *lcl* filter design and performance analysis for grid-interconnected systems. *IEEE transactions on industry applications*, 50(2):1225–1232, 2013.
- [35] BlueSol Energia Solar. Célula solar: Conceitos básicos sobre como a luz do sol gera energia. Disponível em: <<https://blog.bluesol.com.br/celula-solar-o-que-e/>>, 2022.
- [36] Portal Solar. Energia fotovoltaica. Disponível em: <<https://www.portalsolar.com.br/energia-fotovoltaica.html>>, 2022.
- [37] S. Sumathi, L. Ashok Kumar, and P. Surekha. *Solar PV and Wind Energy Conversion Systems*. Springer, Switzerland, 1 edition, 2015.
- [38] Douglas Ângelo Teixeira. Análise das distorções harmônicas: estudo de caso de um sistema industrial. *Dissertação de Mestrado*, 2009.
- [39] Timothy CY Wang, Zhihong Ye, Gautam Sinha, and Xiaoming Yuan. Output filter design for a grid-interconnected three-phase inverter. In *IEEE 34th Annual Conference on Power Electronics Specialist, 2003. PESC'03.*, volume 2, pages 779–784. IEEE, 2003.
- [40] Q. Zhong and T. Hornik. *Control of power inverters in renewable energy and smart grid integration*. John Wiley & Sons, United Kingdom, 1 edition, 2013.