

**UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

João Vítor Cabrera Duarte

PROJETO DE REFERÊNCIA DE TENSÃO SUBBANDGAP

Porto Alegre

2022

**UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

João Vítor Cabrera Duarte

PROJETO DE REFERÊNCIA DE TENSÃO SUBBANDGAP

Projeto de Diplomação apresentado ao Departamento de Engenharia Elétrica da Escola de Engenharia da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para a Graduação em Engenharia Elétrica.

Orientador: Prof. Dr. Hamilton Klimach

Porto Alegre

2022

JOÃO VÍTOR CABRERA DUARTE

PROJETO DE REFERÊNCIA DE TENSÃO SUBBANDGAP

Projeto de Diplomação apresentado ao Departamento de Engenharia Elétrica da Escola de Engenharia da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para a Graduação em Engenharia Elétrica.

Prof. Dr. Hamilton Duarte Klimach
Orientador - UFRGS

Prof.
UFRGS

Prof.
UFRGS

Prof.
UFRGS

Agradecimentos

Agradeço primeiramente à minha mãe Claudia, meu pai Fábio e aos meus irmãos João Pedro e Betina por todo o apoio, pelos conselhos, companheirismo, incentivos e amor que me proporcionaram durante toda a minha vida. Por estarem comigo, independente das distâncias, para comemorar as conquistas e tornar mais leves os momentos difíceis.

À minha parceira Luiza, que me acompanhou por toda a graduação, compartilhando momentos de alegria e de dedicação, estando ao meu lado independente da situação, por todo o apoio, amor, companheirismo, por sempre acreditar em mim e me motivar.

Aos amigos que a graduação me apresentou, por todo o carinho, incentivo e por sempre estarem ao meu lado durante o curso.

Ao meu orientador, Prof. Dr. Hamilton Klimach, por acreditar em mim na escolha como bolsista em iniciação científica, pela disponibilidade em tirar quaisquer dúvidas que eu tivesse, pelos conhecimentos compartilhados e pelas conversas que abordaram tópicos tão relevantes.

À Universidade Federal do Rio Grande do Sul e seus professores e funcionários, pelo tempo e esforço no objetivo de oferecer um ensino público, gratuito e de qualidade.

Resumo

A referência de tensão é um circuito muito relevante por fornecer sua tensão de saída para diversos circuitos analógicos, sinais mistos e digitais, além de ter sido um importante tópico de estudo em circuitos integrados por mais de 50 anos. Uma referência de tensão deve providenciar uma tensão estável com baixa sensibilidade à variações na temperatura, tensão de alimentação, características de processo de fabricação e estresses no encapsulamento, além de outros parâmetros específicos de cada aplicação. Esse tipo de circuito funciona com o cancelamento da dependência térmica entre duas grandezas elétricas, normalmente implementados pela soma ponderada de dois efeitos físicos independentes com dependências térmicas opostas. Circuitos denominados *bandgap* empregam a deriva térmica negativa de uma junção semicondutora para gerar a grandeza elétrica com dependência complementar à temperatura absoluta, enquanto o potencial térmico, advindo da constante de *Boltzmann* e da carga do elétron, normalmente é utilizado para gerar a grandeza elétrica com dependência proporcional à temperatura absoluta. Considerando que essas grandezas também dependem do processo de fabricação, o desempenho de referência é muito impactado pela variabilidade de fabricação. Um projeto que apresente robustez à variabilidade é mandatório para aumentar a precisão do circuito. Conseqüentemente, este trabalho apresenta o projeto de uma referência de tensão *subbandgap* de baixa variabilidade comportamental. Foi implementada uma fonte de corrente I_{SQ} para a polarização de todos os blocos do circuito com uma corrente que apresenta baixa variabilidade comportamental. Foram implementados *Self-Cascode MOSFET* (SCM) e Pares Diferenciais Desbalanceados para a geração de tensões proporcionais à temperatura absoluta. As topologias empregadas são descritas analiticamente e o modelo ACM foi utilizado durante o projeto. O circuito é formado somente por transistores no processo de fabricação de 180 nm CMOS da XFAB. As simulações realizadas em *schematic view* resultaram em uma tensão de referência de 738 mV apresentando TC médio de 37,6 ppm/°C, consumindo 8,809 μV em uma tensão de alimentação de 1,8 V. Simulações Monte Carlo foram conduzidas para avaliar o comportamento do circuito frente à variabilidade comportamental, apresentando resultados comparáveis à artigos publicados em convenções internacionais.

Palavras-chave: *Bandgap*, referência de tensão, variabilidade, circuitos analógicos, circuitos integrados CMOS.

Abstract

The voltage reference is a very relevant circuit for providing its output voltage to many analog, mixed-signal and digital circuits, and has been an important topic of study in integrated circuits for more than 50 years. A voltage reference must provide a stable voltage with low sensitivity to variations in temperature, supply voltage, manufacturing process characteristics and package stresses, as well as other application-specific parameters. This type of circuit works by canceling the thermal dependence between two electrical quantities, usually implemented by the weighted sum of two independent physical effects with opposite thermal dependencies. Circuits called bandgap employ the negative thermal drift of a semiconductor junction to generate the electric quantity with complementary temperature dependence, while the thermal potential, related from the Boltzmann's constant and the electron charge, is normally used to generate the proportional term. Since these quantities are also dependent on the fabrication process, the reference performance is greatly impacted by fabrication variability. Reduction or a design that exhibits robustness to variability is mandatory to increase the circuit accuracy. Hence, this paper presents the design of a subbandgap voltage reference with low behavioral variability. An I_{SQ} current source was implemented for biasing all the circuit blocks with a current that exhibits low behavioral variability. Self-Cascode MOSFET (SCM) and Unbalanced Differential Pairs were implemented for the generation proportional to absolute temperature terms. The topologies employed are described analytically and the ACM model was used during the design. The circuit is formed only by transistors in XFAB's 180 nm CMOS manufacturing process. Simulations performed in schematic view resulted in a reference voltage of 738 mV showing average TC of 37,6 ppm/°C, consuming 8,809 μV at a supply voltage of 1,8 V. Monte Carlo simulations were conducted to evaluate the circuit behavior against behavioral variability, presenting results comparable to papers published in international conventions.

Keywords: Bandgap, voltage reference, variability, analog circuits, CMOS integrated circuits.

Lista de ilustrações

Figura 1 – Classificações de Variabilidade Comportamental	14
Figura 2 – Propagação de Variabilidade Comportamental	16
Figura 3 – Exemplo de Método de Janelamento entre $-20^{\circ}C$ até $100^{\circ}C$	18
Figura 4 – Simulação da Característica $V_{REF} \times V_{DD}$ de uma referência de tensão em diferentes temperaturas	19
Figura 5 – Exemplo de Análise de <i>Line Sensitivity</i>	20
Figura 6 – Resultado Típico de Simulação de PSR em Referências de Tensão	21
Figura 7 – Exemplo de Medição de Corrente em Função da Temperatura	22
Figura 8 – Resultado de uma Simulação Monte Carlo para a Tensão de <i>Off-Set</i> de um Amplificador Operacional	23
Figura 9 – Resultado de uma Simulação Monte Carlo do TC de uma Referência de Tensão	24
Figura 10 – Princípio básico de referências de tensão	25
Figura 11 – Conceito básico de uma referência de tensão <i>Bandgap</i>	29
Figura 12 – Exemplo de cancelamento das tensões CTAT e PTAT em uma referência <i>Bandgap</i>	30
Figura 13 – Referência de Tensão <i>Bandgap</i> proposta por Widlar	30
Figura 14 – Referência de Tensão <i>Bandgap</i> proposta por Kuijk	31
Figura 15 – Referência de Tensão <i>Bandgap</i> proposta por Brokaw	32
Figura 16 – Referência de Tensão <i>Bandgap</i> utilizando par diferencial desbalanceado proposta por Tsividis	32
Figura 17 – Referência <i>Subbandgap</i> proposta em (Osaki <i>et al.</i> 2013).	34
Figura 18 – Circuito Par Diferencial NMOS desbalanceado	35
Figura 19 – Conceito operacional da compensação de curvatura proposta em (Chen <i>et al.</i> 2017)	35
Figura 20 – Característica de V_{REF} antes e depois de aplicar a compensação de curvatura	36
Figura 21 – Cadeia de Resistores em paralelo para <i>Trimming</i>	37
Figura 22 – Circuito proposto em (Huang <i>et al.</i> 2022)	37
Figura 23 – Circuito Self-Cascode MOSFET	40
Figura 24 – Circuito Self-Cascode MOSFET quando encadeado	41
Figura 25 – Circuito Par Diferencial PMOS desbalanceado	42
Figura 26 – Equacionamento do Par Diferencial Desbalanceado	43
Figura 27 – Arquitetura do circuito proposto	44
Figura 28 – Divisor de Tensão CMOS	45
Figura 29 – Encadeamento de Pares Diferenciais Desbalanceados PMOS	46

Figura 30 – Topologia de Fonte de Corrente CMOS	47
Figura 31 – Correntes no Circuito para Equacionamento	48
Figura 32 – Circuito Completo da Fonte de Corrente	49
Figura 33 – Circuito Fonte CTAT e Divisor de Tensão CMOS implemetados	51
Figura 34 – Circuito Fonte PTAT implementado	52
Figura 35 – Referência de Tensão <i>Subbandgap</i> implementada	54
Figura 36 – Curvas das Simulações de V_{CTAT} e V_{DT} entre $-20^{\circ}C$ até $120^{\circ}C$ em (a); Derivadas de V_{CTAT} e V_{DT} em função da temperatura em (b).	55
Figura 37 – Curvatura em V_{DT}	56
Figura 38 – Resultado da simulação V_{CTAT}/V_{DT} variando a temperatura	57
Figura 39 – Curvas das Simulações de cada V_{PTAT} entre $-20^{\circ}C$ até $120^{\circ}C$ em (a); Derivadas de cada V_{PTAT} em função da temperatura em (b).	57
Figura 40 – Curvatura individuais de cada bloco V_{PTAT}	59
Figura 41 – Curvas de V_{PTAT} resultante entre $-20^{\circ}C$ até $120^{\circ}C$ em (a); Derivadas de V_{PTAT} resultante em função da temperatura em (b).	59
Figura 42 – Curvatura de V_{PTAT} resultante	60
Figura 43 – Curva da Tensão de Referência V_{REF} entre $-20^{\circ}C$ até $120^{\circ}C$	61
Figura 44 – Histogramas das Simulações Monte Carlo para V_{REF} para Processo em (a); <i>Mismatch</i> em (b); Processo + <i>Mismatch</i> em (c).	61
Figura 45 – Histogramas das Simulações Monte Carlo do TC para Processo em (a); <i>Mismatch</i> em (b); Processo + <i>Mismatch</i> em (c).	62
Figura 46 – Tensão de Referência (V_{REF}) das 200 Amostras	63
Figura 47 – Tensão de Referência (V_{REF}) das 200 Amostras com <i>Single-Trim</i> em $27^{\circ}C$	64
Figura 48 – Resposta das 200 Amostras em detalhes após o <i>Single-Trim</i>	64
Figura 49 – <i>Line Sensitivity</i> do Circuito Proposto	65
Figura 50 – Resultado da Simulação de PSR entre 1Hz e 1GHz	66
Figura 51 – Simulação da potência em função da temperatura	66

Lista de tabelas

Tabela 1 – Dimensão dos transistores usados na fonte de corrente	50
Tabela 2 – Dimensão dos transistores usados na fonte CTAT e no divisor de tensão CMOS	51
Tabela 3 – Dimensão dos transistores usados no gerador PTAT	53
Tabela 4 – Valores de deriva térmica para cada Tensão V_{PTAT} em $27^{\circ}C$	58
Tabela 5 – Resultados Obtidos nas Simulações Monte Carlo para V_{REF}	62
Tabela 6 – Resultados Obtidos nas Simulações Monte Carlo para TC	63
Tabela 7 – Comparação com os trabalhos de grande relevância	67

Lista de abreviaturas e siglas

AC	<i>Alternate Current</i>
ACM	<i>Advanced Compact MOSFET</i>
ADC	<i>Analog-Digital Converter</i>
BGR	<i>Bandgap Reference</i>
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
CTAT	<i>Complementary to Absolute Temperature</i>
DAC	<i>Digital-Analog Converter</i>
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
IoT	<i>Internet of Things</i>
LS	<i>Line Sensitivity</i>
MOS	<i>Metal-Oxide Semiconductor</i>
MOSFET	<i>Metal-Oxide Semiconductor Field Effect Transistor</i>
NMOS	MOSFET de Canal N
NPN	Transistor de Junção Bipolar do tipo N
PDK	<i>Process Design Kit</i>
PMOS	MOSFET de Canal P
PSR	<i>Power Supply Rejection</i>
PTAT	<i>Proportional to Absolute Temperature</i>
SCM	<i>Self-Cascode MOSFET</i>
TC	Coeficiente de Temperatura
TCAS1	<i>Transactions on Circuits and Systems 1: Regular Papers</i>
TJB	Transistor de Junção Bipolar

Sumário

1	INTRODUÇÃO	13
1.1	Baixa Potência e Baixa Tensão	13
1.2	Processo de Fabricação	14
1.2.1	Variabilidade de <i>Mismatch</i> (Descasamento)	15
1.2.2	Variabilidade de Processo	16
1.3	Referência de Tensão Ideal	17
1.4	Parâmetros de Desempenho	17
1.4.1	Coeficiente de Temperatura - TC	18
1.4.2	Tensões Mínima e Máxima de Operação	19
1.4.3	<i>Line Sensitivity</i> - LS	19
1.4.4	<i>Power Supply Rejection</i> - PSR	20
1.4.5	Consumo de Potência	21
1.4.6	Variabilidade Comportamental	22
1.5	Organização do Trabalho	24
2	REFERÊNCIAS DE TENSÃO	25
2.1	Princípio de Funcionamento	25
2.1.1	Tensão de uma Junção Semicondutora (<i>Bandgap</i>)	27
2.1.2	Potencial Térmico ϕ_t	27
2.1.3	Dependência Térmica da Tensão de <i>Threshold</i> V_{Th}	28
2.2	Referência <i>Bandgap</i>	28
2.3	Revisão Bibliográfica	29
2.4	Trabalhos de grande relevância dos últimos 10 anos	33
2.4.1	Baixo Consumo de Potência	33
2.4.2	Compensação de Curvatura	34
3	SOLUÇÃO IMPLEMENTADA	38
3.1	Modelo <i>Advanced Compact MOSFET</i>(ACM)	38
3.2	Geradores de Tensão PTAT	39
3.2.1	<i>Self-Cascode MOSFET</i> (SCM)	40
3.2.2	Par Diferencial Desbalanceado PMOS	42
3.3	Estrutura do Circuito	44
3.3.1	Junção Bipolar	44
3.3.2	Divisor de Tensão CMOS	45
3.3.3	Gerador PTAT	46
3.3.4	Fonte de Corrente	46

3.3.4.1	Topologia da Fonte de Corrente	47
3.4	Dimensionamento dos Transistores do Circuito	48
3.4.1	Dimensionamento dos Transistores da Fonte de Corrente	48
3.4.2	Dimensionamento da Fonte CTAT e do Divisor de Tensão CMOS	50
3.4.3	Dimensionamento dos Transistores da Fonte PTAT	51
3.4.4	Referência <i>Subbandgap</i> Completa	53
4	RESULTADOS E DISCUSSÕES	55
4.1	Tensão CTAT e Divisor de Tensão CMOS	55
4.2	Tensão PTAT	57
4.3	Tensão de Referência	60
4.4	Simulações Monte Carlo	61
4.4.1	<i>Single-Trim</i>	63
4.5	Tensão Mínima e Máxima de Operação e <i>Line Sensitivity</i>	65
4.6	<i>Power Supply Rejection (PSR)</i>	65
4.7	Consumo de Potência	66
4.8	Comparação com os trabalhos estudados	67
5	CONCLUSÃO	68
5.1	Trabalhos Futuros	68
	REFERÊNCIAS	70

1 Introdução

Este trabalho aborda o projeto de uma referência de tensão integrada utilizando a topologia *bandgap*. A realização deste projeto incluiu diversas etapas, como o estudo dos trabalhos Estado da Arte, contextualização histórica do projeto de referências de tensão *bandgap*, definição dos parâmetros de desempenho e elaboração de simulações. Neste capítulo introdutório são abordadas algumas aplicações de referências de tensão elétrica em sistemas eletrônicos, expostas características importantes e apresentados e explicados os principais parâmetros de desempenho dessa classe de circuito.

Referências de tensão elétrica são blocos fundamentais na grande maioria dos circuitos e sistemas eletrônicos, sendo empregadas em dispositivos analógicos, *mixed-signal*, rádio-frequência e até em digitais, como memórias. Esta classe de circuito tem como objetivo fornecer uma tensão fixa e estável com um valor pré-determinado, mostrando robustez de operação, independente das condições de temperatura, tensão de alimentação, ruído na alimentação e variabilidade de processo que o circuito for submetido. Exemplos de uso para referências de tensão são conversores de dados Analógico-Digital (ADC) e Digital-Analógico (DAC) e fontes de alimentação.

1.1 Baixa Potência e Baixa Tensão

O contínuo desenvolvimento de novas tecnologias CMOS (*Complementary Metal-Oxide Semiconductor*) e os processos de fabricação cada vez menores são fatores determinantes para a operação em baixa tensão de alimentação. Os atuais sistemas movidos à bateria e futuros projetos autoalimentados e auto-sustentáveis demandam operação com baixíssimo consumo de potência elétrica, funcionando com correntes elétricas na faixa dos nanoamperes (Neto 2014).

Uma das grandes previsões para utilização de tecnologias de baixo consumo de potência são aplicações em *Internet of Things* (IoT). De acordo com a (Oracle 2020), IoT descreve a rede de objetos físicos - “coisas” - que são incorporados a sensores, software e outras tecnologias, com o objetivo de conectar e trocar dados com outros dispositivos e sistemas pela internet. Aplicações IoT permitem que objetos possam sensoriar e ser controlados através de infraestruturas de rede já existentes, criando oportunidades para maior integração entre o mundo físico e sistemas baseados em computadores, resultando em melhorias de eficiência, de precisão e benefícios econômicos (Grimblatt 2020).

A constante evolução dos processos de fabricação e o aumento da demanda por dispositivos de baixa potência estabelece a importância para o projeto de referências de

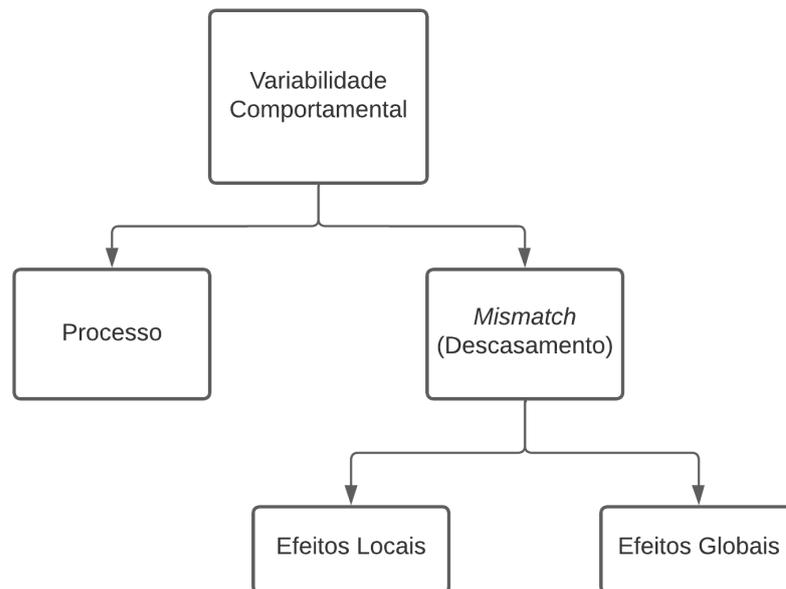
tensão de baixo consumo.

1.2 Processo de Fabricação

As variações nas características elétricas de dispositivos MOS (*Metal-Oxide Semiconductor*) são motivos de grande preocupação durante o projeto e operação dos circuitos integrados. O progressivo escalonamento dos processos de fabricação promove a melhoria em alguns aspectos elétricos e físicos. Em contrapartida, gera um aumento na complexidade dos circuitos integrados, com novas dificuldades e desafios. (Klimach 2008).

Processos de fabricação com dimensões físicas cada vez menores, apresentam maior suscetibilidade ao aparecimento de variabilidade comportamental entre amostras. Este fenômeno pode ser dividido em dois tipos de variabilidade: Processo e *Mismatch* (Descasamento). É possível também classificar *Mismatch* em dois grupos diferentes: efeitos globais e locais. A Figura 1 ilustra as diferentes classificações da variabilidade comportamental.

Figura 1 – Classificações de Variabilidade Comportamental



Fonte - Adaptado de (Klimach 2018)

A variabilidade do processo de fabricação se dá pelo caráter randômico da matéria, onde flutuações microscópicas aleatórias no número e no local dos átomos dopantes geram diferenças no comportamento dos dispositivos CMOS. Os processos físico-químicos envolvidos na fabricação de chips em nós tecnológicos mais atuais, estão cada vez mais sujeitos à essas variabilidades. Conseqüentemente, o desempenho dos circuitos integrados fabricados nessas novas tecnologias também estará submetido a uma grande variação

nos seus respectivos parâmetros, causando variação no rendimento ("*yield*") para cada pastilha de um *wafers* produzido. Tal fenômeno envolvendo estas variações independentes do tempo é responsável por afetar tanto os circuitos digitais como analógicos, diferenciando a qualidade, o desempenho e o rendimento requerido para um mesmo projeto de um circuito integrado (Camaratta 2009).

Além disso, o contínuo aumento da complexidade dos sistemas eletrônicos exige que especificações cada vez mais desafiadoras sejam atendidas. O emprego de dispositivos passivos em um circuito integrado usualmente necessita de grande área e aumenta ainda mais a incerteza em relação ao comportamento entre amostras, fazendo com que os projetos de circuitos puramente transistorizados sejam mais atrativos. Essas adversidades impõem um maior planejamento por parte do projetista em empregar técnicas que previnam a manifestação desses problemas.

1.2.1 Variabilidade de *Mismatch* (Descasamento)

As topologias de circuitos eletrônicos integrados usuais, digitais ou analógicos, baseiam-se, em grande parte, no conceito de similaridade comportamental (casamento) entre dispositivos identicamente fabricados. Ou seja, supõe-se que dois (ou mais) dispositivos que sejam identicamente desenhados e fabricados simultaneamente no mesmo processo, apresentem um comportamento elétrico idêntico. Entretanto, uma vasta gama de tipos de flutuações e variações incontroláveis, presentes em todas as etapas do processo de fabricação de um circuito integrado, acrescenta um grau de diferença de comportamento aos dispositivos fabricados, denominado *descasamento* (Klimach 2008).

Essas variações físicas podem ocorrer entre dispositivos de uma mesma pastilha (*intradie*), ou de pastilhas diferentes (*interdie*). No caso de pastilhas diferentes, podem ainda ocorrer entre dispositivos de uma mesma lâmina (*intra-wafer*), de um mesmo lote de fabricação (*intra-batch*) ou ainda entre dispositivos fabricados em diferentes lotes (*interbatch*). O estudo de descasamento entre transistores MOS se restringe ao caso em que estes dispositivos estão em uma mesma pastilha (*intradie*). De acordo com (Klimach 2008), a maneira como as variações físicas afetam o comportamento dos transistores em uma mesma lâmina é fundamentalmente dependente da relação entre as dimensões físicas dos dispositivos e o *comportamento de onda espacial* das variações ao longo da mesma. Klimach classifica essas variações físicas e seus efeitos em dois tipos: *globais* (aquelas relacionadas às variações físicas cujo comprimento de onda espacial é muito superior às dimensões físicas dos transistores) e *locais* (aquelas relacionadas às variações físicas cujo comprimento de onda espacial é muito inferior às dimensões físicas dos transistores).

Klimach também define os fatores que provocam essas variações, sendo eles classificados em função do modo como afetam os dispositivos fabricados:

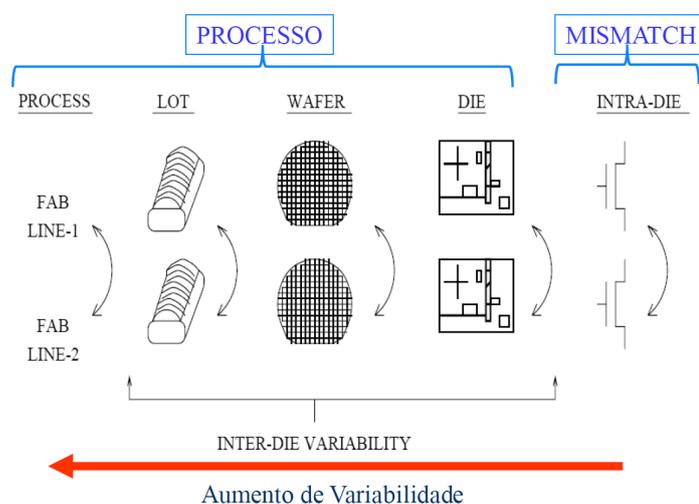
- Fatores *Sistemáticos*: fatores relacionados às variações ou deformações espaciais que ocorrem de forma sistemática em componentes ou elementos do processo de fabricação. Podem resultar de efeitos físicos e químicos incontornáveis, como a dilatação térmica nos equipamentos, as aberrações nas lentes e distorções nas máscaras de fotolitografia, as mudanças na concentração de substâncias (durante processos de deposição ou dopagem), as não linearidades no equipamento de implante de íons e as flutuações térmicas em geral. São fatores que provocam gradientes nas propriedades físicas ao longo da pastilha, da lâmina ou do lote;
- Fatores *Estocásticos*: Fatores relacionados à natureza discreta da matéria, provocando flutuações locais (microscópicas) nas propriedades físicas dos dispositivos fabricados.

De um modo geral, para dispositivos próximos entre si, pode-se dizer que os fatores de descasamento sistemático estão relacionados aos efeitos do tipo global, e os fatores estocásticos estão relacionados aos efeitos do tipo local.

1.2.2 Variabilidade de Processo

Como explicado anteriormente, a análise do descasamento entre transistores é restrita ao caso em que estes dispositivos estão em uma mesma pastilha. Para a variabilidade de processo, o escopo da análise parte das variações físicas que podem aparecer entre pastilhas (*interdie*) e até entre dispositivos de lotes diferentes (*interbatch*). Esta análise está baseada no conceito que, quanto maior a diferença das condições em que os dispositivos foram fabricados, maior a variabilidade comportamental entre eles. A Figura 2 ilustra a ideia de aumento de variabilidade em relação à distância entre os dispositivos no processo de fabricação.

Figura 2 – Propagação de Variabilidade Comportamental



Fonte - (Klimach 2018)

De acordo com Klimach, a variabilidade de processo afeta igualmente os dispositivos de uma pastilha, por isso não causam descasamento. Por afetarem todos os dispositivos igualmente, a influência da variabilidade de processo impacta em parâmetros dependentes do valor absoluto de grandezas dos dispositivos, como a resistência R , capacitância C , indutância L e a transcondutância gm , impactando no valor final.

1.3 Referência de Tensão Ideal

A referência de tensão ideal é um circuito que fornece uma tensão elétrica constante, não apresentando sensibilidade a:

- Temperatura;
- Alimentação do circuito (em tensão ou em corrente);
- Variabilidade acrescida pelo processo de fabricação;
- Tempo (por exemplo ruído intrínseco);
- Outras condições operacionais dependentes da aplicação.

O conceito de referência é uma ideia ampla que remete ao circuito ser insensível a todas as condições operacionais. Um exemplo disso está em aplicações aeroespaciais, em que a referência necessita manter sua grandeza constante, mesmo estando exposta a uma radiação solar mais intensa.

Na prática, esses resultados não são possíveis de se alcançar. No entanto, circuitos reais de referências de tensão são projetados para operar em faixas de valores de alimentação, de amplitude e frequência do sinal AC (*Alternate Current*) que a alimentação pode conter e de temperatura, nas quais o comportamento da tensão de referência se aproxime do ideal. O valor de saída do bloco pode apresentar variações, mas deseja-se que essas diferenças estejam dentro das especificações do projeto, onde parâmetros de desempenho são utilizados para quantificar os limites de operação do circuito.

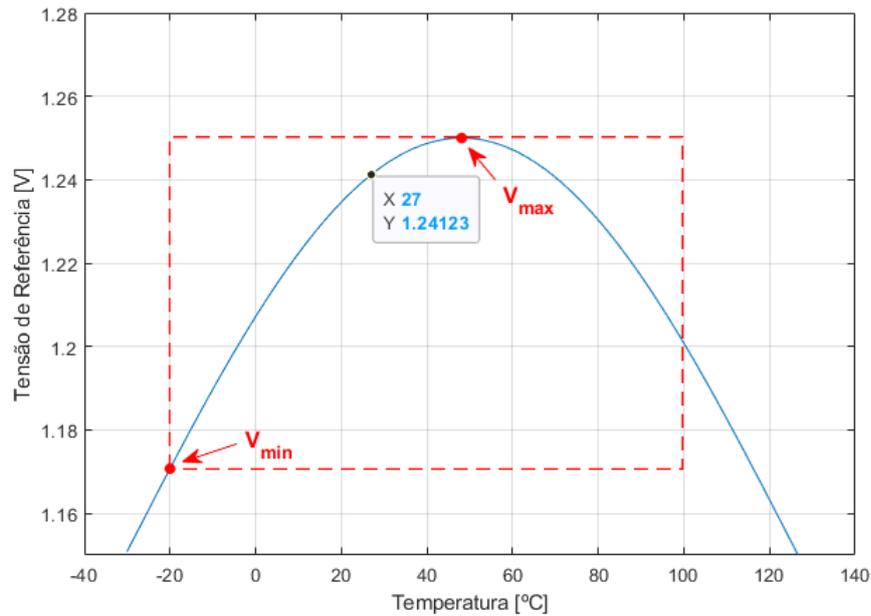
1.4 Parâmetros de Desempenho

Como explicado na seção anterior, são utilizados parâmetros de desempenho para mensurar o comportamento do circuito, além de auxiliar na definição dos limites de operação do mesmo. Nesta seção são apresentados os principais parâmetros de desempenho utilizados no projeto de referência de tensão.

1.4.1 Coeficiente de Temperatura - TC

O emprego de semicondutores para fabricação de circuitos integrados impõe o comportamento físico dos materiais utilizados, sendo o Coeficiente de Temperatura (*Temperature Coefficient* - TC) a maneira de quantificar a estabilidade térmica da referência.

Figura 3 – Exemplo de Método de Janelamento entre -20°C até 100°C



Fonte - Autoria Própria

Históricamente, o TC já foi definido de diversas maneiras e não existe um padrão específico para caracterização térmica de referências de tensão. Neste trabalho é utilizado o método de janelamento para a definição do valor do TC, descrito pela Equação 1.1 (Gray *et al.* 2009).

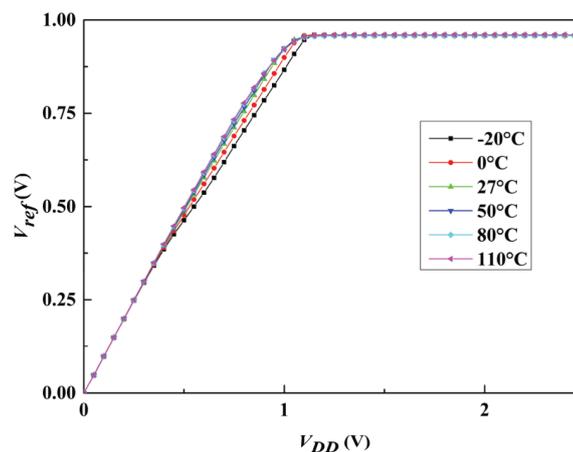
$$TC, ppm/^{\circ}\text{C} = \frac{\Delta V_{REF}}{\Delta T \times V_{REF_{27^{\circ}}}} \times 10^6 \quad (1.1)$$

O método mede a variação máxima da referência ($V_{REF_{max}} - V_{REF_{min}} = \Delta V_{REF}$) dentro de um intervalo definido de temperatura (ΔT) e normaliza esse valor com a tensão de referência em temperatura ambiente ($V_{REF_{27^{\circ}}}$). Quanto menor o valor do TC, menor a influência da temperatura na tensão de referência gerada pelo circuito. A Figura 3 ilustra um exemplo de janelamento entre -20°C e 100°C , mostrando os valores máximo (V_{max}) e mínimo (V_{min}) no intervalo do janelamento, além do valor em temperatura ambiente. As linhas tracejadas em vermelho delimitam o intervalo do janelamento.

1.4.2 Tensões Mínima e Máxima de Operação

A tensão mínima de operação em referências de tensão também é um parâmetro de desempenho que carece de padrões e métodos para a definição da mesma. Artigos publicados em respeitadas revistas científicas (como por exemplo (Osaki *et al.* 2013)) não explicam a maneira como os valores são obtidos, mas os apresentam para seus respectivos circuitos. Baseado nisso, o método utilizado para a definição da tensão mínima de operação neste trabalho é a maneira gráfica. Partindo de uma simulação da tensão de referência (V_{REF}) versus tensão de alimentação (V_{DD}), é observada a tensão de alimentação onde a referência se estabiliza. A Figura 4 ilustra a característica $V_{REF} \times V_{DD}$ de uma referência. Nesse exemplo, a aplicação deste método resultaria em uma tensão mínima de operação de aproximadamente 1,2V. Para a tensão máxima de operação, normalmente é utilizada a tensão nominal da tecnologia escolhida para a fabricação do circuito. Esse valor máximo também delimita o intervalo que a simulação da característica $V_{REF} \times V_{DD}$ é realizada.

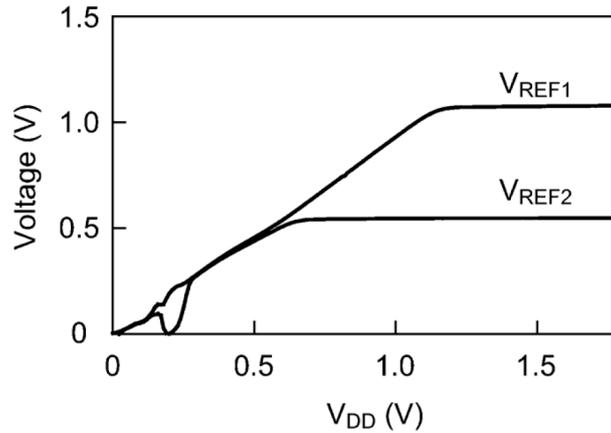
Figura 4 – Simulação da Característica $V_{REF} \times V_{DD}$ de uma referência de tensão em diferentes temperaturas



Fonte - (Zhang *et al.* 2020)

1.4.3 Line Sensitivity - LS

Retornando à ideia de que o objetivo de uma referência de tensão é providenciar um valor estável e previsível frente às variações do ambiente em que está inserida e suas diversas aplicações, um fator relevante para avaliar a estabilidade é a tensão de alimentação. É de se esperar que essa alimentação não tenha seu valor estável e não esteja livre de perturbações. Para isso, o parâmetro do *Line Sensitivity* (LS) (Oliveira *et al.* 2017) é obtido a partir da mesma análise utilizada para a tensão mínima de operação, onde se varia a tensão de alimentação e se mede a tensão de referência. A Figura 5 é um exemplo de análise de LS, em que os valores obtidos são usados na Equação 1.2 para avaliar o quanto a tensão de alimentação afeta o valor da tensão de referência.

Figura 5 – Exemplo de Análise de *Line Sensitivity*

Fonte - (Osaki *et al.* 2013)

$$LS, \% / V = \frac{\Delta V_{REF}}{\Delta V_{DD} \times \bar{V}_{REF}} \times 100\% \quad (1.2)$$

Na Equação 1.2, ΔV_{REF} é a variação na tensão de referência provocada por uma variação ΔV_{DD} (diferença entre a tensão mínima de operação e a tensão nominal da tecnologia escolhida) na tensão de alimentação. \bar{V}_{REF} é o valor de tensão de referência médio na faixa de alimentação. A Equação 1.2 quantifica qual a porcentagem em que o valor da referência varia, em relação ao seu valor nominal, para cada Volt que é variado na alimentação, sendo essa a unidade de $LS(\%/V)$.

1.4.4 Power Supply Rejection - PSR

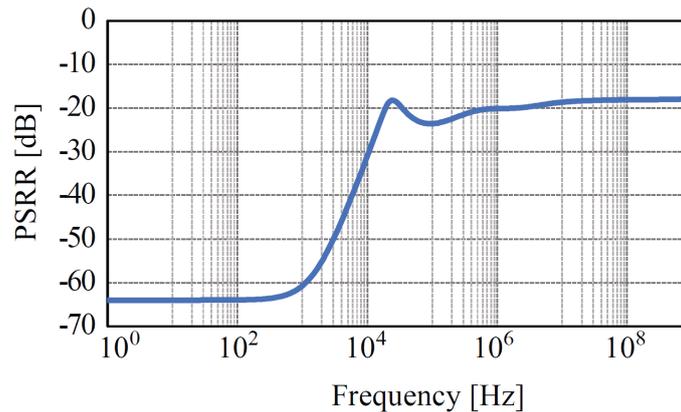
Em aplicações reais, a tensão utilizada para alimentação de circuitos integrados apresenta ruído devido ao acoplamento de sinal, realimentação, oscilação de energia e muitas outras possíveis causas. A habilidade do circuito de referência de tensão rejeitar o ruído e outros sinais em frequências definidas, com o intuito de providenciar uma tensão de referência estável, é mensurado pelo *Power Supply Rejection* (PSR), descrito pela Equação 1.3 (Kok e Tam 2013).

$$PSR, dB(f) = 20 \log \left(\frac{v_{REF,AC}(f)}{v_{DD,AC}(f)} \right) \quad (1.3)$$

O PSR é uma grandeza mensurada em dB onde a alimentação está sendo corrompida por um ruído em uma frequência definida f , que é modelado como uma tensão contínua acoplada com um sinal sinusoidal de frequência f , identificado como $v_{DD,AC}(f)$. A tensão de saída (referência) tem a mesma abordagem, sendo identificada como $v_{REF,AC}(f)$. Aplicando os valores obtidos na Equação 1.3 é possível obter o valor de rejeição ao sinal de frequência f

que o circuito apresenta. A maneira mais comum de se simular ou medir o comportamento do PSR é adicionando um sinal sinusoidal com a tensão pico à pico (V_{pp}) de aproximadamente 10% do valor nominal da tensão de alimentação na frequência definida. Simulações que abrangem faixas de frequência são interessantes para se caracterizar o comportamento do circuito de maneira mais completa. A Figura 6 ilustra o resultado típico de uma simulação de PSRR de uma referência de tensão onde se varia a frequência do sinal adicionado.

Figura 6 – Resultado Típico de Simulação de PSR em Referências de Tensão



Fonte - (Gomez *et al.* 2015)

1.4.5 Consumo de Potência

A invenção do transistor foi um grande passo para o projeto de circuitos eletrônicos com baixo consumo de energia. Comparando com o antecessor, a válvula termiônica, o transistor requer muito menos potência para operar, o que fez com que a ênfase no início dos projetos não fosse muito voltada para a eficiência energética. As aplicações movidas à bateria - calculadoras de bolso, marca-passo, equipamentos militares portáteis e, mais notoriamente, relógios de pulso - se atentaram à baixa potência (Roy e Prasad 2000).

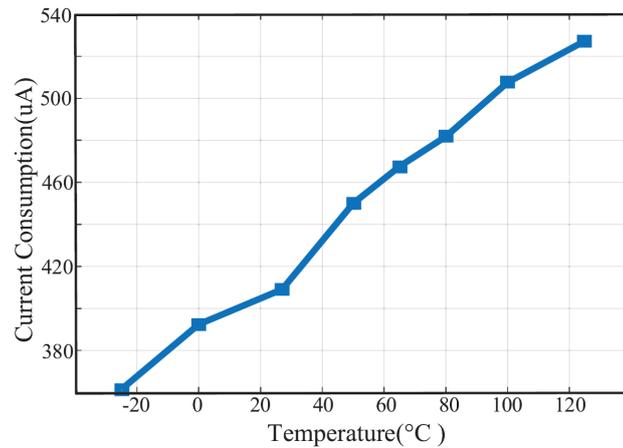
Com o passar das décadas e o aumento da densidade de transistores por *chip*, a dissipação de calor cada vez mais se tornou um problema em circuitos digitais (microprocessadores por exemplo) e a grande demanda por dispositivos portáteis - *smartphones*, *notebooks* e dispositivos *IoT* - tornaram o consumo de potência um parâmetro muito importante nos projetos de circuitos integrados, tanto analógico quanto digital.

Para cálculo de consumo de potência do circuito, a Equação 1.4 é utilizada, onde P é a potencia consumida em Watts, V_{DD} é a tensão de alimentação do circuito e I é a corrente total demandada pelo circuito.

$$P = V_{DD} \times I \quad (1.4)$$

A análise do comportamento do consumo de potência com a variação da temperatura também é relevante, tendo em vista que é esperado que o circuito opere em toda a faixa

Figura 7 – Exemplo de Medição de Corrente em Função da Temperatura



Fonte - (Huang *et al.* 2022)

de temperatura projetada. Para esse tipo de análise, normalmente se mede o consumo de corrente do circuito com a variação da temperatura de operação. A curva resultante é idêntica ao comportamento da potência se considerarmos que a tensão de alimentação tem um valor constante. A Figura 7 ilustra a medição da corrente consumida de uma referência de tensão com a variação da temperatura.

1.4.6 Variabilidade Comportamental

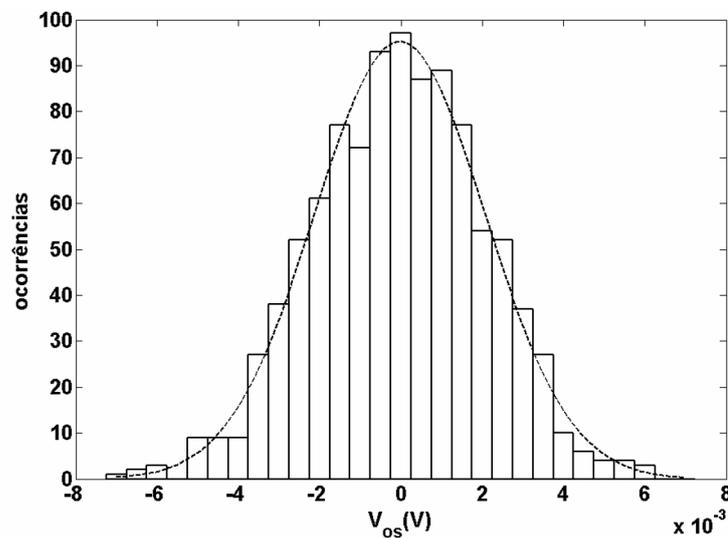
A variabilidade comportamental é inerente dos processos de fabricação e o emprego de técnicas para atenuar seu efeito é uma boa estratégia para aumentar a repetibilidade do circuito projetado. Como explicado anteriormente, as diferentes flutuações microscópicas da matéria tem sua origem descrita estocasticamente, por isso o emprego de simulações estatísticas com um grande número de amostras são utilizadas para mensurar a performance do circuito no que diz respeito à variabilidade comportamental.

As simulações Monte Carlo são muito utilizadas em casos que são necessários estimar os possíveis resultados de um evento incerto. Ao contrário de um modelo de previsão normal, a simulação prevê um conjunto de resultados com base em um intervalo estimado de valores em relação um conjunto de valores de entrada fixos. Em outras palavras, uma simulação de Monte Carlo constrói um modelo de resultados possíveis utilizando uma distribuição de probabilidade, como uma distribuição uniforme ou normal, para qualquer variável que tenha incerteza inerente. Ele, então, recalcula os resultados repetidamente, cada vez usando um conjunto diferente de números aleatórios entre os valores mínimo e máximo. Em um experimento típico de Monte Carlo, esse exercício pode ser repetido centenas de vezes para produzir um grande número de resultados prováveis (IBM 2020).

Para a simulação elétrica de circuitos integrados, o emprego de simulações de Monte Carlo são amplamente utilizadas para mensurar o comportamento do circuito frente

às variabilidades de processo e descasamento. Os valores de incerteza dos componentes utilizados no circuito são providenciados no *Process Design Kit* (PDK) da tecnologia em que se deseja realizar a produção de circuitos integrados. A partir dessas informações, o simulador consegue construir um modelo baseado no circuito desenhado e calcular inúmeros resultados prováveis. A Figura 8 ilustra o resultado de uma simulação de Monte Carlo de 1000 amostras para a tensão de off-set de um amplificador operacional *Miller CMOS*. Como explicado anteriormente, por ser uma simulação estatística que utiliza distribuição de probabilidade, o resultado é demonstrado por meio de um histograma que apresenta o formato de uma distribuição normal.

Figura 8 – Resultado de uma Simulação Monte Carlo para a Tensão de *Off-Set* de um Amplificador Operacional

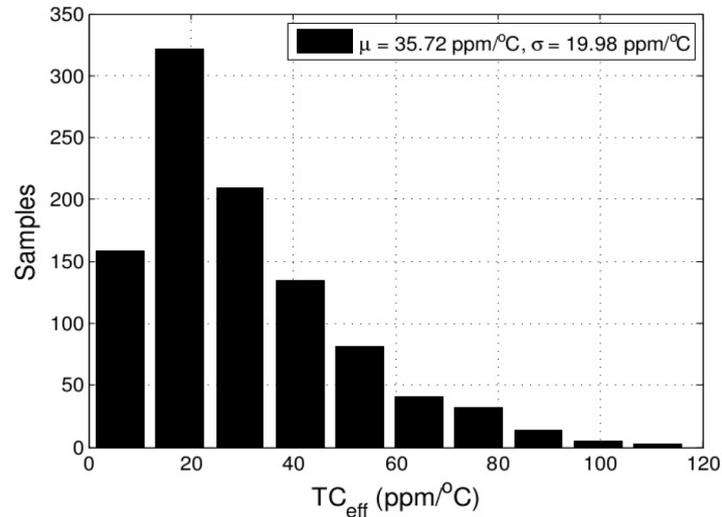


Fonte - (Klimach 2008)

Partindo do histograma resultante, a primeira coisa a fazer é analisar o formato da distribuição para definir a melhor maneira de se mensurar o desempenho do mesmo. Muitos trabalhos avaliam os valores da média (μ) e do desvio padrão (σ) independentemente do formato da distribuição, sendo que essas grandezas só são aplicáveis à análise quando a distribuição é gaussiana, como ilustrado na Figura 8. Nesses casos, a magnitude do valor do desvio padrão mede o quanto a variabilidade comportamental afeta o circuito projetado. Além disso, é interessante observar a razão $\% = \sigma/\mu$, onde se mensura quão grande o impacto do desvio padrão em relação do valor médio esperado. Para os casos em que a distribuição não é normal, comumente observada em simulações de variabilidade de TC, primeiro se define a distribuição que mais se assemelha (*T Student, Poisson, ...*) para utilizar o método correto de análise. Se a distribuição não se encaixa em nenhum formato específico, é possível analisar o espalhamento de duas maneiras básicas: definir um valor máximo e contabilizar quantas amostras ficaram dentro da faixa estabelecida ou determinar uma porcentagem das amostras e calcular o espalhamento das mesmas até o valor estabelecido.

A Figura 9 ilustra uma distribuição não gaussiana em que é não é possível utilizar o desvio padrão para quantificar o impacto da variabilidade comportamental.

Figura 9 – Resultado de uma Simulação Monte Carlo do TC de uma Referência de Tensão



Fonte - (Toledo *et al.* 2015)

1.5 Organização do Trabalho

No capítulo 2 são abordados alguns conceitos básicos sobre referências de tensão, como princípio de funcionamento e a aplicação de circuitos que utilizam a junção semicondutora como estratégia. Por último, é feita a revisão bibliográfica desde trabalhos clássicos até os artigos mais recentes nessa área de estudo. O capítulo 3 apresenta a solução implementada, descrevendo analiticamente o comportamento dos blocos empregados utilizando o modelo *Advanced Compact MOSFET* (ACM). No capítulo 4 são apresentados os resultados obtidos a partir da simulação do circuito e uma comparação com outros trabalhos publicados. Por fim, o capítulo 5 apresenta as conclusões obtidas com esse trabalho, incluindo nesse capítulo sugestões de trabalhos futuros.

2 Referências de Tensão

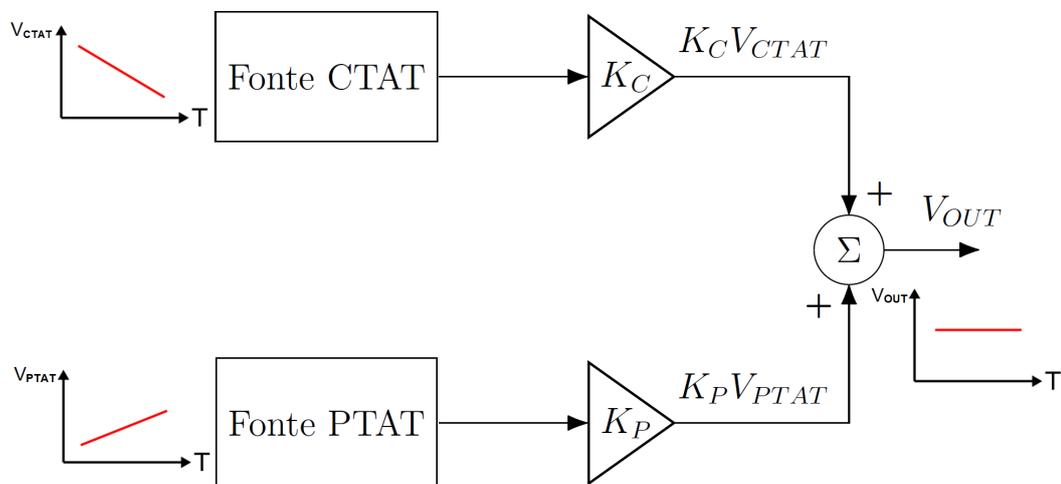
Este capítulo aborda os princípios de funcionamento de um circuito de referência de tensão. Logo após, são apresentados os conceitos para aplicações que utilizam a tensão de uma junção semicondutora (*bandgap*) como estratégia. A última sessão do capítulo é dedicada a uma breve revisão bibliográfica dos primeiros trabalhos que implementaram o conceito *bandgap* e as publicações mais recentes nesta área de estudo.

2.1 Princípio de Funcionamento

Como explicado na introdução, o comportamento ideal de uma referência de tensão deve ser constante independente da aplicação e das condições de operação. Em circuitos integrados, a característica térmica de semicondutores se torna um ponto crítico. Então, para se atingir um comportamento parecido com o ideal, são utilizados dois fenômenos físicos que possam ser convertidos em grandezas elétricas, que variam com a temperatura e que sejam linearmente independentes.

A combinação desses dois fenômenos físicos depende da maneira como eles variam. Se ambos apresentam o mesmo comportamento é necessário subtrair as grandezas elétricas para se cancelar a dependência térmica. Caso apresentem codependência, essas variáveis são somadas, resultando em um comportamento constante com a variação da temperatura, sendo essa a estratégia mais comum entre as publicações científicas nessa área de pesquisa. A Figura 10 ilustra a soma ponderada de duas parcelas com codependência.

Figura 10 – Princípio básico de referências de tensão



Fonte - Adaptado de (Neto 2014)

Analisando a Figura 10 é possível observar que duas tensões são somadas após passarem por seus respectivos ganhos. É somado o termo em que a temperatura é proporcional para absoluta (PTAT) com o termo em que a temperatura é complementar para absoluta (CTAT). As Equações 2.1, 2.2 e 2.3 descrevem o comportamento das tensões CTAT, PTAT e da soma ponderada das variáveis sensíveis à temperatura respectivamente, ilustradas na Figura 10:

$$V_{CTAT}(T) = -\alpha_{CTAT} \times (T - T_0) + V_{CTAT_0} \quad (2.1)$$

$$V_{PTAT}(T) = \alpha_{PTAT} \times (T - T_0) + V_{PTAT_0} \quad (2.2)$$

$$V_{OUT} = K_C \times V_{CTAT}(T) + K_P \times V_{PTAT}(T) \quad (2.3)$$

Vale destacar que as Equações 2.1 e 2.2 são aproximações de primeira ordem (lineares) da dependência térmica de cada fenômeno, sendo descritos dessa forma para simplificar o entendimento. O comportamento real conta com efeitos de segunda ordem e não linearidades intrínsecas dos fenômenos empregados. Os termos $-\alpha_{CTAT}$ e α_{PTAT} descrevem as inclinações da reta para V_{CTAT} e V_{PTAT} respectivamente. Os termos V_{CTAT_0} e V_{PTAT_0} descrevem as tensões V_{CTAT} e V_{PTAT} a 0 K, respectivamente.

A Equação 2.3 descreve a soma ponderada, onde K_C e K_P são valores constantes de ganho. Substituindo 2.1 e 2.2 em 2.3 é obtida a Equação 2.4:

$$V_{OUT} = (K_P \times \alpha_{PTAT} - K_C \times \alpha_{CTAT})(T - T_0) + V_{PTAT_0} + V_{CTAT_0} \quad (2.4)$$

Como α_{CTAT} e α_{PTAT} não apresentam o mesmo valor, é necessário ajustar corretamente a configuração de ganhos para resultar em $K_P \times \alpha_{PTAT} = K_C \times \alpha_{CTAT}$, cancelando a dependência da temperatura em V_{OUT} . A Equação 2.5 descreve o comportamento final de uma referência de tensão ideal.

$$V_{OUT} = V_{PTAT_0} + V_{CTAT_0} \quad (2.5)$$

Por se tratarem de circuitos integrados, é necessário utilizar os dispositivos que o processo de fabricação dispõe para se gerar tensões elétricas que apresentam dependência térmica. As estratégias mais comuns são:

- Queda de tensão de uma junção semicondutora (*bandgap*);
- Potencial térmico (ϕ_t);
- Tensão de *Threshold* (V_{Th}) do transistor MOS;

2.1.1 Tensão de uma Junção Semicondutora (*Bandgap*)

A tensão de *bandgap* é gerada a partir da queda de tensão de uma junção semicondutora quando existe uma corrente elétrica fluindo pela mesma. O termo *bandgap* é originário da quantidade de energia necessária para os elétrons de um semicondutor passarem do topo da camada de valência para a base da camada de condução, sendo expresso como uma tensão intrínseca para cada material. O silício, material semicondutor, apresenta quatro elétrons na camada de valência quando a temperatura em que o material está submetido é de 0 Kelvin, tendo um comportamento igual ao dos materiais isolantes. De acordo com (Streetman e Banerjee 2015), com o aumento da temperatura, os elétrons do material adquirem mais energia, diminuindo a tensão de bandgap e provocando um efeito inverso à temperatura. Essa deriva térmica negativa de uma junção bipolar tem o comportamento descrito na Equação 2.6 (Tsividis 1980), onde α e β são constantes do material e $V_j(0)$ é a tensão da junção a 0 Kelvin do material.

$$V_j(T) = V_j(0) - \frac{\alpha \times T^2}{T + \beta} \quad (2.6)$$

Partindo de 2.6 é possível afirmar que a tensão de bandgap tem um comportamento inversamente proporcional com o aumento da temperatura de operação do circuito, se caracterizando como um circuito CTAT. Essa estratégia é comumente empregada em circuitos de referência de tensão utilizando um transistor de junção bipolar (TJB) sendo ligado como diodo, onde a tensão entre emissor e base (V_{EB}) apresenta esse comportamento CTAT. Circuitos que empregam essa técnica são classificados como Referências *Bandgap* (BGR).

2.1.2 Potencial Térmico ϕ_t

Existem diversas topologias que resultam em tensões elétricas que variam de acordo com o potencial térmico ϕ_t . A grande vantagem na utilização de circuitos geradores de potencial térmico está nos componentes que definem a mesma. A Equação 3.9 descreve o comportamento de ϕ_t ,

$$\phi_t = \frac{k \times T}{q} \quad (2.7)$$

onde k é a constante de Boltzmann, T a temperatura absoluta e q é a carga do elétron. É possível afirmar que a temperatura é a única parcela variável em 3.9, tendo em vista que a constante de Boltzmann e a carga do elétron tem seu valor definido por conceitos físicos, resultando em robustez à variabilidade comportamental oriunda dos processos de fabricação. Analisando 3.9, é possível afirmar que o comportamento do potencial térmico é proporcional à variação de temperatura, caracterizando circuitos geradores de ϕ_t como PTAT.

2.1.3 Dependência Térmica da Tensão de *Threshold* V_{Th}

A tensão de *threshold* V_{Th} apresenta um comportamento inversamente proporcional à temperatura absoluta. Isso significa que V_{Th} diminui com a variação positiva da temperatura de operação, comportamento característico de circuitos CTAT. Em (Vita e Iannaccone 2007), é proposta uma referência de tensão CMOS (sem o emprego de resistores) operando em tensões de alimentação abaixo de 1 V e consumindo menos de 100 nW de potência. Nesse trabalho, são exploradas diferentes estratégias usando V_{Th} em transistores NMOS.

Neste mesmo artigo, é caracterizada a corrente de dreno I_D como:

$$I_D = \frac{\mu C'_{ox}}{2} \frac{W}{L} (V_{GS} - V_{Th})^2 (1 + \lambda V_{DS}) \quad (2.8)$$

onde μ é a mobilidade de portadores no canal, C'_{ox} é a capacitância de óxido por unidade de área, λ é o coeficiente de modulação do comprimento de canal e a fração W/L é a razão de aspecto do transistor, onde W e L são o comprimento e a largura do canal, respectivamente. Também é apresentada a dependência de V_{Th} em relação à temperatura, descrita pela Equação 2.9:

$$V_{Th} = V_{Th}(T_0) - K_{t1}(T - T_0) \quad (2.9)$$

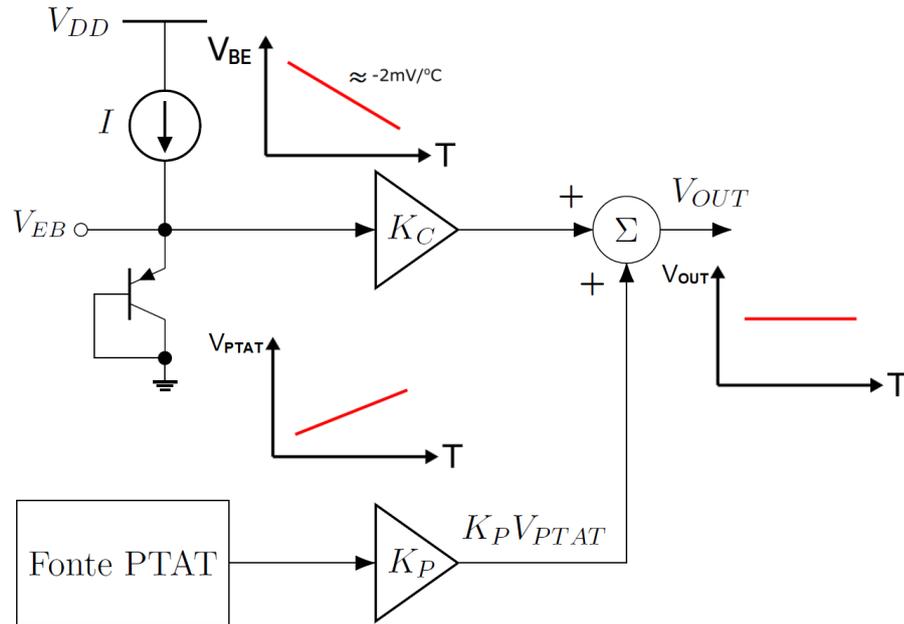
onde T é a temperatura absoluta, T_0 a temperatura de referência (normalmente é utilizada a temperatura ambiente de $27^\circ C$) e K_{t1} a inclinação de primeira ordem de V_{Th} em função da temperatura. Analisando 2.9 é possível observar que quanto maior a temperatura absoluta T , maior a parcela da subtração, confirmando o comportamento CTAT.

2.2 Referência Bandgap

Referências de tensão que utilizam a queda de tensão em uma junção semicondutora como estratégia CTAT (como descrito na Seção 2.1.1) são denominadas Referências *Bandgap*. A Figura 11 ilustra o conceito da soma ponderada de dois fenômenos físicos de codependência térmica utilizando a estratégia *Bandgap*.

Como ilustrado na Figura 11, duas variáveis sensíveis à temperatura são combinadas em uma soma ponderada, com o objetivo de eliminar o comportamento característico que circuitos integrados apresentam em uma determinada faixa de temperatura. É somado o termo em que a temperatura é proporcional para absoluta (PTAT) com o termo em que a temperatura é complementar para absoluta (CTAT). A Equação 2.10 descreve a soma ponderada das variáveis sensíveis à temperatura ilustradas na Figura 11, onde V_{EB} é a queda de tensão em uma junção bipolar, K_C e K_P são valores de ganho constantes e

Figura 11 – Conceito básico de uma referência de tensão *Bandgap*



Fonte - Adaptado de (Neto 2014)

V_{PTAT} é a tensão PTAT.

$$V_{REF} = K_C \times V_{EB} + K_P \times V_{PTAT} \quad (2.10)$$

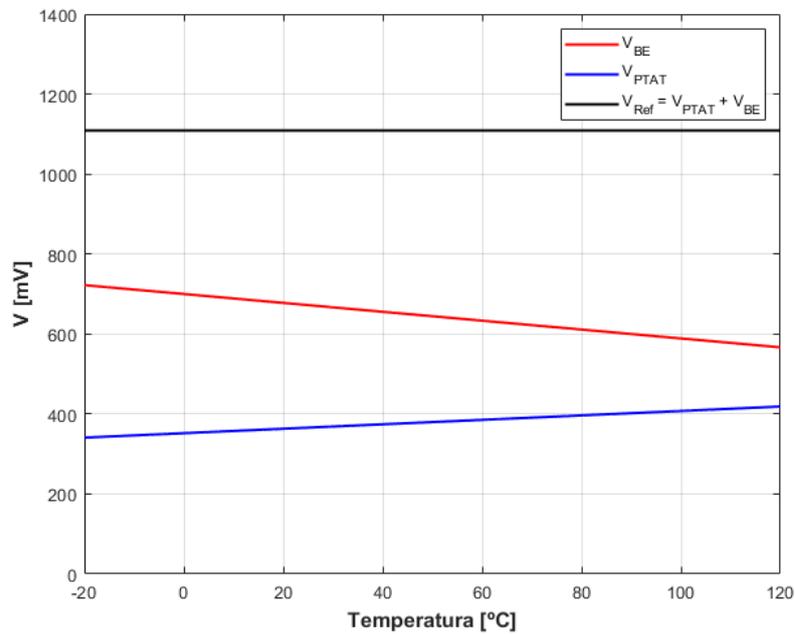
O cancelamento do comportamento CTAT e PTAT das tensões utilizadas é ilustrado na Figura 12. É possível observar que a tensão de referência (V_{Ref}) resultante se mantém constante durante todo o intervalo de temperatura. A Figura 12 se trata de uma simulação puramente matemática, com o intuito de ilustrar o cancelamento da dependência da temperatura.

2.3 Revisão Bibliográfica

O conceito de referências *bandgap* (BGR) foi introduzido por Widlar 1971 em um artigo submetido ao *Journal of Solid-State Circuits*. A Figura 13 ilustra o circuito proposto no artigo, no qual Widlar implementou em tecnologia bipolar uma referência que, na época, tinha a característica de baixa tensão de operação, tendo em vista que trabalhos anteriores empregavam diodos Zener, com tensão de *breakdown* de 5 a 6V (Neto 2014).

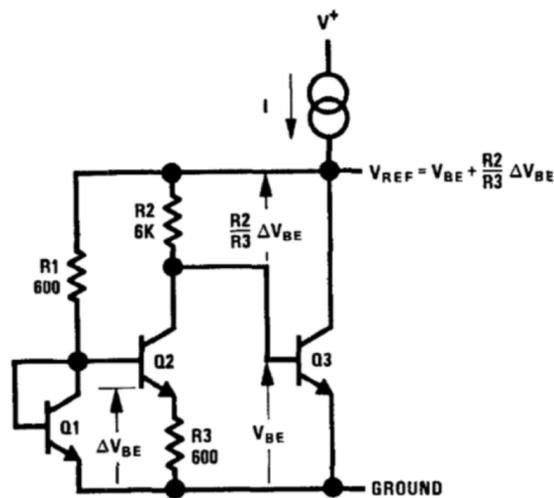
O circuito proposto por Widlar se baseava na utilização da deriva térmica de uma junção base-emissora de um Transistor de Junção Bipolar (TJB), adicionado à uma tensão com coeficiente térmico positivo proveniente de duas tensões base-emissora de transistores operando com diferentes densidades de corrente. A soma das duas parcelas com a correta

Figura 12 – Exemplo de cancelamento das tensões CTAT e PTAT em uma referência *Bandgap*



Fonte - Autoria própria

Figura 13 – Referência de Tensão *Bandgap* proposta por Widlar



Fonte - (Widlar 1971)

configuração de ganho resulta em uma tensão que não varia com a temperatura, com o valor igual ao da tensão de bandgap do silício, aproximadamente de 1,205V (Neto 2014).

No artigo de Widlar 1971, a corrente de coletor I_C é dada por

$$I_C = I_0 \left[\exp \left(\frac{V_{BE}}{m\phi_t} - 1 \right) \right] \quad (2.11)$$

onde I_0 é uma constante dependente de processo, V_{BE} a tensão base-emissora, m o coeficiente de emissor e ϕ_t o potencial térmico. Observando o circuito em mais detalhes, é possível observar que ΔV_{BE} é a diferença entre as tensões base-emissoras de Q_1 e Q_2 , descrita pela Equação 2.12

$$\Delta V_{BE} = \phi_t \ln \left(\frac{J_1}{J_2} \right) \quad (2.12)$$

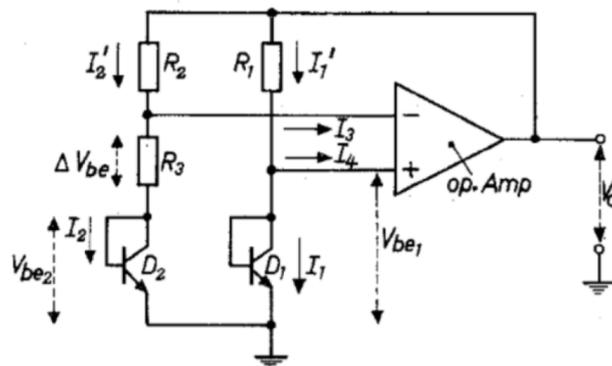
onde J_i é a densidade de corrente de coletor nos transistores. Observando os valores dos resistores R_1 e R_2 é possível afirmar que $J_1/J_2 \approx 10$. Substituindo esse valor em 2.12 é obtida a seguinte equação para a tensão de referência V_{Ref} :

$$V_{Ref} = V_{BE} + \frac{R_2}{R_3} \ln(10) \phi_t \quad \therefore \quad V_{Ref} = V_{BE} + 23\phi_t \quad (2.13)$$

Analisando 2.13, é possível afirmar que a dependência térmica das parcelas se cancelam. Isso se dá pelo fato que a tensão V_{BE} em um TJB de silício e ϕ_t apresentam respectivamente derivas térmicas de aproximadamente $-2 \text{ mV}/^\circ\text{C}$ e $86,25 \text{ } \mu\text{V}/^\circ\text{C}$. Multiplicando ϕ_t por 23 é obtido um valor de $1,98 \text{ mV}/^\circ\text{C}$, resultando em um cancelamento da dependência da temperatura quase que por completo.

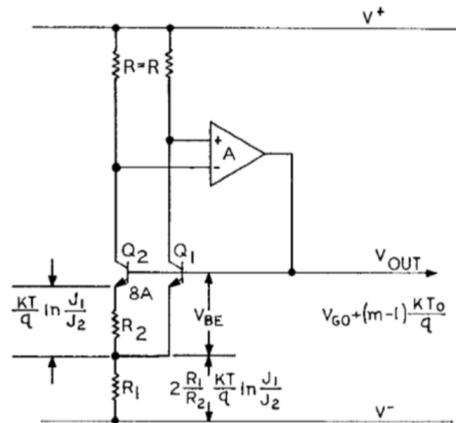
Pouco tempo depois alguns outros trabalhos foram propostos, como Kuijk 1973, que utilizou um amplificador operacional e transistores de junção bipolar conectados como diodo (ilustrado na Figura 14) e Brokaw 1974, apresentando alguns esquemas de compensação para as correntes de base dos transistores utilizados, ilustrado na Figura 15. (Neto 2014)

Figura 14 – Referência de Tensão *Bandgap* proposta por Kuijk



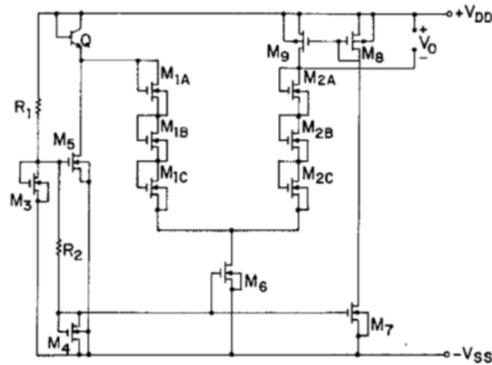
Fonte - (Kuijk 1973)

Figura 15 – Referência de Tensão *Bandgap* proposta por Brokaw



Fonte - (Brokaw 1974)

Figura 16 – Referência de Tensão *Bandgap* utilizando par diferencial desbalanceado proposta por Tsividis



Fonte - (Tsividis e Ulmer 1978)

Em 1977, Eric Vittoz propôs a utilização de circuitos integrados analógicos CMOS operando em inversão fraca (Vittoz e Fellrath 1977). Neste trabalho são apresentados diversos circuitos, incluindo uma referência de tensão e de corrente. Logo após, em 1978, Tsividis apresentou uma referência de tensão CMOS utilizando um transistor NPN e a geração de uma tensão de coeficiente térmico positivo por um par diferencial desbalanceado operando em inversão fraca (Tsividis e Ulmer 1978). A Figura 16 ilustra o circuito proposto por Tsividis.

Em todos os circuitos mencionados, a estratégia utilizada se baseou na soma de tensões que apresentam um comportamento análogo com a variação da temperatura. A diferença desses circuitos se da na técnica empregada para definir o ganho necessário de uma das tensões e se obter a compensação térmica desejada.

2.4 Trabalhos de grande relevância dos últimos 10 anos

O estudo sobre referências de tensão se mantém atualizado com as constantes mudanças e novas gerações dos processos de manufatura, com diversos trabalhos sendo publicados em grandes eventos e revistas científicas. Esta sessão aborda alguns dos trabalhos mais recentes sobre referências *bandgap*.

2.4.1 Baixo Consumo de Potência

A análise sobre trabalhos atuais que apresentam baixo consumo de potência quase sempre citam a referência de tensão proposta por Osaki, Hirose, Kuroki e Numa. O *paper* foi submetido no *IEEE Journal of Solid-State Circuits* em 2013 com o título de *1.2-V Supply, 100-nW, 1.09-V Bandgap and 0.7-V Supply, 52.5-nW, 0.55-V Subbandgap Reference Circuits for Nanowatt CMOS LSIs* (Osaki *et al.* 2013).

O artigo mostra que a pesquisa chegou a bons resultados no que diz respeito ao consumo de energia, na casa das dezenas de nanowatts consumidos, mas mantendo a variabilidade comportamental e *line sensitivity* em valores satisfatórios. Como o título do artigo mostra, o trabalho se refere ao desenvolvimento de duas referências de tensão utilizando a estratégia *bandgap*. Em ambos os circuitos são utilizadas como tensão PTAT topologias geradoras de ϕ_t . A Figura 17 ilustra o circuito que utilizou a estratégia *Subbandgap*, que emprega um divisor de tensão CMOS para rebaixar a tensão CTAT para um valor menor que a tensão de *bandgap*.

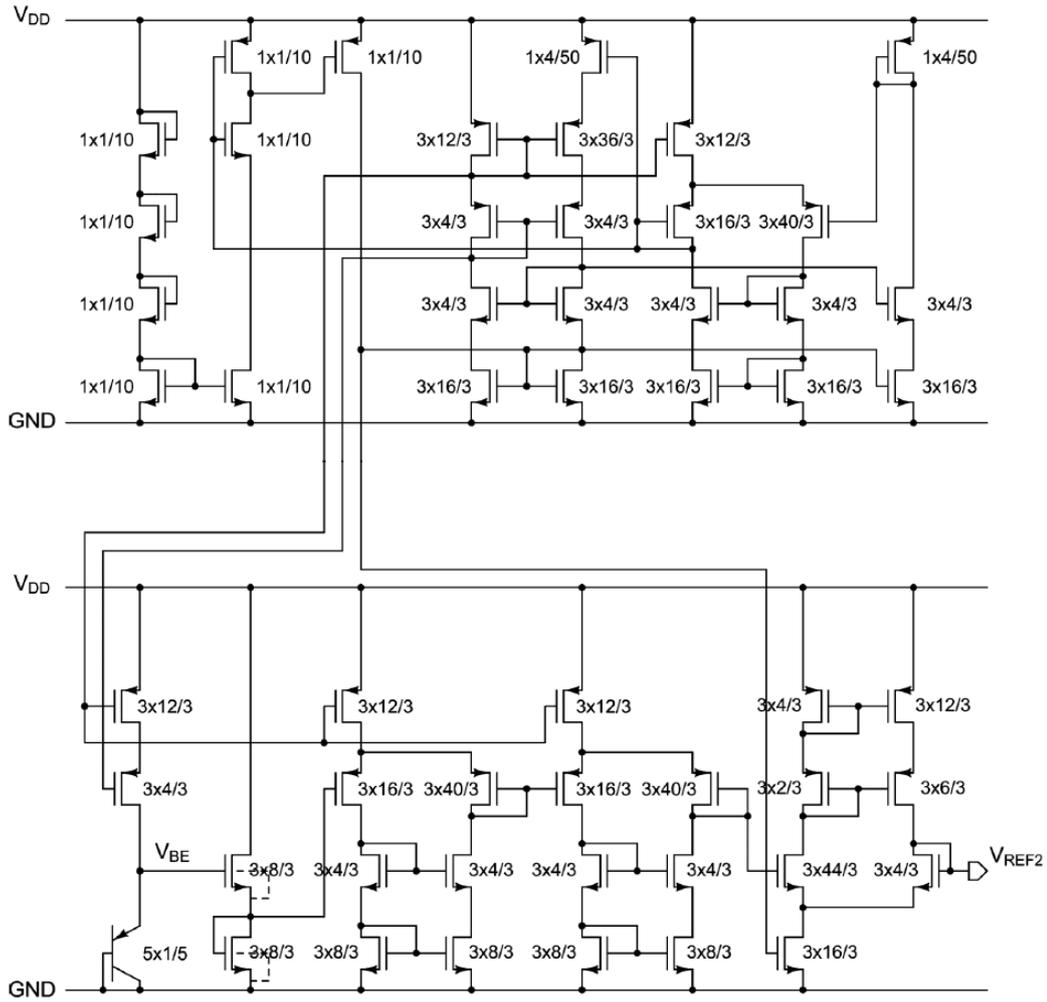
Para os circuitos geradores de tensão PTAT foi utilizada a topologia do par diferencial desbalanceado (Tsvividis e Ulmer 1978). O circuito necessariamente opera com os transistores em inversão fraca, pelo fato do MOSFET ter a dependência térmica neste estado de inversão. Isso é demonstrado na Equação 2.14, (Osaki *et al.* 2013),

$$I = KI_0 \exp\left(\frac{V_{GS} - V_T}{n\phi_t}\right) \quad (2.14)$$

onde $I_0 = \mu C'_{OX}(n-1)\phi_t$ é um parâmetro dependente de processo de fabricação, $K = W/L$ é a razão de aspecto do transistor, sendo W a largura do canal e L o comprimento do canal. V_{GS} é a tensão entre os terminais de *Gate* e *Source* do transistor e V_T é a tensão de *Threshold*. n é o fator de inclinação (*slope factor*) em inversão fraca. Partindo de 2.14 é possível observar que o transistor CMOS em inversão fraca tem seu comportamento dependente do potencial térmico ϕ_t .

O circuito ilustrado na Figura 18 é o par diferencial desbalanceado NMOS, utilizado em um dos circuitos apresentados no artigo do Osaki. Nesse circuito, a tensão PTAT se desenvolve entre os *gates* dos transistores M_{D1} e M_{D2} . Assumindo que todos os transistores estão em saturação e inversão fraca, a diferença de tensão entre entrada e saída do circuito

Figura 17 – Referência *Subbandgap* proposta em (Osaki *et al.* 2013).



Fonte - (Osaki *et al.* 2013).

é dada pela Equação 2.15 (Osaki *et al.* 2013).

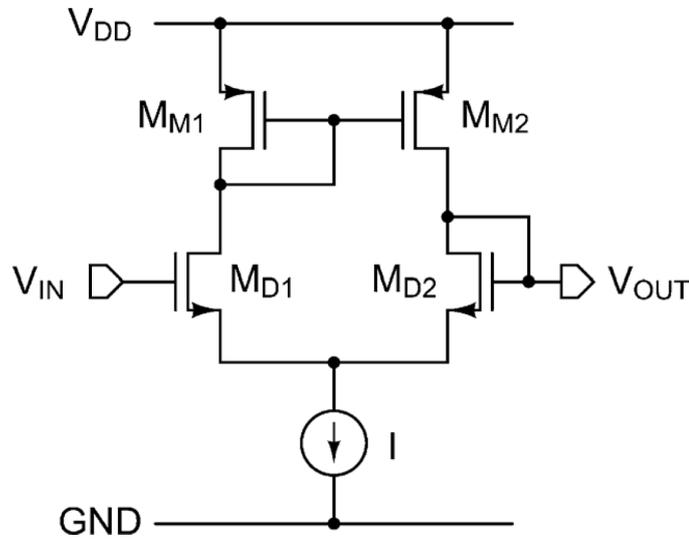
$$V_{OUT} - V_{IN} = n\phi_t \ln \left(\frac{K_{D1}K_{M2}}{K_{D2}K_{M1}} \right) \quad (2.15)$$

onde K se refere à razão de aspecto de cada transistor. Observando a Equação 2.15 é possível afirmar que o circuito Par Diferencial desbalanceado é um circuito gerador de ϕ_t , gerando uma tensão PTAT.

2.4.2 Compensação de Curvatura

Atualmente, técnicas de compensação de curvatura são muito utilizadas para se atingir valores baixos no coeficiente térmico (TC). Um exemplo é o artigo publicado ao TCAS1 (*Transactions on Circuits and Systems 1: Regular Papers*) do IEEE, no ano de 2017, com o título de *A Sub-1 ppm/°C Precision Bandgap Reference With Adjusted-Temperature-Curvatures Compensation* (Chen *et al.* 2017). Neste trabalho foi apresentado

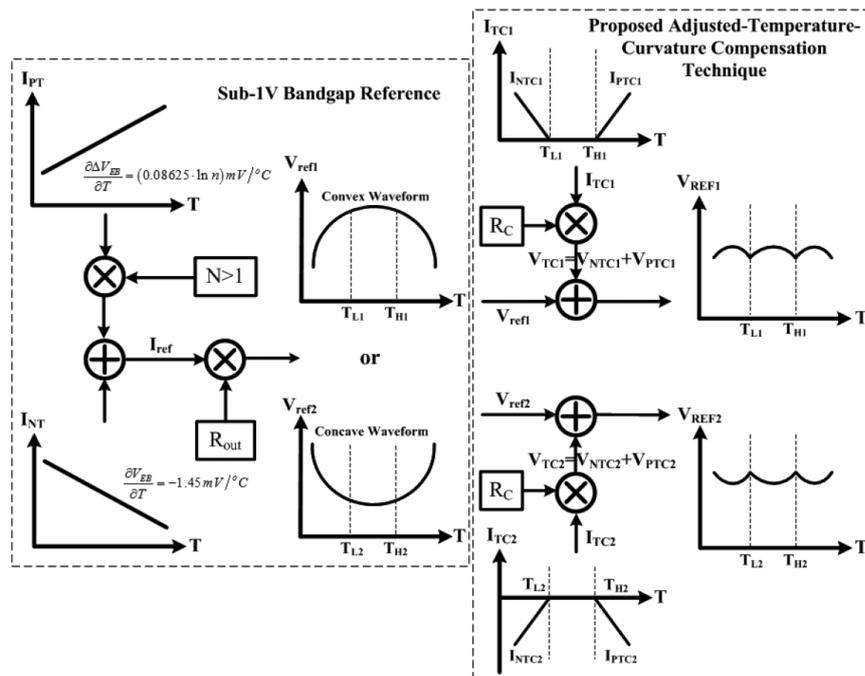
Figura 18 – Circuito Par Diferencial NMOS desbalanceado



Fonte - (Osaki *et al.* 2013)

uma técnica de ajuste de curvatura na tensão de referência gerada. Com o objetivo de obter um comportamento linear durante toda a faixa de temperatura de operação em que o circuito foi projetado, foram empregados circuitos de adição e subtração para compensar a curvatura característica da tensão base-emissora.

Figura 19 – Conceito operacional da compensação de curvatura porposta em (Chen *et al.* 2017)



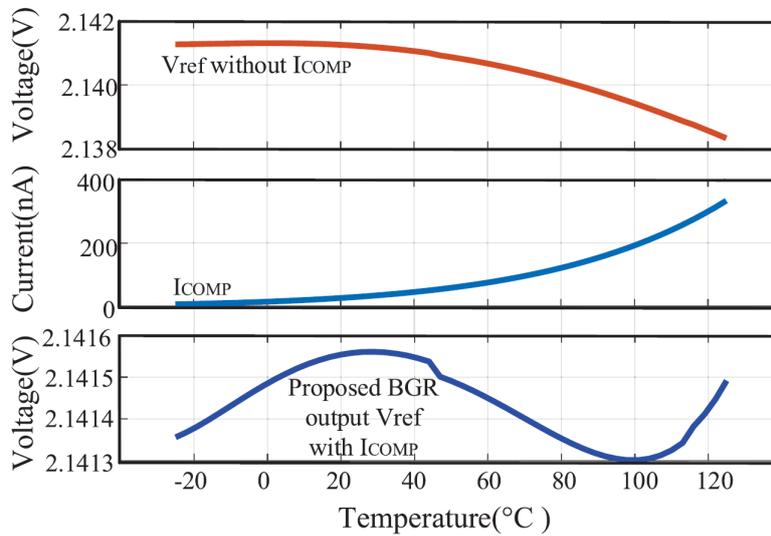
Fonte - (Chen *et al.* 2017)

A Figura 19 ilustra o conceito operacional da compensação de curvatura proposta

em (Chen *et al.* 2017). Esta estratégia de compensação abrange circuitos que apresentam a curvatura da tensão de referência tanto convéxa (V_{ref1}) quanto côncava (V_{ref2}). O circuito de compensação gera uma tensão de ajuste para diferentes curvas da tensão de referência. Quando uma tensão de referência com uma curva convéxa é formada, o circuito de compensação fornece uma corrente CTAT (I_{NTC1}) em uma faixa de temperatura mais baixa e uma corrente PTAT (I_{PTC1}) em uma faixa de temperatura mais alta. Por outro lado, se uma tensão de referência com uma curva côncava é formada, o circuito de compensação fornece uma corrente PTAT (I_{PTC2}) em uma temperatura mais baixa e uma corrente CTAT (I_{NTC2}) em uma temperatura mais alta.

Mais recentemente, o trabalho desenvolvido por Huang *et al.* 2022 apresentou grandes resultados ao implementar outra técnica de compensação de curvatura. A estratégia utilizada foi de polarizar a junção com uma corrente que apresenta curvatura análoga a da tensão V_{BE} , diminuindo a curvatura da mesma. Para se anular completamente a curvatura característica de V_{BE} é necessário que a corrente que polariza a mesma tenha o comportamento inverso. Como isso é muito difícil de se conseguir, a geração de uma corrente que apresente uma curvatura aproximada com cavidade inversa é utilizada para desentortar a curvatura. A Figura 20 ilustra o resultado da implementação dessa estratégia.

Figura 20 – Característica de V_{REF} antes e depois de aplicar a compensação de curvatura

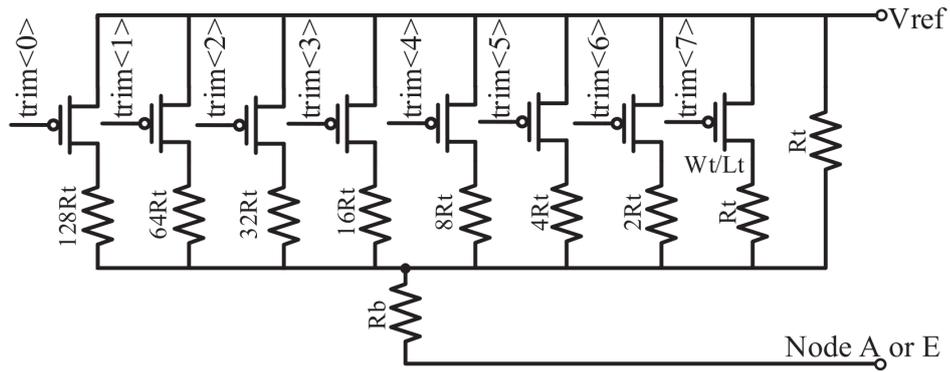


Fonte - (Huang *et al.* 2022)

Analisando a Figura 20 é possível afirmar que a tensão de referência V_{REF} após a compensação tem um comportamento completamente distorcido. Se atentando aos valores, é possível afirmar que a compensação de curvatura resultou em uma diminuição considerável do TC. Originalmente, a tensão de referência variava aproximadamente $3mV$ entre $-25^{\circ}C$ a $125^{\circ}C$, após a compensação a variação em V_{REF} foi de aproximadamente $0.3mV$ no mesmo intervalo de temperatura, resultando em uma tensão muito mais estável com a variação térmica.

Além da compensação de curvatura, este artigo propôs também uma técnica de calibração pós fabricação chamada de *Trimming*. A ideia do *Trimming* é de se alterar o valor de determinada grandeza com o objetivo de se calibrar o comportamento após a fabricação do circuito integrado. Essas técnicas são muito utilizadas para ajustes da sensibilidade térmica e de *offset* entre amostras, variações resultantes da variabilidade comportamental. A Figura 21 ilustra a cadeia de resistores utilizadas para o *Trimming*.

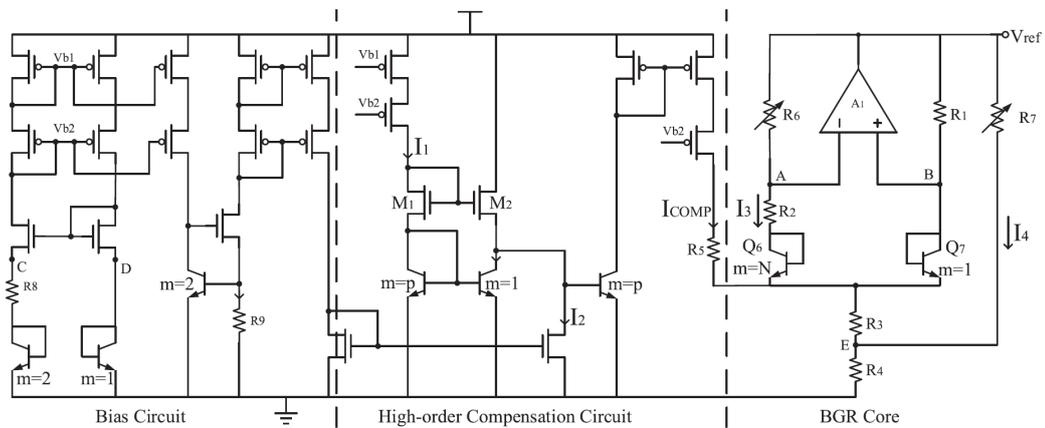
Figura 21 – Cadeia de Resistores em paralelo para *Trimming*



Fonte - (Huang *et al.* 2022)

No artigo (Huang *et al.* 2022), é explicado que a implementação do *Trimming* possibilita a alteração no valor de R_6 ou R_7 , ilustrados na Figura 22. Os autores explicam que a alteração no valor de R_6 afeta o termo linear na compensação térmica. Já para R_7 , é explicado que a possibilidade de mudar o valor de resistência possibilita a alteração da amplitude de V_{REF} .

Figura 22 – Circuito proposto em (Huang *et al.* 2022)



Fonte - (Huang *et al.* 2022)

3 Solução Implementada

Este capítulo é destinado à descrição do circuito proposto. Inicialmente serão apresentadas algumas seções fundamentais explicando o modelo *Advanced Compact MOSFET* (ACM) e circuitos geradores de tensão PTAT. Após isso, os blocos que compõem o circuito são apresentados.

3.1 Modelo *Advanced Compact MOSFET* (ACM)

Durante o estudo e desenvolvimento do circuito proposto, se fez necessário o emprego de um modelo que descrevesse o transistor MOS em todas as regiões de operação. O modelo ACM será brevemente descrito para melhor compreensão da solução implementada.

O modelo ACM descreve a corrente de *drain* (I_D), nos termos das componentes direta (I_F) e reversa (I_R), em todas as regiões de operação como

$$I_D = I_F - I_R = I_{SQ}S(i_f - i_r) \quad (3.1)$$

onde $S = W/L$ é a razão de aspecto do transistor, W é a largura do canal e L o comprimento do canal. i_f e i_r são os níveis de inversão direto e reverso e I_{SQ} é a corrente específica por quadrado descrita por

$$I_{SQ} = \frac{1}{2}n\mu C'_{OX}\phi_t^2 \quad (3.2)$$

onde n é o *slope factor*, μ é a mobilidade efetiva de canal, C'_{OX} é a capacitância de *gate* por unidade de área e ϕ_t é o potencial térmico. A relação entre os níveis de inversão i_f e i_r e as tensões elétricas nos terminais são dadas por

$$\frac{V_P - V_{S(D)}}{\phi_t} = F(i_{f(r)}) = \sqrt{1 + i_{f(r)}} - 2 + \ln(\sqrt{1 + i_{f(r)}} - 1) \quad (3.3)$$

onde V_S e V_D são as tensões de *source* e *drain* (todas as tensões referenciadas ao *bulk* do transistor) e V_P é a tensão de *pinch-off*, aproximada por

$$V_P \approx \frac{V_G - V_{T0}}{n} \quad (3.4)$$

onde V_G é a tensão de *gate*, V_{T0} é a tensão de *threshold* para *zero bulk bias*. Muitas definições variantes, sendo elas operacionais ou dependente da física do dispositivo, de V_{T0} foram criadas e usadas com o passar dos anos. No modelo ACM, a tensão de *threshold* tem um significado físico universal, definido como a condição onde os componentes de deriva e difusão da corrente de *drain* tem magnitude igual.

A Equação 3.3 descreve os componentes de deriva e difusão. A primeira raiz quadrada do lado direito da igualdade é relacionada à componente de deriva da corrente

de *drain*, sendo predominante quando o dispositivo está em inversão forte. O último termo do lado direito da igualdade (logarítmico) é relacionado à componente de difusão, sendo predominante quando o dispositivo opera em inversão fraca. Nesta teoria, o valor de V_{T0} é baseado precisamente na Equação 3.3. Aplicando (3.1) e (3.2) em (3.3), é possível a derivação do modelo para aproximações mais simples onde as condições de operação, a inversão fraca (*weak inversion* WI) ou a forte (*strong inversion* SI), predominem.

Em inversão fraca ($i_f \ll 1$), considerando a aproximação $\sqrt{1 + \delta} \approx 1 + \delta/2$, válida para $\delta \ll 1$, chega-se a

$$I_{D(WI)} \approx \frac{W}{L} I_{SQ} 2 \exp\left(\frac{V_G - V_{T0} - nV_S}{n\phi_t}\right) \left(1 - \exp\left[\frac{-V_{DS}}{\phi_t}\right]\right) \quad (3.5)$$

que é o modelo que apresenta a descrição completa da corrente de dreno em inversão fraca, quando utilizado na condição de *subthreshold*. Para obter uma aproximação da corrente de *drain* quando o transistor opera em inversão fraca e está saturado, é considerado que $I_F \gg I_R$, e conseqüentemente, $I_D \approx I_F = SI_{SQ}i_f$. Partindo de (3.3) e aplicando novamente a aproximação $\sqrt{1 + \delta} \approx 1 + \delta/2$, é possível se obter a seguinte equação:

$$I_D = \frac{W}{L} I_{SQ} 2 \exp\left(\frac{V_G - V_{T0}}{n\phi_t} - \frac{V_S}{\phi_t} + 1\right) \iff SAT \text{ e } WI \quad (3.6)$$

Para obter uma aproximação da corrente de *drain* quando o transistor opera em inversão forte ($i_f \gg 1$) e saturação, é possível desconsiderar o termo logarítmico e considerar a aproximação $\sqrt{1 + i_f} \approx \sqrt{i_f}$ na Equação 3.3, resultando na seguinte Equação

$$I_{D(SI)} \approx \frac{1}{2n} \frac{W}{L} \mu C'_{OX} (V_G - V_{T0} - nV_S)^2 \quad (3.7)$$

que é o modelo "quadrático" em sua forma completa, quando referenciado ao *bulk*. Caso se considere $n \approx 1$, chega-se ao modelo quadrático simplificado, descrito pela Equação 3.8:

$$I_{D(SI)} \approx \frac{1}{2} \frac{W}{L} \mu C'_{OX} (V_{GS} - V_T)^2 \quad (3.8)$$

3.2 Geradores de Tensão PTAT

Neste trabalho, o Potencial Térmico ϕ_t foi escolhido como estratégia para geração de tensões PTAT. Como mencionado no Capítulo 2, o Potencial Térmico é descrito por

$$\phi_t = \frac{k \times T}{q} \quad (3.9)$$

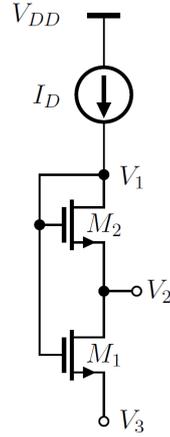
onde k é a constante de Boltzmann e q é a carga do elétron, duas constantes físicas. Isso resulta em circuitos com baixíssima variabilidade comportamental, característica desejada em referências de tensão.

Duas topologias que empregam ϕ_t foram utilizadas, sendo elas o *Self-Cascode MOSFET* (SCM) e o Par Diferencial Desbalanceado.

3.2.1 Self-Cascode MOSFET (SCM)

A topologia SCM tem grande utilização em circuitos que necessitam geradores PTAT operando em baixas tensões de alimentação. No SCM da Figura 23, o transistor

Figura 23 – Circuito Self-Cascode MOSFET



Fonte - Autoria própria

M_1 opera na região de triodo e o M_2 na região de saturação, ambos em inversão fraca. A corrente fluindo em cada transistor é

$$I_{D1} = I_{SQ}S_1(i_{f1} - i_{r1}) = I_D \quad (\text{Triodo}) \quad (3.10)$$

$$I_{D2} = I_{SQ}S_2i_{f2} = I_D \quad (\text{SAT}) \quad (3.11)$$

onde I_D é a corrente que flui pelos 2 transistores. Partindo disso e supondo que ambos os transistores operam em inversão fraca, é possível afirmar que $I_{D2} = I_{D1}$ resulta nas seguintes equações:

$$I_{F2} = I_{F1} - I_{R1} \quad (3.12)$$

$$I_{F2} = S_2 I_{SQ} 2 \exp\left(\frac{V_1 - V_T}{n\phi_t} - \frac{V_2}{\phi_t} + 1\right) \quad (3.13)$$

$$I_{F1} = S_1 I_{SQ} 2 \exp\left(\frac{V_1 - V_T}{n\phi_t} - \frac{V_3}{\phi_t} + 1\right) \quad (3.14)$$

$$I_{R1} = S_1 I_{SQ} 2 \exp\left(\frac{V_1 - V_T}{n\phi_t} - \frac{V_2}{\phi_t} + 1\right) \quad (3.15)$$

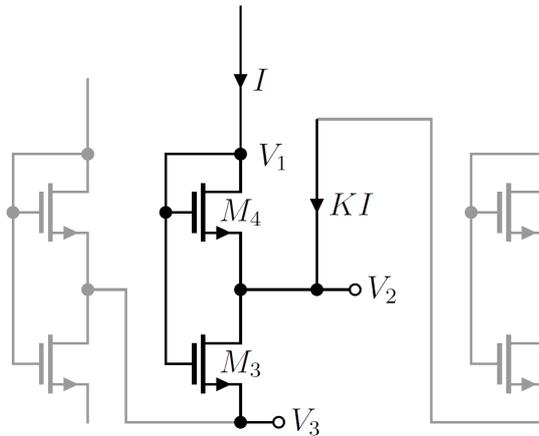
Substituindo 3.13, 3.14 e 3.15 em 3.12 e realizando as simplificações necessárias, é possível descrever o comportamento do circuito como a Equação 3.16

$$V_2 - V_3 = \ln\left(\frac{S_2}{S_1} + 1\right) \phi_t \quad (3.16)$$

que é uma tensão PTAT com uma inclinação dependente somente da razão de aspecto dos transistores do SCM.

Além do equacionamento do SCM individualmente, também se fez necessário o equacionamento do bloco quando encadeado. O encadeamento de SCMs é modelado adicionando uma corrente pelo nó V_2 , com a magnitude sendo um múltiplo da corrente que flui pela malha principal. A Figura 24 ilustra o SCM com as correntes I e KI fluindo pelo circuito.

Figura 24 – Circuito Self-Cascode MOSFET quando encadeado



Fonte - Autoria própria

Da mesma maneira que no bloco individual, o transistor M_3 opera na região de triodo e M_4 na região de saturação, ambos em inversão fraca. As correntes fluindo em cada transistor são descritas pelas seguintes equações:

$$I_{D3} = I_{SQ}S_3(i_{f3} - i_{r3}) = (K + 1)I \quad (\text{Triodo}) \quad (3.17)$$

$$I_{D4} = I_{SQ}S_4i_{f4} = I \quad (\text{SAT}) \quad (3.18)$$

onde I é a corrente que passa na malha principal. Partindo das Equações (3.17) e (3.18) e supondo que os transistores estão em inversão fraca, é possível chegar nas seguintes equações:

$$\frac{I_{D3}}{K + 1} = I_{D4} \quad \therefore \quad \frac{I_{F3} - I_{R3}}{K + 1} = I_{F4} \quad (3.19)$$

$$I_{F4} = S_4 I_{SQ} 2 \exp \left(\frac{V_1 - V_T}{n\phi_t} - \frac{V_2}{\phi_t} + 1 \right) \quad (3.20)$$

$$I_{F3} = S_3 I_{SQ} 2 \exp \left(\frac{V_1 - V_T}{n\phi_t} - \frac{V_3}{\phi_t} + 1 \right) \quad (3.21)$$

$$I_{R3} = S_3 I_{SQ} 2 \exp \left(\frac{V_1 - V_T}{n \phi_t} - \frac{V_2}{\phi_t} + 1 \right) \quad (3.22)$$

Substituindo 3.20, 3.21 e 3.22 em 3.19 e realizando as simplificações necessárias, é possível descrever o comportamento do circuito como a Equação 3.23

$$V_2 - V_3 = \ln \left((K + 1) \frac{S_4}{S_3} + 1 \right) \phi_t \quad (3.23)$$

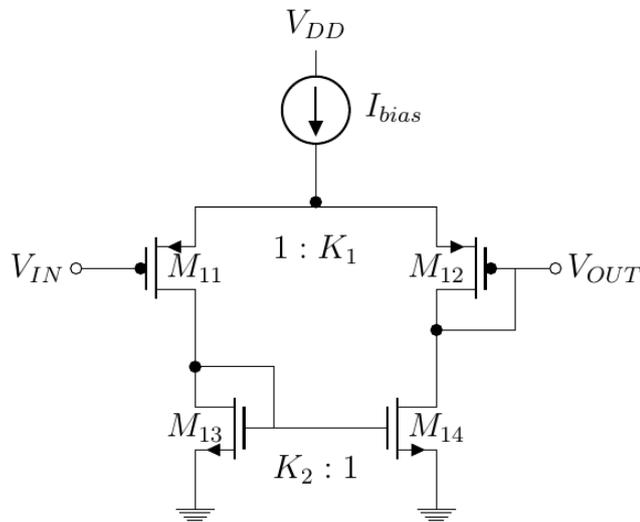
apresentando a mesma característica PTAT que no bloco individual, mas que neste caso a inclinação depende tanto da razão de aspecto dos transistores quanto da constante K que multiplica a corrente I adicionada no nó V_2 .

3.2.2 Par Diferencial Desbalanceado PMOS

O estudo do Par Diferencial Desbalanceado se baseou nos trabalhos de Tsividis e Ulmer 1978, Osaki *et al.* 2013 e Gomez *et al.* 2016, que empregam o circuito em referências de tensão. Esta seção apresenta um modelamento matemático utilizando o modelo ACM.

Como já mencionado no Seção 3.1, o circuito necessariamente opera com os transistores em inversão fraca pelo fato do MOSFET ter a dependência térmica neste estado de inversão, descrito pela Equação 3.6. Como ilustrado na Figura 25, a tensão PTAT é desenvolvida entre os terminais de *gate* dos transistores M_{11} e M_{12} . Em aplicações que o par diferencial é balanceado, não existe diferença de tensão entre esses terminais. Como esse circuito se trata de um par diferencial desbalanceado, é propositalmente alterada alguma característica do circuito, usualmente as razões de aspecto dos transistores, para que exista uma diferença nas correntes de cada ramo do par.

Figura 25 – Circuito Par Diferencial PMOS desbalanceado



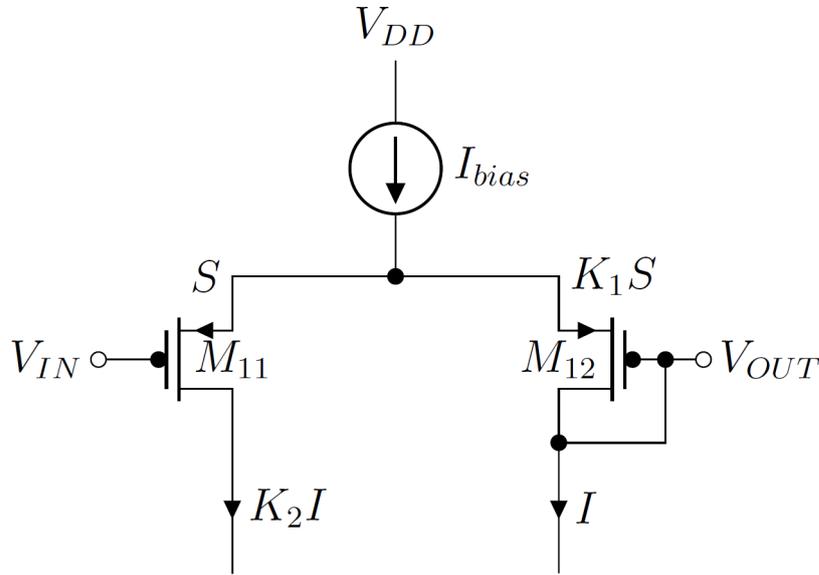
Fonte - Autoria própria

Na Figura 25, K_1 e K_2 são, respectivamente, as relações de razão de aspecto entre os transistores M_{11} - M_{12} e M_{13} - M_{14} . Assumindo que todos os transistores estão em saturação e usando a Equação 3.3, a tensão PTAT é descrita por:

$$V_{DIFF} = V_{OUT} - V_{IN} = V_{G12} - V_{G11} \quad (3.24)$$

Analisando o circuito em mais detalhes, é possível afirmar que a diferença de corrente dos dois lados do par é polarizada pelo espelho de corrente M_{13} - M_{14} (Gomez 2016), impondo que a corrente no lado esquerdo do par é K_2 vezes maior que a corrente do lado direito. Esse comportamento é ilustrado na Figura 26.

Figura 26 – Equacionamento do Par Diferencial Desbalanceado



Fonte - Autoria própria

A partir da Figura 26 e da Equação 3.6, é possível descrever o comportamento das correntes do circuito na seguintes Equações:

$$I = I_{D12} = \frac{I_{D11}}{K_2} \quad (3.25)$$

$$I_{D12} = K_1 S^2 I_{SQ} \exp\left(\frac{V_{OUT} - V_T}{n\phi_t} - \frac{V_S}{\phi_t} + 1\right) \quad (3.26)$$

$$I_{D11} = S^2 I_{SQ} \exp\left(\frac{V_{IN} - V_T}{n\phi_t} - \frac{V_S}{\phi_t} + 1\right) \quad (3.27)$$

Substituindo 3.26 e 3.27 em 3.25 e realizando as possíveis simplificações, o comportamento do circuito é descrito como a Equação 3.28:

$$V_{DIFF} = V_{OUT} - V_{IN} = n\phi_t \ln(K_1 K_2) \quad (3.28)$$

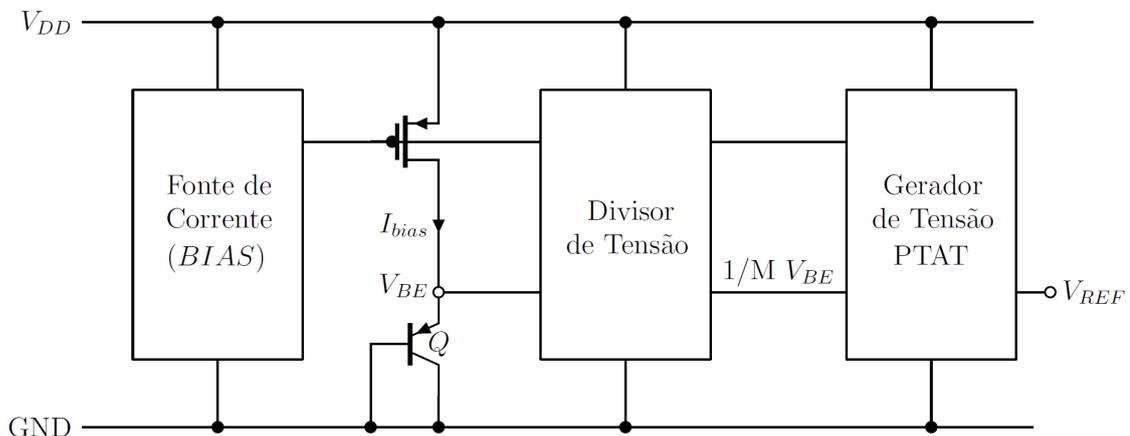
Analisando (3.28), é possível afirmar que o comportamento da tensão PTAT gerada contém baixa variabilidade comportamental e por isso foi considerado durante a etapa de projeto e implementado. K_1 e K_2 são combinações das razões de aspecto dos transistores da topologia, parcela que o projetista tem controle e define de acordo com a aplicação desejada. A tensão térmica $\phi_t = (kT)/q$ tem a temperatura T como a única parcela variável, tendo em vista que a constante de Boltzmann k e a carga do elétron q são definições físicas. O *slope factor* n também não apresenta variabilidade comportamental alta.

3.3 Estrutura do Circuito

A estrutura do circuito é ilustrada na Figura 27, onde os principais blocos são denominados como:

- Junção Bipolar;
- Divisor de Tensão CMOS;
- Gerador de Tensão PTAT;
- Fonte de Corrente (BIAS).

Figura 27 – Arquitetura do circuito proposto



Fonte - Adaptado de (Osaki *et al.* 2013)

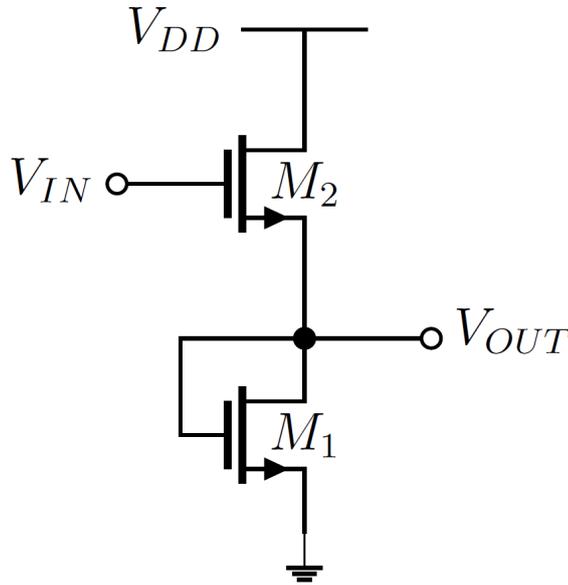
3.3.1 Junção Bipolar

Como explicado no Capítulo 2, a junção PN pode ser utilizada para gerar uma tensão elétrica com comportamento CTAT. O emprego de um TJB ligado como diodo (transistor Q , ilustrado na Figura 27) é uma aplicação muito utilizada em BGRs, necessitando somente de uma polarização correta da corrente de emissor para prover a tensão base emissora (V_{BE}) com comportamento CTAT ao circuito.

3.3.2 Divisor de Tensão CMOS

Com o objetivo de atenuar o efeito da tensão V_{BE} , foi empregado um divisor de tensão CMOS ao circuito, como ilustrado na Figura 28. Como o próprio nome sugere, a aplicação desse bloco na saída da tensão CTAT impõe uma divisão na mesma, acarretando no mesmo efeito na derivada da tensão em relação à temperatura. A aplicação dessa técnica caracteriza esse circuito como *subbandgap*, pelo fato de operar com uma tensão menor que a tensão de bandgap.

Figura 28 – Divisor de Tensão CMOS



Fonte - Autoria própria

Partindo da premissa que o circuito ilustrado pela Figura 28 está operando com os transistores em inversão fraca e saturados, a Equação 3.6 é utilizada para descrever a corrente que passa por ambos os transistores. Assumindo que as correntes nos transistores são iguais ($I_{D1} = I_{D2}$), o seguinte equacionamento é desenvolvido com o intuito de se obter o comportamento da tensão de saída V_{OUT} em função da entrada V_{IN} .

$$S_1 I_{SQ} 2 \exp \left(\frac{V_{OUT} - V_T}{n \phi_t} - \frac{0}{\phi_t} + 1 \right) = S_2 I_{SQ} 2 \exp \left(\frac{V_{IN} - V_T}{n \phi_t} - \frac{V_{OUT}}{\phi_t} + 1 \right) \quad (3.29)$$

$$\frac{S_1}{S_2} = \exp \left(\frac{V_{IN} - V_{OUT}(1+n)}{n \phi_t} \right) \quad (3.30)$$

Aplicando a operação de logarítmico em ambos os lados da igualdade em 3.30 e isolando V_{OUT} , é obtida a Equação 3.31.

$$V_{OUT} = \frac{V_{IN} - n \phi_t \ln \left(\frac{S_1}{S_2} \right)}{n + 1} \quad (3.31)$$

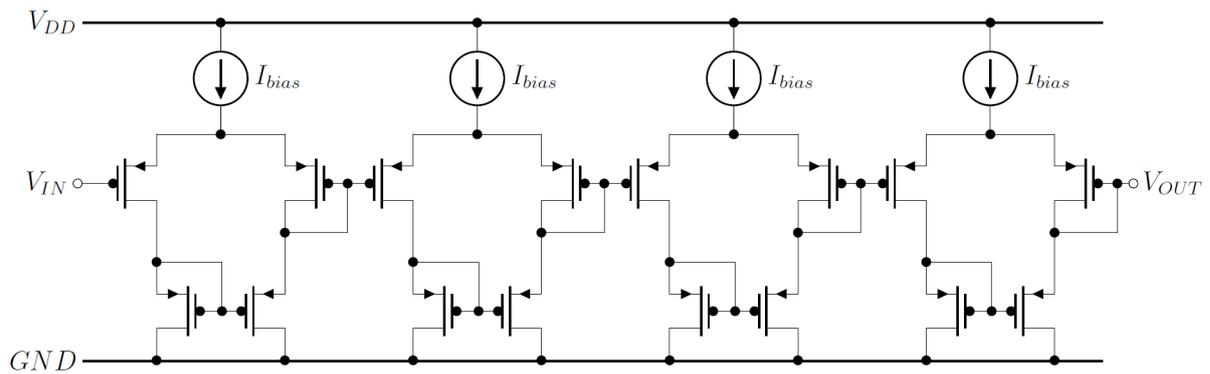
Projetando os transistores para que tenham razões de aspecto iguais $S_1 = S_2$, o termo logarítmico em 3.31 é anulado. Assumindo que o *Slope Factor* (n) apresenta valores perto de 1,3 quando os transistores estão operando em inversão fraca, o divisor de tensão tem uma relação de divisão como descrita na Equação 3.32.

$$V_{OUT} = \frac{V_{IN}}{n + 1} \approx \frac{V_{IN}}{2,3} \quad (3.32)$$

3.3.3 Gerador PTAT

Para a compensação térmica da tensão V_{BE} gerada pela junção semicondutora, são utilizados múltiplos Pares Diferenciais Desbalanceados encadeados. O encadeamento em série possibilita a soma das tensões PTAT gerada por cada bloco, resultando em um aumento do ganho que multiplica o potencial térmico ϕ_t . A Figura 29 ilustra o encadeamento de 4 blocos.

Figura 29 – Encadeamento de Pares Diferenciais Desbalanceados PMOS



Fonte - Autoria própria

Partindo da Equação 3.28, é possível descrever o encadamento ilustrado pela Figura 29 como a Equação 3.33:

$$V_{OUT} - V_{IN} = \sum_{n=1}^4 V_{DIFF_n} \quad (3.33)$$

3.3.4 Fonte de Corrente

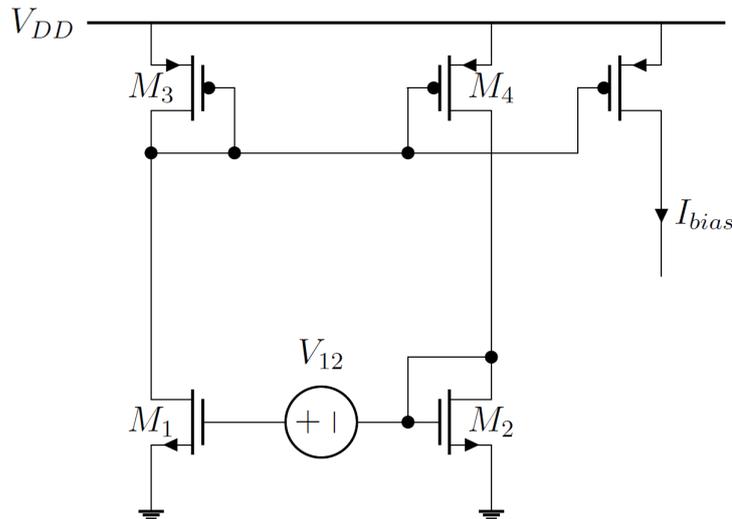
Para polarização de todos os blocos previamente citados, é necessário um circuito que forneça corrente para o funcionamento correto das topologias empregadas. Como o mesmo circuito polariza os geradores CTAT e PTAT, a utilização de uma topologia de baixa variabilidade tem suma importância para uma maior repetibilidade do circuito proposto. Partindo disso, as técnicas geradoras de corrente específica (I_{SQ}) se encaixam no objetivo do trabalho, tendo em vista que a corrente específica por quadrado, como equacionado no Capítulo 2, depende de parâmetros de baixa variabilidade comportamental.

3.3.4.1 Topologia da Fonte de Corrente

A topologia da fonte de corrente escolhida é ilustrada pela Figura 30. O circuito apresenta uma condição de equilíbrio que, quando respeitada, estabelece uma corrente dependente somente da razão de aspecto do transistor e da corrente específica (I_{SQ}).

Para respeitar a condição de equilíbrio do circuito, são definidas as correntes que passam pelos transistores M_1 e M_2 . É necessário que os transistores estejam saturados e os níveis de inversão i_{f1} e i_{f2} sejam condizentes à uma operação em inversão fraca. Partindo disso, se aplicarmos uma tensão dependente de ϕ_t entre os *gates* de M_1 e M_2 com um ganho adequado, a condição de equilíbrio é respeitada, fixando os valores de nível de inversão nos transistores e gerando uma corrente que depende somente da razão de aspecto do transistor e a corrente específica por quadrado I_{SQ} .

Figura 30 – Topologia de Fonte de Corrente CMOS



Fonte - Autoria própria

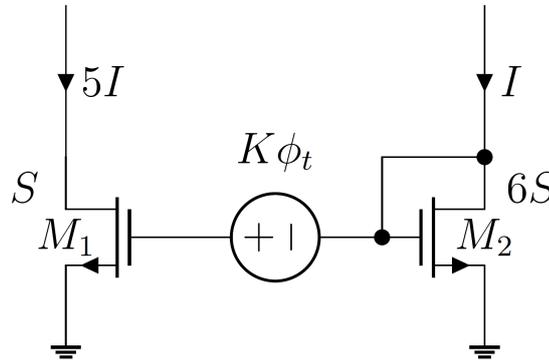
Com o intuito de exemplificar o funcionamento do circuito, são utilizados os níveis de inversão como $i_{f1} = 3$ e $i_{f2} = 0,1$ como supostas condições de operação do circuito, totalizando em uma relação de 30 entre os mesmos. Para respeitar a relação de 30 entre os níveis de inversão, são definidas que as correntes que passam nos transistores M_1 e M_2 são $I_1 = 5I$ e $I_2 = I$ e as razões de aspecto sendo $S_1 = S$ e $S_2 = 6S$ respectivamente. Entre os *gates* dos transistores é polarizada uma tensão $K\phi_t$, sendo K uma constante. A Figura 31 ilustra o circuito.

Considerando que tanto M_1 e M_2 estão saturados, é possível aproximar o comportamento das correntes como

$$I_D \approx S I_{SQ} i_f \quad (3.34)$$

onde S é a razão de aspecto do transistor, I_{SQ} a corrente específica por quadrado e i_f o nível de inversão direto. Aplicando o valor $i_{f1} = 3$ na Equação 3.3, é obtido o seguinte

Figura 31 – Correntes no Circuito para Equacionamento



Fonte - Autoria própria

equacionamento:

$$F(i_{f1} = 3) = \frac{V_{G1} - V_T}{n\phi_t} - \frac{V_S^0}{\phi_t} = \sqrt{1+3} - 2 + \ln(\sqrt{1+3} - 1) = 0 \quad (3.35)$$

$$F(i_{f1} = 3) = \frac{V_{G1} - V_T}{n\phi_t} = 0 \quad \therefore V_{G1} = V_T \quad (3.36)$$

Em (3.35) o termo referente à tensão no terminal de *source* foi anulado pelo fato de estar diretamente aterrado. Esse cancelamento também se repete no equacionamento do transistor M_2 , apresentado a seguir para o valor $i_{f2} = 0, 1$:

$$F(i_{f2} = 0, 1) = \frac{V_{G2} - V_T}{n\phi_t} - \frac{V_S^0}{\phi_t} = \sqrt{1+0,1} - 2 + \ln(\sqrt{1+0,1} - 1) \approx -3,97 \quad (3.37)$$

$$F(i_{f2} = 0, 1) = \frac{V_{G2} - V_T}{n\phi_t} \approx 3,97 \quad \therefore V_{G2} \approx V_T - 3,97 \times n\phi_t \quad (3.38)$$

Substituindo n por 1,3 (valor aproximado do *slope factor* para o transistor em inversão fraca) em (3.38), é obtido o seguinte valor para V_{G2} :

$$V_{G2} = V_T - 3,97 \times 1,3\phi_t = V_T - 5,16\phi_t \quad (3.39)$$

O equacionamento anterior possibilitou o cálculo da configuração de ganho de ϕ_t exata para fixar os níveis de inversão dos transistores M_1 e M_2 . Ao polarizar V_{12} com o valor estipulado para a aplicação, a corrente I_{bias} gerada depende somente da razão de aspecto S e corrente específica por quadrado I_{SQ} .

3.4 Dimensionamento dos Transistores do Circuito

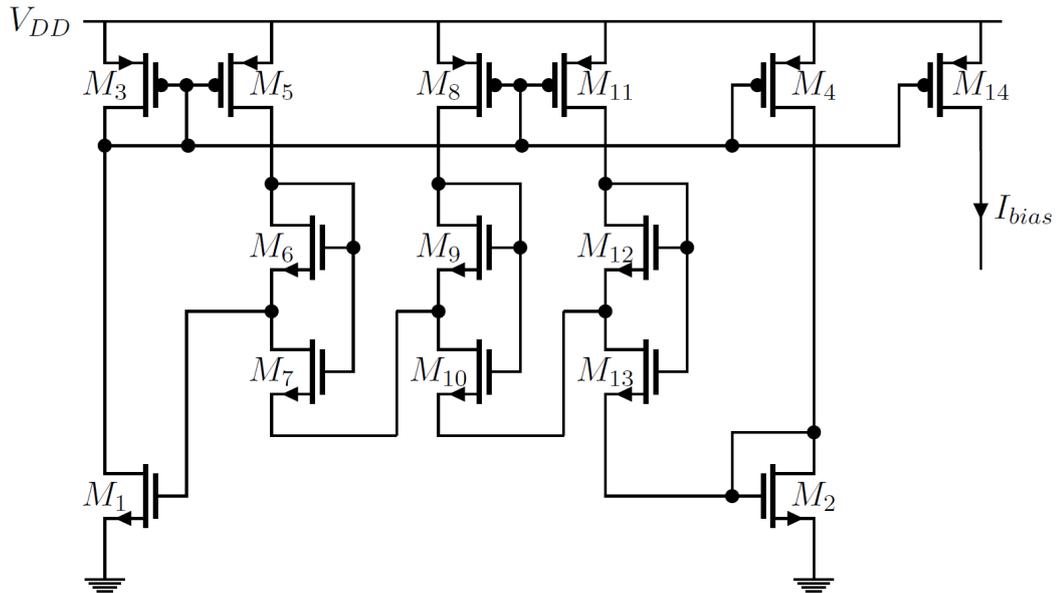
3.4.1 Dimensionamento dos Transistores da Fonte de Corrente

A fonte de corrente I_{SQ} empregada no circuito teve os níveis de inversão dos transistores M_1 e M_2 definidos como 36 e 1,125, mantendo uma relação de 32 entre os eles.

Para respeitar a relação, os transistores M_1 e M_2 foram polarizados com a mesma corrente I e apresentaram uma relação de razão de aspecto de $S_1/S_2 = 32$.

Aplicando o mesmo equacionamento da seção anterior para os valores de $i_{f1} = 36$; $i_{f2} = 1,125$ e $S_1/S_2 = 32$, é obtido que a tensão entre os *gates* dos transistores M_1 e M_2 necessita ter um valor de aproximadamente $9,14\phi_t$. Para gerar essa tensão, foram implementados três blocos SCMs encadeados. A Figura 32 ilustra o circuito completo da fonte de corrente.

Figura 32 – Circuito Completo da Fonte de Corrente



Fonte - Autoria própria

Para a polarização dos SCMs encadeados, foi polarizada a mesma corrente I para todos os blocos. No entanto, como demonstrado na Sessão 3.2.1, o encadeamento desses blocos impõe que a corrente do anterior é adicionada ao seguinte. Consequentemente, os transistores M_6 , M_7 , M_9 e M_{12} tem sua corrente de *drain* sendo I e os transistores M_{10} e M_{13} são polarizados com correntes de magnitude $2I$ e $3I$, respectivamente. Definindo $S_6/S_7 = 20$, $S_9/S_{10} = 10$ e $S_{12}/S_{13} = 7$ e aplicando nas Equações (3.16) e (3.23), são obtidos os seguintes valores:

$$V_{SCM_1} = \ln(20 + 1)\phi_t = 3,044\phi_t \quad (3.40)$$

$$V_{SCM_2} = \ln(2 \times 10 + 1)\phi_t = 3,044\phi_t \quad (3.41)$$

$$V_{SCM_3} = \ln(3 \times 7 + 1)\phi_t = 3,091\phi_t \quad (3.42)$$

O resultado da soma das tensões geradas por todos os SCM é de aproximadamente $V_{12} \approx 9,18\phi_t$, fixando assim os níveis de inversão definidos anteriormente e gerando uma

corrente dependente de I_{SQ} . As informações referentes à razão de aspecto de todos os transistores utilizados na fonte de corrente estão dispostas na Tabela 1.

Tabela 1 – Dimensão dos transistores usados na fonte de corrente

Lista Transistores	W [μm]	L [μm]	S
M1	0,5	16	0,03125
M2	1	1	1
M3	0,5	1	0,5
M4	1	2	0,5
M5	1	16	0,0625
M6	20	1	20
M7	1	1	1
M8	1	16	0,0625
M9	10	1	10
M10	1	1	1
M11	1	16	0,0625
M12	7	1	7
M13	1	1	1

Fonte - Autoria Própria

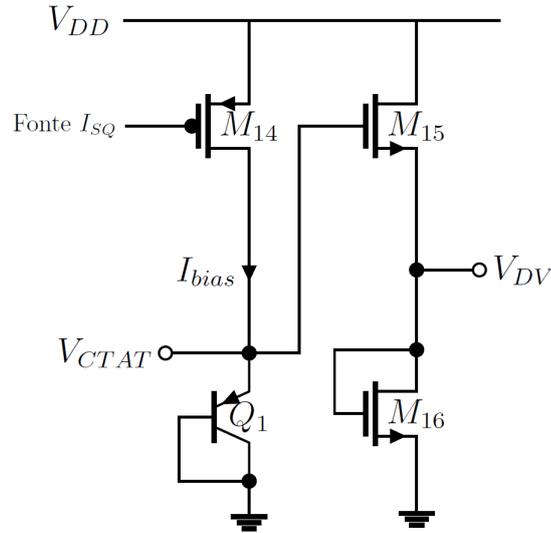
3.4.2 Dimensionamento da Fonte CTAT e do Divisor de Tensão CMOS

Para o dimensionamento dos transistores utilizados para a Fonte CTAT, foi polarizada uma corrente com magnitude suficiente para gerar o comportamento CTAT esperado. Utilizando um espelho de corrente com a fonte I_{SQ} (ilustrado pelo transistor M_{14} na Figura 32), foi polarizada uma corrente proporcional à I_{SQ} em um TJB ligado como diodo, com a dimensão de área de emissor sendo $2 \times 2\mu m^2$. Em $27^\circ C$ a queda de tensão projetada é de aproximadamente $V_{CTAT} \approx 600mV$.

A tensão V_{CTAT} é então ligada na entrada do divisor de tensão CMOS. Como descrito na Equação (3.32), ao utilizar a mesma razão de aspecto dos transistores que constituem o divisor de tensão, a parte logarítmica e a dependência térmica são anuladas. Para isso foram definidas as mesmas razões de aspecto para os transistores M_{15} e M_{16} . A Figura 33 ilustra o circuito projetado.

Foram definidas as razões de aspecto $S_{15} = S_{16} = 20$ para o divisor de tensão, resultando em uma tensão de saída do divisor CMOS descrita por $V_{DV} = V_{CTAT}/2,3$. Com o intuito de diminuir o impacto da variabilidade comportamental foram empregadas

Figura 33 – Circuito Fonte CTAT e Divisor de Tensão CMOS implementados



Fonte - Autoria própria

maiores dimensões. Na tabela 2 estão organizadas as informações de razão de aspecto dos transistores utilizados na fonte CTAT e no divisor de tensão.

Tabela 2 – Dimensão dos transistores usados na fonte CTAT e no divisor de tensão CMOS

Lista Transistores	W [μm]	L [μm]	S
M14	1	4	0,25
M15	20	1	20
M16	20	1	20

Fonte - Autoria Própria

3.4.3 Dimensionamento dos Transistores da Fonte PTAT

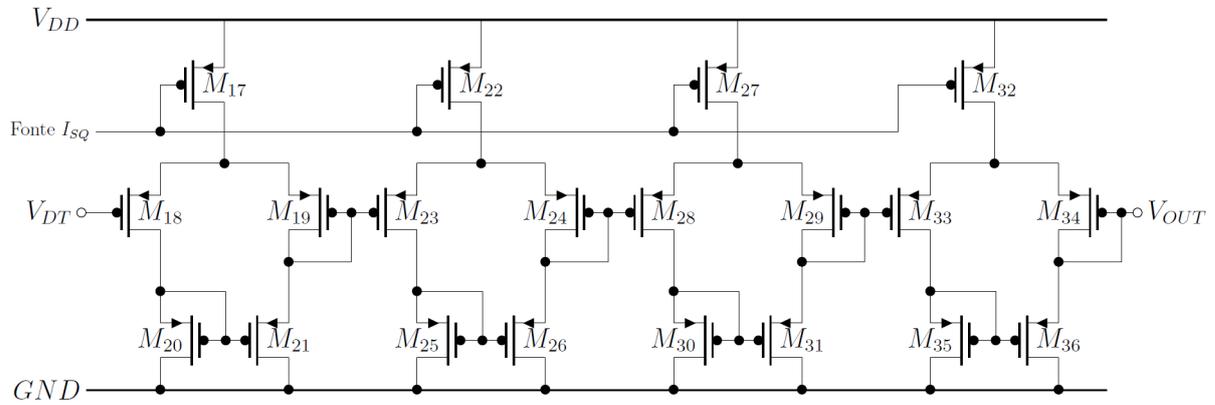
Baseado no equacionamento descrito na Seção 3.2.2, foram definidas as relações de razão de aspecto necessárias para gerar uma tensão PTAT com inclinação suficiente para compensação térmica da fonte CTAT. Levando em conta que V_{CTAT} apresenta uma deriva térmica de aproximadamente $\frac{\partial V}{\partial T} \approx -2mV/^{\circ}C$ e que o divisor de tensão atenuaria a deriva pela metade, foram definidos que cada par diferencial desbalanceado deveria apresentar uma deriva térmica de aproximadamente $\frac{\partial V}{\partial T} \approx 300\mu V/^{\circ}C$.

Para obter o valor dimensionado anteriormente, foi empregada a Equação (3.28) onde se igualou os valores de $K_1 = K_2 = 4,35$. Substituindo as relações de razão de aspecto em (3.28) e assumindo que $n \approx 1,3$, é possível obter o seguinte valor de deriva térmica:

$$\frac{\partial V_{Diff}}{\partial T} = \frac{\partial}{\partial T} [n\phi_t \ln(4,35 \times 4,35)] \approx 310,15\mu V/^{\circ}C \quad (3.43)$$

Para a polarização dos pares diferenciais desbalanceados encadeados, foram utilizados espelhos de corrente com a fonte de corrente I_{SQ} . A Figura 34 ilustra os blocos encadeados e os respectivos espelhos de corrente.

Figura 34 – Circuito Fonte PTAT implementado



Fonte - Autoria própria

Na Tabela 3 estão dispostas as informações referente as razões de aspecto de todos os transistores que compõem o circuito fonte PTAT.

Tabela 3 – Dimensão dos transistores usados no gerador PTAT

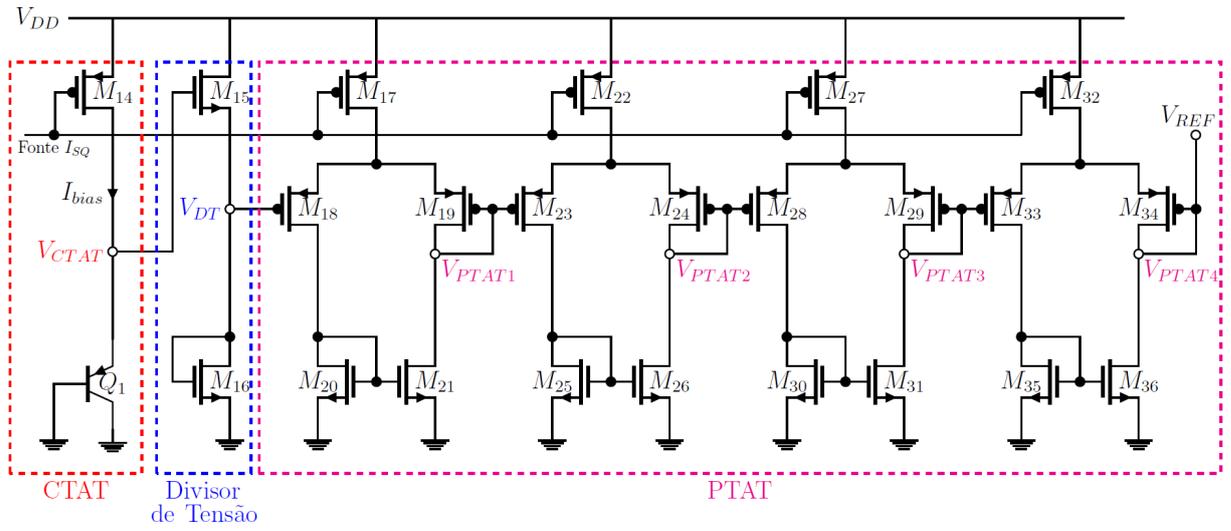
Lista Transistores	W [μm]	L [μm]	S
M17	0,5	7,4	0,067567568
M18	12,3	1	12,3
M19	53,505	1	53,505
M20	53,505	1	53,505
M21	12,3	1	12,3
M22	0,5	7,4	0,067567568
M23	12,3	1	12,3
M24	53,505	1	53,505
M25	53,505	1	53,505
M26	12,3	1	12,3
M27	0,5	7,4	0,067567568
M28	12,3	1	12,3
M29	53,505	1	53,505
M30	53,505	1	53,505
M31	12,3	1	12,3
M32	0,5	7,4	0,067567568
M33	12,3	1	12,3
M34	53,505	1	53,505
M35	53,505	1	53,505
M36	12,3	1	12,3

Fonte - Autoria Própria

3.4.4 Referência *Subbandgap* Completa

Após o cálculo e dimensionamento dos transistores, a referência de tensão *subbandgap* proposta neste trabalho é ilustrada pela Figura 35, onde os blocos fonte CTAT, divisor de tensão CMOS e fonte PTAT foram destacados pelos retângulos vermelho, azul e magenta, respectivamente.

Figura 35 – Referência de Tensão *Subbandgap* implementada



Fonte - Autoria própria

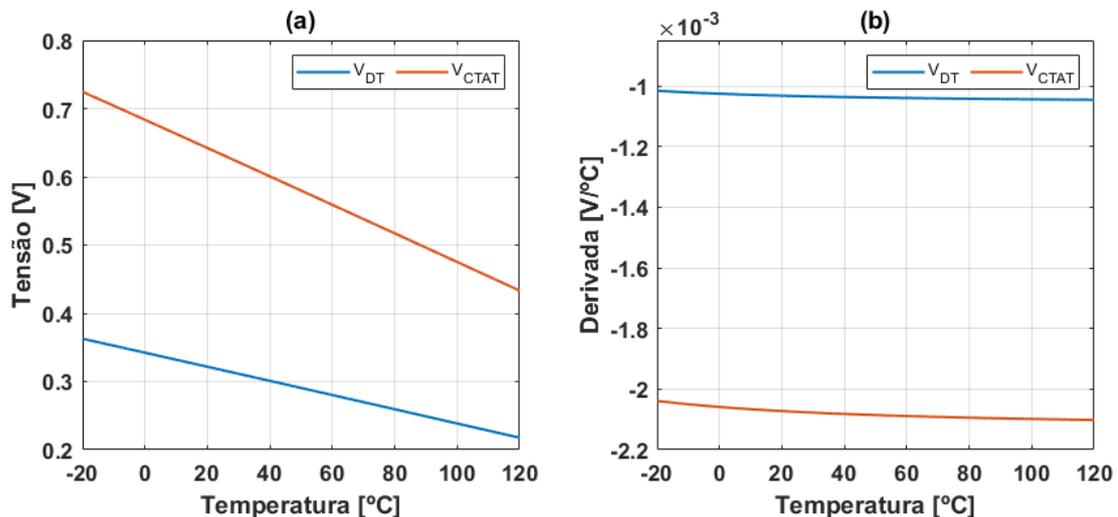
4 Resultados e Discussões

Este capítulo aborda os resultados das simulações realizadas, seguido de discussões sobre os valores obtidos. O circuito proposto foi simulado na tecnologia de 180nm da *XFAB Silicon Foundries*. Foram utilizados transistores modelo padrão através da ferramenta *Virtuoso* da *Candence Design Systems* empregando o modelo BSIM 3v3 para simulação elétrica de circuitos integrados. Todas as simulações foram realizadas no *Schematic View*.

4.1 Tensão CTAT e Divisor de Tensão CMOS

Para a simulação da tensão de referência do circuito, inicialmente foi feita uma análise da tensão V_{CTAT} gerada pela junção e da tensão após passar pelo divisor CMOS (V_{DT}). Para isso foram simulados os valores das tensões, variando a temperatura de operação do circuito entre $-20^{\circ}C$ até $120^{\circ}C$. Além da magnitude dos valores, a taxa de variação dos mesmos também foi analisada, sendo traçado o gráfico da derivada da tensão em função da temperatura. A Figura 36 ilustra os resultados das tensões e suas respectivas derivadas.

Figura 36 – Curvas das Simulações de V_{CTAT} e V_{DT} entre $-20^{\circ}C$ até $120^{\circ}C$ em (a); Derivadas de V_{CTAT} e V_{DT} em função da temperatura em (b).



Fonte - Autoria Própria

Analisando o gráfico (a) na Figura 36 é possível observar que o valor de ambas as tensões diminui com a variação positiva da temperatura, como esperado de fontes CTAT. O valor extraído de V_{CTAT} para $27^{\circ}C$ foi de $627,6mV$, próximo do valor de $600mV$

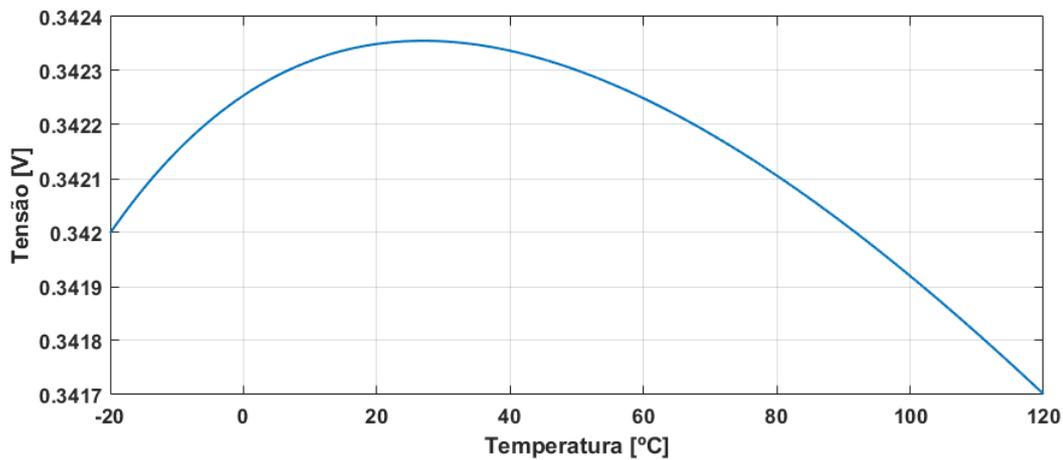
utilizado durante a etapa de projeto. Além disso, V_{CTAT} e V_{DT} apresentaram valores de deriva térmica de $-2,076mV/^\circ C$ e $-1,034mV/^\circ C$ respectivamente, ambos para $27^\circ C$.

Observando o gráfico (b) na Figura 36, é possível afirmar que tanto V_{CTAT} quanto V_{DT} não tem comportamentos lineares pelo fato das derivadas não apresentarem valor constante. Essa variação negativa no valor da derivada mostra que as tensões apresentam uma forma de onda convexa (curvatura para baixo). Com o objetivo de melhor observar a curvatura, foi retirada a inclinação negativa de V_{DT} matematicamente. Para isso, foi substituído o valor da deriva térmica em $27^\circ C$ na constante A da Equação 4.1

$$V_{Curvatura} = V_{DT}(T) + |A| \times T \quad (4.1)$$

onde $V_{DT}(T)$ é a tensão após o divisor de tensão CMOS e T a temperatura. A Figura 37 ilustra a curvatura extraída.

Figura 37 – Curvatura em V_{DT}

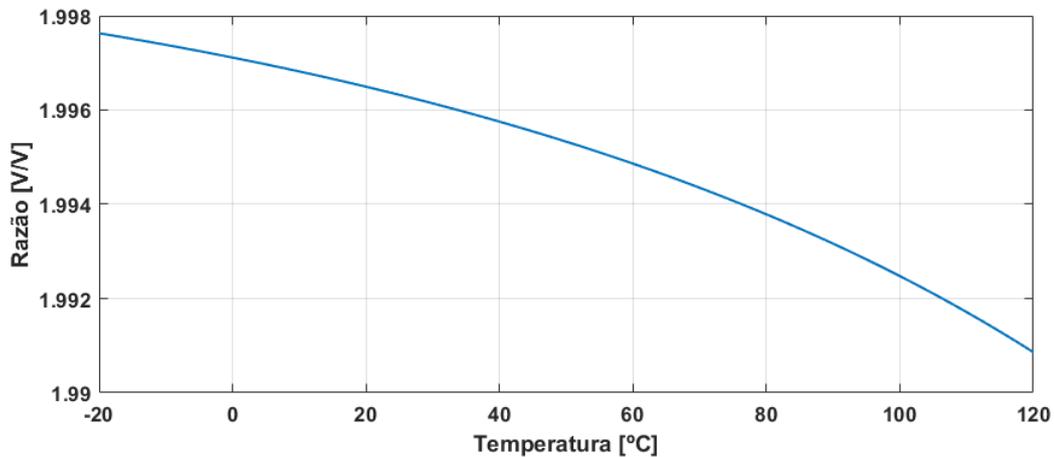


Fonte - Autoria Própria

A Figura 37 confirma o formato indicado pela variação da derivada no gráfico (b) da Figura 36, mostrando uma forma de onda convexa. Também se observa uma variação de aproximadamente $0,7mV$ no intervalo de temperatura simulado.

Além da análise do comportamento das tensões, foi estudado o valor da razão V_{CTAT}/V_{DT} na temperatura. Para melhor observar, foi realizada uma simulação da divisão, em que o resultado é ilustrado na Figura 38.

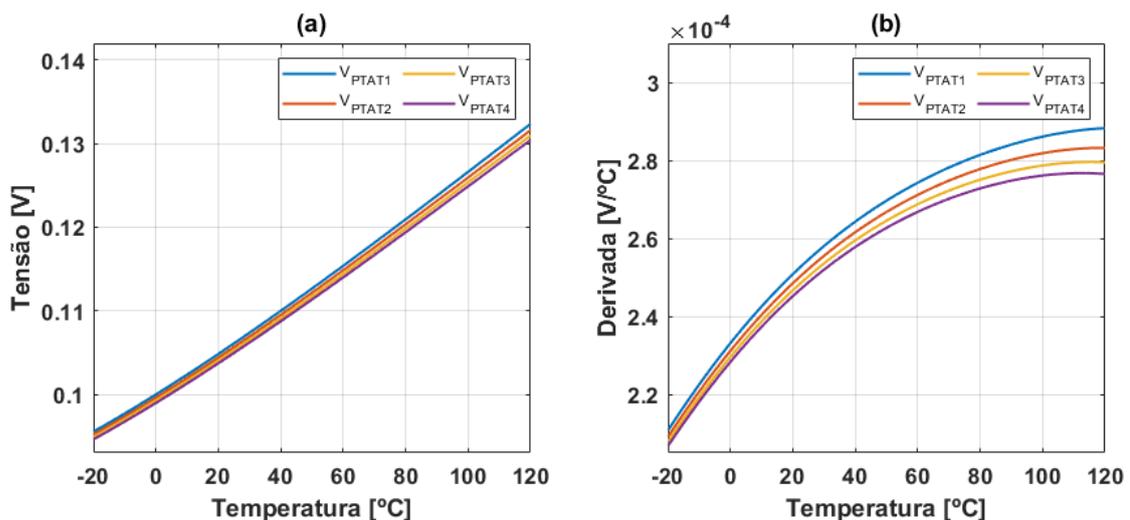
Examinando o resultado disposto na Figura 38, é possível afirmar que a razão se manteve quase constante, variando aproximadamente $0,008$ no intervalo simulado. Atendendo ao valor, é possível afirmar que o resultado simulado difere do valor projetado. Como descrito no Capítulo 3, quando mantida a mesma razão de aspecto entre os transistores que compõem o divisor de tensão, o fator de divisão é de $2,3$, considerando os transistores em inversão fraca para a aproximação de $n \approx 1,3$. Mas o resultado da simulação apresenta um fator de divisão de aproximadamente 2 .

Figura 38 – Resultado da simulação V_{CTAT}/V_{DT} variando a temperatura

Fonte - Autoria Própria

4.2 Tensão PTAT

Depois de analisadas as curvas referentes à fonte CTAT e o divisor de tensão, foram conduzidas simulações para a fonte PTAT do circuito. Da mesma maneira que foi examinada a forma de onda da tensão V_{CTAT} , foram simulados os comportamentos das tensões V_{PTAT} geradas por cada bloco e suas respectivas derivadas. A Figura 39 ilustra os resultados obtidos.

Figura 39 – Curvas das Simulações de cada V_{PTAT} entre $-20^{\circ}C$ até $120^{\circ}C$ em (a); Derivadas de cada V_{PTAT} em função da temperatura em (b).

Fonte - Autoria Própria

Analisando o gráfico (a) na Figura 39, é possível observar que os valores das tensões geradas em todos os blocos pares diferenciais desbalanceados aumentam com a temperatura, como esperado de fontes PTAT. Mesmo com razões de aspecto idênticas

nos transistores que compõem cada bloco, é possível observar pequenas diferenças no comportamento de cada circuito, como nas inclinações das retas e um pequeno *offset* entre as tensões. As simulações ilustradas no gráfico (b) da Figura 39 possibilitaram a extração dos valores de deriva térmica em $27^{\circ}C$ para cada bloco. Os valores estão dispostos na Tabela 4.

Tabela 4 – Valores de deriva térmica para cada Tensão V_{PTAT} em $27^{\circ}C$

Tensão	Deriva Térmica [$\mu V/^{\circ}C$]
V_{PTAT1}	255,961
V_{PTAT2}	253,506
V_{PTAT3}	251,597
V_{PTAT4}	250,028

Fonte - Autoria Própria

Analisando a Tabela 4 em mais detalhes, é possível observar que os valores de deriva térmica estão menores do que os projetados. Como explicado no Capítulo 3, foram projetados os blocos para apresentarem uma deriva térmica de aproximadamente $310\mu V/^{\circ}C$ quando dimensionado com os valores de $K_1 = K_2 = 4,35$. Partindo deste valor e da deriva após o divisor de tensão CMOS, seriam necessários somente 3 blocos encadeados para alcançar a compensação térmica. Com essa diferença, foi necessária a adição de mais um bloco para atingir a compensação térmica desejada, acarretando em um aumento na tensão de referência de aproximadamente $100mV$.

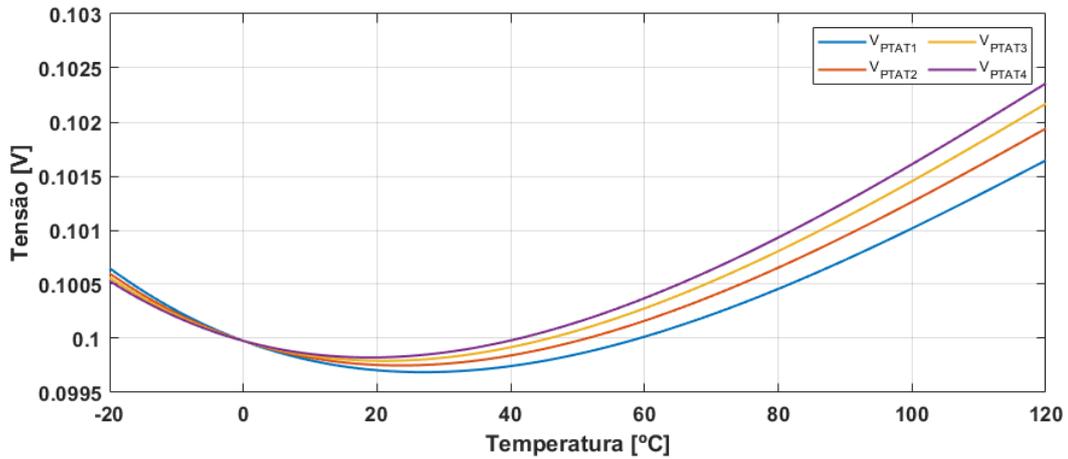
Continuando a análise do gráfico (b) da Figura 39, é possível afirmar também que nenhuma das tensões PTAT apresentaram comportamentos lineares. Isso se confirma verificando que as derivadas não são constantes. Essa variação positiva na derivada representa que as tensões tem uma forma de onda côncava (curvatura para cima). Assim como feito anteriormente para V_{CTAT} , foi retirada a inclinação de todas as tensões para observar a curvatura de melhor maneira. Para isso, foram substituídos os respectivos valores de deriva térmica (dispostos na Tabela 4) na constante B_n da Equação 4.2

$$V_{Curvatura} = V_{PTAT_n}(T) - |B_n| \times T \quad (4.2)$$

onde $V_{PTAT_n}(T)$ são substituídas as tensões PTAT e T é a temperatura. A Figura 40 ilustra as curvaturas extraídas.

A Figura 40 confirma o comportamento indicado pelas variações das derivadas no gráfico (b) da Figura 39, mostrando uma forma de onda côncava. Ainda também se observa que as curvaturas tem uma variação de aproximadamente $2mV$.

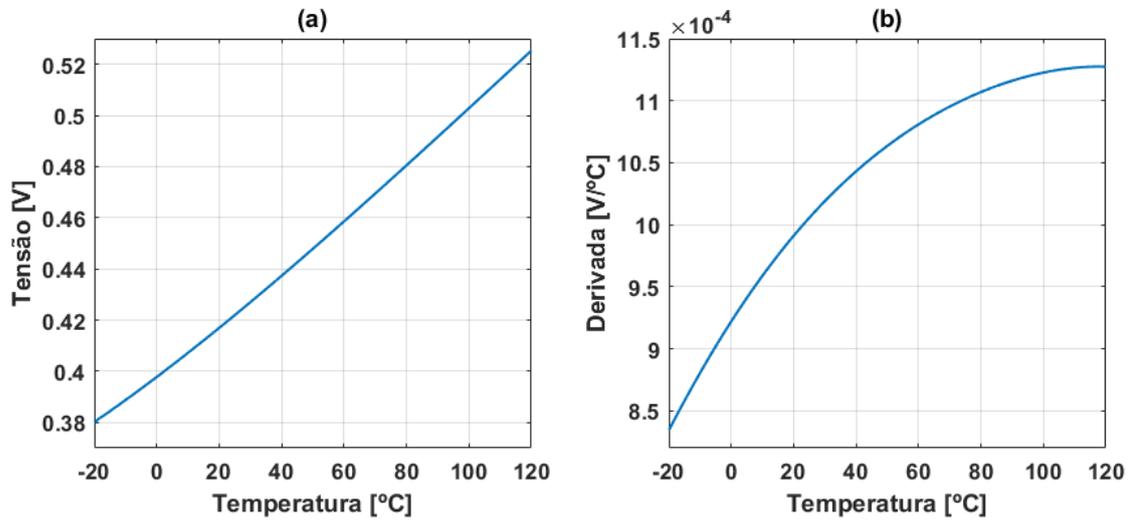
Figura 40 – Curvatura individuais de cada bloco V_{PTAT}



Fonte - Autoria Própria

Após as análises individuais de cada bloco PTAT, foram conduzidas as mesmas simulações para o encadeamento dos pares diferenciais desbalanceados. A Figura 41 ilustra o comportamento da tensão em função da temperatura e a sua derivada.

Figura 41 – Curvas de V_{PTAT} resultante entre $-20^{\circ}C$ até $120^{\circ}C$ em (a); Derivadas de V_{PTAT} resultante em função da temperatura em (b).

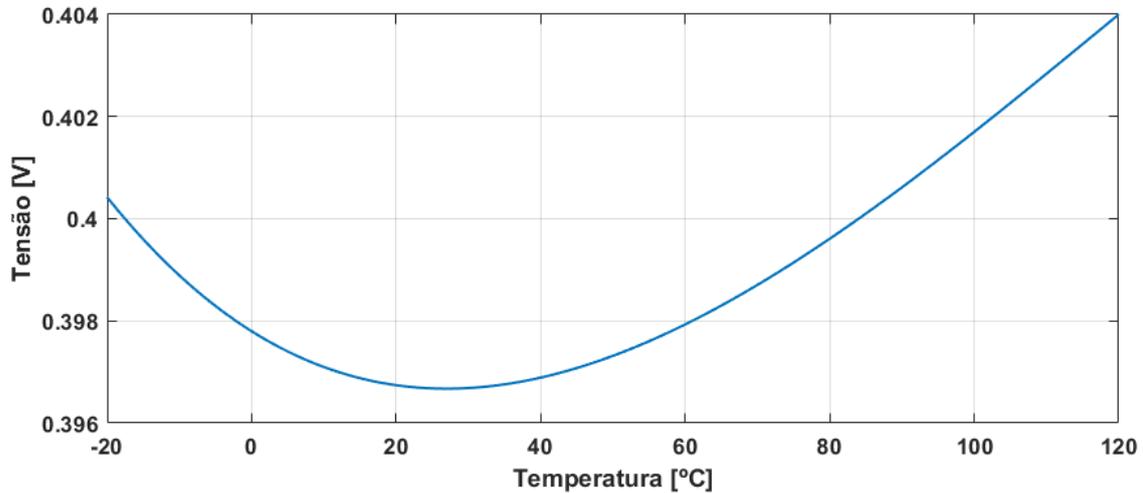


Fonte - Autoria Própria

Como explicado no Capítulo 3, a tensão PTAT gerada a partir de diversos pares diferenciais desbalanceados encadeados é descrita pela soma das mesmas. Analisando os gráficos (a) e (b) da Figura 41, é possível observar que ambos comportamentos são resultados da soma das curvas individuais, resultando em uma deriva térmica de $1,011mV/^{\circ}C$ em $27^{\circ}C$. Isso também significa que além da tensão resultante não apresentar um comportamento linear, a curvatura foi intensificada. Para melhor observar isso, foram substituídos

os valores de deriva térmica e da tensão V_{PTAT} resultante na Equação (4.2) para isolar o comportamento da curvatura, ilustrado na Figura 42.

Figura 42 – Curvatura de V_{PTAT} resultante

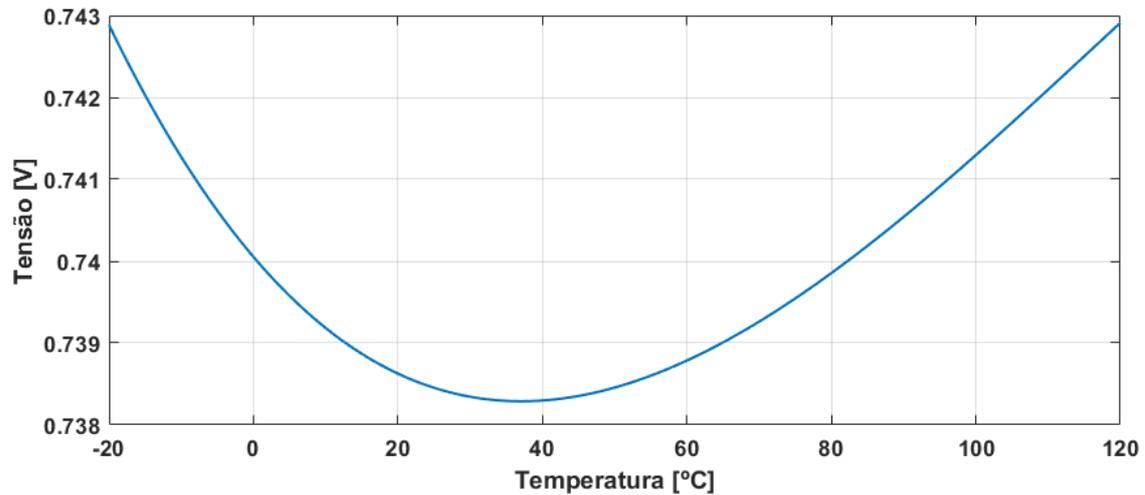


Fonte - Autoria Própria

Analisando a Figura 42, é possível confirmar que a curvatura se intensificou, resultando em uma variação de aproximadamente $8mV$ no intervalo simulado. Comparando com a variação da tensão V_{DT} causada pela curvatura ($\Delta V_{DT} \approx 0,7mV$), é possível afirmar que o impacto de V_{PTAT} é dominante, variando em uma magnitude maior. Além disso, é possível observar que as derivas térmicas lineares apresentam valores de magnitude bem parecidos, sendo $-1,034mV/°C$ para V_{DT} comparado com $1,011mV/°C$ para V_{PTAT} , ambos em $27°C$.

4.3 Tensão de Referência

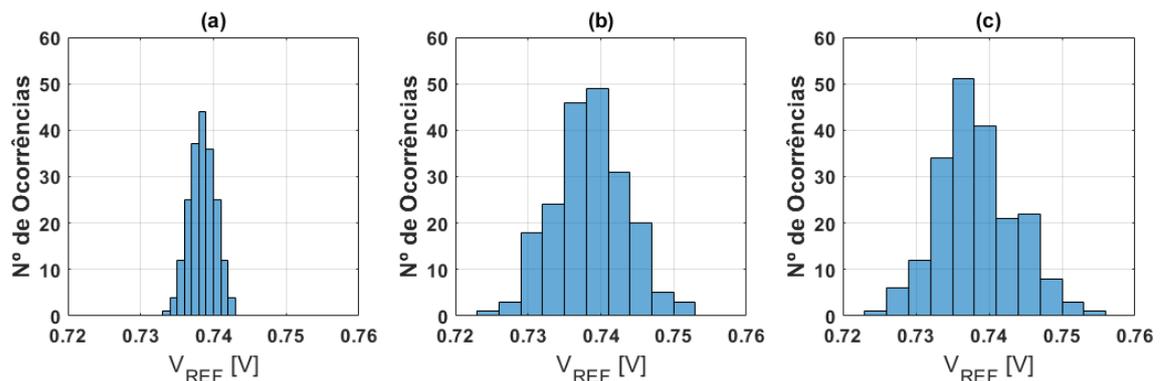
Para a simulação da tensão de referência do circuito, foi feita uma análise da tensão de saída V_{REF} com a variação da temperatura de operação. Foram definidos passos de $0,1°C$ para cada valor simulado, em um intervalo de temperatura de $-20°C$ até $120°C$. A Figura 43 ilustra o resultado da simulação, onde a tensão de referência V_{REF} em $27°C$ gerada pelo circuito é de $738,4mV$ apresentando um TC de $35,77ppm/°C$. Como discutido anteriormente, a simulação confirmou forma de onda côncava (curvatura para cima).

Figura 43 – Curva da Tensão de Referência V_{REF} entre $-20^{\circ}C$ até $120^{\circ}C$ 

Fonte - Autoria Própria

4.4 Simulações Monte Carlo

Para caracterização do comportamento do circuito frente à variabilidade comportamental, foram realizadas simulações Monte Carlo para a tensão de referência gerada pelo circuito com 200 amostras. A Figura 44 ilustra os histogramas gerados para as simulações considerando efeitos de processo, *mismatch* e processo + *mismatch*.

Figura 44 – Histogramas das Simulações Monte Carlo para V_{REF} para Processo em (a); *Mismatch* em (b); Processo + *Mismatch* em (c).

Fonte - Autoria Própria

Analisando a Figura 44, é possível observar que os histogramas gerados pela simulação tem um formato aproximado de uma distribuição normal. Partindo disso, o cálculo e emprego dos valores de média (μ), desvio padrão (σ) e a razão entre desvio padrão e média (σ/μ) são apropriados para mensurar o resultado estatístico. Os valores estão dispostos na Tabela 5.

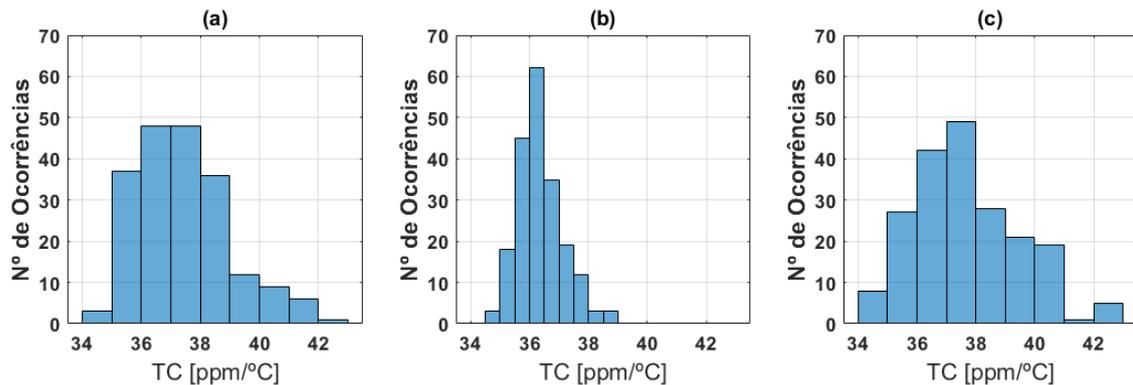
Tabela 5 – Resultados Obtidos nas Simulações Monte Carlo para V_{REF}

Parâmetro	Processo	<i>Mismatch</i>	Processo + <i>Mismatch</i>	Unidade
μ	742,5	738,3	738,3	mV
σ	1,805	5,021	5,260	mV
σ/μ	0,243	0,680	0,712	%

Fonte - Autoria Própria

Observando os histogramas ilustrados na Figura 44 e os resultados dispostos na Tabela 5, é possível afirmar que a tensão de referência apresentou maior robustez à variabilidade de processo, tendo um desvio padrão menor comparado às simulações que envolviam *mismatch*. Mesmo com a maior sensibilidade ao *mismatch*, o desvio padrão continuou apresentando valores baixos comparados com a magnitude da média, resultando em valores menores que 1% em todas as simulações.

Além da análise estatística de V_{REF} , também foram conduzidas simulações Monte Carlo para o Coeficiente de Temperatura (TC). Foram definidas 200 amostras para as simulações, variando a temperatura de $-20^{\circ}C$ até $120^{\circ}C$. A Figura 45 ilustra os histogramas gerados para as simulações considerando efeitos de processo, *mismatch* e processo + *mismatch*.

Figura 45 – Histogramas das Simulações Monte Carlo do TC para Processo em (a); *Mismatch* em (b); Processo + *Mismatch* em (c).

Fonte - Autoria Própria

Analisando a Figura 45, é possível observar que os histogramas gerados pela simulação apresentam uma maior concentração de amostras para os menores valores, não sendo caracterizada como uma distribuição normal. Neste caso, a utilização do desvio padrão (σ) para mensurar os efeitos de variabilidade no espalhamento das amostras, não é correta. Como explicado no Capítulo 1, é possível quantificar o espalhamento definindo uma porcentagem de amostras e analisando o seu valor máximo. Neste trabalho, foi definida

a porcentagem de 95%. Os resultados estão dispostos na Tabela 6.

Tabela 6 – Resultados Obtidos nas Simulações Monte Carlo para TC

Parâmetro	Processo	<i>Mismatch</i>	Processo + <i>Mismatch</i>	Unidade
μ	37,44	36,38	37,6	$ppm/^{\circ}C$
95%	40,59	37,72	40,59	$ppm/^{\circ}C$

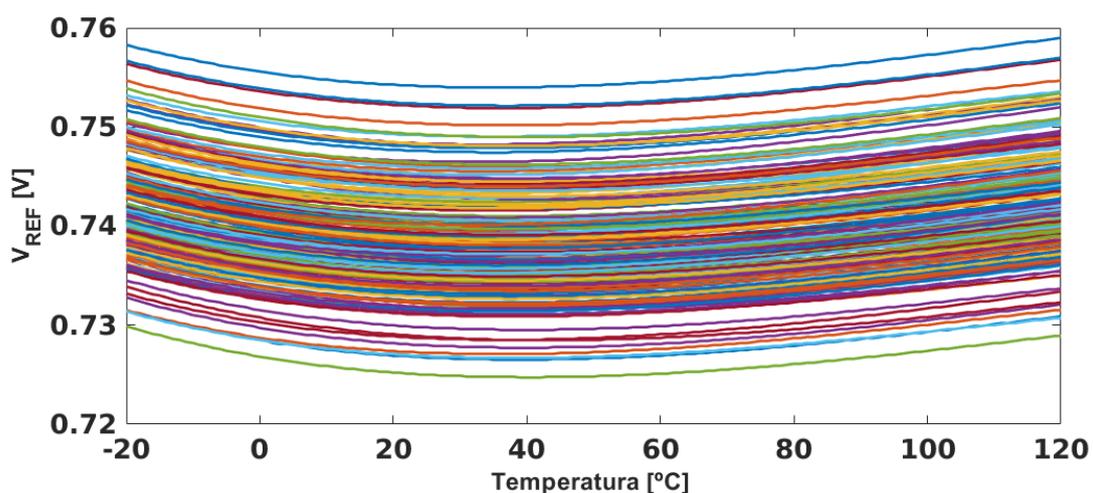
Fonte - Autoria Própria

Observando os histogramas ilustrados na Figura 45 e os resultados dispostos na Tabela 6, é possível afirmar que o coeficiente de temperatura apresentou maior robustez à variabilidade de *mismatch*, tendo um valor máximo menor que as simulações que envolviam Processo. Mesmo com maior sensibilidade ao Processo, as piores amostras também apresentaram baixo TC, ficando perto de $40\text{ ppm}/^{\circ}C$.

4.4.1 Single-Trim

A simulação Monte Carlo ilustrada no histograma (c) da Figura 45 gerou curvas da tensão de referência V_{REF} em função da temperatura para todas as 200 amostras, levando em conta a variabilidade de processo e descasamento, sendo ilustrado na Figura 46. Utilizando a Equação 1.1 com o método do janelamento (valores máximos e mínimos entre todas as amostras), é obtido um valor para o TC global de $331\text{ ppm}/^{\circ}C$.

Figura 46 – Tensão de Referência (V_{REF}) das 200 Amostras

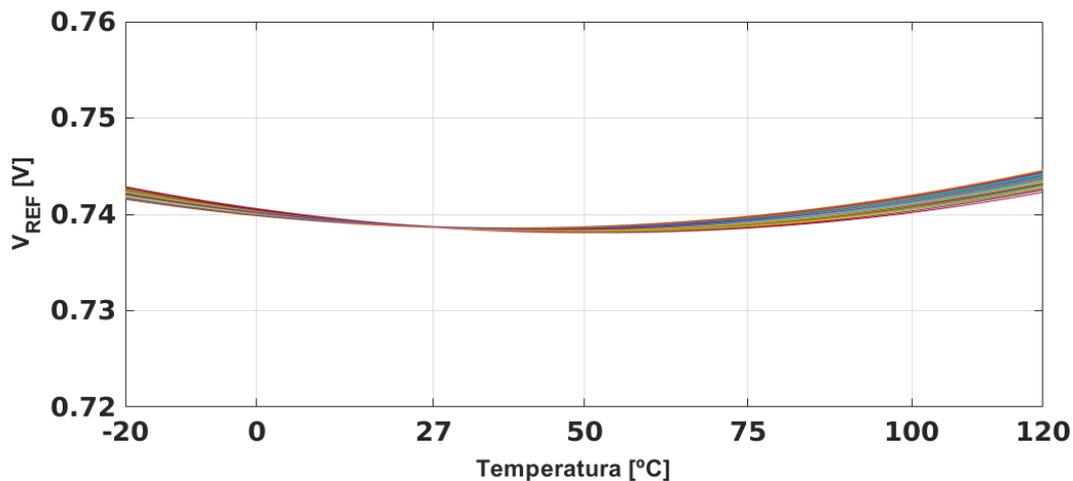


Fonte - Autoria Própria

Observando o comportamento das tensões, é possível notar que existe um *offset* entre as amostras, mas o comportamento com a variação da temperatura aparenta certa constância. Para melhor observar isso, foi retirado o *offset* entre elas utilizando uma técnica

de *single-trim* em 27°C , como ilustrado na Figura 47. Essa técnica foi executada somente matematicamente, sem a implementação de circuitos.

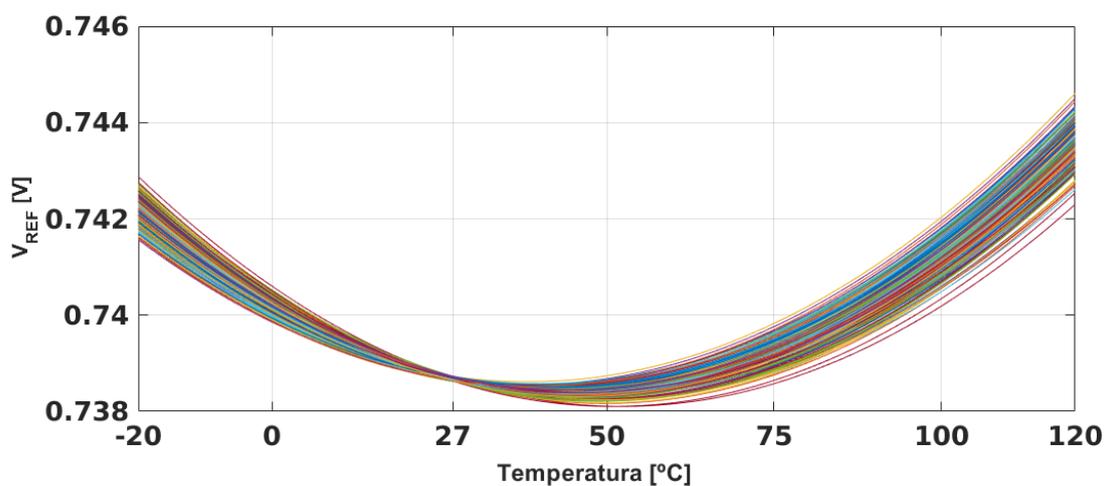
Figura 47 – Tensão de Referência (V_{REF}) das 200 Amostras com *Single-Trim* em 27°C



Fonte - Autoria Própria

Aplicando novamente a Equação 1.1, é obtido um novo valor para o TC global de $62\text{ ppm}/^{\circ}\text{C}$. Observando o novo conjunto de resultados em detalhes, como ilustrado na Figura 48, é possível afirmar que a calibração posterior, com o objetivo de se anular o *offset* entre amostras, se apresenta promissora, diminuindo consideravelmente a diferença comportamental entre elas.

Figura 48 – Resposta das 200 Amostras em detalhes após o *Single-Trim*



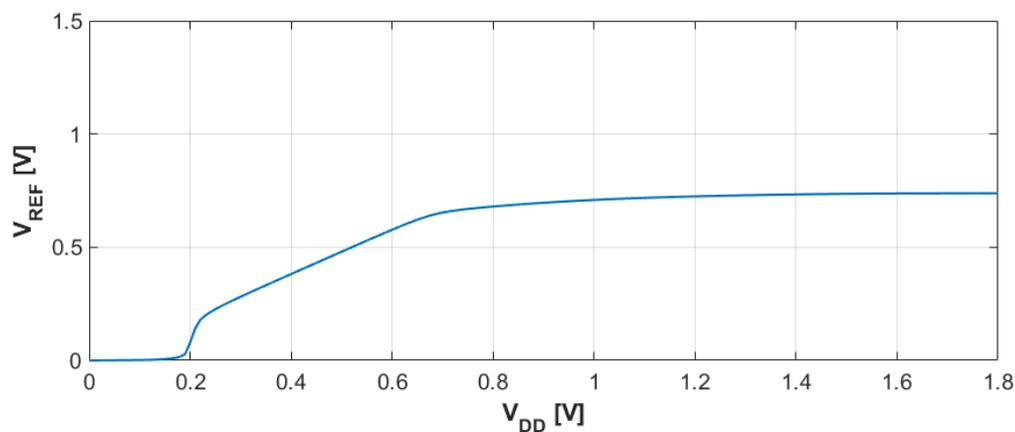
Fonte - Autoria Própria

Embora o *single-trim* melhore o desempenho do circuito, ainda é possível observar uma presença considerável de componentes de segunda ordem na tensão de saída, resultando em um aspecto de parábola nas 200 amostras.

4.5 Tensão Mínima e Máxima de Operação e *Line Sensitivity*

Para a definição da tensão mínima e máxima de operação, assim como o valor de *Line Sensitivity*, foi realizada uma varredura entre 0V e 1,8V da tensão de alimentação. Para cada ponto simulado, foi armazenado o valor da tensão de referência V_{REF} . Como descrito no Capítulo 1, a tensão máxima de operação é baseada na tecnologia utilizada para manufatura do circuito integrado, que neste caso tem o valor de 1,8V. A Figura 49 ilustra o resultado da simulação.

Figura 49 – *Line Sensitivity* do Circuito Proposto



Fonte - Autoria Própria

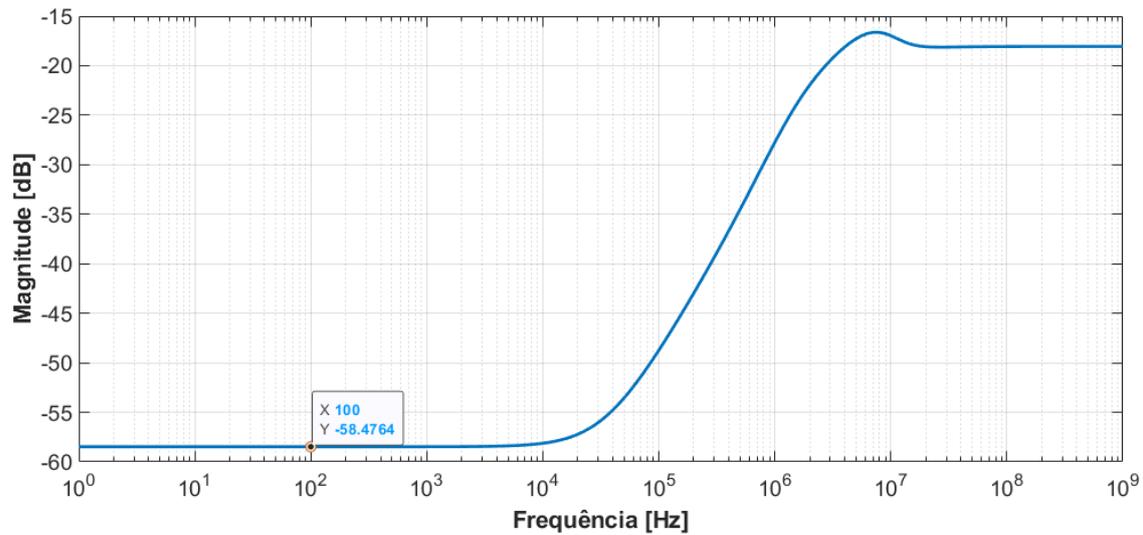
Observando o comportamento ilustrado pela Figura 49, é possível afirmar que a partir de 1,1V de tensão de alimentação (V_{DD}), a referência de tensão passa a operar próximo do comportamento observado, quando em tensão plena de 1,8V. Aplicando os valores de tensão mínima e máxima de operação e os respectivos valores de V_{REF} em (1.2), é obtido $LS = 2,8\%/V$.

4.6 Power Supply Rejection (PSR)

Para a simulação do PSR, foi adicionado um sinal à tensão de alimentação com magnitude de 10% da tensão V_{DD} . Como descrito no Capítulo 1, foi variada a frequência do sinal adicionado e medida a atenuação do mesmo na saída (V_{REF}). O intervalo de frequência simulado foi entre 1 Hz e 1 GHz (10^9 Hz). A Figura 50 ilustra o resultado da simulação, conforme a Equação (1.3).

Analisando a Figura 50, é possível observar que o circuito apresenta uma atenuação de -58,4764 dB em 100 Hz, mantendo esse valor para sinais de até 10 kHz. A partir dessa frequência, a atenuação do sinal diminui, se estabilizando aproximadamente em -18 dB para frequências superiores à 20 MHz.

Figura 50 – Resultado da Simulação de PSR entre 1Hz e 1GHz

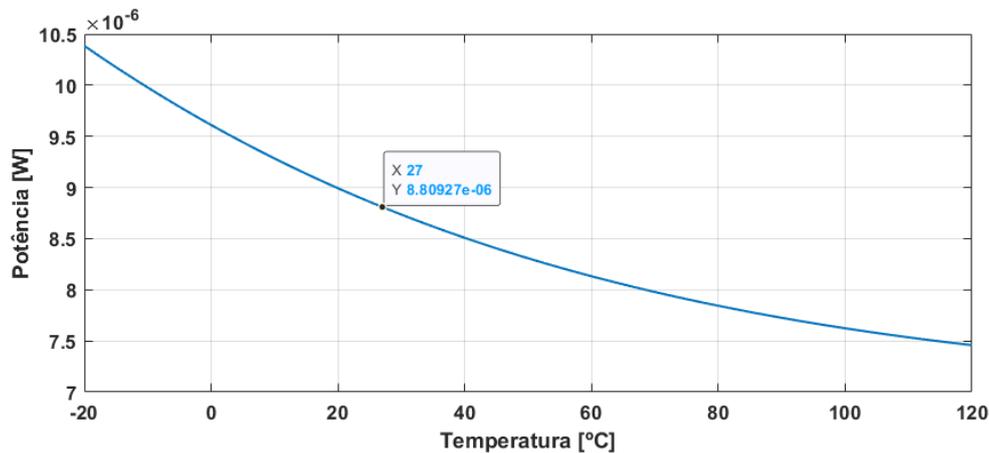


Fonte - Autoria Própria

4.7 Consumo de Potência

A avaliação do consumo de potência do circuito se deu pela simulação de seus valores na variação de temperatura. A Figura 51 ilustra o resultado obtido.

Figura 51 – Simulação da potência em função da temperatura



Fonte - Autoria Própria

A partir da simulação ilustrada pela Figura 51, foi possível extrair o valor de $8,809\mu W$ de consumo de potência para a temperatura de $27^{\circ}C$. Comparando com os trabalhos estudados durante o projeto, o comportamento normalmente observado é de um aumento do consumo de potência com o aumento da temperatura. A simulação mostra o contrário, uma diminuição do consumo com o aumento da temperatura.

4.8 Comparação com os trabalhos estudados

Com o objetivo de comparar este trabalho com artigos publicados em revistas de grande relevância, foi criada uma tabela apresentando todos os resultados.

Tabela 7 – Comparação com os trabalhos de grande relevância

Parâmetro	(Osaki <i>et al.</i> 2013) ^M	(Huang <i>et al.</i> 2022) ^M	(Chen <i>et al.</i> 2017) ^M	Este Trabalho^S	Unidade
Tecnologia	0.18	0.18	0.18	0.18	μm
V_{DD}	0,7 - 1,8	3,2 - 3,7	1,3 - 1,8	1,1 - 1,8	V
Consumo de Potência	0,0525	1513,3	50,4	8,809	μW
Faixa de Temperatura	-40 - 120	-25 - 125	-40 - 140	-20 - 120	$^{\circ}\text{C}$
Line Sensitivity	6,47	0,0146	0,08	2,8	$\%/V$
TC medio	114	1,183	1,67	37,6	$\text{ppm}/^{\circ}\text{C}$
PSR	-62@100Hz	-56,5@1kHz	-	-58,5@100Hz	dB
V_{REF}					
μ	0,551	2,141	0,547	0,738	V
σ	8,86	-	-	5,26	mV
σ/μ	1,61	-	-	0,712	%

Fonte - Autoria Própria

Analisando a Tabela 7 é possível observar que os artigos mencionados focaram em determinados parâmetros de desempenho; por exemplo, Osaki *et al.* 2013 obteve resultados expressivos em consumo de potência, enquanto Huang *et al.* 2022 e Chen *et al.* 2017 apresentaram TC baixo por trabalharem com técnicas de compensação de curvatura. Em contrapartida, outros parâmetros de desempenhos destes artigos não apresentaram valores otimizados. O circuito proposto neste trabalho apresentou resultados de variabilidade comportamental comparável com artigos apresentados em conferências internacionais, sem abdicar de outros parâmetros de desempenho. Outro fator de grande importância é que o presente trabalho obteve resultados somente simulados, enquanto os artigos mencionados fabricaram seus circuitos e mediram os valores listados na Tabela 7.

^M Resultados obtidos a partir de medições realizadas em amostras fabricadas.

^S Resultados obtidos a partir de simulações.

5 Conclusão

Este trabalho aborda o estudo, projeto e simulações de uma referência de tensão *subbandgap* que utiliza somente transistores, provendo uma tensão de referência com valor menor que 1 V. Com o objetivo do circuito apresentar a dependência térmica apropriada, foram projetados transistores para operar em inversão fraca, proporcionando também uma redução na potência dissipada. Porém, a geometria dos transistores é maior, gerando um aumento da área ocupada no circuito integrado. Transistores com maiores dimensões são menos afetados por variabilidade do processo de fabricação e o maior dimensionamento dos mesmos também buscou maior robustez do circuito neste aspecto.

Este projeto abordou também o estudo de trabalhos clássicos até os artigos mais recentes em referências *bandgap*, possibilitando a contextualização das relações de compromisso entre os parâmetros de desempenho dessa classe de circuito e as técnicas utilizadas para obter bons resultados em todas as métricas de performance.

A operação dos transistores em inversão fraca demandou a utilização de um modelo que descrevesse o transistor em todas as regiões de operação, sendo utilizado o modelo ACM para equacionar o comportamento dos blocos estudados e implementados neste trabalho. Ao comparar os resultados simulados com os equacionamentos desenvolvidos, é possível notar a proximidade de ambos, mas ajustes finos foram necessários para a otimização do circuito.

Foram simuladas as características não lineares do circuito, analisando individualmente os blocos para entendimento da forma da tensão de referência. Todas as etapas do projeto resultaram em um circuito que apresentou tensão de referência média de $V_{REF} = 738$ mV com um desvio padrão de $\sigma = 5,26$ mV, TC médio de $37,6$ ppm/°C com baixa variabilidade comportamental e consumo de potência de apenas $8,809$ μ W. Os resultados mencionados são valores comparáveis à publicações em conferências internacionais, mas sem abdicar de outras métricas de desempenho como *line sensitivity* e PSR. O trabalho também se mostrou favorável para o desenvolvimento e aplicações de técnicas de *trimming*.

5.1 Trabalhos Futuros

O circuito implementado apresentou resultados atraentes, porém algumas métricas de desempenho tem espaço para melhorias e os resultados foram obtidos por meio de simulação. Abaixo são listados alguns possíveis tópicos para se continuar o estudo:

1. Estudo e entendimento da curvatura apresentada no bloco PTAT;
2. Estudo e entendimento da característica CTAT apresentada pelo consumo de corrente do circuito;
3. Otimização da fonte de corrente para melhorar a corrente consumida pelo circuito;
4. Melhorar o *line sensitivity* através da utilização de espelhos de corrente *cascode*;
5. Projetar o leiaute do circuito e realizar simulações com o mesmo;
6. Estudar e desenvolver técnicas de calibração/*trimming* para o circuito;
7. Fabricar e medir diferentes amostras do circuito.

Referências

- BROKAW, A. A simple three-terminal ic bandgap reference. *IEEE Journal of Solid-State Circuits*, v. 9, n. 6, p. 388–393, 1974. Citado 2 vezes nas páginas 31 e 32.
- CAMARATTA, G. d. R. Estruturas de teste para avaliação de variabilidade estatística em MOSFETs sub-100nm. Tese (Bacharel em Engenharia da Computação) - Instituto de Informática, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2009. Citado na página 15.
- CHEN, H.-M. *et al.* A sub-1 ppm/c precision bandgap reference with adjusted-temperature-curvature compensation. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 64, n. 6, p. 1308–1317, 2017. Citado 5 vezes nas páginas 7, 34, 35, 36 e 67.
- CORREA, L. S. Referências de tensão integradas CMOS: Testes, medidas e caracterização térmica. Tese (Bacharel em Engenharia Elétrica) - Departamento de Engenharia Elétrica, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2018. Citado na página 69.
- DRENNAN, P.; MCANDREW, C. Understanding mosfet mismatch for analog design. *IEEE Journal of Solid-State Circuits*, v. 38, n. 3, p. 450–456, 2003. Citado na página 69.
- GOMEZ, C. J. A. CMOS low-power threshold voltage monitor circuits and applications. Tese (Mestrado em Microeletrônica) - Instituto de Informática, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2016. Citado na página 43.
- GOMEZ, C. J. A. *et al.* High psrr nano-watt mos-only threshold voltage monitor circuit. In: *2015 28th Symposium on Integrated Circuits and Systems Design (SBCCI)*. [S.l.: s.n.], 2015. p. 1–6. Citado na página 21.
- GOMEZ, C. J. A. *et al.* 1.5 ppm/c nano-watt resistorless mos-only voltage reference. In: *2016 IEEE 7th Latin American Symposium on Circuits Systems (LASCAS)*. [S.l.: s.n.], 2016. p. 99–102. Citado na página 42.
- GRAY, P. R. *et al.* *Analysis and Design of Analog Integrated Circuits*. 5. ed. [S.l.]: Wiley, 2009. Citado na página 18.
- GRIMBLATT, V. *Emicro 2020 - Victor Grimblatt - Synopsys, Chile - April 30, 2020*. IEEE CASS Rio Grande do Sul Chapter, 2020. Disponível em: <<https://youtu.be/RQJgEBDaHWI>>. Citado na página 13.
- HUANG, S. *et al.* A sub-1 ppm/c bandgap voltage reference with high-order temperature compensation in 0.18-μm cmos process. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 69, n. 4, p. 1408–1416, 2022. Citado 5 vezes nas páginas 7, 22, 36, 37 e 67.
- IBM. *Monte Carlo Simulation*. IBM Cloud Education, 2020. Disponível em: <<https://www.ibm.com/cloud/learn/monte-carlo-simulation>>. Citado na página 22.
- KLIMACH, H. Modelo do descasamento (mismatch) entre transistores MOS. Tese (Doutorado em Engenharia Elétrica) - Universidade Federal de Santa Catarina, Florianópolis, 2008. Citado 3 vezes nas páginas 14, 15 e 23.

- KLIMACH, H. *Módulo de Variabilidade de Fabricação - MIC46*. [S.l.]: Material de Aula MIC46 - Programa de Pós-Graduação em Microeletrônica - Instituto de Informática, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2018. Citado 2 vezes nas páginas 14 e 16.
- KOK, C.-W.; TAM, W.-S. *CMOS Voltage References: An Analytical and Practical Perspective*. 1. ed. [S.l.]: Wiley, 2013. Citado na página 20.
- KUIJK, K. A precision reference voltage source. *IEEE Journal of Solid-State Circuits*, v. 8, n. 3, p. 222–226, 1973. Citado na página 31.
- LIMA, V. F. de *et al.* Performance and variability trade-offs of cmos ptat generator topologies for voltage reference applications. In: *2020 33rd Symposium on Integrated Circuits and Systems Design (SBCCI)*. [S.l.: s.n.], 2020. p. 1–6. Citado na página 69.
- LIMA, V. F. de; KLIMACH, H. A 37 nw mosfet-only voltage reference in 0.13 m cmos. In: *2020 33rd Symposium on Integrated Circuits and Systems Design (SBCCI)*. [S.l.: s.n.], 2020. p. 1–6. Citado na página 69.
- NETO, O. E. M. Nanowatt resistorless CMOS voltage references for sub-1V applications. Tese (Mestrado em Microeletrônica) - Instituto de Informática, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2014. Citado 5 vezes nas páginas 13, 25, 29, 30 e 31.
- OGUEY, H.; AEBISCHER, D. Cmos current reference without resistance. *IEEE Journal of Solid-State Circuits*, v. 32, n. 7, p. 1132–1135, 1997. Citado na página 69.
- OLIVEIRA, A. C. de *et al.* Picowatt, 0.45–0.6 v self-biased subthreshold cmos voltage reference. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 64, n. 12, p. 3036–3046, 2017. Citado na página 19.
- ORACLE. *O que é Internet of Things (IOT)?* Oracle Brasil, 2020. Disponível em: <<https://www.oracle.com/br/internet-of-things/what-is-iot/>>. Citado na página 13.
- OSAKI, Y. *et al.* 1.2-v supply, 100-nw, 1.09-v bandgap and 0.7-v supply, 52.5-nw, 0.55-v subbandgap reference circuits for nanowatt cmos lsis. *IEEE Journal of Solid-State Circuits*, v. 48, n. 6, p. 1530–1538, 2013. Citado 9 vezes nas páginas 7, 19, 20, 33, 34, 35, 42, 44 e 67.
- PELGROM, M.; DUINMAIJER, A.; WELBERS, A. Matching properties of mos transistors. *IEEE Journal of Solid-State Circuits*, v. 24, n. 5, p. 1433–1439, 1989. Citado na página 69.
- RAZAVI, B. *Design of analog CMOS integrated circuits*. [S.l.]: McGraw-Hill. Citado na página 69.
- ROY, K.; PRASAD, S. *Low-power cmos vlsi circuit design*. 1ª Edição, Wiley, 2000. Citado na página 21.
- SAHA, S. K. Modeling process variability in scaled cmos technology. *IEEE Design & Test of Computers*, v. 27, n. 2, p. 8–16, 2010. Citado na página 69.
- SANSEN, W.; EYNDE, F. O.; STEYAERT, M. A cmos temperature-compensated current reference. *IEEE Journal of Solid-State Circuits*, v. 23, n. 3, p. 821–824, 1988. Citado na página 69.

- STREETMAN, B. G.; BANERJEE, S. *Solid State Electronic Devices*. 7. ed. [S.l.]: Pearson, 2015. Citado na página 27.
- TOLEDO, P. *et al.* Mosfet ztc condition analysis for a self-biased current reference design. *Journal of Integrated Circuits and Systems*, v. 10, n. 2, p. 103 – 112, 2015. Citado na página 24.
- TSIVIDIS, Y. Accurate analysis of temperature effects in $i_{sub c}/v_{sub be}$ characteristics with application to bandgap reference sources. *IEEE Journal of Solid-State Circuits*, v. 15, n. 6, p. 1076–1084, 1980. Citado na página 27.
- TSIVIDIS, Y.; ULMER, R. A cmos voltage reference. *IEEE Journal of Solid-State Circuits*, v. 13, n. 6, p. 774–778, 1978. Citado 3 vezes nas páginas 32, 33 e 42.
- VITA, G. D.; IANNACCONE, G. A sub-1-v, 10 ppm/°c, nanopower voltage reference generator. *IEEE Journal of Solid-State Circuits*, v. 42, n. 7, p. 1536–1542, 2007. Citado na página 28.
- VITTOZ, E.; FELLRATH, J. Cmos analog integrated circuits based on weak inversion operations. *IEEE Journal of Solid-State Circuits*, v. 12, n. 3, p. 224–231, 1977. Citado na página 32.
- WIDLAR, R. New developments in ic voltage regulators. *IEEE Journal of Solid-State Circuits*, v. 6, n. 1, p. 2–7, 1971. Citado 3 vezes nas páginas 29, 30 e 31.
- ZHANG, C. *et al.* A novel low line regulation cmos voltage reference without bjts and resistors. *SAIEE Africa Research Journal*, v. 111, n. 4, p. 130–137, 2020. Citado na página 19.