



XXXIII SIC SALÃO INICIAÇÃO CIENTÍFICA

Evento	Salão UFRGS 2021: SIC - XXXIII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2021
Local	Virtual
Título	Geração Automática de Leiaute de Redes de Transistores
Autor	GERMANO GIRONDI
Orientador	RICARDO AUGUSTO DA LUZ REIS

Geração Automática de Leiaute de Redes de Transistores

Aluno: Germano Girondi

Orientador: Ricardo Reis

Universidade Federal do Rio Grande do Sul

Nanocircuitos demandam otimização do número de transistores. A razão principal é a necessidade de redução do consumo de energia e do número de conexões. Atualmente, usando bibliotecas de células (rede de transistores correspondente a uma função lógica booleana), diversos ASICs (Circuitos Integrados de Aplicação Específica) usam um número de transistores maior do que o necessário. O número limitado de funções lógicas disponíveis em uma biblioteca de células acaba também limitando as possibilidades de otimização do circuito. O foco do projeto é a geração automática do leiaute de redes de transistores para nanotecnologias. Com a geração automática do leiaute de qualquer função lógica podemos obter uma expressiva redução do número de transistores e, conseqüentemente, do consumo de energia, especialmente consumo estático, e do número de conexões. A geração automática do leiaute de redes de transistores passa por três etapas distintas: posicionamento dos transistores, roteamento e compactação. O posicionamento é definido como a disposição dos componentes do circuito, o roteamento como a determinação das conexões, enquanto a compactação procura aproximar os elementos do leiaute, respeitando as dimensões e distâncias mínimas definidas pelas regras de projeto. O desenvolvimento de ferramentas eficientes de automação do leiaute demanda a pesquisa de novos algoritmos e de métodos computacionais. A versão atual do ASTRAN (desenvolvida na UFRGS), gera automaticamente o leiaute de redes de transistores, para tecnologias de 650 nm a 45 nm. O estado da arte inclui nodos tecnológicos de 5 nm, com produção em larga escala abaixo dos 14 nm. As dificuldades com a drástica redução de tamanho dos transistores requerem novos métodos de geração automática do leiaute. Estamos trabalhando em uma ferramenta alternativa para tecnologias FDSOI 28 nm, nomeada ALTRAN, utilizando novos algoritmos, sendo atualmente possível obter uma pré-visualização do leiaute de algumas redes de transistores.