

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

VINÍCIUS VALDUGA DE ALMEIDA CAMARGO

PROJETO DE DIPLOMAÇÃO

**ANÁLISE DO IMPACTO DE NBTI E RTS EM CÉLULAS
SRAM E PORTAS LÓGICAS**

Porto Alegre

2009

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

ANÁLISE DO IMPACTO DE NBTI E RTS EM CÉLULAS SRAM E PORTAS LÓGICAS

Projeto
de Diplomação apresentado ao Departamento de
Engenharia Elétrica da Universidade Federal do Rio
Grande do Sul, como parte dos requisitos para
Graduação em Engenharia Elétrica.

ORIENTADOR: Gilson Inácio Wirth

Porto Alegre

2009

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

VINÍCIUS VALDUGA DE ALMEIDA CAMARGO

ANÁLISE DO IMPACTO DE NBTI E RTS EM CÉLULAS SRAM E PORTAS LÓGICAS

Este projeto foi julgado adequado para fazer jus aos créditos da Disciplina de “Projeto de Diplomação”, do Departamento de Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: _____

Prof. Gilson Inácio Wirth, UFRGS

Formação Universitaet Dortmund, Alemanha

Banca Examinadora:

Prof. Dr. Altamiro Amadeu Susin, UFRGS

Doutor pelo Institut National Polytechnique - Grenoble, França

Prof. Dr. Marcelo Soares Lubaszewski, UFRGS

Doutor pelo Institut National Polytechnique - Grenoble, França

Porto Alegre, dezembro de 2009

DEDICATÓRIA

Dedico este trabalho aos meus pais, em especial pela dedicação e apoio incondicional.

AGRADECIMENTOS

Aos meus pais e meu irmão por terem sempre me apoiado durante estes cinco anos. Sem o apoio da família jamais poderia ter desenvolvido este trabalho.

Aos colegas pelo seu auxílio nos projetos desenvolvidos durante o curso, ao Lucas Brusamarello pelo apoio na revisão deste trabalho e ao Prof. Gilson Inácio Wirth pela confiança depositada como orientador não só deste projeto mas também de todas as atividades de pesquisa que desenvolvi ao longo do curso.

Ao Brasil e à Universidade e seus professores que souberam motivar e auxiliar seus alunos na busca do conhecimento.

RESUMO

Este trabalho tem por objetivo analisar o impacto causado no atraso de propagação de portas lógicas e a probabilidade de falhas em células de memória estáticas de acesso aleatório (SRAM) devido a Negative Bias Temperature Instability (NBTI) e ao Randon Telegraph signal (RTS). As análises são baseadas nos resultados de simulações elétricas que se utilizam de modelos teóricos dos efeitos, também apresentados neste trabalho. Ao final do trabalho é feita uma comparação entre o impacto destes dois efeitos nos dois tipos de circuitos simulados.

Palavras-chaves: NBTI. RTS. SRAM. Microeletrônica.

ABSTRACT

This project aims to analyze the impact of Negative Bias Temperature Instability (NBTI) and Random Telegraph Signal (RTS) on propagation delay of logic gates and on failure probability of static random access memory (SRAM). The analysis is based on electrical simulations, which employs theoretical models for these effects, which are also presented on this project. In the end of the manuscript is presented a comparison between the impact of the effects in both of the circuit types analyzed in the project.

Keywords: NBTI. RTS. SRAM. Microelectronics.

SUMÁRIO

1	INTRODUÇÃO	12
2	REVISÃO BIBLIOGRÁFICA	17
2.1	RTS	17
2.1.1	Modelo	18
2.2	NBTI	19
2.3	SRAM	25
2.4	Standard Cells.....	27
3	CONSIDERAÇÕES SOBRE AS SIMULAÇÕES.....	29
4	RESULTADOS	32
5	CONCLUSÃO.....	42
6	REFERÊNCIAS	43

LISTA DE ILUSTRAÇÕES

Figura 1 A tabela mostra o aumento exponencial do número de transistores por microprocessador por ano.....	13
Figura 2 Esquemático de uma célula de memória SRAM com seis transistores.	15
Figura 3 RTS - Corrente de dreno em função do tempo.	17
Figura 4 Número de papers sobre NBTI em função do tempo.....	20
Figura 5 Etapas de estresse e recuperação em um transistor PMOS devido a NBTI.....	21
Figura 6 Gráfico da corrente I_{cp} (Charge Pumping Current) e da degradação da tensão de limiar em função do tempo devido ao NBTI mostrando que ambos ocorrem na mesma taxa.	22
Figura 7 Etapas de estresse e recuperação em um transistor PMOS devido a NBTI.....	24
Figura 8 Etapas SRAM dividida em dois sub blocos e margem de ruído de leitura.....	27
Figura 9 Etapas Efeito do NBTI sobre as distribuições de probabilidades do atraso de um inversor de tecnologia de 32nm após diferentes anos de uso do circuito.....	34
Figura 10 Distribuições de probabilidade do atraso em um inversor devido ao RTS.....	35
Figura 11 Comparação entre NBTI e RTS em portas lógicas.....	37
Figura 12 Distribuição de probabilidade da margem de ruído de leitura devido ao RTS para uma célula SRAM de 32nm.	39
Figura 13 Distribuição de probabilidade da margem de ruído de leitura devido ao NBTI para uma célula SRAM de 32nm após dois anos de uso.....	40

LISTA DE TABELAS

Tabela 1 Média, desvio padrão e pior caso para cada porta lógica e para cada tecnologia analisadas.....	33
Tabela 2 Resumo dos resultados obtidos para as células SRAM.....	41

LISTA DE ABREVIATURAS

ASIC: application-specific integrated circuit

CAD: Computer Aided Design

CMOS: Complementar Metal Oxide Silicon

CPLD: Complex Programmable Logic Device

FPGA: Field Programmable Gate Array

HCI: Hot Carrier Injection

LER: Line Edge Roughness

MOS: Metal Oxide Silicon

NBTI: Negative Bias Temperature Instability

NIST: National Institute for Standards and Technology

NMOS: Negative Metal Oxide Silicon

PMOS: Positive Metal Oxide Silicon

PTM: Predictive Technology Model

RDF: Random Dopant Flutuation

RTS: Random Telegraph Signal

RNM: Read Noise Margin

SPICE: Simulated Program with Integrated Circuits Emphasis

SRAM: Static Random Access Memory

1 INTRODUÇÃO

A eletrônica é uma das tecnologias que mais evoluiu nas últimas décadas carregando consigo outras tantas tecnologias. A grande evolução de eletrônica se deve primeiro a invenção dos dispositivos de semicondutores nos Laboratórios da Bell Telephone em dezembro de 1947, e então ao fato de consegui-los produzir de forma planar, feito obtido pela Fairchild em 1961, possibilitando a criação de uma placa de circuito integrado. Com o passar dos anos, novas técnicas de produção permitiram a integralização de vários destes dispositivos na mesma placa, assim sendo possível integrar um circuito completo dentro de uma lamina de material semicondutor. Com estes novos dispositivos semicondutores, os transistores, viu-se rapidamente uma aplicação destes para eletrônica digital. Surgiram então os primeiros circuitos seqüenciais os quais evoluíram até surgirem os primeiros microprocessadores. Houve então um aumento muito grande do interesse da indústria no desenvolvimento desta área. O interesse da indústria trouxe investimentos para a pesquisa de novas técnicas de produção permitindo uma integração cada vez maior e microprocessadores mais rápidos e eficientes. Estes novos microprocessadores, por sua vez, trouxeram ferramentas de auxílio a projeto (ferramentas de CAD) aumentando assim a capacidade dos projetistas. A complexidade dos circuitos eletrônicos, então, ficou cada vez maior aumentando-se o número de transistores por projeto de maneira exponencial, como podemos ver na figura 1.

Microprocessor	Year of Introduction	Transistors
4004	1971	2,300
8008	1972	2,500
8080	1974	4,500
8086	1978	29,000
Intel286	1982	134,000
Intel386™ processor	1985	275,000
Intel486™ processor	1989	1,200,000
Intel® Pentium® processor	1993	3,100,000
Intel® Pentium® II processor	1997	7,500,000
Intel® Pentium® III processor	1999	9,500,000
Intel® Pentium® 4 processor	2000	42,000,000
Intel® Itanium® processor	2001	25,000,000
Intel® Itanium® 2 processor	2003	220,000,000
Intel® Itanium® 2 processor (9MB cache)	2004	592,000,000

Figura 1 A tabela mostra o aumento exponencial do número de transistores por microprocessador por ano.

[Figura obtida em <http://www.intel.com>]

Essa redução no tamanho dos transistores vem acompanhada de muitas vantagens como de um aumento de velocidade de operação destes devido a redução do tamanho do comprimento do canal, no caso de transistores do tipo MOS, e como a redução no custo de cada transistor, uma consequência direta da redução da área ocupada no silício. No entanto, essa redução no tamanho dos transistores também faz com que efeitos que até agora podiam ser desprezados na etapa de projeto de circuitos agora tenham seus impactos ampliados chegando a causar falhas no bom funcionamento do circuito. Dentre estes efeitos estão os causados pelos fenômenos de degradação temporal como NBTI, HCI, e etc, assim como ruídos independentes do tempo como o RTS, RDF, LER e etc. Com a tendência de que o tamanho dos transistores continue diminuindo, estes fenômenos que hoje já causam problemas aos projetistas tendem a ter sua importância aumentada.

Outra grande questão envolvida é o fato de que estes efeitos têm componentes estatísticas, o que causa problemas em relação à confiabilidade dos circuitos. O fato de estes

efeitos causarem alterações aleatórias em parâmetros físicos dos transistores faz com que os projetos que utilizam estes dispositivos tenham que projetar sistemas confiáveis apesar dos problemas intrínsecos aos dispositivos. O fato de as componentes aleatórias dos transistores e logo dos circuitos estarem ficando mais significativos implica a necessidade dos parâmetros de caracterização serem modelados como variáveis aleatórias para um melhor projeto do circuito.

O fato de termos componentes aleatórias nos parâmetros de caracterização dos circuitos implica em diminuição de confiabilidade. A confiabilidade, no entanto, é de suma importância para a fabricação em larga escala de produtos comerciais. O mercado exige produtos confiáveis e para manter a confiabilidade dos produtos as ferramentas de CAD atuais utilizam uma análise de worst corner. O problema é que com o aumento das variáveis aleatórias que afetam o funcionamento do circuito aumentando o número de corners a serem considerados, assim como um aumento da variabilidade. Isso cria uma condição tão pessimista que se põe em questão se ainda é rentável o desenvolvimento de novas tecnologias. Porém algumas destas condições são muito difíceis de ocorrer, fazendo com que a análise de worst corner seja uma condição demasiadamente pessimista com baixa probabilidade de acontecer. Portanto, para lidar com este tipo de problema há um interesse crescente da indústria em técnicas de análise estatísticas.

Este trabalho tem por objetivo analisar o impacto de dois destes efeitos em circuitos digitais, o NBTI e RTS. NBTI é o fenômeno de degradação de maior impacto em circuitos feitos com tecnologia CMOS, e já vem sendo assunto de pesquisas devido ao seu impacto no desempenho dos circuitos digitais há muitos anos. RTS é um efeito que começou a causar problemas recentemente em memórias flash e SRAM e com isso está se tornando assunto de pesquisa em todo o mundo.

O impacto destes efeitos serão avaliados em portas lógicas produzidas com tecnologia CMOS e em células SRAM de seis transistores como podemos ver na figura 2. As portas lógicas foram escolhidas pelo fato de estas serem os principais componentes utilizados na parte operativa de um sistema digital e, portanto, serem elas juntamente com as interconexões as grandes responsáveis pelo atraso desta parte. A análise dos efeitos neste tipo de célula também será utilizada para a validação dos modelos utilizados para a análise de ambos os efeitos.

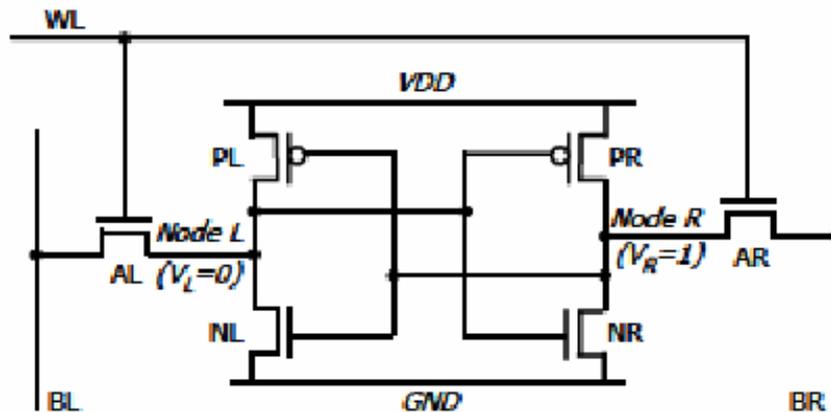


Figura 2 Esquemático de uma célula de memória SRAM com seis transistores.

[Figura obtida em (AGARWAL, 2006)]

A densidade é uma das medidas mais importantes em memórias, SRAMs são projetadas com o tamanho mínimo permitido pela tecnologia, o que aumenta o impacto dos tipos de efeitos a serem analisados neste tipo de célula. Outro fator importante a respeito de SRAMs é que elas são projetadas para não trocar de estado durante a leitura e apesar disso ser rápida durante o processo de escrita. Estas especificações conflitantes são satisfeitas através de um balanço nas correntes dos transistores. Porém as alterações de parâmetros destes transistores causadas pelos efeitos podem gerar falhas na célula.

Existem três tipos de falhas em SRAMs: a falha de estabilidade de leitura, a falha de escrita e as falhas de acesso de leitura. As primeiras são definidas como as alterações no valor da memória causadas pelas alterações nas correntes dos transistores originadas variações de

seus parâmetros. As segundas ocorrem quando uma célula SRAM falha durante a operação de escrita, essa falha acontece quando o tempo necessário para gravar na memória é maior que o tempo que wordline fica em estado de escrita. As terceiras são falhas temporais que acontecem se o tempo necessário para acessar o valor armazenado na célula deve ser maior do que o tempo que a wordline fica em estado de leitura. Ocorrem quando o tempo que o sense amplifier demora pra perceber o resultado da leitura é superior ao da wordline (AGARWAL, 2006).

Neste trabalho primeiramente será feita uma revisão bibliográfica dos dois efeitos analisados. Em seguida será explicado o funcionamento os circuitos que serão utilizados nas análises. No capítulo 3 serão descritos os parâmetros utilizados nas simulações de ambos os efeitos. No capítulo 4 serão mostrados e analisados os resultados obtidos com as simulações e finalmente no capítulo 5 será apresentada a conclusão do trabalho.

2 REVISÃO BIBLIOGRÁFICA

2.1 RTS

O Random telegraph signal (RTS) pode ser descrito como uma oscilação de período aleatório entre dois níveis na corrente de dreno de um MOSFET quando este se encontra saturado como podemos ver na Figura 3. Até a poucos meses atrás havia um consenso na academia de que quando um elétron passava através do canal de um transistor ele podia temporariamente ficar preso no isolante que se encontra acima do canal. Isso aconteceria devido a um fenômeno quântico chamado de tunelamento, que permite que elétrons pulem através do isolante como se este não estivesse lá. De acordo com a teoria, elétrons aleatoriamente tunelariam para dentro de falhas no isolante e de volta para o canal. Este movimento aleatório de saída e volta ao canal era dado como a causa do ruído.

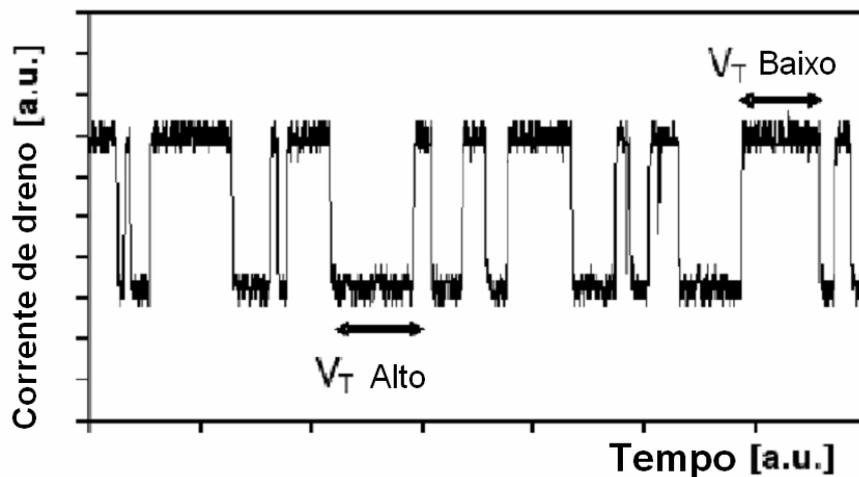


Figura 3 RTS - Corrente de dreno em função do tempo.

[Figura adaptada de (BRUSAMARELLO, 2009)]

No entanto, a duração do processo de tunelamento está relacionada com a espessura do material isolante uma vez que a probabilidade de ocorrer um tunelamento esta relacionada com a espessura do óxido, e décadas atrás, quando a teoria foi formulada, essa espessura, que hoje é da ordem de nanômetros, era de micrômetros. Em um experimento

realizado por Jason Campbell, filiado ao NIST, onde foi medido este efeito em transistores cuja espessura do oxido de silício (o isolante) era de 1,4nm, se esperava medir um período de oscilação, ainda que aleatório, na faixa de nanosegundos, ao invés dos milissegundos que eram medidos quando a espessura do óxido era de micrômetros. Foram medidos, porém, os mesmos milissegundos de antigamente derrubando a teoria (IEEE SPECTRUM).

Atualmente há um grande esforço da academia e da indústria na busca por explicações convincentes para este efeito que já vem causando falhas na produção de memórias do tipo flash e SRAM pois sem uma teoria científica explicando o efeito é apenas possível de modelá-lo para as tecnologias já existentes onde já se tem dados empíricos disponíveis sem a possibilidade de fazer-se previsões confiáveis a respeito do impacto deste efeito nas próximas tecnologias.

Neste trabalho, porém, não é considerado o tempo médio de oscilação do RTS, mas sim a probabilidade do elétron estar nas falhas no isolante ou no canal.

2.1.1 MODELO

Segundo a equação da corrente de saturação de um transistor MOS, que diz que o módulo da corrente de dreno é a menos a transcondutância vezes a tensão de limiar, podemos facilmente modelar uma variação nesta corrente como uma variação da tensão de limiar. Este modelo pode ser simulado com a simples alteração deste parâmetro. Segundo (BRUSAMARELLO, 2009) pode modelar então a variação da tensão de limiar como segue:

$$\Delta V_t(t) = \sum_{i=0}^{Ntr} \begin{cases} \delta v_{t_i} & \text{if } \sigma_i(t) = 1 \\ 0 & \text{if } \sigma_i(t) = 0 \end{cases} \quad (1)$$

onde temos a variação da tensão de limiar instantânea definida como:

$$\delta v_{t_i} = \left(e^{\left(k_e \cdot \frac{x l_i}{L_{eff}} \right) + c_e} \right) \cdot \frac{q}{W_{eff} \cdot L_{eff} \cdot C_{ox}} \cdot \left(1 - \frac{x t_i}{t_{ox}} \right) \quad (2)$$

sendo que as probabilidades do elétron se encontrar em um trap ou não é dada pela equação:

$$\Pr(\sigma_i(t) = 0) = \frac{\tau_e}{\tau_e + \tau_c} \quad (3)$$

$$\Pr(\sigma_i(t) = 1) = \frac{\tau_c}{\tau_c + \tau_e} \quad (4)$$

Onde $\Pr(\sigma_i(t) = 0)$ é a probabilidade de a falha não estar ocupada, enquanto $\Pr(\sigma_i(t) = 1)$ é o seu complementar, ou seja, a probabilidade de a falha estar ocupada.

2.2 NBTI

O NBTI é um fenômeno que tem se tornado dominante em circuitos baseados em tecnologia CMOS fazendo com que ele se torne, além de uma séria questão no que se diz respeito a confiabilidade, dos principais fatores limitantes do desempenho de um circuito. Devido a isso, este efeito tem ganhado cada vez mais atenção por parte tanto da academia quanto da indústria, como se pode ver na figura 4. Apesar de todos estes esforços ainda existem indefinições quanto a sua explicação física e a busca por melhores modelos e de técnicas para mitigar seu efeito sobre os circuitos. Neste capítulo será primeiramente falado sobre os motivos físicos da causa do NBTI e seu impacto nos transistores, após isso será discutido o modelo utilizado neste trabalho e uma breve discussão sobre o futuro do NBTI.

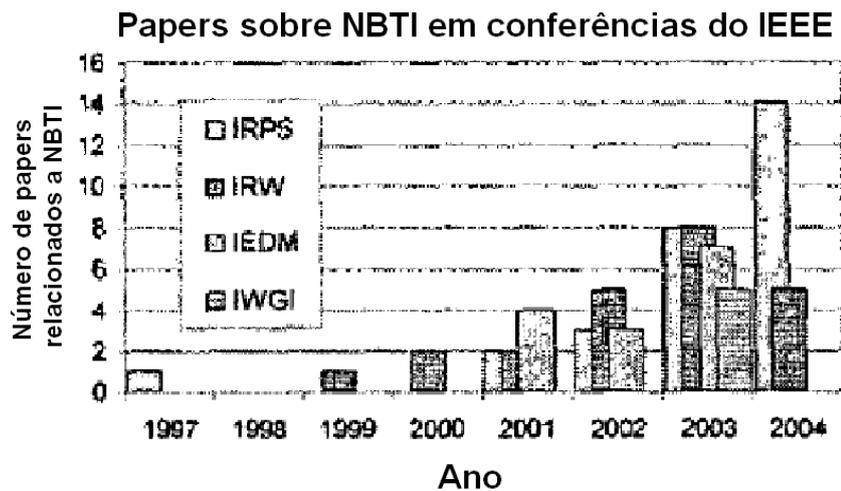


Figura 4 Número de papers sobre NBTI em função do tempo.

[From Conference Proceedings on IEEE Xplore]

O NBTI foi primeiramente reportado em 1967 por Deal e é um fenômeno conhecido por aumentar da tensão de limiar em transistores do tipo PMOS, no entanto este efeito pode ser dividido em duas partes principais, a de estresse que ocorre quando o transistor está com uma tensão negativa entre o gate e o substrato e a de recuperação que ocorre quando este está diretamente polarizado. Durante a fase de estresse há um aumento de forma logarítmica da tensão de limiar em função do tempo, já durante a fase de recuperação, o que acontece é uma redução desta tensão de limiar, mas sem nunca chegar ao valor que se tinha antes do período de estresse. Juntando então estes dois estados, vemos que em um longo período de tempo uma tendência de aumento também logarítmico da tensão de limiar como uma função do duty cycle do sinal que polariza o transistor (MASSEY, 2004).

O principal efeito causado pelo NBTI é o aumento da tensão de limiar em transistores do tipo PMOS. Apesar de também afetar os transistores NMOS durante a fase de estresse, o impacto causado nestes transistores não é notado pois quando estes estão em circuito feito com tecnologia CMOS nunca ocorrerá a fase de estresse (quando há uma tensão

negativa entre o gate e o substrato do transistor) em um transistor NMOS pois estará ligado ao seu substrato a tensão mais baixa presente no circuito.

O que causa este aumento na tensão de limiar é tido como a geração de estados na interface entre o óxido de silício e o silício assim como a geração de cargas positivas que acabam por ficar fixas no óxido. Durante o período de estresse, o aumento da tensão de limiar e o aumento da quantidade de estados da interface ocorrem na mesma taxa. Durante o processo de recuperação, porém, o que ocorre é uma redução no número de cargas positivas presas no óxido de silício, mas esta redução ocorre numa taxa significativamente menor do que a geração durante o estresse. Isso está ilustrado na figura 5. Além do mais, medidas de carga realizadas por (SCHLUNDER, 1999) mostram que estados de interface são gerados na mesma taxa que a tensão de limiar é alterada como mostrado na figura 6. Isso mostra que o NBTI gera tanto cargas no óxido quanto estados na interface.

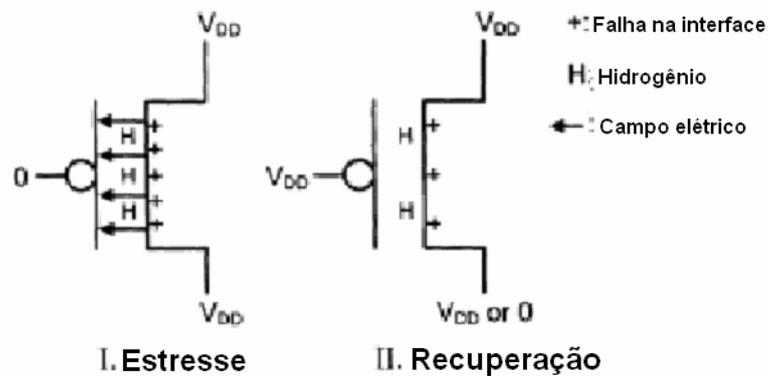


Figura 5 Etapas de estresse e recuperação em um transistor PMOS devido a NBTI.

[Figura adaptada de (VARRIKONDA, 2006)]

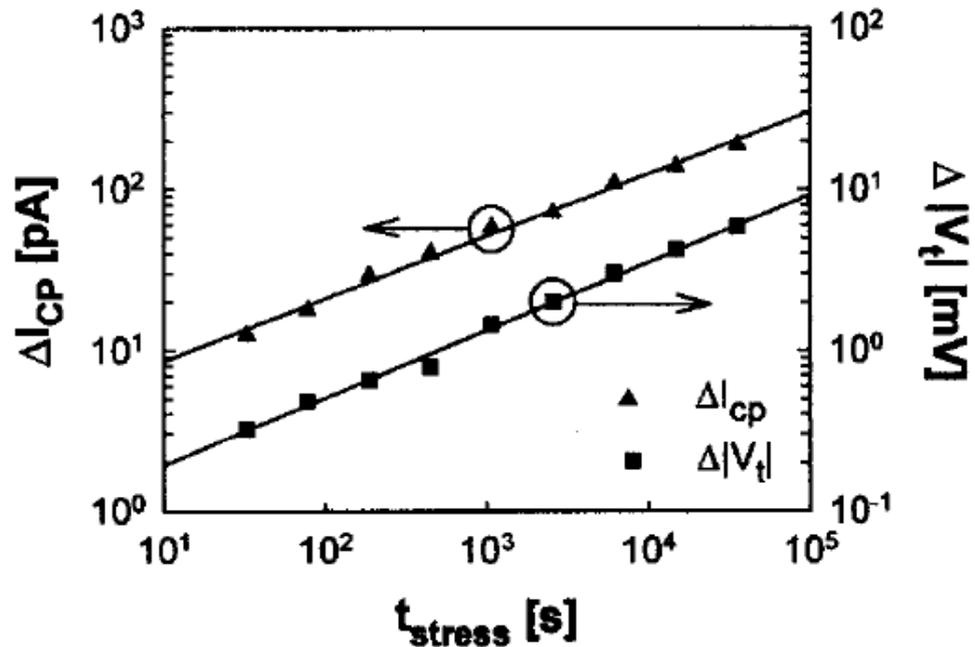


Figura 6 Gráfico da corrente I_{cp} (Charge Pumping Current) e da degradação da tensão de limiar em função do tempo devido ao NBTI mostrando que ambos ocorrem na mesma taxa.

[Figura adaptada de (SCHLUNDER, 1999)]

Segundo a física de semicondutores a tensão de limiar de um transistor do tipo MOSFET é proporcional ao número de cargas sobre a capacitância do óxido do gate. As cargas do transistor podem ser descritas como as cargas positivas que estão no óxido e as cargas que estão ocupando os estados da interface. Quando o NBTI altera esta quantidade de cargas conseqüentemente altera a tensão de limiar e conseqüentemente outros parâmetros do transistor como a corrente de dreno e a sua transcondutância.

Ainda, no entanto, não foi explicado porque e como surgem estas cargas e estes novos estados na interface. O mecanismo causador destas cargas e estados na interface, no entanto, não são ainda completamente conhecidos. A explicação mais aceita na atualidade é a apresentada por (OGAWA, 1995). O modelo dele propõe que o NBTI ocorre devido a quebra de ligações Si-H nas proximidades da interface Si-SiO₂. Essa quebra gera cargas íons positivos de H⁺ que se difundem no óxido de silício criando as cargas positivas.

O fato de o NBTI gerar falhas na estrutura cristalina da interface Si-SiO₂ faz com que estes dois fenômenos se relacionem. O aumento no número destas falhas devido ao NBTI aumenta o efeito causado pelo RTS ao longo do tempo. Esta relação entre ambos os fenômenos não será tratada neste trabalho que visa analisar os fenômenos de forma independente.

Assim como o RTS, o NBTI tem uma componente aleatória em relação ao seu efeito de geração de cargas no óxido e de estados na interface. Esta componente aleatória existe pois o efeito é dependente das características do material e das condições do ambiente em que ele se encontra que são características que variam de transistor para transistor mesmo dentro do mesmo wafer. Outra característica que faz com que o NBTI tenha uma componente aleatória significativa é o fato de ele ser dividido na etapa de estresse e de recuperação. Isso implica que a degradação devido ao NBTI é dependente do histórico de operação do circuito fazendo com que diferentes circuitos degradem de forma diferente. Com isso temos que não somente a tensão de limiar aumenta com o tempo devido ao NBTI como também sua variabilidade aumenta com o tempo a qual por ser inversamente proporcional a área está se tornando cada vez mais relevante como podemos ver na figura 7.

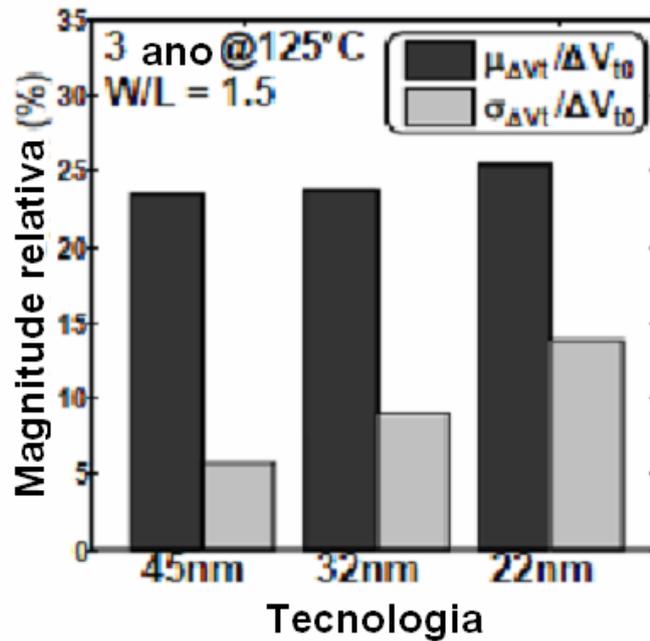


Figura 7 Etapas de estresse e recuperação em um transistor PMOS devido a NBTI.

[Figura adaptada de (VARRIKONDA, 2006)]

Como mencionado anteriormente, devido ao aumento de falhas na interface e de cargas positivas presas no isolante, há um aumento da tensão de limiar. Segundo (VARRIKONDA, 2006) e (KANG, 2006) este aumento é dado pelas seguintes equações:

$$\mu_{\Delta V_t}(t) = \frac{q \times N_{IT}}{C_{ox}} \quad (5)$$

$$N_{IT}(t) = (K^2 \times t^{\frac{1}{2}} + c^{\frac{1}{2n}})^{2n} \quad (6)$$

Onde $N_{IT}(t)$ é a densidade de falhas na interface, C_{ox} é a capacitância do óxido, n é uma constante física relativa a difusão do Hidrogênio, neste trabalho foi utilizado $n=1/6$ de acordo com (MAHAPATRA, 2007), e o K é dado pela equação:

$$K \approx \sqrt{C_{ox}(V_{gs} - V_t)} \times e^{\frac{\epsilon_{ox}}{\epsilon_0}} \times e^{-\frac{\epsilon_0}{kT}} \quad (7)$$

O modelo até agora definido independe das componentes estatísticas envolvidas no fenômeno. O número de quebra de ligações Si-H no canal é uma variável aleatória e pode ser modelada como:

$$\sigma_{V_{tNBTI}}^2(t) = \sigma_{NIT}^2 \left(\frac{q}{C_{ox}} \right)^2 = \frac{q \times T_{ox} \times \mu_{\Delta V_t}(t)}{\epsilon_{ox} \times A_G} \quad (8)$$

2.3 SRAM

As células de memória SRAM estão entre as células mais utilizadas no mercado. Apesar de mais caras que as memórias dinâmicas, esse tipo de memória é muito mais rápido e mais eficiente em termos de consumo. Este tipo de memória tem grandes aplicações como em memórias cache de microprocessadores, memórias em ASICS e memórias em FPGAs e CPLDs.

Uma memória SRAM de seis transistores tem um esquemático como mostrado na figura 2., nela podemos ver que o que mantém a informação estável é a ligação de dois inversores em antiparalelo. Esta formação permite que a informação de 1 bit seja mantida gravada quando os transistores AL e AR estão cortados. Para ter acesso a esta memória, a fim de acessar o dado presente ou de gravar um novo dado, existem os transistores AL e AR os quais estão ligados a BL e BR e a WL. Com isso a célula possui três modos de operação, sendo eles o de standby, o de leitura e o de escrita.

Para escrever um dado em uma memória SRAM deve-se aplicar o valor que se deseja gravar em BL e o valor negado em BR. Uma vez carregadas as bitlines deve-se então aplicar um '1' a WL. Com isso, por ter uma capacitância maior e logo muito mais cargas armazenadas, a bitline vai forçar o seu estado nos inversores.

Para ler um dado numa memória SRAM, deve-se pré-carregar tanto BL quanto BR para o valor lógico '1' e então aplicar '1' em WL. Com isso um dos inversores (o que estava

com o valor lógico '1' na entrada) permanecerá neste estado pois o valor de uma bitline estará forçando-o a isso, enquanto isso este descarregará a outra bitline através de seu transistor NMOS. No entanto isso levaria muito tempo pois a capacidade de corrente dos transistores das memórias é muito pequena pois suas áreas são pequenas para economizar espaço. Para resolver esta questão, tem-se sense amplifiers ligados a suas bitlines que detectam quando uma está sendo descarregada e com isso sabe-se que a que esta sendo descarregada é a que estava ligada ao ponto onde o valor era o lógico '0'.

O modo standby ocorre quando não se tem interesse nem em escrever nem em ler na memória. Com isso a tensão na wordline é igual a '0' e os dois inversores ligados em antiparalelo apenas se mantêm nos estados em que se encontram enquanto a alimentação continuar.

Neste trabalho serão analisados as falhas de violação de tempo de escrita, de leitura e de falha de estabilidade de leitura. As falhas causadas por violação de tempo são simplesmente verificadas por uma simulação elétrica e para verificar o tempo levado para se efetuar a operação e o tempo presente na especificação. Já as falhas causadas pela falta de estabilidade de leitura são medidas através de simulações elétricas e cálculos dados por (AGARWAL, 2006). Para realizar estas medidas dividimos o circuito em suas duas metades, com cada metade incluindo um dos inversores e um dos transistores de passagem, PR-NR-AR e PL-NL-AL de acordo com a figura 2. Definimos as funções de transferência destes módulos como f e g respectivamente e então de acordo com (AGARWAL, 2006), obtemos:

$$LoopGain(V_L) = \left. \frac{\partial f^R}{\partial V_L} \cdot \frac{\partial g^R}{\partial V_R} \right|_{V_R = f^R(V_L)} \quad (9)$$

O valor de VL que faz com que o laço tenha um ganho unitário é utilizado para resolver a seguinte função:

$$RNM = V_{L(flip)}^{Rd} - g^{Rd} (f^{Rd} (V_{L(flip)}^{Rd})) \quad (10)$$

O valor obtido é a margem de ruído de leitura que quando maior do que zero significa que a operação de leitura será estável, sem a alteração do estado em que a memória se encontra, caso o valor seja negativo, isso significa que há uma falha. O conceito da margem de ruído de leitura pode ser mais bem ilustrado na figura 8.

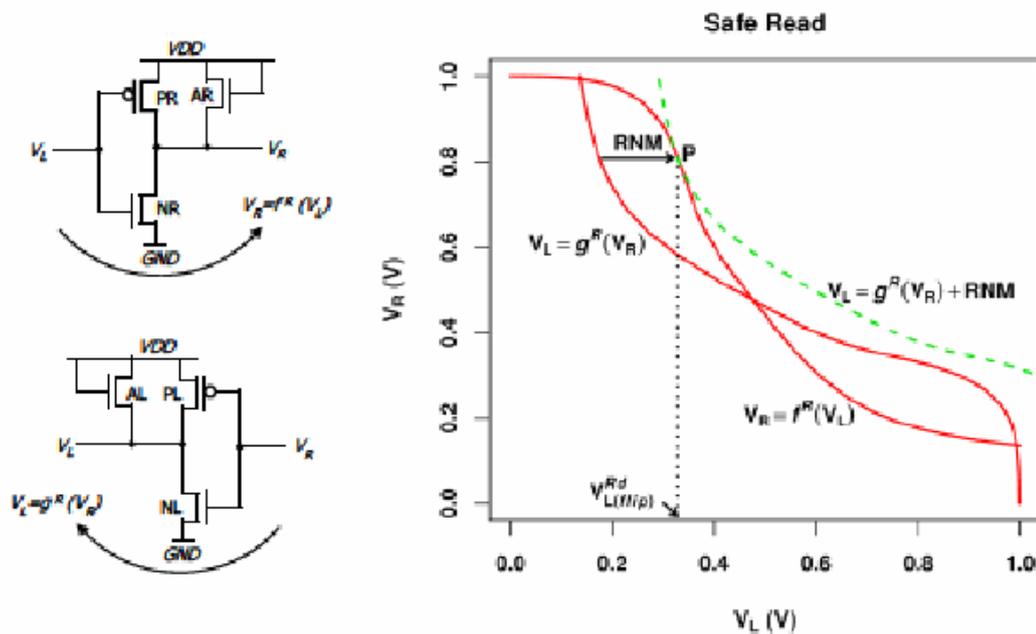


Figura 8 Etapas SRAM dividida em dois sub blocos e margem de ruído de leitura.

[Figura obtida em (AGARWAL, 2006)]

2.4 STANDARD CELLS

A metodologia de projeto através de células padrão é amplamente utilizada em projetos de ASICs (Application Specific Integrated Circuits). Esta técnica tem seu sucesso devido a apresentar grandes vantagens no que se diz respeito ao fluxo de projeto quando comparado a metodologias do tipo full custom. Dentre estas vantagens destacam-se o grande aumento da produtividade, a redução dos custos do projeto e a possibilidade de reuso de IP's.

A metodologia de células padrão é uma metodologia de projeto baseada em células onde células. Esta metodologia tem este nome devido ao fato de que as células que

formam sua biblioteca terem um leiaute com uma das dimensões padronizadas permitindo assim que estas sejam postas ao lado da outra sem perda de área. Isso facilita a geração de ferramentas de CAD e de automação de projeto.

As bibliotecas de células padrão são formadas por centenas de tipo diferentes de células, dentre estas células estão presentes inúmeras células básicas como inversores, NAND`s, NOR`s, flip flops feitas especificamente para diferentes faixas de fan in e de fan out assim como também estão presentes funções mais complexas como multiplexadores, portas complexas, contadores, somadores, codificadores e decodificadores.

Nesta metodologia de projeto, portanto, é de suma importância conhecer as células que são utilizadas no projeto. Dentre as características mais importantes de uma célula estão as características de tempo e de potência, pois são estas as duas principais especificações e limitantes nos projetos. Uma vez que este trabalho tem como foco os efeitos de RTS e NBTI que podem ser modelados como apenas uma variação na tensão de limiar, o foco será mantido sempre na questão do tempo.

O atraso relativo a uma célula padrão é definido como o tempo em que uma transição de nível lógico na entrada demora para se propagar para a saída. Mais especificamente, é a diferença entre o tempo em que o sinal de saída está com 50% de seu valor e o tempo em que o sinal de entrada está com 50% de seu valor.

Neste trabalho será feita a análise dos efeitos causados pelo NBTI e pelo RTS em três células padrão, um inversor, uma NAND2 e uma NOR2, todas elas com um fan-out igual a 2. Esta escolha foi feita por se tratarem de três das mais usadas células de bibliotecas de células.

3 CONSIDERAÇÕES SOBRE AS SIMULAÇÕES

Todas as simulações foram feitas utilizando o modelo PTM (CAO, 2000), (ZHAO, 2006), (BALIJEPALLI, 2007) de 65nm ou de 32nm considerando uma temperatura de cento e vinte e cinco graus Celsius, pois as constantes do modelo de NBTI foram obtidos para esta temperatura em (VARRIKONDA, 2006). As simulações dos efeitos NBTI e RTS, por estes terem componentes aleatórias, serão feitas através de simulações pelo método de Monte Carlo onde são sorteados valores para a variável aleatória definida de acordo com a distribuição de probabilidade definida. São então rodadas milhares de simulações e com isso obtém-se um histograma da medida. Pelo fato de as simulações necessárias para este trabalho serem elétricas estas simulações serão feitas através de uma ferramenta de simulação elétrica.

Para todas as simulações a ferramenta Spice utilizada será o Hspice da Synopsys (Synopsys Inc., 2005) que foi escolhido dentre outras ferramentas de Spice por sua confiabilidade e por sua velocidade superior as das outras ferramentas. Estes dois parâmetros de comparação foram escolhidos pela clara necessidade de confiabilidade do resultados obtidos e a velocidade pois como os efeitos a serem simulações são estatísticos e a técnica de análise é baseada em simulações Monte Carlo, velocidade é imprescindível. HSPICE é aceito pela academia e indústria como ferramenta padrão para simulações elétricas.

As simulações Monte Carlo as quais esta ferramenta dá suporte se restringem a distribuições de probabilidade do tipo uniforme, gaussiana e exponencial. Isso é suficiente para as simulações de NBTI, que utilizam distribuições do tipo gaussiana. No entanto para o caso do RTS, onde a variação da tensão de limiar é modelada por uma distribuição de Poisson, é necessário um pré-processamento dos dados antes da simulação elétrica. Um conjunto de scripts foram desenvolvidos em R (R-Project, 2009) para, a partir dos parâmetros de tecnologia, gerar uma tabela contendo as variações em V_t causadas por RTS. Esta tabela é passada como um arquivo de entrada ao HSPICE que a utiliza através do comando .DATA

em seu modo SWEEP (Synopsys Inc., 2005). R é um CAS semelhante ao Matlab, mas foi escolhido por tratar-se de um software livre e gratuito.

Nas simulações, a fim de medir o impacto de NBTI e RTS no atraso de portas lógicas, o dimensionamento foi feito para que o atraso de subida fosse igual ao de descida, desconsiderando qualquer efeito. O slope de entrada é de 0,9ns/Volt e é o mesmo para todas as simulações, a fim de obter-se uma comparação justa. O fanout é igual a 2 também para todas as simulações. No caso das células SRAM foram rodadas simulações a fim de medir a margem de ruído de leitura e o tempo de escrita, estas foram baseadas em (AGARWAL, 2006). O dimensionamento da SRAM utilizada foi obtido de acordo com (OHBAYASHI, 2006) para a tecnologia de 65nm. Para a tecnologia de 32nm o que se fez foi reduzir a largura dos transistores proporcionalmente a redução no comprimento do canal.

O modelo de NBTI utilizado nas simulações foi validado repetindo-se os resultados obtidos por (KANG, 2006) para a tecnologia de 32nm. Obteve-se a variação da tensão de limiar em função do tempo alterando os parâmetros presentes na equação (a tensão de limiar, a tensão entre o gate e a fonte, a espessura do óxido e as dimensões do transistor). Foi considerado a mesma permissividade do óxido para ambas as tecnologias assim como o mesmo 'n'. Foi desprezado o efeito da constante 'c'. Em todas as simulações foi utilizado o modelo de NBTI que prevê um duty cycle no transistor PMOS de 0,5; inclusive no caso das simulações em SRAM. Com isso os resultados obtidos do efeito do NBTI para células SRAM está supondo o uso deste método de se alternar o uso da memória que visa mitigar o efeito do mesmo.

No caso do modelo para o RTS, este foi validado repetindo-se os resultados obtidos por (BRUSAMARELLO, 2009) para a tecnologia de 65nm. Para a tecnologia de 32nm foi recalculada a distribuição de probabilidades da variação na tensão de limiar apenas alterando-se as dimensões dos transistores de acordo com o modelo teórico anteriormente

apresentado. O número de falhas na rede cristalina do silício utilizadas nas simulações deste efeito foi escolhido através das medidas obtidas por (WIRTH, 2005). Por ser proporcional a área do dispositivo, o número de falhas foi obtido a partir de medidas realizadas para transistores de tecnologia de 130nm diminuindo o número de falhas na mesma proporção em que a área do dispositivo foi reduzida e então este valor foi arredondado para o inteiro mais próximo.

Para avaliar o impacto de ambos os efeitos em portas lógicas foram feitas simulações em um inversor, em uma NAND e em uma NOR por serem as três portas lógicas básicas mais usadas em projetos feitos pelo método de células padrão. Estas células foram então feitas em duas tecnologias diferentes para poder-se comparar o impacto dos efeitos em ambas e então se poder estimar o impacto dos efeitos nos próximos nós tecnológicos.

Para avaliar o impacto de ambos os efeitos em células SRAM foram feitas simulações que visam mensurar o número de falhas existentes durante o processo de leitura e o tempo de escrita.

4 RESULTADOS

Nesta sessão primeiramente serão analisados os impactos de cada efeito individualmente e então feita uma comparação entre os impactos para, com isso, avaliar o efeito de maior impacto hoje e estimar-se o efeito de maior impacto nos próximos nós tecnológicos.

O impacto do NBTI em portas lógicas projetadas de acordo com a tecnologia CMOS já é bastante conhecido. Como visto na revisão bibliográfica, o NBTI afeta principalmente a tensão de limiar dos transistores do tipo PMOS, fazendo com que esta aumente. Como o atraso da porta lógica é uma função monotonicamente crescente da tensão de limiar, temos um atraso durante o tempo de subida da saída da célula que aumenta, também de forma monotônica, com o tempo.

De acordo com o modelo apresentado anteriormente, vemos também que o desvio padrão da tensão de limiar é função dela mesma, e como ela aumenta com o tempo e o atraso aumenta com ela, temos também um desvio padrão do atraso que aumenta com o tempo. Isso pode ser visto na figura 9, que mostra as distribuições de probabilidades do atraso para o mesmo inversor em diferentes tempos, lembrando que nesta simulação foi considerado apenas o efeito do NBTI. Como o efeito do NBTI se mostrou similar para o caso das três portas lógicas, a distribuição de probabilidades das outras não será mostrada em figura, apenas serão mostrados seus resultados na tabela 1, contendo a média e o desvio padrão.

A tabela 1 apresenta uma comparação entre as médias dos atrasos das portas lógicas e seus desvios padrão para as tecnologias de 65nm e 32nm. Nesta tabela podemos notar um aumento da média e do desvio padrão assim gerando um aumento significativo do pior caso que, neste caso, foi calculado através da soma da média com três vezes o desvio padrão, o que para uma distribuição de probabilidades do tipo gaussiana seria o equivalente a aproximadamente uma chance em mil. O desvio padrão é igual a zero no tempo inicial pois

neste caso está sendo analisado apenas o efeito do NBTI desconsiderando outros efeitos que viriam a adicionar componentes aleatórias no atraso como RDF e o LER.

Tabela 1 Média, desvio padrão e pior caso para cada porta lógica e para cada tecnologia analisadas.

Porta Lógica		Tempo (anos de uso)	Atraso médio (s)	Desvio padrão (s)	Pior caso (s)
Inversor	32nm	0	1.58E-011	0.00E+000	1.58E-011
		1	1.96E-011	5.72E-013	2.13E-011
		2	2.00E-011	6.43E-013	2.20E-011
		3	2.04E-011	6.94E-013	2.24E-011
		5	2.08E-011	7.66E-013	2.31E-011
		10	2.14E-011	8.75E-013	2.40E-011
	65nm	0	2.05E-011	0.00E+000	2.05E-011
		1	2.34E-011	3.19E-013	2.44E-011
		2	2.39E-011	3.61E-013	2.50E-011
		3	2.42E-011	3.85E-013	2.53E-011
		5	2.46E-011	4.15E-013	2.58E-011
		10	2.51E-011	4.54E-013	2.65E-011
Nand	32nm	0	1.99E-011	0.00E+000	1.99E-011
		1	2.38E-011	5.63E-013	2.55E-011
		2	2.43E-011	6.42E-013	2.62E-011
		3	2.46E-011	6.90E-013	2.67E-011
		5	2.50E-011	7.48E-013	2.73E-011
		10	2.57E-011	8.26E-013	2.82E-011
	65nm	0	3.20E-011	0.00E+000	3.20E-011
		1	3.59E-011	3.16E-013	3.68E-011
		2	3.63E-011	3.50E-013	3.74E-011
		3	3.66E-011	3.78E-013	3.77E-011
		5	3.70E-011	4.17E-013	3.82E-011
		10	3.76E-011	4.78E-013	3.90E-011
Nor	32nm	0	2.20E-011	0.00E+000	2.20E-011
		1	2.68E-011	3.11E-013	2.77E-011
		2	2.73E-011	3.57E-013	2.84E-011
		3	2.77E-011	3.88E-013	2.89E-011
		5	2.83E-011	4.29E-013	2.95E-011
		10	2.91E-011	4.92E-013	3.05E-011
	65nm	0	3.55E-011	0.00E+000	3.55E-011
		1	3.99E-011	3.01E-013	4.08E-011
		2	4.05E-011	3.24E-013	4.15E-011
		3	4.09E-011	3.37E-013	4.19E-011
		5	4.13E-011	3.65E-013	4.24E-011
		10	4.21E-011	4.20E-013	4.33E-011

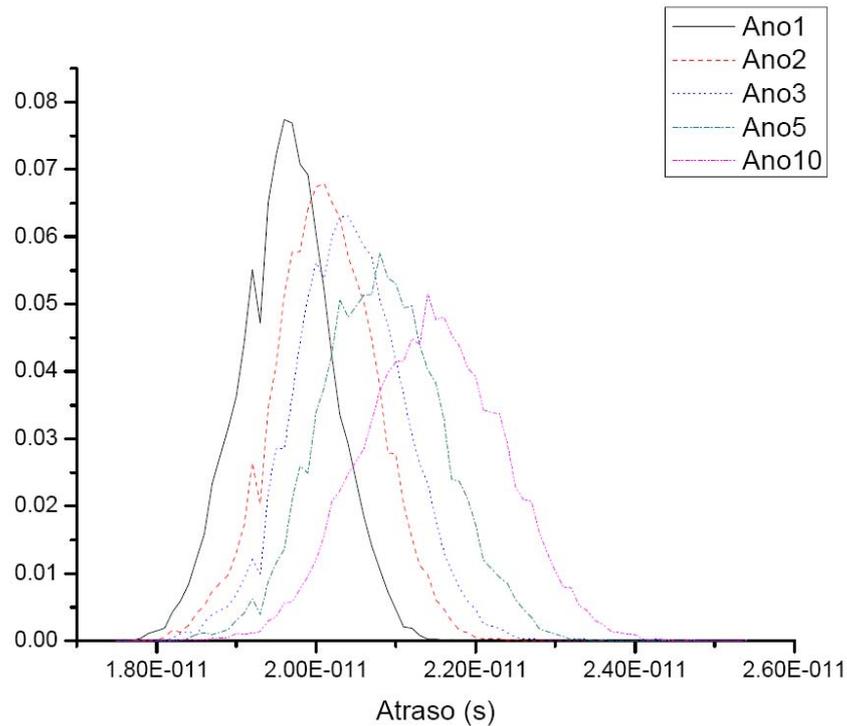


Figura 9 Etapas Efeito do NBTI sobre as distribuições de probabilidades do atraso de um inversor de tecnologia de 32nm após diferentes anos de uso do circuito.

O impacto de RTS em portas lógicas por outro lado se dá de forma muito distinta ao do NBTI. Isso se deve pelo fato de este não ser um efeito de degradação e com isso seu único impacto é a incerteza do atraso causado. No entanto sua importância se dá pelo fato de que como os projetos são feitos sem saber o valor exato de suas células é preciso adicionar um coeficiente de segurança para que o caminho crítico não viole tempos de setup ou holding. Quanto maior a incerteza no atraso das portas lógicas maior este coeficiente piorando assim o desempenho ou aumentando o custo do circuito. Ao contrário do NBTI, o RTS ocorre tanto em transistores do tipo PMOS quanto em transistores do tipo NMOS e com isso afeta tanto os atrasos de subida quanto os de descida das células. Vemos na Figura 10 as distribuições de probabilidades do pior atraso de um inversor projetado em tecnologias de 65nm e 32nm.

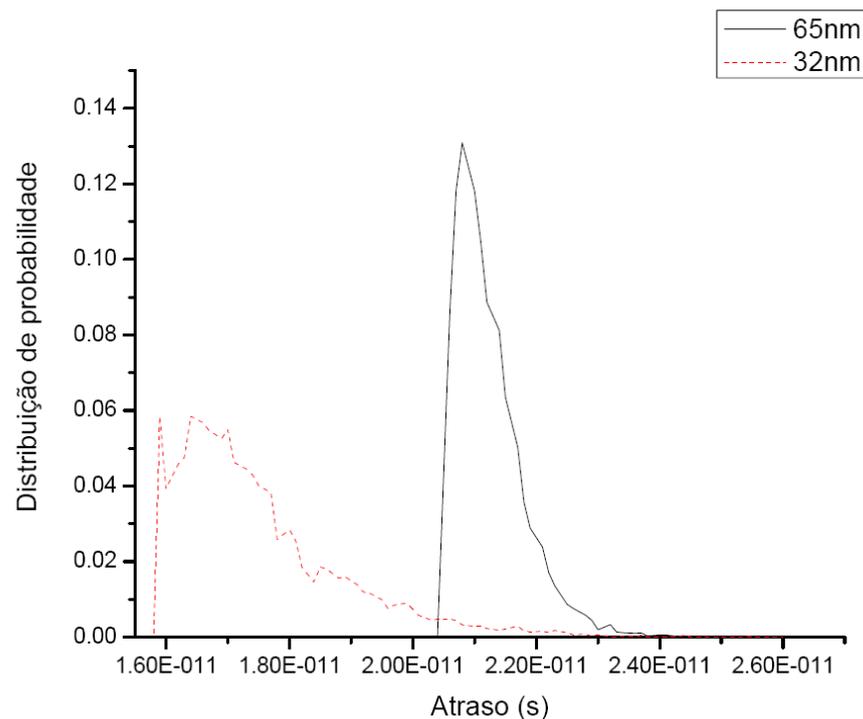


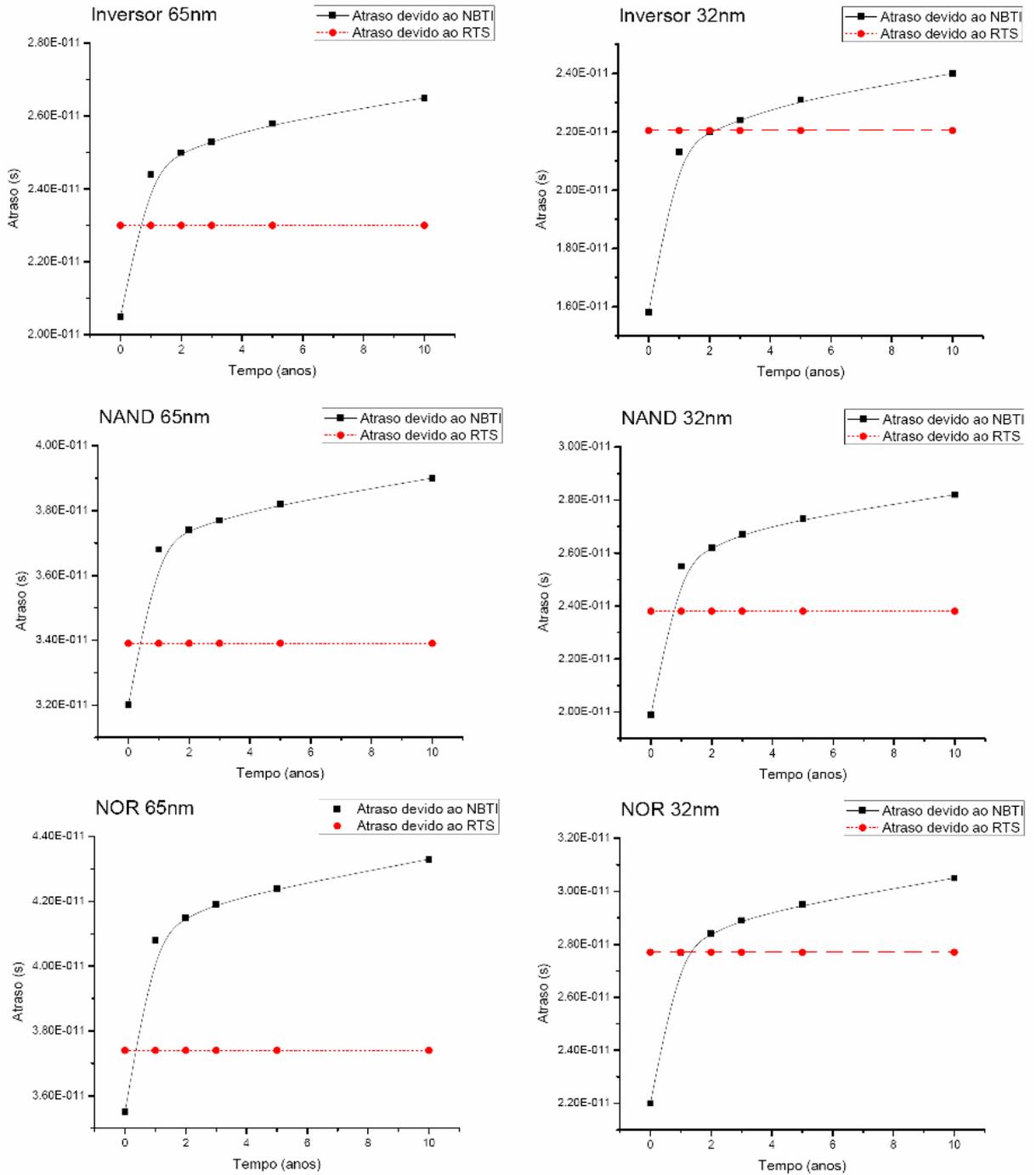
Figura 10 Distribuições de probabilidade do atraso em um inversor devido ao RTS.

Nesta figura podemos notar uma distribuição que lembra a distribuição de Poisson. Notamos que a diferença entre o pior caso e a média é de 6,2ps no caso da tecnologia de 32nm e de apenas 2,5ps para a tecnologia de 65nm, o que mostra que este, assim como o NBTI é um efeito que tende a causar mais problemas nos próximos nós tecnológicos, mas que já hoje, na tecnologia de 32nm, gera um acréscimo de aproximadamente 40% no atraso do pior caso em relação ao valor nominal do atraso da célula. Neste caso, por tratar-se de uma distribuição de Poisson, para o cálculo do pior caso foi mantida a proporção de um para mil a fim de manter uma comparação justa. Na tabela 3 são apresentados para as três células analisadas valor nominal do atraso, o pior caso relativo ao RTS e a relação entre eles.

A figura 11 faz uma comparação entre o impacto dos dois efeitos em portas lógicas. Vemos em (a) que para a tecnologia de 65nm para todas as portas lógicas o pior caso causado pelo NBTI supera o pior caso causado pelo RTS próximo aos primeiros seis meses de uso. No entanto, pelo efeito do NBTI aumentar de forma logarítmica, este aumento não é

significativo após o terceiro ano quando a diferença do pior caso de ambos os efeitos ainda é de apenas 3.3ps para o inversor.

Ao analisarmos a figura 11 (b), vemos que ao contrário do que aconteceu na tecnologia de 65nm, em 32nm o efeito do NBTI só ultrapassa o efeito do RTS entre o primeiro e o segundo ano de uso. Isso nos mostra que apesar de atualmente o impacto de ambos os efeitos ser da mesma ordem e ambos tenderem a aumentar nas próximas tecnologias devido a redução das dimensões dos transistores o impacto do RTS aumenta mais rapidamente.



(a)

(b)

Figura 11 Comparação entre NBTI e RTS em portas lógicas.

Quanto ao impacto do RTS em células do tipo SRAM, ele pode ser dividido em duas partes: as falhas devido ao processo de leitura e as falhas devido ao processo de escrita. As falhas devidas ao processo de leitura são caracterizadas principalmente pelas falhas de estabilidade de leitura que ocorrem quando o RNM é menor do que zero. As falhas de escrita por outro lado ocorrem devido a violações de timing.

No caso da célula do tipo SRAM dimensionada para uma tecnologia de 65nm foi escolhido trabalhar-se com a célula apresentada por (OHBAYASHI, 2006), com $W_p = 130\text{nm}$, $W_n = 90\text{nm}$, $W_a = 90\text{nm}$, $L=65\text{nm}$ e $L_{\text{eff}} = 24.5\text{nm}$ de acordo com a menor largura de canal permitida por (CAO, 2007). Os resultados apresentados nas simulações de RTS nesta célula mostram que o número de falhas durante a leitura foi significativamente grande chegando a 0.01%. Este valor pode parecer desprezível, mas vale lembrar que uma cache de 4MB contém cerca de 38 milhões destas células e com isso uma probabilidade de falha de 0.01% por célula implica que um número grande destas células falhará devido ao RTS. Está estimativa da probabilidade de falhas foi calculada através da relação entre as medidas de margem de ruído negativas com o total de medidas, o que vem a ser uma aproximação. A função distribuição de probabilidades obtida para a margem de ruído de leitura devido ao RTS para uma tecnologia de 32nm é mostrada na figura 12.

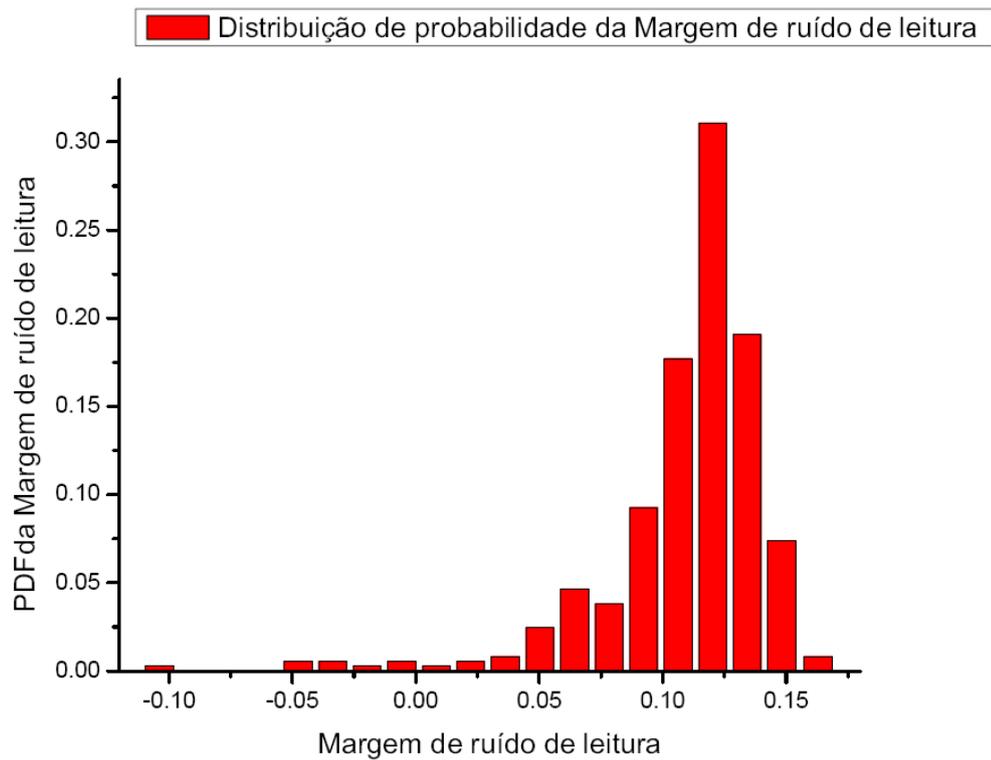


Figura 12 Distribuição de probabilidade da margem de ruído de leitura devido ao RTS para uma célula SRAM de 32nm.

Quanto às falhas devido ao tempo de acesso de escrita, estas falhas, apesar de também importantes, apenas limitam a performance da memória obrigando que esta trabalhe com uma frequência mais baixa. O resultado obtido quanto ao tempo de escrita diz que para ter-se um número de falhas menor do que 1E-10% é preciso que o tempo de escrita não seja inferior a 60.6788ps.

As falhas causadas pelo fenômeno do NBTI são muito menos significativas também para esta tecnologia uma vez que como para a tecnologia de 65nm o efeito causado pelo NBTI, se desconsiderarmos sua componente aleatória, causa na verdade uma redução no tempo de escrita e um aumento na margem de ruído de leitura, o que torna o circuito mais imune a falhas. Considerando a componente aleatória vemos que o pior caso aumenta e se obtêm uma probabilidade de falha de cerca de 1E-25% no final do terceiro ano que cresce

para 1E-17% no final do décimo ano de utilização. Um exemplo do formato da distribuição de probabilidades pode ser visto figura 13.

Quanto ao tempo de escrita, este diminuiu em função do tempo quando se lavando somente a componente absoluta em consideração, no entanto, uma vez que o desvio padrão aumentou como previsto pelo trabalho de (VARRIKONDA, 2006) o pior caso do tempo de escrita também teve um aumento ainda que pouco significativo.

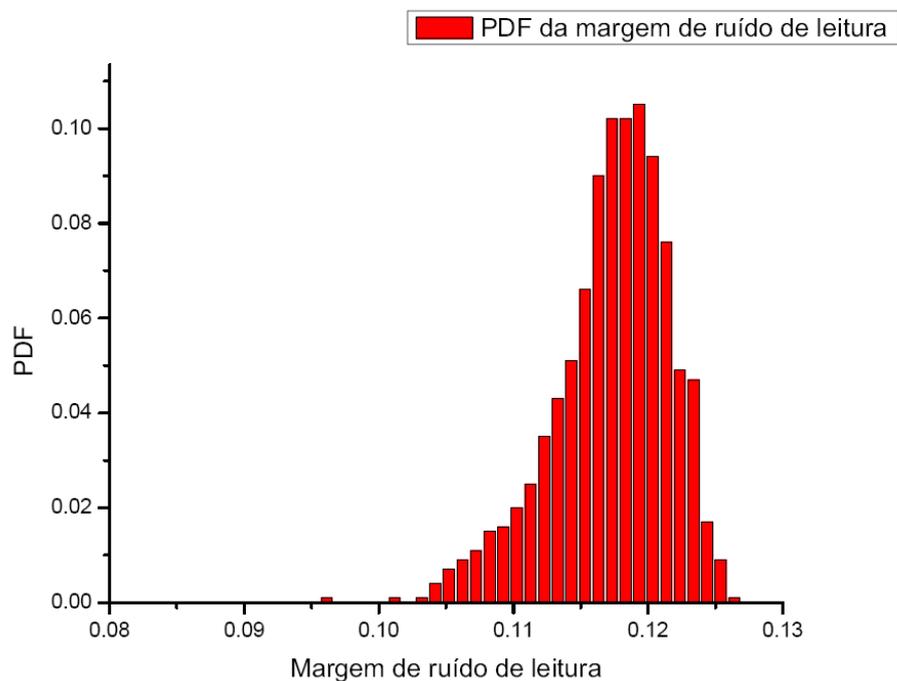


Figura 13 Distribuição de probabilidade da margem de ruído de leitura devido ao NBTI para uma célula SRAM de 32nm após dois anos de uso.

O mesmo comportamento se repetiu para a célula SRAM dimensionada para a tecnologia de 32nm com $W_p = 64\text{nm}$, $W_n = 44.5\text{nm}$, $W_a = 44.5\text{nm}$, $L=32\text{nm}$ e $L_{\text{eff}} = 16.5\text{nm}$ também respeitando as limitações de menor largura de canal permitida por (CAO, 2007). Porém por esta ser uma tecnologia com áreas menores houve um significativo aumento dos efeitos causado por ambos os fenômenos. Neste caso para o RTS a probabilidade de falhas devido a margem de ruído foi de 0,135%, mais de dez vezes maior do que para a tecnologia de 65nm.

A mesma análise foi feita para o NBTI para a mesma célula. Os resultados obtidos mostraram que o número de falhas devido a violação da margem de ruído de leitura é desprezível sendo a probabilidade de falhas da ordem de $1E-101\%$ no primeiro ano e de $1E-81\%$ de chances de falha após o terceiro ano. Neste caso, por não terem ocorrido medias de margem de ruído de leitura inferiores a zero, esta probabilidade foi calculada supondo a distribuição de probabilidades da margem de ruído de leitura uma distribuição normal, o que vem a ser uma aproximação. A distribuição de probabilidades medida se encontra na figura 13.

Tabela 2 Resumo dos resultados obtidos para as células SRAM.

			Tempo de escrita (ps)	Probabilidade de falhas devido a RNM (%)
SRAM	32nm	RTS	60.6788	0.01
		NBTI	33.8024	$1E-81$
	65nm	RTS	78.2094	0.135
		NBTI	67.7262	$1E-23$

Baseados nestes resultados nota-se um grande aumento no impacto do RTS tanto em portas lógicas quanto em memórias SRAM quando se compara os resultados obtidos para as tecnologias de 32nm e de 65nm. O NBTI por outro lado, apesar de aumentar seu efeito de uma tecnologia para a outra, ele faz isso de maneira menos intensa que o RTS, além do que o seu impacto em células SRAM é muito menos significativo do que para o RTS. No entanto, o NBTI continua sendo um efeito de grande importância para portas lógicas e além disso o RTS tem seu efeito aumentado devido ao NBTI.

5 CONCLUSÃO

Neste estudo foram feitas simulações de NBTI e de RTS em células de memórias SRAM e em portas lógicas. A partir dos resultados obtidos pelas simulações destes fenômenos pode se constatar que ambos os efeitos estão ganhando em importância no que se diz respeito às portas lógicas, pois estes estão aumentando o pior caso dos atrasos das células significativamente e diminuindo a confiabilidade das mesmas. Quanto às células SRAM foi possível notar, principalmente, que o RTS está comprometendo a confiabilidade destas uma vez que afeta todos os transistores presentes na célula e que a variabilidade devido a este efeito leva a problemas tanto ao tempo de escrita quanto a margem de ruído de leitura.

Foi constatado então, que esforços são necessários a fim de melhor compreender e modelar estes efeitos uma vez que estes estão causando um grande impacto no bom funcionamento e na confiabilidade dos circuitos presentes hoje. Desenvolver um modelo que considere a interação destes dois efeitos é essencial para a obtenção de simulações mais precisas e realistas. Este seria um interessante tópico para um futuro trabalho.

6 REFERÊNCIAS

AGARWAL K., S. Nassif, Statistical analysis of sram cell stability, Design Automation Conference, 2006 43rd ACM/IEEE (2006) 57–62.

BRUSAMARELLO L., Wirth. G, da Silva R.; “Statistical RTS model for digital circuits” Microelectronics Reliability. 2009.

IEEE Spectrum, “Future of low power chips in doubt”; disponível em <http://www.spectrum.ieee.org/semiconductors/devices/future-of-lowpower-chips-in-doubt>

MAHAPATRA S., K. Ahmed, D. Varghese, A. Islam, G. Gupta, L. Madhav, D. Saha, and M. Alam, “On the physical mechanism of nbtj in silicon oxynitride p-mosfets: Can differences in insulator processing conditions resolve the interface trap generation versus hole trapping controversy?” Reliability physics symposium, 2007. proceedings. 45th annual. Ieee international, pp. 1–9, 15-19 April 2007.

MASSEY, J.G.; "NBTI: what we know and what we need to know - a tutorial addressing the current understanding and challenges for the future"; Integrated Reliability Workshop Final Report, 2004 IEEE International; Publication Date: 18-21 Oct. 2004

KANG k., sang phill park, K. Roy, and M. A. alam, “Estimation of statistical variation in temporal nbtj degradation and its impact on lifetime circuit performance,” in ICCAD, November 2007.

OHBAYASHI S., M. Yabuuchi, K. Nii, et al., A 65 nm soc embedded 6tsram design for manufacturing with read and write cell stabilizing circuits, VLSI Circuits, 2006. Digest of Technical Papers. 2006 Symposium n (2006) 17–18.

OGAWA S., M Shimaya and N. Shiono, J. Appl. Phys., 77(3) p. 1137 (1995);

S, Inc. HSPICE Simulation and Analysis User Guide, 2005.

SCHLUNDER C., R. Brederlow, P. Wiczorek, C. Dahl, J. Holz, M. Rahner, S. Kessel, V. Herold, K. Goser, W. Weber and R. Thewes, Microelectronics Reliability, 35(6-7), p. 821 (1999).

R-project, Simulation User guide. 2009.

VATTIKONDA R, W. Wang, and Y. Cao, “Modeling and minimization of pmos nbtj effect for robust nanometer design,” in DAC '06: Proceedings of the 43rd annual conference on Design automation. New York, NY, USA: ACM, 2006, pp. 1047–1052.

WIRTH G., J. Koh, R. da Silva, R. Thewes, R. Brederlow, Modeling of statistical low-frequency noise of deep-submicrometer mosfets, Electron Devices, IEEE Transactions on 52 (7) (2005) 1576–1588.