

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

THIAGO KOTARBA SPOMBERG

PROJETO DE DIPLOMAÇÃO

**CONVERSOR CC/CC APLICADO À CORREÇÃO DO FATOR
DE POTÊNCIA**

Porto Alegre

2009

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

CONVERSOR CC/CC APLICADO À CORREÇÃO DO FATOR DE POTÊNCIA

Projeto de Diplomação apresentado ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para Graduação em Engenharia Elétrica.

ORIENTADOR: Yeddo Braga Blauth

Porto Alegre

2009

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

THIAGO KOTARBA SPOMBERG

CONVERTOR CC/CC APLICADO À CORREÇÃO DO FATOR DE POTÊNCIA

Este projeto foi julgado adequado para fazer jus aos créditos da Disciplina de “Projeto de Diplomação”, do Departamento de Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: Prof. Yeddo Braga Blauth, UFRGS

Doutor em Engenharia Elétrica pela Universidade Federal de Santa Catarina – Florianópolis, Brasil

Banca Examinadora:

Prof. Yeddo Braga Blauth, UFRGS

Doutor pela Universidade Federal de Santa Catarina – Florianópolis, Brasil

Prof. Dr. Renato Ventura Bayan Henriques, UFRGS

Doutor pela Universidade Federal de Minas Gerais – Belo Horizonte, Brasil

Prof. Dr. Alceu Heinke Frigeri, UFRGS

Mestre pela Universidade Federal do Rio Grande do Sul – Porto Alegre, Brasil

Porto Alegre, Dezembro de 2009.

DEDICATÓRIA

Dedico este trabalho a todas as pessoas que estiveram presentes de alguma forma na minha vida durante meu ciclo acadêmico.

AGRADECIMENTOS

Agradeço a todas as pessoas que me auxiliaram superar todos os desafios pelos quais passei durante os últimos anos.

Ao Brasil.

À Universidade, professores e funcionários.

RESUMO

O baixo fator de potência significa que grande parte da energia utilizada está sendo desperdiçada. Alguns equipamentos introduzem harmônicas de corrente na rede elétrica que acabam por deteriorar a qualidade do serviço e o funcionamento adequado de outros aparelhos. O presente trabalho apresenta uma proposta de correção do fator de potência empregando um conversor do tipo boost com a finalidade de substituir fontes retificadoras convencionais. Baseado no circuito integrado UC3854, facilmente encontrado no mercado local, o protótipo prioriza um alto fator de potência, no sentido mais amplo da definição, assim como uma regulação da tensão de saída para a faixa de alimentação especificada. São apresentadas a descrição do circuito de controle e resultados de ensaios práticos que validam o estudo.

Palavras-chaves: Fator de Potência. Eletrônica de Potência. Conversor Boost. UC3854.

ABSTRACT

A poor power factor means that a considerable portion of energy used is being wasted. Some equipments inject harmonic distortion into the power supply that damage the quality of the service and proper operation of other devices. The aim of this work is to present a suggestion for Power Factor Correction (also known as PFC) by using a Boost regulator in order to replace conventional sources. Based on the Unitrode UC3854, easily found in the local market, a prototype was designed to prioritize a high power factor and an output voltage adjustment. Also, a full description of the control circuits and practical experiments are shown to validate the study.

Keywords: Electrical Engineering. Power Factor Correction. PFC. Boost Preregulator. UC3854.

SUMÁRIO

1. INTRODUÇÃO	12
2. ANÁLISE CC DO CONVERSOR BOOST	17
2.1. Descrição	17
2.2. Condução Contínua.....	18
2.3. Condução Descontínua.....	19
3. CONVERSOR BOOST APLICADO A CORREÇÃO DO FATOR DE POTÊNCIA.	21
3.1. Considerações Iniciais	21
3.2. Descrição	21
3.3. Modos de Funcionamento	22
3.4. Circuito de Controle.....	25
4. PROJETO	27
4.1. Proposta.....	27
4.2. Descrição do UC3854	27
4.3. Especificações Iniciais	31
4.4. Circuito Completo	32
4.5. Descrição do Projeto.....	32
4.5.1. Indutor Boost	32
4.5.2. Capacitor de Armazenagem	34
4.5.3. Resistor Shunt R_s	34
4.5.4. Resistores para Limite de Corrente	35
4.5.5. Configuração do Multiplicador Analógico.....	36
4.5.6. Especificação de C_t	39
4.5.7. Compensação do Amplificador de Erro de Corrente.....	39
4.5.8. Compensação do Amplificador de Erro de Tensão	41
4.5.9. Capacitores C_{ff1} e C_{ff2}	44
4.5.10. Demais Componentes	45
4.6. Lista de Componentes Utilizados	46
4.7. Diagrama Esquemático Final	46
4.8. Apresentação do Protótipo	48
4.9. Considerações Finais	50
5. RESULTADOS OBTIDOS	51
5.1.Descrição dos Ensaios.....	51
5.2. Testes com Variação de Carga	51
5.3. Testes com Variação de Tensão de Entrada	55
5.4. Ensaios Diversos	58
6. CONCLUSÃO	63
7. BIBLIOGRAFIA	64

LISTA DE ILUSTRAÇÕES

FIGURA 1.1 CIRCUITO RETIFICADOR CONVENCIONAL	12
FIGURA 1.2 FORMAS DE ONDA DO RETIFICADOR CONVENCIONAL.....	12
FIGURA 1.3 FORMAS DE ONDA PARA CARGA PURAMENTE RESISTIVA, CARGA CAPACITIVA E CARGA INDUTIVA	15
FIGURA 1.4 ESQUEMA DO CONVERSOR BOOST APLICADO À CORREÇÃO DO FATOR DE POTÊNCIA PROPOSTO	16
FIGURA 2.1 CONVERSOR BOOST	17
FIGURA 2.2 MODOS DE FUNCIONAMENTO DO CONVERSOR BOOST.....	18
FIGURA 2.3 FORMAS DE ONDA CARACTERÍSTICAS DO BOOST OPERANDO EM CONDUÇÃO CONTÍNUA	18
FIGURA 2.4 FORMAS DE ONDA CARACTERÍSTICAS DO BOOST OPERANDO EM CONDUÇÃO DESCONTÍNUA.....	19
FIGURA 3.1 DIAGRAMA SIMPLIFICADO DA FONTE COMPLETA.....	21
FIGURA 3.2 DIAGRAMA DO CONVERSOR BOOST DE ALTO FATOR DE POTÊNCIA	21
FIGURA 3.3 FORMAS DE ONDA DO BOOST COMO PFC NO MODO DESCONTÍNUO	23
FIGURA 3.4 FORMAS DE ONDA DO BOOST COMO PFC NO MODO CONTÍNUO	23
FIGURA 3.5 DIAGRAMA GENERALIZADO DE UM CONVERSOR BOOST COM CONTROLE POR CORRENTE MÉDIA	25
FIGURA 4.1 DIAGRAMA DE BLOCOS DO UC3854A.....	27
FIGURA 4.2 PINAGEM UC3854A	28
FIGURA 4.3 ONDAS NO COMPARADOR DO PWM.....	31
FIGURA 4.4 CIRCUITO COMPLETO DO PROTÓTIPO.....	32
FIGURA 4.5 CIRCUITO E DIAGRAMA DE BODE DO COMPARADOR DE CORRENTE	40
FIGURA 4.6 CIRCUITO E DIAGRAMA DE BODE DO COMPARADOR DE TENSÃO.....	42
FIGURA 4.7 DIAGRAMA ESQUEMÁTICO DO CIRCUITO IMPLEMENTADO.....	47
FIGURA 4.8 CIRCUITO DE POTÊNCIA DESENVOLVIDO.....	48
FIGURA 4.9 CIRCUITO DE CONTROLE	49
FIGURA 4.10 CARGA FORMADA UNICAMENTE POR LÂMPADAS DE 220V.....	49
FIGURA 5.1 ENSAIO REALIZADO COM POTÊNCIAS DE 25W, 40W E 65W	52
FIGURA 5.2 ENSAIO REALIZADO COM POTÊNCIAS DE 100W, 125W E 165W ...	53
FIGURA 5.3 ENSAIO REALIZADO COM POTÊNCIAS DE 200W E 240W	54
FIGURA 5.4 ENSAIO REALIZADO COM TENSÕES DE 80V, 90V E 100V.....	56
FIGURA 5.5 ENSAIO REALIZADO COM TENSÕES DE 100V, 120V E 130V.....	57
FIGURA 5.6 CORRENTE NO INDUTOR (0,5A/DIV) E TENSÃO ENTRE DRENO E SOURCE DO MOSFET.....	58
FIGURA 5.7 CORRENTE NO INDUTOR (0,5A/DIV) E TENSÃO ENTRE DRENO E SOURCE DO MOSFET.....	59
FIGURA 5.8 CORRENTE NO INDUTOR (0,5A/DIV) E TENSÃO ENTRE DRENO E SOURCE DO MOSFET.....	60
FIGURA 5.9 CORRENTE DE ENTRADA (CANAL 1, 2A/DIV) E SAÍDA DO REGULADOR DE TENSÃO (CANAL 2) COM CVF=47NF.....	61
FIGURA 5.10 CORRENTE DE ENTRADA (CANAL 1, 2A/DIV) E SAÍDA DO REGULADOR DE TENSÃO (CANAL 2) COM CVF=150NF.....	61

LISTA DE TABELAS

TABELA 4.1 DESCRIÇÃO DOS PINOS DO CIRCUITO INTEGRADO UC3854	29
TABELA 4.2 LISTA DE COMPONENTES UTILIZADOS NO PROTÓTIPO.....	46

LISTA DE ABREVIATURAS

UFRGS: Universidade Federal do Rio Grande do Sul

CC: Corrente Contínua

CA: Corrente Alternada

THD: Total Harmonic Distortion

FP: Fator de Potência

PFC: Power Factor Correction

T: Transistor

HPF: High Power Factor

CCM: Continuous Conduction Mode

PWM: Pulse-Width Modulation

EMI: Electromagnetic Interference

RFI: Radio Frequency Interference

TTL: Transistor Transistor Logic

CI: Circuito Integrado

NTC: Negative Temperature Coefficient

DIV: Divisão

1. INTRODUÇÃO

Equipamentos eletrônicos são geralmente fontes de distúrbio para outros aparelhos eletrônicos. A crescente utilização destes equipamentos vem agravando significativamente o problema de injeção de componentes harmônicos no sistema elétrico.

Equipamentos eletrônicos normalmente usam circuitos retificadores convencionais, os quais possuem um capacitor de valor expressivo, responsável por promover tensão contínua de baixo *ripple*, como apresentado nas Figuras 1.1 e 1.2.

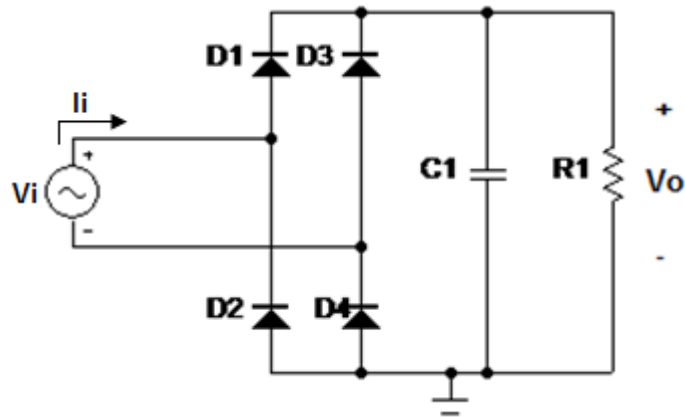


Figura 1.1 Circuito retificador convencional.

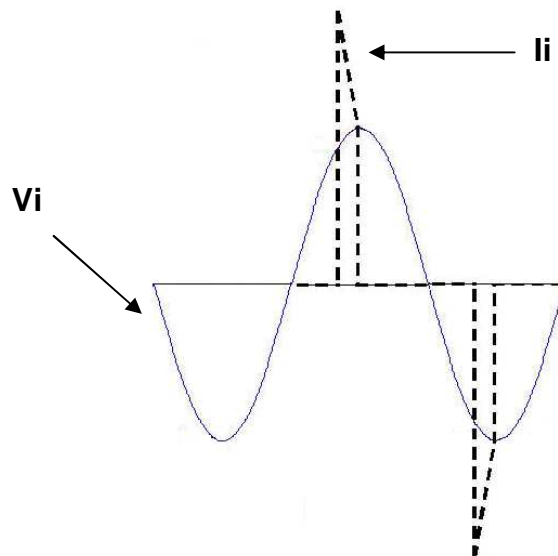


Figura 1.2 Formas de onda do retificador convencional.

Quando a tensão de entrada alternada (V_i) se torna menor que a tensão no capacitor (V_o), os diodos ficam bloqueados e a corrente de saída é fornecida pelo capacitor, o qual se descarrega até que a tensão na entrada fique maior. Neste momento, a alimentação passa a carregar novamente o capacitor e fornecer energia diretamente para a carga. Este fato faz com que a forma de onda da corrente de entrada seja diferente de uma senóide, apresentando pulsos no momento de recarga. A Figura 1.2 ilustra tal situação.

Esta corrente de entrada tem uma elevada Distorção Harmônica Total (THD) e impõe à rede um baixo fator de potência. Como principais desvantagens destes problemas podemos citar:

- Sobre-dimensionamento da fiação elétrica;
- Limitações de potência ativa a ser absorvida da rede de alimentação;
- Possível má operação dos demais equipamentos conectados à mesma rede.

Diante deste problema, o objetivo da correção do fator de potência é fazer com que a carga, seja ela um motor ou um equipamento qualquer, pareça apenas um resistor para a alimentação. Assim, não só a 1ª harmônica da corrente deve estar em fase com a tensão, como todas as demais harmônicas de corrente devem ser nulas. Cabe ressaltar que a legislação atual não prevê o problema das harmônicas.

De modo genérico, Ivo Barbi [1] classifica os tipos de correção do fator de potência em:

- Correção Passiva: realizada por um filtro (geralmente um passa-baixas) que utiliza apenas componentes passivos (R, L e C). São volumosos e pesados devido a baixa frequência de corte do filtro envolvido. Caracterizam-se pela robustez e simplicidade.
- Correção Ativa: Utilizam componentes não lineares (semicondutores) e passivos, existindo imposição da corrente de entrada. Diferenciam-se por

variações topológicas e formas de controle. Quando comparados à correção passiva possuem menor volume e maior complexidade. Permitem fator de potência praticamente unitário com a corrente de entrada em fase com a tensão de entrada sem a presença de harmônicas.

Há controvérsias em relação à definição do fator de potência, entretanto no meio acadêmico, para sistemas monofásicos, parece haver consenso em relação à definição apresentada na equação (1.1).

$$FP = \frac{P}{V_{rms} \cdot I_{rms}} \quad (1.1)$$

Onde:

P: Potência ativa de entrada [W]

V_{rms} : Tensão de entrada eficaz [V]

I_{rms} : Corrente de entrada eficaz [V]

Se a carga for puramente resistiva, a potência ativa de entrada e o produto entre tensão eficaz e corrente eficaz serão exatamente iguais, logo o fator de potência é 1,0. Caso contrário, o fator terá um valor inferior.

Caso tenhamos a presença de uma carga indutiva ou capacitiva, haverá um deslocamento de fase da corrente em relação à tensão. Deste conceito vem a definição tradicional para fator de potência, considerando que tensão e corrente são duas senóides:

$$FP = \cos \varphi \quad (1.2)$$

As figuras 1.3(a), 1.3(b) e 1.3(c) apresentam as formas de onda para carga resistiva, capacitiva e indutiva, respectivamente.

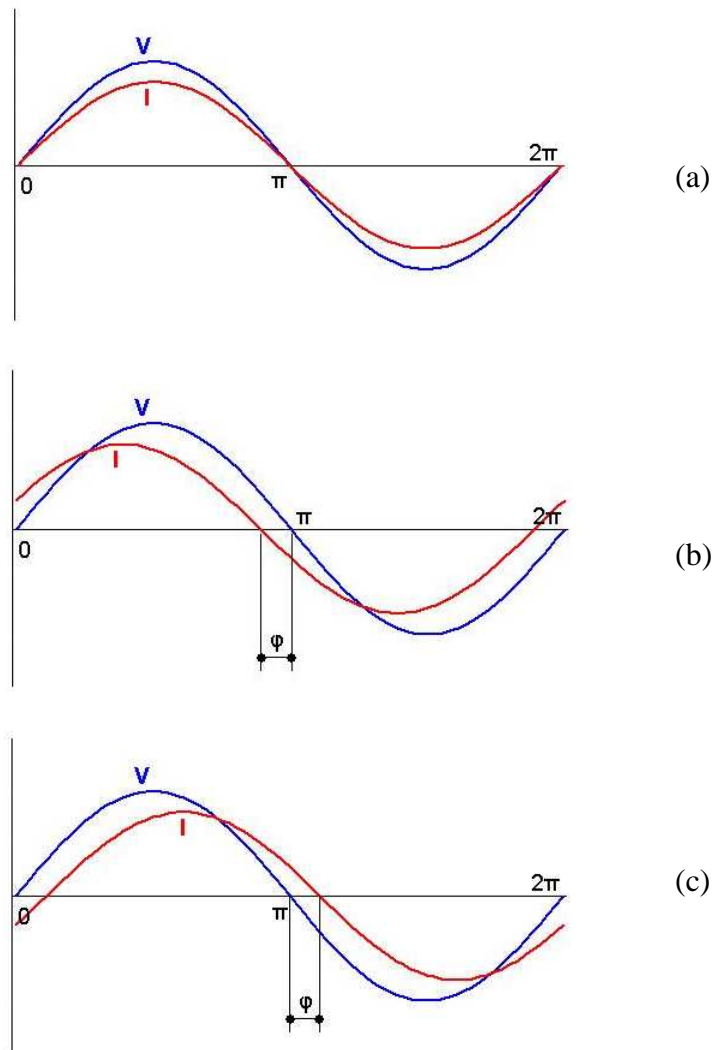


Figura 1.3 (a) formas de onda para carga puramente resistiva, (b) carga capacitiva e (c) carga indutiva.

O valor do deslocamento (em graus) indica o quão reativa é a carga. A Figura 1.3(a) mostra uma carga puramente resistiva onde não há defasamento, logo o fator de potência é unitário. Já a Figura 1.3(b) apresenta uma corrente adiantada em relação à tensão o que indica uma reatância capacitiva como FP abaixo de 1,0. Na Figura 1.3(c) temos uma carga indutiva com fator de potência menor que a unidade e uma corrente φ° atrasada.

Considerando-se as diversas soluções existentes para correção do fator de potência, este estudo propõe uma correção ativa através de um conversor boost alocado entre a ponte de diodos e o capacitor.

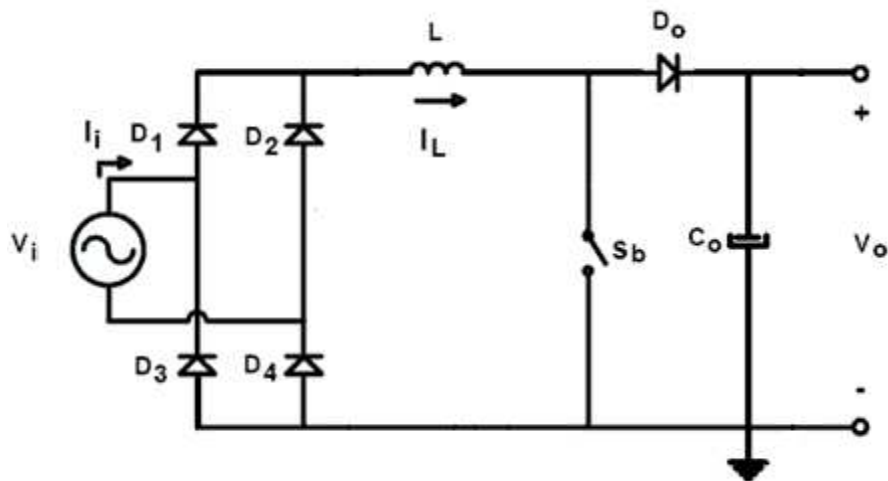


Figura 1.4 Esquema do conversor Boost aplicado à correção do fator de potência proposto.

O boost está representado na figura 1.4 e é caracterizado pelo indutor L , a chave S_b e o diodo D_o .

Este trabalho está organizado de maneira a fazer uma análise CC básica do conversor Boost no capítulo 2. A seguir, no capítulo 3 será descrito em detalhes o circuito apresentado na figura 1.4, suas possíveis topologias de controle e características básicas. Por fim, os capítulos 4 e 5 apresentam os detalhes do projeto e os resultados obtidos respectivamente.

2. ANÁLISE CC DO CONVERSOR BOOST

2.1 DESCRIÇÃO

O conversor Boost, também chamado de *step-up*, é um dos circuitos eletrônicos que compõem as topologias básicas das fontes chaveadas. Este conversor fornece uma tensão de saída de valor sempre mais elevado que a tensão de entrada. O circuito possui um capacitor na saída com a finalidade de filtrar a frequência de chaveamento, gerando assim uma tensão contínua.

A Figura 2.1 mostra o esquema básico do conversor CC-CC tipo Boost.

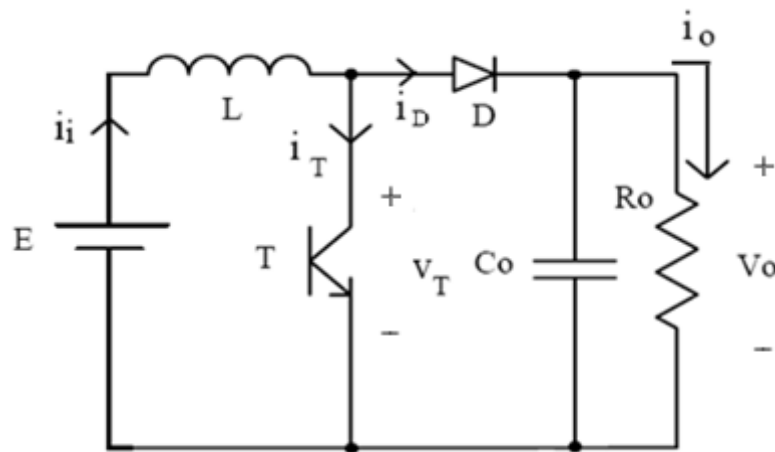


Figura 2.1 Conversor Boost.

Quando T é ligado (transistor saturado), a tensão constante E é aplicada ao indutor. O diodo fica reversamente polarizado (pois $V_o > E$). Acumula-se energia em L , a qual será enviada ao capacitor e à carga quando T desligar (transistor cortado). A corrente do diodo I_D , é sempre descontínua, enquanto a corrente que passa pelo indutor I_i (corrente de entrada) pode ser contínua ou descontínua. Tanto o diodo quanto o transistor devem suportar uma tensão igual à tensão de saída, V_o .

A Figura 2.2 mostra os modos de funcionamento do conversor.

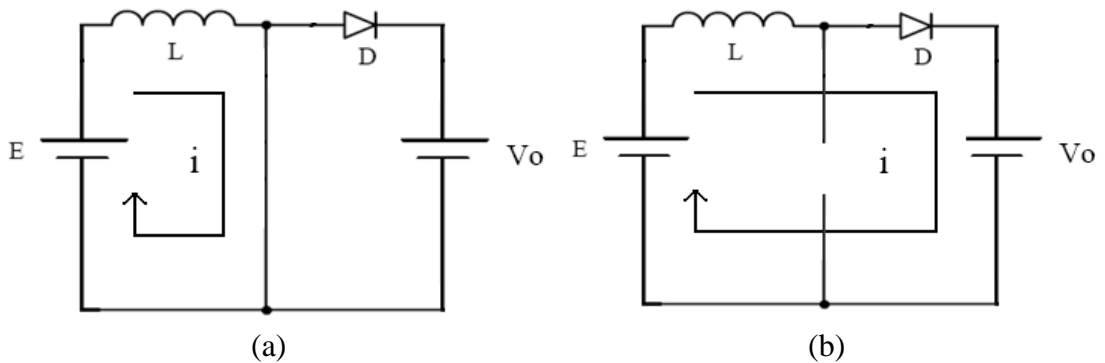


Figura 2.2 Modos de funcionamento do conversor Boost (a) T ligado, (b) T desligado.

2.2 CONDUÇÃO CONTÍNUA

A Figura 2.3 apresenta as formas de onda típicas para este conversor operando em condução contínua.

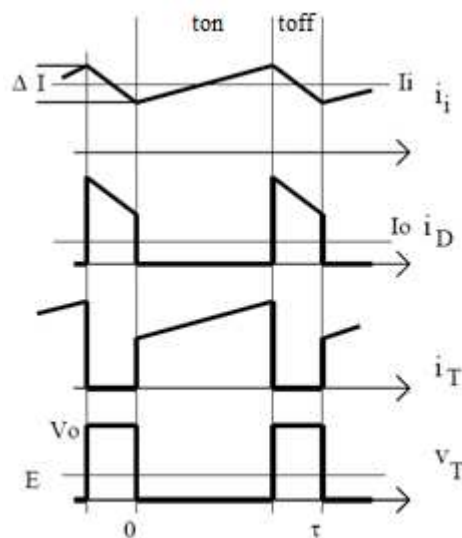


Figura 2.3 Formas de onda características do Boost operando em condução contínua.

Para que haja condução contínua a desigualdade (2.1) deve ser verdadeira.

$$\Delta I \leq 2 \cdot \bar{i} = \frac{2 \cdot P_o}{E} \quad (2.1)$$

Onde P_o é a potência de saída.

A razão cíclica (ou ciclo de trabalho) $D = \frac{ton}{Tc}$, bem como os tempos ton e $toff$, podem ser calculados a partir de (2.2).

$$E = \overline{V_T} = \frac{Vo \cdot toff}{Tc} = (1 - D) \cdot Vo \quad (2.2)$$

Onde $Tc = ton + toff$.

O indutor L pode ser projetado a partir do ΔI_{Lpp} especificado, de acordo com (2.3).

$$\Delta I = \frac{E \cdot ton}{L} = \frac{(Vo - E) \cdot toff}{L} \quad (2.3)$$

Por fim, o capacitor pode ser projetado a partir da variação na tensão de saída ΔV_C especificado, conforme (2.4).

$$\Delta V_C = \frac{1}{C} \int_a^b Io \cdot dt = \frac{Io \cdot ton}{C} \quad (2.4)$$

2.3 CONDUÇÃO DESCONTÍNUA

A Figura 2.4 mostra as formas de onda características do conversor CC-CC tipo Boost operando em condução descontínua.

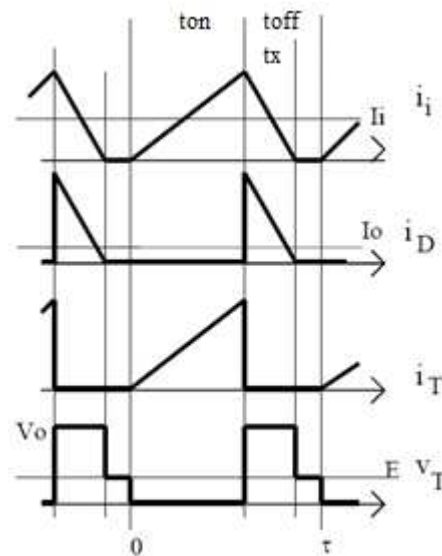


Figura 2.4 Formas de onda características do conversor Boost operando em condução descontínua.

Para que a condução seja descontínua, deve-se ter:

$$\Delta I \geq 2 \cdot \bar{I}_l = \frac{2 \cdot P_o}{E} \quad (2.4)$$

Note que ton e toff são impostos pelo circuito de comando, mas tx é o tempo de descarga do indutor L, ou seja, é uma característica do circuito.

Considerando-se sabidos os princípios envolvidos, pode-se afirmar que para o conversor tipo Boost operando em condução contínua valem as seguintes equações:

$$\bar{I}_D = \frac{\Delta I \cdot tx}{2 \cdot T_c} = I_o = \frac{P_o}{V_o} \quad (2.6)$$

$$\bar{V}_T = \frac{V_o \cdot tx + E \cdot (toff - tx)}{T_c} = E \quad (2.7)$$

$$\Delta I = \frac{E \cdot ton}{L} = \frac{(V_o - E) \cdot tx}{L} \quad (2.8)$$

$$\Delta V_c = \frac{1}{C} \int_a^b [I_D(t) - I_o] dt = \frac{\text{área}}{C} = \frac{1}{2 \cdot C} \left[tx \frac{\Delta I - I_o}{\Delta I} \right] (\Delta I - I_o) \quad (2.9)$$

O conversor é alocado entre o retificador e o capacitor de armazenagem. O diagrama simplificado é apresentado na Figura 3.2.

O funcionamento é baseado no controle da chave S_b , impondo uma corrente em fase com a tensão da rede retificada e de mesmo formato ao indutor L .

3.3 MODOS DE FUNCIONAMENTO

Para o funcionamento adequado do conversor, fazendo com que a corrente de entrada I_i fique em fase com a tensão de entrada V_i , uma malha de realimentação é necessária, assim como apresentado na figura 3.2. Para isto, existem duas topologias de controle possíveis:

- Controle por picos de corrente: Apresenta baixo ganho, larga banda de laço de corrente que acaba por comprometer o alto desempenho da técnica, pois há um erro significativo na corrente esperada.
- Controle por corrente média: É baseado em um simples conceito: um amplificador é utilizado no laço de realimentação em torno do estágio de potência, então a corrente de entrada consegue seguir o sinal de programação com um pequeno erro. A implementação deste método é mais simples e será adotada neste trabalho.

Como vimos na Figura 3.2, temos um retificador de onda completa, composto por uma ponte de diodos, antes do indutor para retificar a onda senoidal vinda da rede. O capacitor de armazenagem que geralmente é associado à conversão AC-DC foi deslocado para a saída do conversor. Ainda, é possível a utilização de um pequeno capacitor para redução de ruídos após os diodos.

Seguindo a Figura 3.2, a saída do conversor V_o apresenta uma tensão constante e a tensão de saída da ponte de diodos V_D é uma senóide de meia-onda. Analogamente ao conversor

boost monofásico, conforme a posição da chave S_b temos dois períodos distintos de funcionamento:

1. Chave fechada: Neste momento o capacitor está fornecendo energia diretamente para a carga e o indutor está sendo carregado;
2. Chave aberta: O indutor passa a fornecer energia diretamente para a carga.

E, ele também pode operar nos modos de condução contínua e descontínua.

Imaginando a chave S_b como sendo um transistor, ao operar no modo de condução descontínua, o conversor apresentará valores instantâneos de corrente na entrada igual a zero a cada ciclo de operação do transistor.

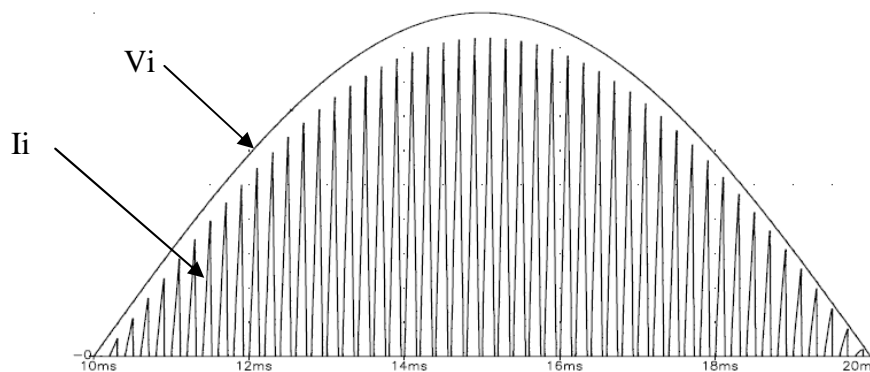


Figura 3.3 Formas de onda do boost como PFC no modo descontínuo [4].

A figura 3.3 apresenta meio ciclo de formas de onda típicas, indicando tensão de entrada V_i e corrente de entrada I_i que em baixa frequência apresenta uma variação praticamente senoidal.

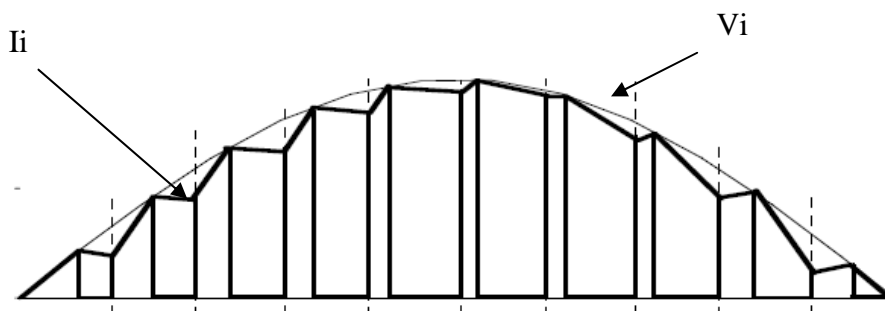


Figura 3.4 Formas de onda do boost como PFC no modo contínuo [4].

Operando no modo contínuo, como mostra a figura 3.4, o conversor boost não apresentará valores instantâneos de corrente de entrada igual a zero durante os ciclos de operação do transistor. Esta tem sido a topologia mais utilizada em aplicações PFC devido às suas vantagens, em especial, o reduzido ripple de corrente de entrada e será adotada neste trabalho.

A topologia boost em condução contínua, portanto, apresenta algumas vantagens perante as demais [1]:

- Introdução de baixa interferência eletromagnética (EMI) e de baixa interferência de rádio frequência (RFI) na rede, reduzindo tamanho do filtro de entrada;
- Tensão máxima da chave é igual a tensão de saída;
- Redução do valor da corrente de pico nos componentes do conversor boost em relação a condução descontínua;
- Tensão de saída maior que o nível CC retificado da linha, proporcionando menores correntes nos componentes do conversor CC/CC;
- Potência e controle possuem a mesma referência de terra, assim o gerador PWM não necessita de isolamento.

Entretanto algumas desvantagens também devem ser consideradas:

- Controle em condução contínua proporciona problemas de estabilidade, o que não acontece em condução descontínua;
- Modelagem complexa (potência e controle não-lineares);
- Comutação dissipativa;

3.4 CIRCUITO DE CONTROLE

Uma correção ativa do fator de potência deve controlar de maneira simultânea a corrente de entrada (I_i), e a tensão de saída (V_o), vide Figura 3.5.

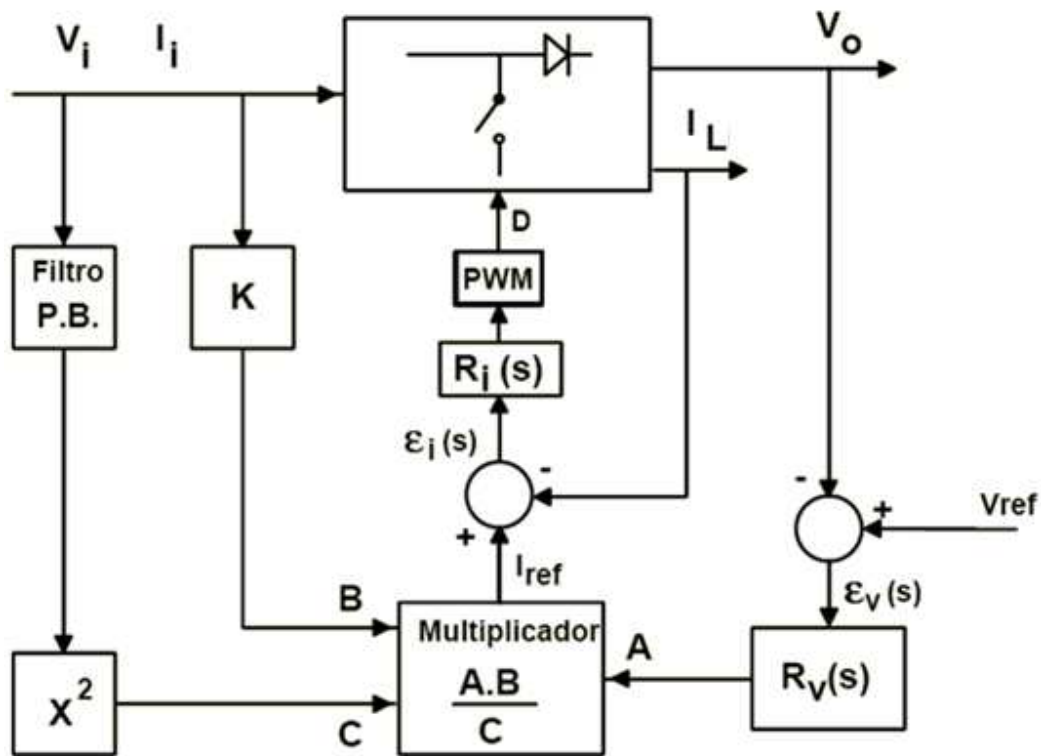


Figura 3.5 Diagrama generalizado de um conversor Boost com controle por corrente média.

Conforme Phillip Todd [2], a tensão de saída é controlada mudando a amplitude média da corrente do sinal de programação (sinal de controle do pré-regulador). Um multiplicador analógico é o responsável por produzir o sinal de corrente de programação realizando a multiplicação do sinal de tensão de alimentação retificada com o sinal de saída do amplificador de erro de tensão. Assim, o sinal de corrente de programação terá a forma de onda da tensão de entrada e amplitude que controla a tensão de saída.

A Figura 3.5 apresenta um diagrama generalizado de funcionamento de uma topologia de controle para o Boost de alto fator de potência em condução contínua com controle por

valores médios instantâneos. O funcionamento deste sistema é baseado na geração de uma corrente de referência que irá monitorar a corrente de entrada (I_{in}). Esta referência é resultado de um multiplicador-divisor com as seguintes entradas:

- A – Sinal do regulador de tensão: Ajusta a amplitude da corrente de referência conforme variação de energia;
- B – Sincronismo: Define o formato e frequência da corrente de referência;
- C – Realimentação da Tensão de entrada: A rede retificada é atenuada e filtrada, informando ao multiplicador-divisor um nível CC proporcional ao valor eficaz da tensão de entrada. Através desta entrada ajusta-se a amplitude da corrente de referência conforme a tensão de entrada.

Portanto, quando houver acréscimo de carga, a amplitude da corrente de referência cresce, ou ainda, se mantivermos a carga constante e a tensão de rede cair, implica na elevação da amplitude da mesma. Garante-se assim uma tensão de saída praticamente constante.

Por um shunt amostra-se a corrente de entrada que será regulada linearmente de acordo com a referência (malha de corrente). O resultado é uma tensão de controle que informa ao *driver* PWM a razão cíclica para tal funcionamento.

O *driver* PWM é composto de um comparador, gerador de onda dente de serra e um circuito de comando apropriado para MOSFET de potência.

4. PROJETO

4.1 PROPOSTA

Será empregado para a correção um conversor do tipo boost de alto fator de potência, operando no modo de condução contínua com controle por corrente média e modulação por largura de pulso (PWM).

Para tanto, o controle será feito utilizando o circuito integrado UC3854, que foi desenvolvido especificamente para circuitos que drenam da rede correntes não senoidais.

4.2 DESCRIÇÃO DO UC3854

Como demonstrado por Bill Andreyckak [5] em seu artigo sobre o UC3854, existem 3 variações para este circuito integrado. As diferenças estão relacionadas basicamente a questões construtivas e a diferença no comparador de tensão. Neste trabalho será adotado o UC3854A e o seu diagrama de blocos é apresentado na figura 4.1.

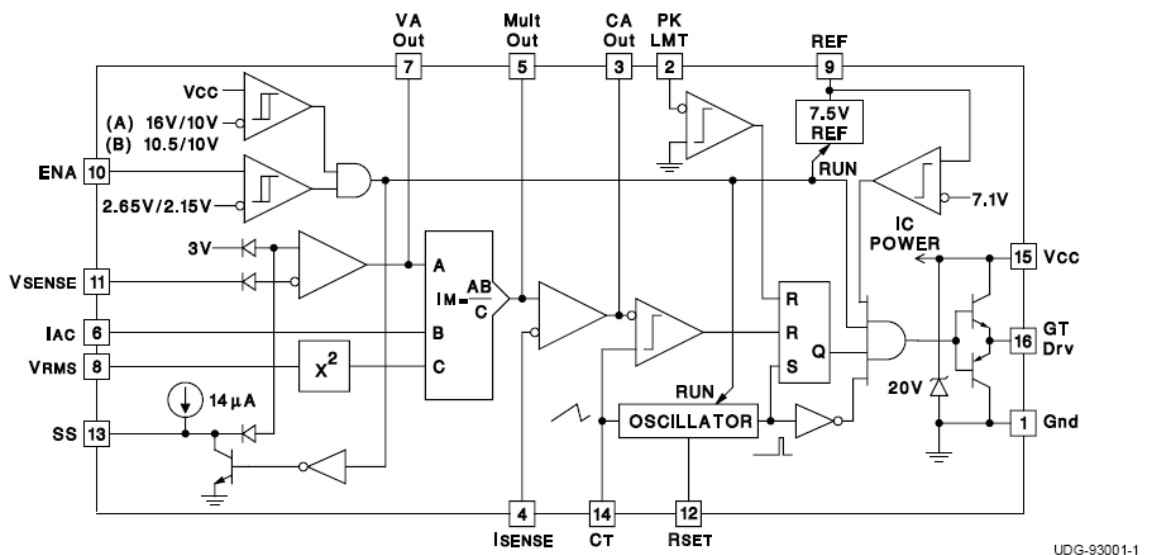


Figura 4.1 Diagrama de blocos do UC3854A, extraído do *datasheet*.

No topo esquerdo da Figura 4.1 temos dois comparadores: o de cima responsável por garantir a tensão mínima de V_{cc} (neste caso 16V) e, o outro, com a entrada *enable* (pino 10), para ativar o circuito integrado. O pino 10 é uma entrada lógica que habilita a operação do PWM, da fonte de referência e do oscilador. A saída de ambos deve ser verdadeira para que o CI entre em funcionamento.

DIL-16 & SOIC-16
(Top View)
J, N & DW Packages

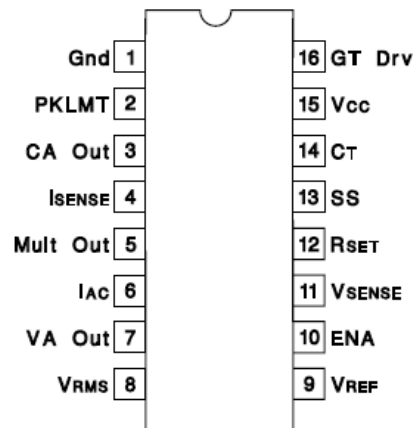


Figura 4.2 Pinagem UC3854A, extraído do *datasheet*.

Este circuito integrado contém todos os recursos necessários para controlar o fator de potência. O UC3854 foi criado para uma implementação de maneira prática e eficaz do método de controle por valores médios, entretanto apresenta flexibilidade para ser usado com outras topologias apropriadas, como citado anteriormente.

A Tabela 4.1 faz uma descrição de cada um dos pinos do circuito integrado individualmente visando um fácil entendimento.

PINO	NOME	E / S	DESCRIÇÃO
1	GND	-	Terra.
2	PKLIM	E	Limite de pico de corrente. Este pino de emergência irá desativar o pulso de saída caso receba um sinal abaixo do nível do terra.
3	CAOUT	S	Saída do amplificador de corrente e uma das entradas para o comparador PWM.
4	ISENSE	E	Chave do sensor de corrente.
5	MULTOUT	E/S	Saída do multiplicador e sensor de corrente.
6	IAC	E	É uma entrada de corrente. Tem a função de forçar a corrente de entrada a seguir a mesma forma da onda da tensão retificada de alimentação.
7	VAOUT	E	Amplificador de erro (<i>voltage error amplifier</i>)
8	VRMS	E	Permite a operação do pré-regulador com um range de tensão de três pra um, ou seja, promove a correção do fator de potência para qualquer valor de tensão de entrada na faixa de 85 a 255Vac. O valor de tensão presente no pino é proporcional ao valor eficaz da tensão de entrada.
9	REF	S	Usado para ajustar o limite e como uma referência interna para diversas funções do circuito integrado.
10	ENA	E	Uma tensão de pelo menos 2,65V ativa o circuito operacional. Uma vez em funcionamento, esta tensão cai para 2,15V.
11	VSENSE	E	Recebe uma amostra da tensão de saída e envia para o amplificador de erro (<i>voltage error amplifier</i>) para promover a correção da razão cíclica do sinal PWM e proporcionar o controle da tensão de saída do conversor.
12	RSET	E	Corrente de alimentação do oscilador e ajuste de limite para o multiplicador.
13	SS	E	<i>Soft-start</i> .
14	CT	E	Um capacitor entre CT e o terra ajusta a frequência do oscilador PWM.
15	VCC	E	Alimentação.
16	GTDRV	S	Saída do PWM de controle. Usa-se um resistor de, pelo menos, 5Ω para prevenir a interação entre a impedância do <i>gate</i> .

Tabela 4.1 Descrição dos pinos do circuito integrado UC3854.

O *datasheet* apresenta uma versão aproximada do conteúdo interno do circuito integrado, no entanto, ele pode ser considerado uma caixa-preta do ponto de vista do

projetista, pois não reage exatamente da forma descrita no manual. Durante o período de montagem do protótipo diversas conclusões foram alcançadas a respeito do funcionamento exato do CI e estas informações serão detalhadas abaixo:

- O valor do pino 5 (MULTOUT) aumenta com o valor presente no pino 6 (IAC) e com a tensão no pino 11 (VSENSE). Entretanto decresce com o quadrado da tensão no pino 8 (VRMS).
- Se a tensão de saída do conversor diminuir, a amostra do sinal no pino 11 (VSENSE) também diminuirá, proporcionando o aumento da tensão que é comparada com o sinal de rampa no oscilador. O aumento desta tensão fará com que o cruzamento desta com o sinal de rampa do oscilador demore mais para acontecer, aumentando assim, a razão cíclica do PWM objetivando a correção da saída do conversor para o valor desejado.
- O sinal do oscilador comparado com o sinal de saída do amplificador de erro de corrente comanda o set e reset do *flip-flop*, que por sua vez, comanda a alta corrente de saída no pino 16 (GTDRV). A saída é chaveada internamente em 15 V, onde sua tensão irá comandar as chaves eletrônicas de potência, constituídas por MOSFET's ou IGBT's do conversor Boost. Neste trabalho foi utilizado um MOSFET.
- O pino 6 (IAC) possui um sinal de corrente que é proporcional a alimentação. Este interfere na razão cíclica do PWM de forma a forçar a corrente a seguir a forma de onda da tensão da rede.

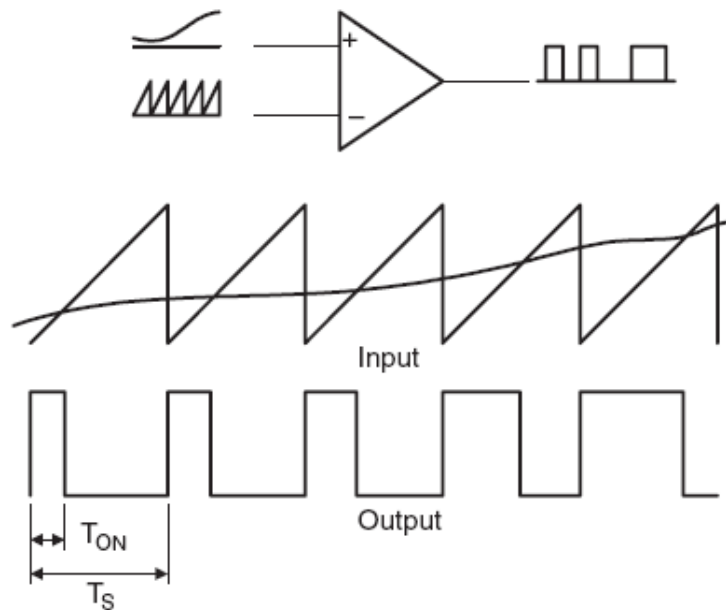


Figura 4.3 Ondas no comparador do PWM, extraído do AN-42047.

A razão cíclica do PWM é resultado da comparação entre o sinal do oscilador (onda triangular, presente no pino 14) e do amplificador de erro de corrente (pino 3). A saída do PWM no pino 16 é chaveada internamente em aproximadamente 20V.

4.3 ESPECIFICAÇÕES INICIAIS

As especificações iniciais do projeto são:

- Potência máxima de saída: $P_o=250W$
- Faixa de tensão de entrada: $80V \leq V_i \leq 140V$
- Tensão de saída: $V_o=220V_{cc}$
- Frequência de chaveamento: $f_{ch}= 20kHz$

4.4 CIRCUITO COMPLETO

O circuito completo do protótipo implementado é mostrado na figura 4.4.

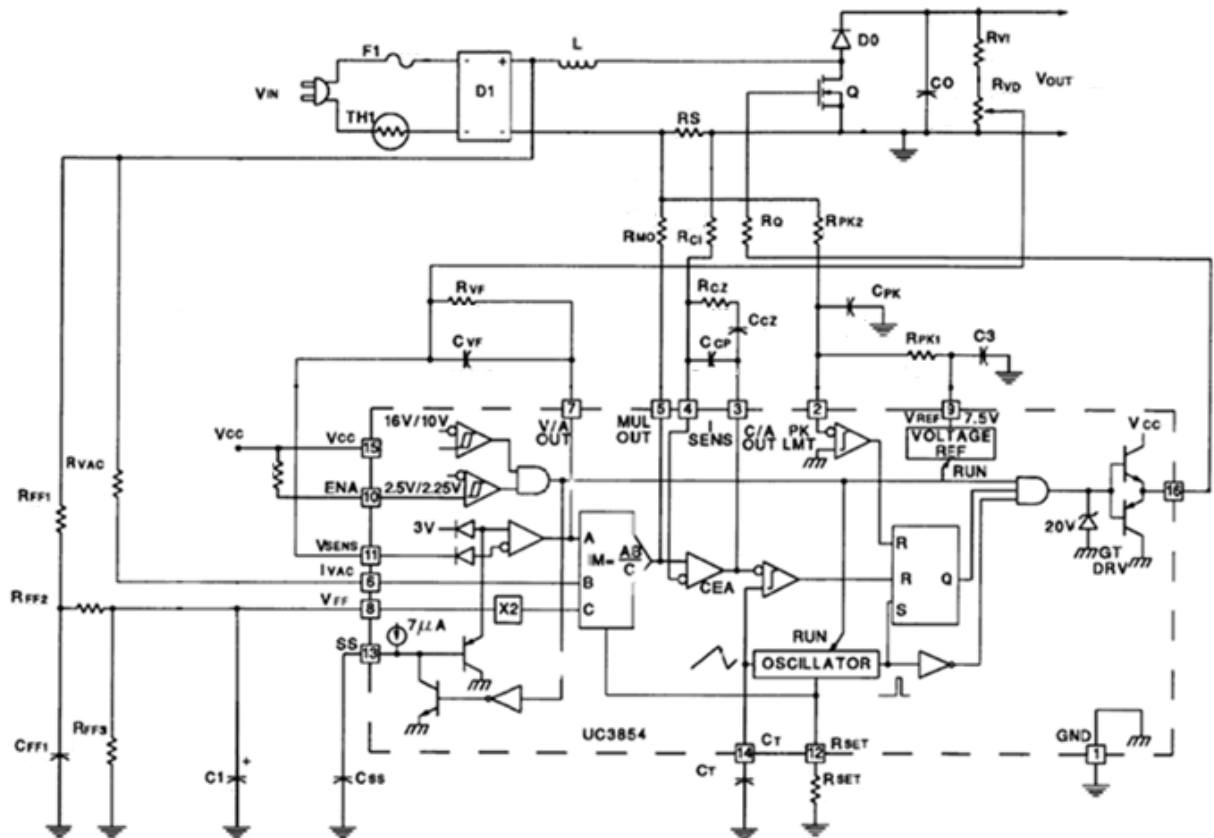


Figura 4.4 Circuito completo do protótipo.

4.5 DESCRIÇÃO DO PROJETO

4.5.1 INDUTOR BOOST

O sistema de controle irá atuar de forma que a corrente que passa pelo indutor boost tem a forma de uma senóide retificada representada por uma componente de baixa frequência (duas vezes a frequência da rede) sobreposta a uma pequena componente de alta frequência

(frequência de chaveamento). O indutor é determinado a partir da corrente máxima de pico no conversor, definida pela equação 4.1.

$$I_{pk} = \frac{\sqrt{2} \cdot P_o}{V_i (\text{min})} \quad (4.1)$$

Substituindo-se os valores propostos obtemos:

$$I_{pk} = \frac{\sqrt{2} \cdot 250}{80} = 4,42A$$

A ondulação de corrente (*ripple*) é definida pela expressão 4.2.

$$\Delta I = 0,2 \cdot I_{pk} \quad (4.2)$$

Admitindo-se um *ripple* na corrente de entrada I_i de 20% (valor típico), encontra-se:

$$\Delta I = 0,2 \cdot 4,42 = 0,9A$$

Para determinar a razão cíclica na corrente de pico, onde a tensão de entrada é o valor de pico na menor tensão de entrada retificada, usa-se a expressão 4.3.

$$D = \frac{V_o - V_i(\text{pico})}{V_o} \quad (4.3)$$

$$D = \frac{220 - 113}{220} = 0,5$$

Agora, a partir dos cálculos acima, podemos chegar ao valor da indutância.

$$L = \frac{V_i \cdot D}{f_{ch} \cdot \Delta I} \quad (4.4)$$

$$L = \frac{113 \cdot 0,5}{20k \cdot 0,9} = 3,13mH$$

$$L \text{ adotado} = 3mH$$

Foi utilizado um indutor de 3mH com núcleo de ferrite a partir da associação em série de cinco indutores de 600μH.

4.5.2 CAPACITOR DE ARMAZENAGEM

A capacitância de saída C_o pode ser calculada a partir do ripple de 120Hz estipulado, de acordo com a equação 4.5 [1].

$$X_c = \frac{1}{2\pi \cdot 120 \cdot F \cdot C} = \frac{V}{I} \rightarrow I = \frac{P_o}{V}$$

$$C_o = \frac{P_o}{2\pi \cdot 120 \cdot V_o \cdot V_{ripple}} \quad (4.5)$$

Onde:

V_{ripple} : ripple de tensão de saída [V]

Assumindo um ripple de saída de 1,5% temos:

$$C_o = \frac{250}{2\pi \cdot 120 \cdot 220 \cdot 0,015 \cdot 220} = 456,7\mu F$$

Foram utilizados dois capacitores de 220 μ F/400V em paralelo no experimento prático.

4.5.3 RESISTOR SHUNT RS

Como explicado no capítulo 3.4, este componente tem a finalidade de informar ao controle do conversor a intensidade da corrente que está sendo drenada da alimentação. Através da sua queda de tensão é possível limitar a máxima corrente de entrada.

$$I_{pk}(\max) = I_{pk} + \frac{\Delta I}{2} \quad (4.6)$$

$$I_{pk}(\max) = 4,42 + \frac{0,9}{2} = 4,87A$$

Considerando-se uma queda de tensão de aproximadamente 1,25V (sugerida no manual do circuito integrado).

$$R_s = \frac{V_{rs}}{I_{pk}(\max)} \quad (4.7)$$

Onde:

V_{rs} : ripple de tensão de saída [V]

$$R_s = \frac{1,25}{4,87} \cong 0,25\Omega$$

Foram associados dois resistores de $0,47\Omega$ em paralelo.

4.5.4 RESISTORES PARA LIMITE DE CORRENTE

Os resistores que estabelecem o limite de corrente, através de um divisor de tensão, são o R_{pk1} e R_{pk2} .

Considerando-se $I_{pk}(ovld)$ a corrente máxima de pico em sobrecarga, temos:

$$I_{pk}(ovld) = I_{pk}(\max) + 12\% \quad (4.8)$$

$$I_{pk}(ovld) = 4,87 + 12\% = 5,6A$$

Para correntes acima deste valor, o controle irá desativar o conversor.

O procedimento adotado é especificar um valor para R_{pk1} e calcular R_{pk2} a partir do valor da queda de tensão no resistor de monitoramento R_s durante a corrente em sobrecarga.

$$R_{pk1} = 10k\Omega$$

$$V_{rs}(ovld) = I_{pk}(ovld) \cdot R_s$$

$$V_{rs}(ovld) = 5,6 \cdot 0,25 = 1,4V$$

O resistor Rpk2 é obtido por:

$$Rpk2 = \frac{Vrs (ovld) . Rpk1}{Vref} \quad (4.8)$$

Como Vref é igual a 7,5V (valor da tensão de referência do UC3854):

$$Rpk2 = \frac{1,4 . 10k}{7,5} = 1,87k\Omega$$

$Rpk2 = 1,8k\Omega$

4.5.5 CONFIGURAÇÃO DO MULTIPLICADOR ANALÓGICO

A operação realizada pelo multiplicador é dada pela equação 4.10.

$$Imo = \frac{Km . Iac . (Vvea - 1)}{Vff^2} \quad (4.10)$$

Onde:

- Imo: corrente de saída do multiplicado analógico;
- Km: constante com o valor 1;
- Iac: corrente de entrada do multiplicador;
- Vff: tensão *feedforward*;
- Vvea: saída do amplificador de erro de tensão.

Quando tivermos uma tensão de alimentação igual a Vi(min), a tensão no pino 8 (Vff) deverá ser igual a 1,414V e a tensão em Vffc (o outro nó do divisor, entre Rff1 e Rff2) será 7,5V. O valor médio Vi(av) da menor tensão RMS de entrada é dado por:

$$Vi(av) = Vin(min) . 0,9 \quad (4.11)$$

$$Vi(av) = 80 . 0,9 = 72V$$

Assim, as equações 4.12 e 4.13 definem os valores dos resistores do divisor de tensão.

$$V_{ff} = 1,414V = \frac{V_i(av).R_{ff3}}{R_{ff1} + R_{ff2} + R_{ff3}} \quad (4.12)$$

$$V_{ffc} = 7,5V = \frac{V_{in}(a).(R_{ff2} + R_{ff3})}{R_{ff1} + R_{ff2} + R_{ff3}} \quad (4.13)$$

Onde R_{ff1} , R_{ff2} e R_{ff3} são os resistores do divisor de tensão.

Arbitrando-se o valor de R_{ff3} em $20k\Omega$, os outros resistores são calculados. Logo obtemos:

$$R_{ff1} = 910k\Omega$$

$$R_{ff2} = 91k\Omega$$

$$R_{ff3} = 20k\Omega$$

Agora, deve-se especificar o valor de R_{vac} .

Este é o resistor responsável pela limitação da corrente de entrada do pino 6 (I_{vac}), que constitui uma das entradas do multiplicador analógico. Existem vários artigos que descrevem o procedimento para projetos de reguladores de fator de potência através dos circuitos integrados da família do UC3854. No entanto, eles adotam diferentes critérios para definição da corrente adequada de entrada neste pino.

John Bottrill [6] indica que a faixa de corrente adequada para a entrada I_{ac} é de $250\mu A$ a $500\mu A$, não ultrapassando o valor máximo de $750\mu A$. Já Philip Todd [2] determina um valor de $600\mu A$ como padrão para o projeto.

O valor máximo de alimentação $V_{pk(max)}$ é dado pela equação 4.14.

$$V_{pk(max)} = \sqrt{2} \cdot V_i(max) \quad (4.14)$$

$$V_{pk(max)} = \sqrt{2} \cdot 140 = 198V$$

Adotando neste trabalho o valor de corrente usado por Todd [2]:

$$R_{vac} = \frac{V_{pk} (max)}{600\mu}$$

$$R_{vac} = \frac{198}{600\mu} = 330k\Omega$$

$$R_{vac} = 330k\Omega$$

O próximo passo agora é a determinação de R_{set} e R_{mo} , os quais limitam a máxima corrente de saída do multiplicador (I_{mo}). Esta corrente pode ser calculada pela equação 4.10.

Quando a tensão de entrada está em seu valor mínimo, ocorre a máxima corrente na saída do multiplicador e o valor da corrente I_{vac} aproximadamente $342\mu A$.

$$I_{vac} (min) = \frac{\sqrt{2} \cdot 80}{330k} = 342\mu A$$

I_{mo} não pode ser maior que duas vezes a corrente do I_{ac} . Sabendo que a corrente no pino 12 (através de R_{set}) atua como corrente de carga do oscilador e limita a corrente de saída do multiplicador, a partir de 4.15 temos:

$$R_{set} = \frac{3,75}{I_{mo}} = \frac{3,75}{2 \cdot I_{vac}} \quad (4.15)$$

$$R_{set} = \frac{3,75}{2 \cdot 342\mu} = 5,5k\Omega$$

Foi adotado neste trabalho um R_{set} de $6,8k\Omega$.

Quando temos a máxima corrente de entrada, a queda de tensão no resistor R_s é igual a tensão sobre R_{mo} . Neste momento atua o limitador de corrente de pico.

Considerando-se o valor de máxima corrente obtido a partir da equação 4.5, definimos R_{mo} .

$$R_{mo} = \frac{I_{rs} (max) \cdot R_s}{I_{mo} (max)} \quad (4.16)$$

$$R_{mo} = \frac{5 \cdot 0,25}{2 \cdot 342\mu} = 1,8k\Omega$$

$$R_{mo} = 1,8k\Omega$$

4.5.6 ESPECIFICAÇÃO DE C_t

Associado ao resistor R_{set} , este capacitor é especificado de acordo com a frequência de chaveamento desejada.

$$C_t = \frac{1,25}{R_{set} \cdot f_{ch}} \quad (4.17)$$

$$C_t = \frac{1,25}{6,8k \cdot 20k} = 9,2nF$$

Adotou-se $C_t=8,2nF$.

4.5.7 COMPENSAÇÃO DO AMPLIFICADOR DE ERRO DE CORRENTE

Para o compensador da malha de corrente, será utilizada uma rede RC estabelecendo dois pólos e um zero. A figura 4.1 mostra o circuito adotado e seu diagrama assintótico de bode.

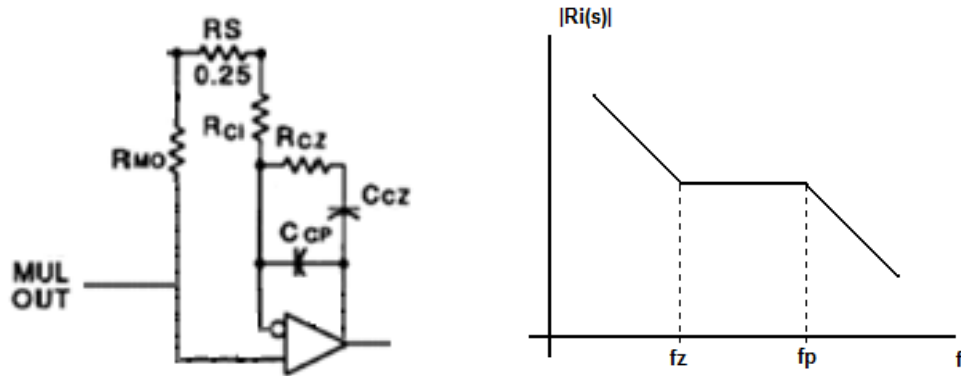


Figura 4.5 Circuito e diagrama de bode do compensador de corrente.

O projeto deste compensador deve considerar os seguintes critérios [1]:

- O ganho de faixa plana, entre o zero e o pólo deve ser de 18dB;
- A frequência do zero deve ser alocada em alguns kilohertz, para reproduzir com boa fidelidade a corrente senoidal retificada (120Hz);
- Um dos pólos está na origem e o outro deve ser alocado em uma frequência dez vezes maior que a frequência do zero, que por sua vez deve garantir uma frequência de cruzamento bem abaixo da frequência de chaveamento.

$$Ri(s) = \frac{-(Rcz \cdot Ccz \cdot s + 1)}{Rci \cdot (Ccz + Ccp) \cdot s \cdot \left(\frac{Rcz \cdot Ccz \cdot Ccp}{Ccz + Ccp} \cdot s + 1\right)} \quad (4.18)$$

$$20 \cdot \log \frac{Rcz}{Rci} = 18dB \quad (4.19)$$

$$fz = \frac{1}{2\pi \cdot Rcz \cdot Ccz} \quad (4.20)$$

$$fp = 10 \cdot fz = \frac{Ccz + Ccp}{2\pi \cdot Rcz \cdot Ccz \cdot Ccp} \quad (4.21)$$

Adotou-se Rci igual a 1,8kΩ (igual a Rmo).

Substituindo R_{ci} na equação 4.19:

$$20 \cdot \log \frac{R_{cz}}{1,8k} = 18 \rightarrow R_{cz} = 14k\Omega$$

Agora, definiremos uma frequência de 2,5kHz para o zero e assim encontramos o valor do capacitor C_{cz} a partir da equação 4.20.

$$2500 = \frac{1}{2\pi \cdot 14k \cdot C_{cz}} \rightarrow C_{cz} = 4,54nF$$

Para definirmos o valor do capacitor C_{cp} basta utilizarmos os valores encontrados na expressão 4.21:

$$10.2500 = \frac{4,54n + C_{cp}}{2\pi \cdot 14k \cdot 4,54n \cdot C_{cp}} \rightarrow C_{cp} = 505,34pF$$

Para ajustar os componentes de acordo com os valores comerciais, definiu-se:

$R_{cz} = 15k\Omega$	$C_{cz} = 4,7nF$	$C_{cp} = 560pF$
----------------------	------------------	------------------

4.5.8 COMPENSAÇÃO DO AMPLIFICADOR DE ERRO DE TENSÃO

Para o compensador da malha de corrente foi utilizado o padrão indicado no AN-U-134 [2] que reproduz o equacionamento ideal sugerido pelo fabricante. Ele consiste em um filtro passa baixa e possui uma frequência de corte a fim de evitar o *ripple* de 120Hz na saída.

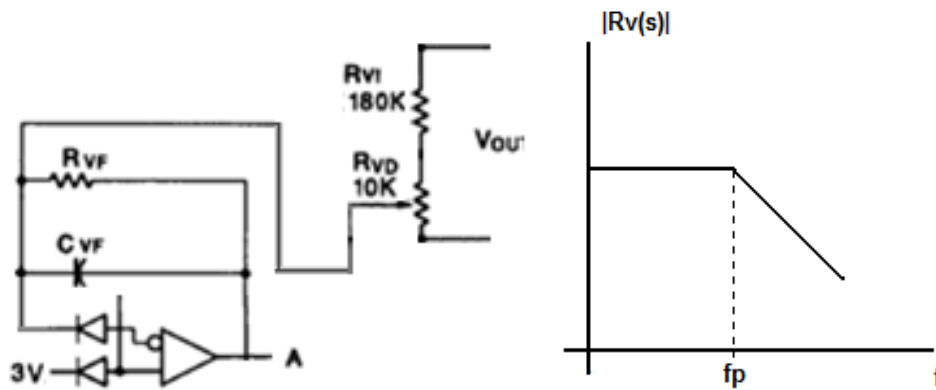


Figura 4.6 Circuito e diagrama de bode do compensador de tensão.

Primeiramente devemos determinar o valor de pico do *ripple* da tensão de saída, definido pela equação 4.22.

$$V_o(pk) = \frac{P_o}{2\pi \cdot f_r \cdot C_o \cdot V_o} \quad (4.22)$$

Onde f_r é 120 Hz, que é a frequência de ondulação da tensão de saída. Assim:

$$V_o(pk) = \frac{250}{2\pi \cdot 120 \cdot 450\mu \cdot 220} = 3,34Vac$$

Note que caso tivéssemos uma tensão de saída de aproximadamente 400V, este valor cairia significativamente para 1,84Vac.

A tensão $V_o(pk)$ deve ser reduzida para o *ripple* permitido na saída do amplificador de erro de tensão. Isto irá definir o ganho do amplificador na segunda harmônica de tensão.

$$G_{va} = \frac{\Delta V_{vao} \cdot \%ripple}{V_o(pk)} \quad (4.23)$$

Para o UC3854:

$$V_{vao} = 5 - 1 = 4V$$

Definindo um *ripple* de 1,5% temos:

$$G_{va} = \frac{4 \cdot 3\%}{3,34} = 0,036$$

Agora, serão especificados os valores dos componentes da rede de realimentação da tensão de saída do conversor R_{vi} , R_{vd} , C_{vf} e R_{vf} .

O valor de R_{vi} é arbitrado para $180k\Omega$.

O resistor R_{vd} é definido para que se obtenha uma tensão de aproximadamente $3,5V$ (referência do amplificador de erro) sobre ele com uma tensão de saída de $220V$. Os resistores R_{vi} e R_{vd} fazem parte de um divisor de tensão responsável pelo controle da tensão de saída.

$$R_{vd} = \frac{R_{vi} \cdot V_{ref}}{V_o - V_{ref}} \quad (4.24)$$

$$R_{vd} = \frac{180k \cdot 3,5}{220 - 3,5} = 2,9k\Omega$$

Para R_{vd} foi utilizado um *trimpot* de $10k\Omega$.

Através da expressão 5.25 definimos o capacitor C_{vf} :

$$C_{vf} = \frac{1}{2\pi \cdot f_r \cdot R_{vi} \cdot G_{va}} \quad (4.25)$$

$$C_{vf} = \frac{1}{2\pi \cdot 120 \cdot 180k \cdot 0,036} = 202nF$$

Com valores comerciais foi aproximado para $C_{vf}=180nF$.

A equação 5.26 determina o pólo de frequência com ganho unitário.

$$f_{vi}^2 = \frac{P_o}{\Delta V_{vao} \cdot V_o \cdot R_{vi} \cdot C_o \cdot C_{vf} \cdot (2\pi)^2} \quad (4.26)$$

Substituindo-se os valores adequados:

$$f_{vi}^2 = \frac{250}{4 \cdot 220 \cdot 180k \cdot 450\mu \cdot 202n \cdot (2\pi)^2}$$

$$f_{vi} = 21,08\text{Hz}$$

Assim, calcula-se o resistor R_{vf} .

$$R_{vf} = \frac{1}{2\pi \cdot f_{vi} \cdot C_{vf}} \quad (4.27)$$

$$R_{vf} = \frac{1}{2\pi \cdot 21,08 \cdot 202n} = 37,75k\Omega$$

Adotou-se $R_{vf}=39k\Omega$.

Como este resistor está ligado diretamente ao ganho do amplificador de erro de tensão, o valor calculado apresentou uma variação acentuada na tensão de saída conforme era variada a carga. Portanto, após testes na bancada, o resistor acabou substituído para a realização dos ensaios por outro de $68k\Omega$.

$$R_{vf}=68k\Omega$$

4.5.9 CAPACITORES CFF1 E CFF2

Estes capacitores são responsáveis por determinar o nível de contribuição da entrada V_{ff} para a distorção em 3º harmônica na corrente de entrada. Como a 2º harmônica contida na tensão retificada é de 66,2%, pode-se definir o ganho total do filtro de segunda ordem a ser implementado.

$$G_{ff} = \frac{\%THD}{66,2\%} \quad (4.28)$$

Especificando-se a taxa de distorção harmônica THD em 1,5%.

$$G_{ff} = \frac{1,5}{66,2} = 0,0227$$

Utilizando dois pólos iguais em cascata, acha-se a frequência do pólo.

$$f_p = \sqrt{G_{ff}} \cdot f_r \quad (4.29)$$

$$f_p = \sqrt{0,0227} \cdot 120 = 18\text{Hz}$$

A partir desta frequência de corte, os capacitores Cff1 e Cff2 são definidos.

$$C_{ff1} = \frac{1}{2\pi \cdot f_p \cdot R_{ff2}} \quad (4.30)$$

$$C_{ff1} = \frac{1}{2\pi \cdot 18 \cdot 91k} = 0,097\mu F$$

$$C_{ff1} = 0,01\mu F$$

$$C_{ff2} = \frac{1}{2\pi \cdot f_p \cdot R_{ff3}} \quad (4.31)$$

$$C_{ff2} = \frac{1}{2\pi \cdot 18 \cdot 20k} = 0,47\mu F$$

$$C_{ff2} = 0,47\mu F$$

4.5.10 DEMAIS COMPONENTES

Com a finalidade de desacoplar os ruídos da tensão de referência e da tensão de comparação de proteção serão utilizados dois capacitores.

$$C_{pk} = 100\text{pF}$$

$$C_3 = 1\mu F$$

Por fim, foi colocado um resistor de $22K\Omega$ entre os pinos 10 (enable) e 15 (Vcc), seguindo as recomendações do *datasheet* para deixar o CI sempre ativado.

4.6 LISTA DE COMPONENTES UTILIZADOS

Componente	Descrição	Componente	Descrição
F1	Fusível de 6A	Rvf	68k Ω
TH1	2 NTC em série de 20 Ω	Rvac	330k Ω
D1	Ponte retificadora de onda completa formada por quatro diodos 1N4007	Rff1	910k Ω
L	3mH (5 indutores de 600 μ H associados em série)	Rff2	91k Ω
D0	Diodo ultra-rápido FEP30JP	Rff3	20k Ω
Q	MOSFET IRFPC50LC	Rset	5,8k Ω
Co	2 capacitores de 220 μ F/400V associados em paralelo	R	22k Ω
Rvi	180k Ω	Cpk	100pF
Rvd	10k Ω (trimpot)	C3	1 μ F
Rs	2 resistores de 0,47 Ω em paralelo	Ccz	4,7nF
Rmo	1,8k Ω	Ccp	560pF
Rci	1,8k Ω	Cvf	180nF
Rq	20 Ω	Cff1	0,1 μ F
Rpk1	10k Ω	C1	0,47 μ F
Rpk2	1,8k Ω	Css	1 μ F
Rcz	15k Ω	Ct	8,2nF

Tabela 4.2 Lista de componentes utilizados no protótipo.

4.7 DIAGRAMA ESQUEMÁTICO FINAL

A Figura 4.7 apresenta o diagrama esquemático usado para a elaboração do protótipo.

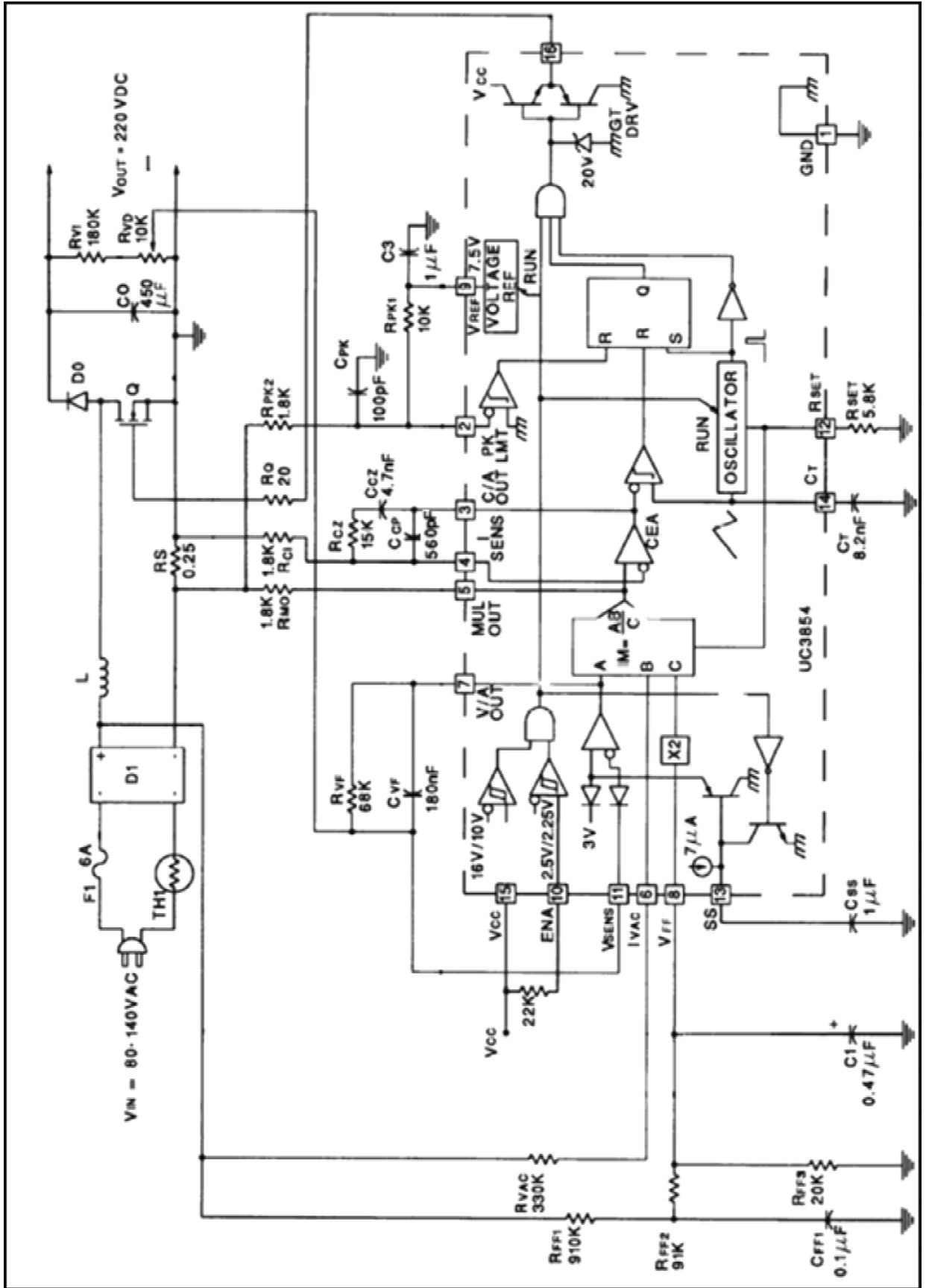


Figura 4.7 Diagrama esquemático do circuito implementado.

4.8 APRESENTAÇÃO DO PROTÓTIPO

A partir dos parâmetros calculados nos itens anteriores do capítulo 4, foi montado um protótipo para realização de testes e ensaios em uma bancada.

Para fins didáticos, o circuito implementado foi dividido em duas partes. A parte de potência ficou separada do circuito de controle devido às elevadas correntes que passam pelo mesmo.

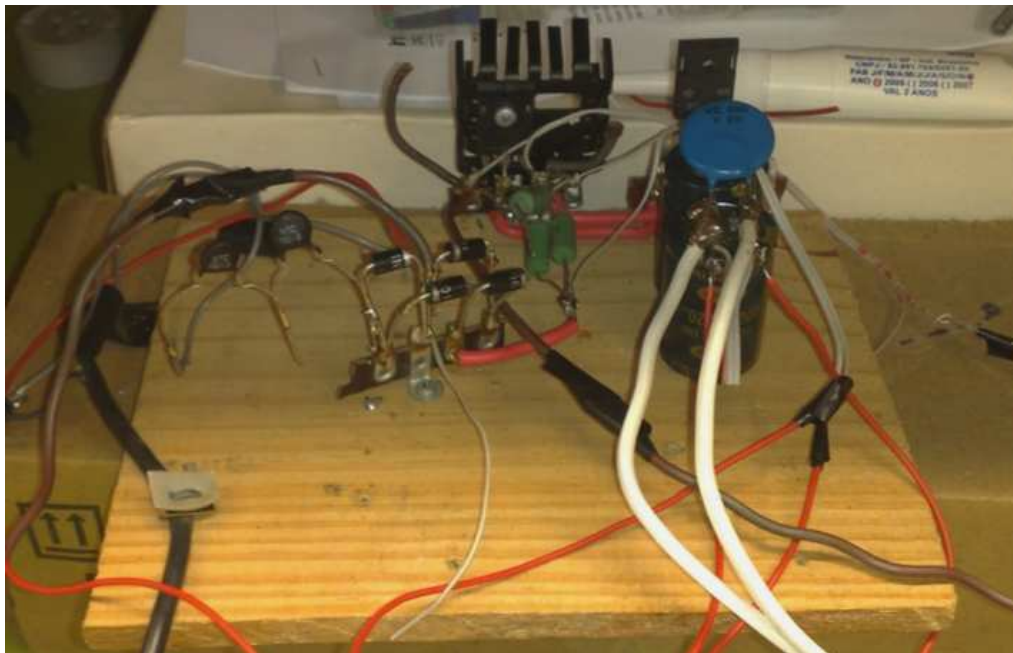


Figura 4.8 Circuito de potência desenvolvido.

Como observado na figura 4.8, a parte de potência consiste basicamente da ponte de diodos, do indutor (que se encontra em uma caixa separada, não estando visível na imagem), do MOSFET, do diodo D0 e do capacitor de saída. Ainda foram acrescentados dois NTC de 10Ω em série para evitar a corrente in-rush e um varistor de 220V em paralelo com o capacitor para evitar problemas de sobre-tensão.

O circuito de potência foi montado em *proto-board* para facilitar a substituição de componentes o circuito de potência. Ele é centrado no UC3854e é apresentado na figura 4.7.

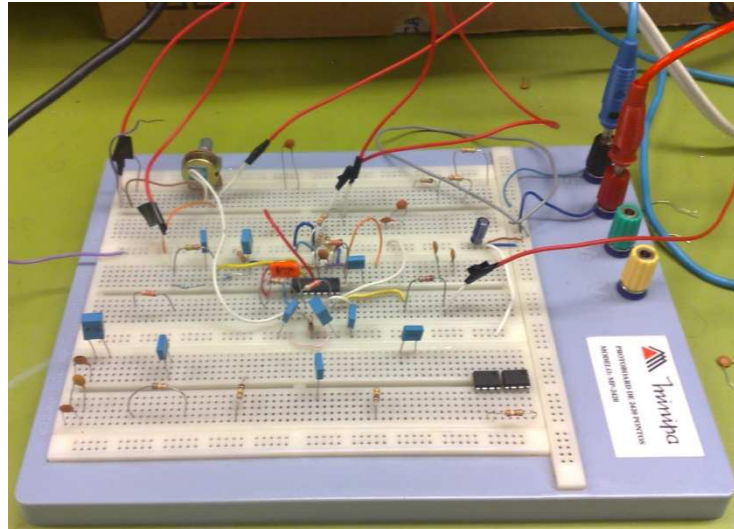


Figura 4.9 Circuito de controle.

Como carga foram utilizadas lâmpadas de 220V com a potência de 25W, 40W, 100W e 200W. Por meio de interruptores foi possível ligar e desligar as lâmpadas e, assim, aumentar ou diminuir a potência demandada na saída.



Figura 4.10 Carga formada unicamente por lâmpadas de 220V.

4.9 CONSIDERAÇÕES FINAIS

Foram utilizadas duas diferentes frequências de chaveamento durante o uso do protótipo (frequência de oscilação da onda triangular para geração do PWM): 20kHz e 35kHz.

Algumas considerações devem ser feitas a respeito desta alteração:

1. Nenhuma alteração foi feita no circuito, exceto o capacitor C_t (conectado ao pino 14);
2. Os componentes que dependem diretamente da frequência de chaveamento são: indutor, R_{cz} , C_{cz} e C_{cp} . Estes três últimos são os responsáveis pela malha de realimentação do regulador de corrente;
3. Esta mudança de frequência deveria ser acompanhada pela diminuição do indutor de 3mH para 1,8mH. Como isto não foi feito, é esperada uma diminuição no *ripple* de corrente.

5. RESULTADOS OBTIDOS

5.1 DESCRIÇÃO DOS ENSAIOS

Os ensaios foram divididos em duas etapas:

1. Foram realizados testes com tensão de alimentação $V_i = V_i(\text{nominal}) = 127\text{V}_{\text{rms}}$ e com carga variável de 25W até 240W para analisar a corrente de entrada e a tensão de saída.
2. Utilizando um variac, o circuito foi testado para analisar seu comportamento a partir de uma variação da tensão de alimentação entre 80V e 130V, mantendo-se a carga constante.

5.2 TESTES COM VARIAÇÃO DE CARGA

Para a realização dos testes com variação de carga, foram utilizadas duas frequências de chaveamento: 20kHz e 35kHz.

As figuras 5.1, 5.2 e 5.3 são aquisições que foram obtidas com osciloscópio digital. Elas estão divididas em duas diferentes colunas, sendo a da esquerda representando a frequência de chaveamento de 20kHz e a da direita de 35kHz. Já a potência de saída varia no sentido das linhas horizontais para valores de 25W, 40W, 65W, 100W, 125W, 165W, 200W e 240W.

Em todas tem-se:

- Traço superior – CH 4 – 200V/DIV – tensão de saída V_o ;
- Traço central – CH 1 – escala variável – corrente de entrada I_i ;
- Traço inferior – CH 2 – 10V/DIV (com ponteira atenuada em 10x) – tensão de alimentação V_i .

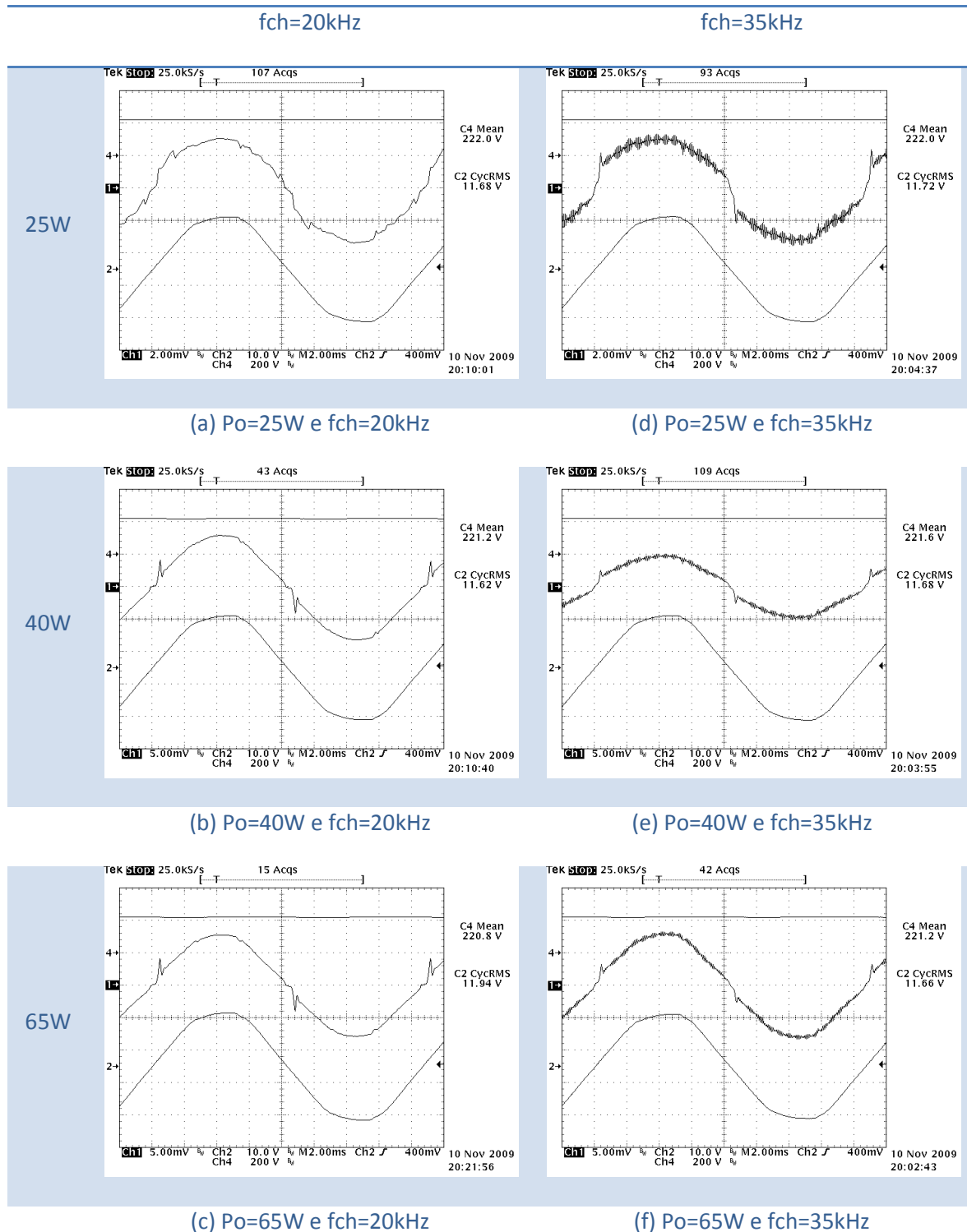


Figura 5.1 Ensaios realizados em regime permanente com potências de saída de 25W, 40W e 65W; e frequência de chaveamento de 20kHz e 35kHz

Nas figuras 5.1 (a) e (d) a corrente de entrada está na escala 0,2A/DIV, nas demais a escala é de 0,5A/DIV.

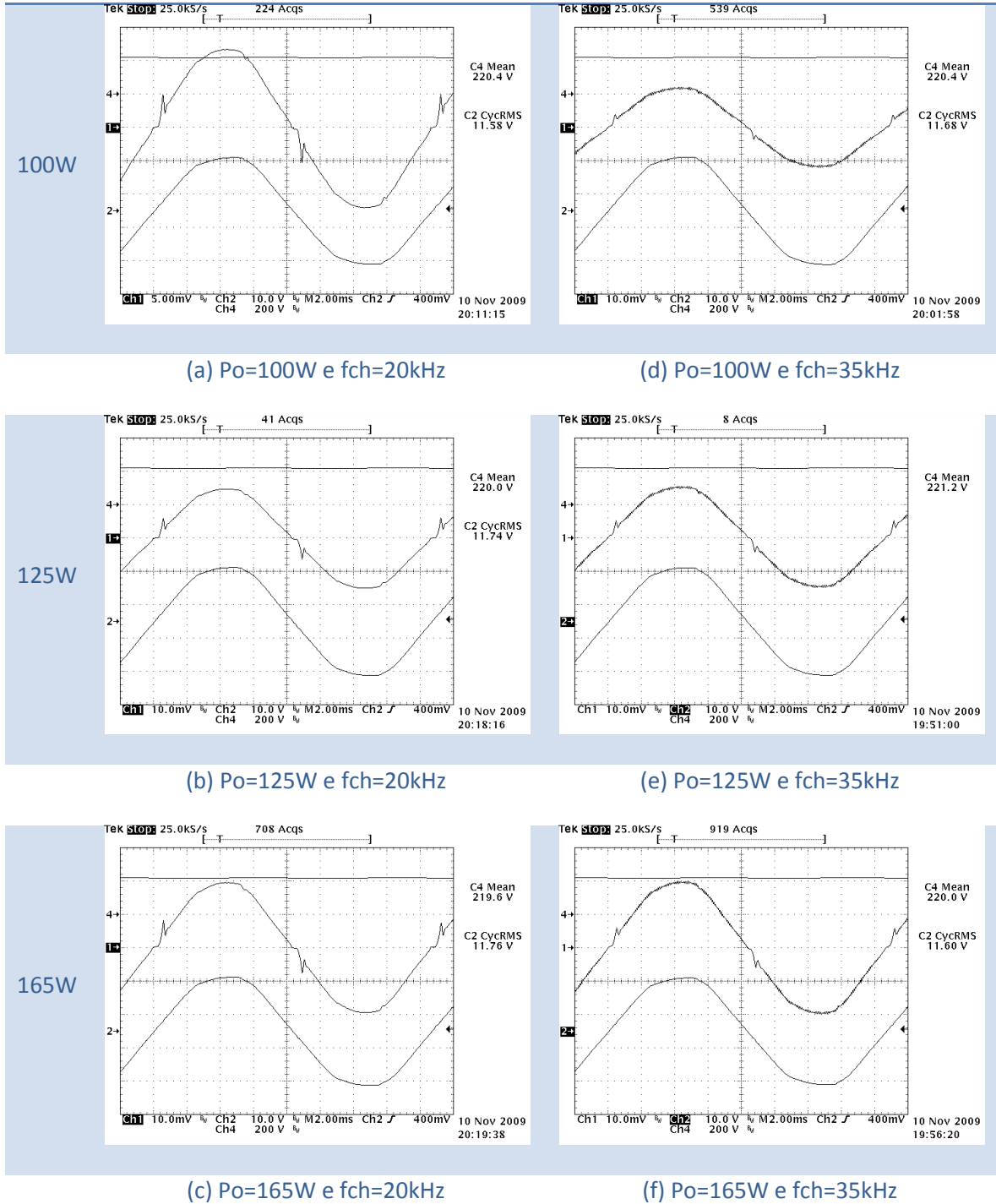


Figura 5.2 Ensaios realizados em regime permanente com potências de saída de 100W, 125W e 165W; e frequências de chaveamento de 20kHz e 35kHz

Na figura 5.2 (a) a corrente de entrada está na escala 0,5A/DIV, nas demais a escala é de 1A/DIV.

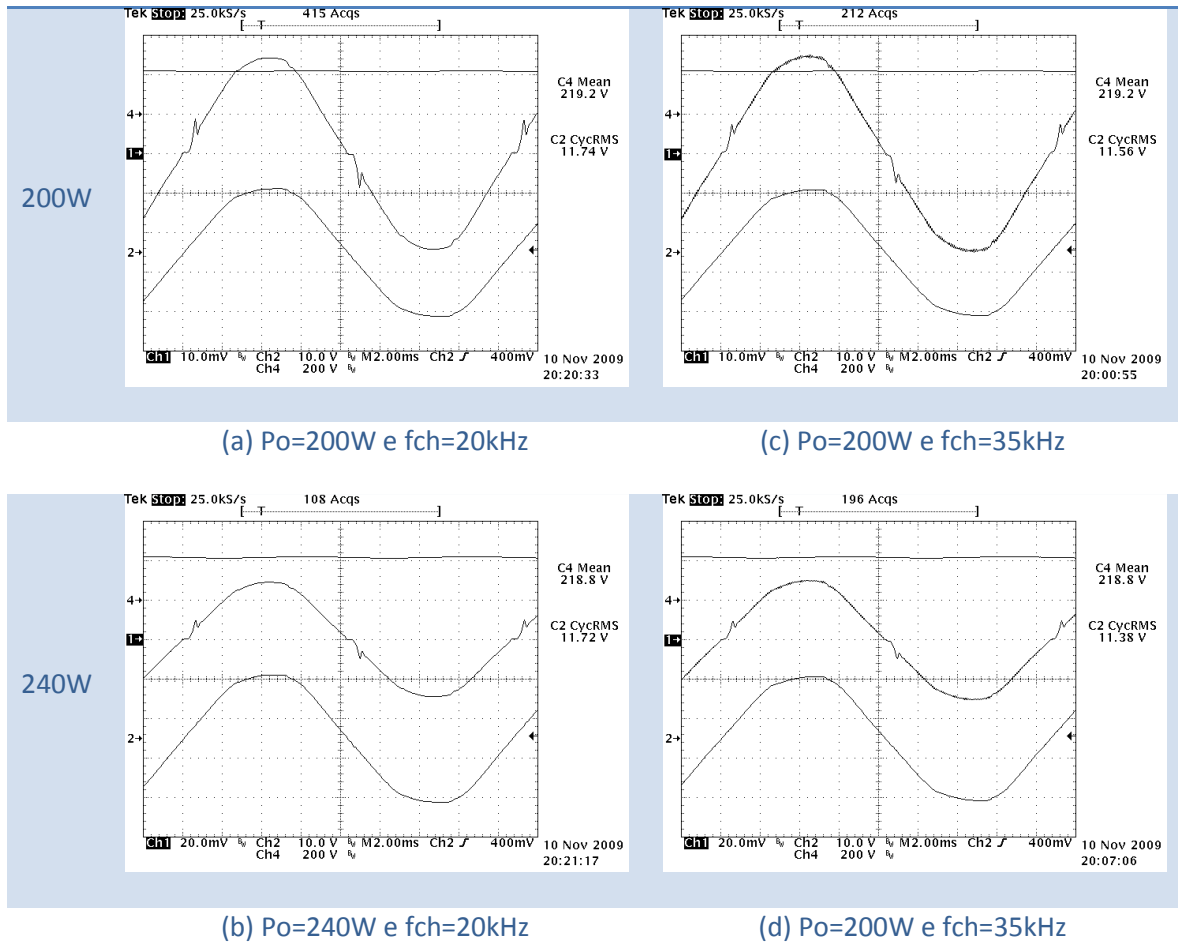


Figura 5.3 Ensaio realizados em regime permanente com potências de saída de 200W e 240W; e frequência de chaveamento de 20kHz e 35kHz

Nas figuras 5.3 (a) e (c) a corrente de entrada está na escala 1A/DIV, nas demais a escala é de 2A/DIV.

A partir das figuras 5.1, 5.2 e 5.3 é possível concluir que o circuito funcionou de forma bastante adequada, drenando uma corrente praticamente senoidal da rede em fase com a tensão de entrada V_i , principalmente nos ensaios com maior potência. Em potências menores é possível perceber certa a oscilação da corrente.

Comparando-se as figuras 5.1(a) e 5.3(b), nota-se que a tensão de saída aplicada a carga permaneceu praticamente a mesma quando houve uma variação de carga de 25W (10%

da carga máxima) para 240W (96% da carga máxima). Isso se deve ao fato do regulador de tensão estar bem projetado.

Ainda, percebeu-se que apesar da variação da frequência de chaveamento, não mudou significativamente o aquecimento do MOSFET Q. Com isto, poderíamos trabalhar com uma frequência mais alta e assim ter um indutor menor e mais barato.

5.3 TESTES COM VARIAÇÃO DE TENSÃO DE ENTRADA

Os próximo teste foi feito com frequência de chaveamento igual a 20kHz. Os ensaios serão apresentados a partir de aquisições obtidas com osciloscópio digital. Será verificado o funcionamento do circuito quando submetido à variações na tensão de alimentação. Baseado no projeto descrito no capítulo 4, o protótipo deve atuar de maneira plena, ou seja, colocando a corrente de entrada em fase com a tensão de entrada e regulando a tensão de saída para 220V.

As figuras 5.4 e 5.5 estão dispostas na forma de duas colunas, a da esquerda representando uma carga de saída de 100W e a da direita 200W. As linhas horizontais representam a variação da tensão de alimentação entre 80V e 130V.

Tem-se:

- Traço superior – CH 4 – 500V/DIV – tensão de saída V_o ;
- Traço central – CH 1 – escala variável – corrente de entrada I_i ;
- Traço inferior – CH 2 – 10V/DIV (com ponteira atenuada em 10x) – tensão de alimentação V_i .

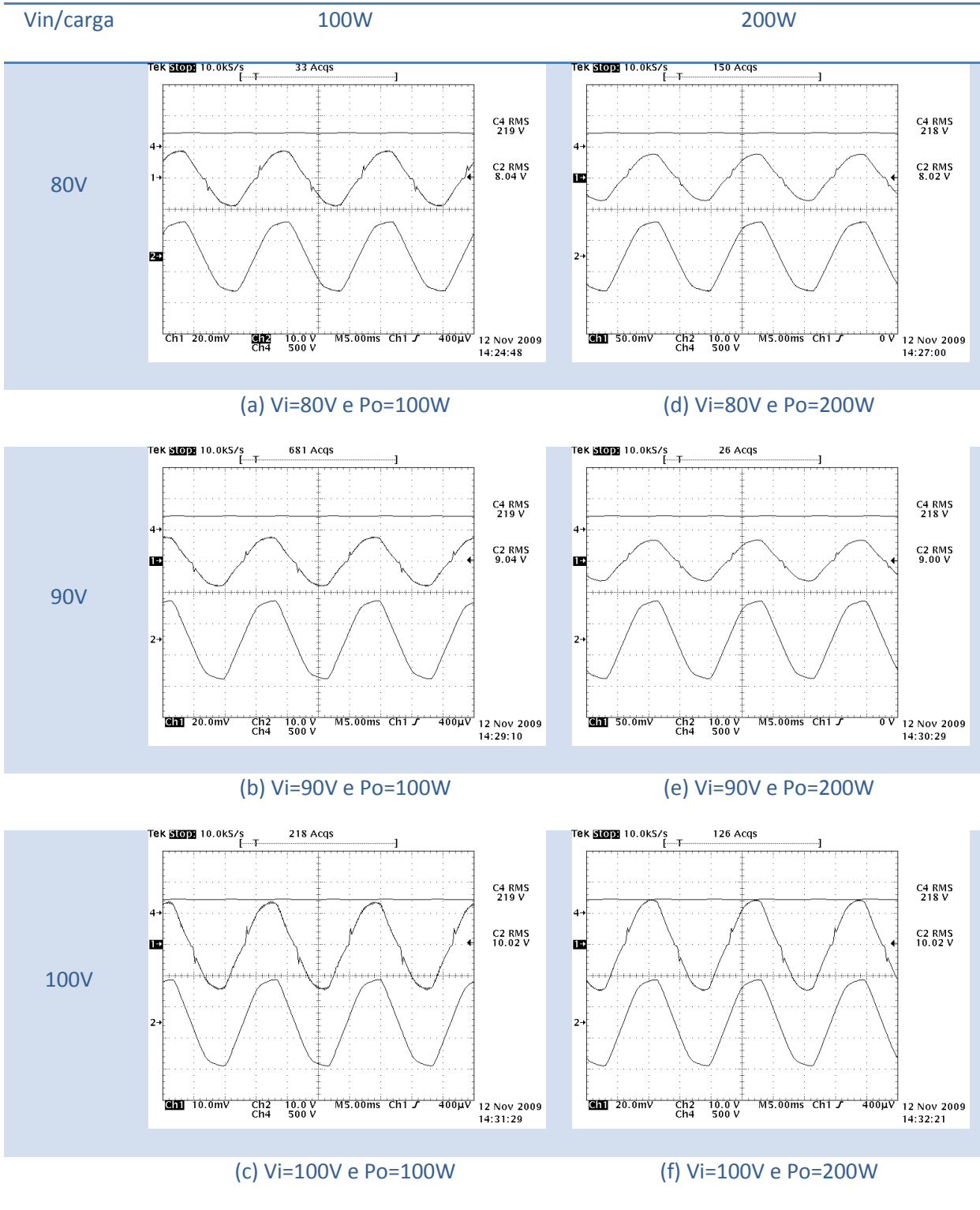


Figura 5.4 Ensaio realizado com tensões de 80V, 90V e 100V.

Na figura 5.4 (c) a corrente de entrada está na escala 1A/DIV, nas figuras 5.7 (a), (b) e (f) na escala de 2A/DIV e nas figuras 5.7 (d) e (f) na escala de 5A/DIV.

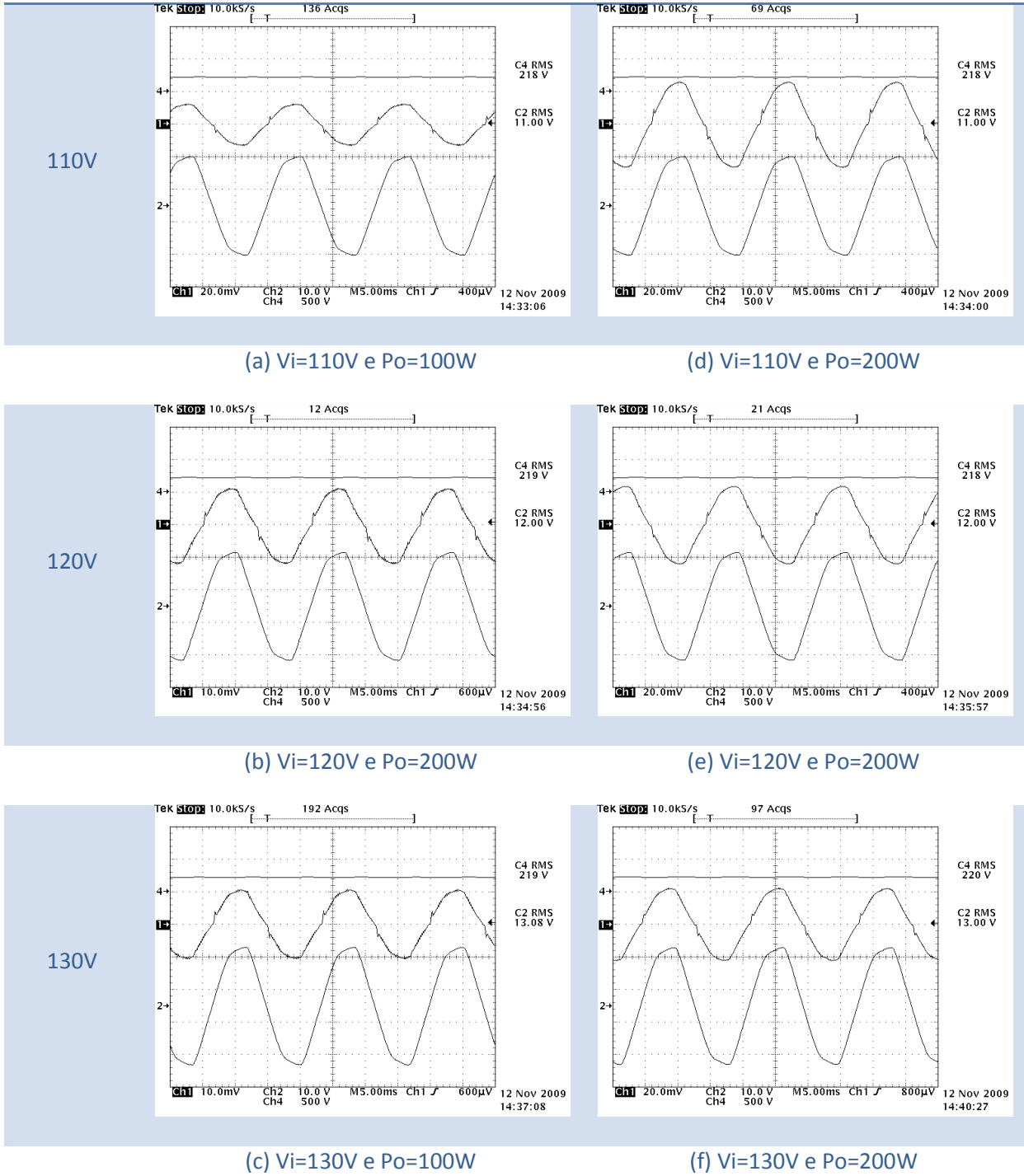


Figura 5.5 Ensaios realizados com tensões de 110V, 120V e 130V.

Na figuras 5.5 (b) e (c) a corrente de entrada está na escala 1A/DIV, nas demais a escala é de 2A/DIV.

A partir das figuras 5.4 e 5.5 conclui-se que a tensão de saída V_o permanece perfeitamente constante quando a tensão de alimentação varia.

A corrente de entrada I_i não apresentou distorções ou problemas para seguir a tensão de saída. No entanto, a corrente diminui conforme aumentamos a tensão, o que a primeira vista pode não fazer sentido, mas como foi mantida uma carga de potência constante ela segue a equação (5.1).

$$P = V \cdot i \quad (5.1)$$

5.4 ENSAIOS DIVERSOS

Foram ainda realizados alguns ensaios com a finalidade de detalhar algumas características essenciais de funcionamento do conversor.

A figura 5.6 apresenta detalhes da:

- Traço superior – CH 1 – Corrente do indutor I_L ;
- Traço inferior – CH 4 – Tensão entre dreno e source V_{DS} do MOSFET do conversor boost.

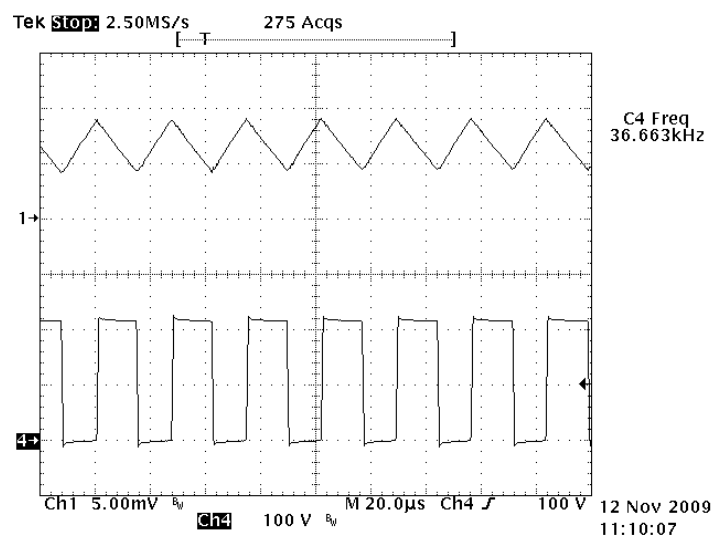


Figura 5.6 Corrente no indutor (0,5A/DIV) e tensão entre dreno e source do MOSFET.

Nota-se na figura 5.6 que a tensão V_{DS} apresenta comutações “bem comportadas”, não havendo *spikes* nem distorções inesperadas.

Aqui foi estabelecida uma freqüência de chaveamento de aproximadamente 35kHz, como podemos ver na imagem. Medindo o *ripple* de corrente encontramos um valor de aproximadamente 0,45A pico-a-pico.

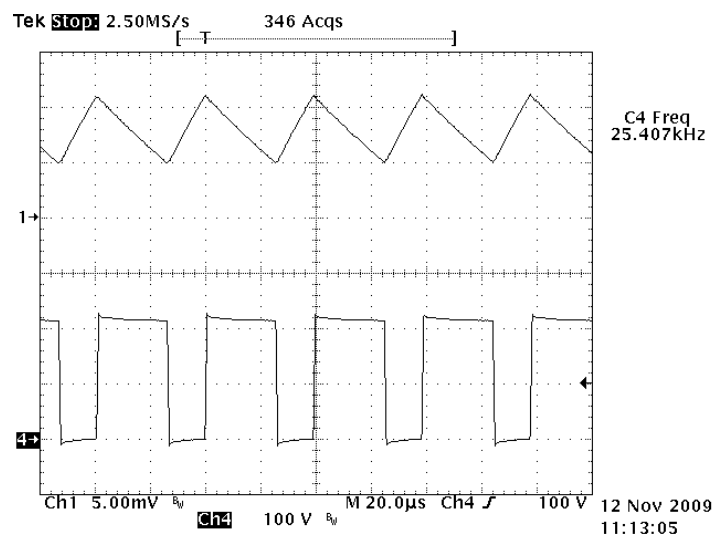


Figura 5.7 Corrente no indutor (0,5A/DIV) e tensão entre dreno e source do MOSFET.

A figura 5.7 apresenta os mesmos dados da figura anterior 5.6, entretanto a freqüência de chaveamento foi modificada para aproximadamente 25kHz.

Como já discutido no capítulo 4, com a diminuição da freqüência devemos esperar um aumento no *ripple* de corrente caso seja mantido exatamente o mesmo indutor. Assim sendo, podemos medir um *ripple* de aproximadamente 0,6A pico-a-pico, o que comprova a suposição inicial.

Já a figura 5.8 representa o momento em que a corrente no indutor I_L estava próxima de zero e o indutor está sendo carregado. Isto fica evidente observando a forma de onda no MOSFET: a tensão entre o dreno e source é, na maior parte do tempo, zero (ele está em curto-

circuito). Nos momentos em que há tensão sob ele, ou seja, a chave está aberta, o indutor passa a fornecer corrente para a carga (e o capacitor de armazenagem) e surge um pequeno *ripple*.

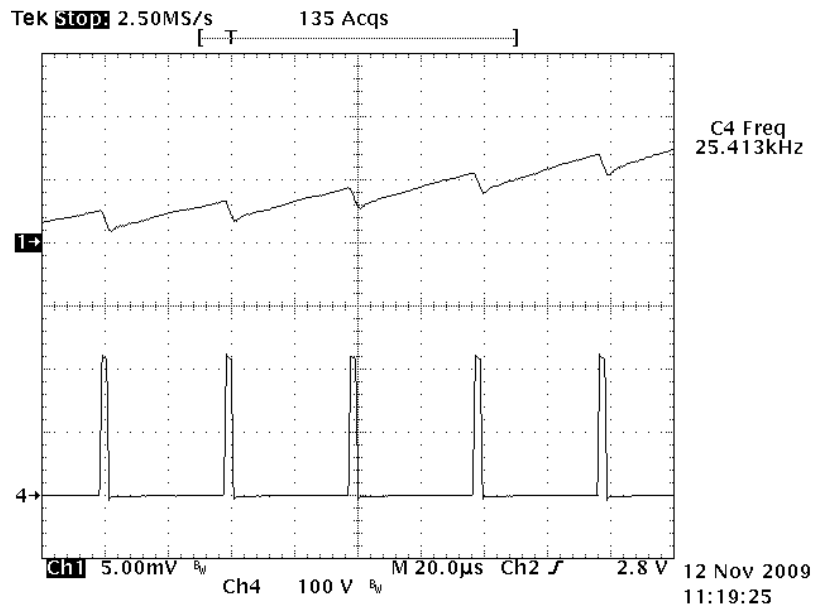


Figura 5.8 Corrente no indutor (0,5A/DIV) e tensão entre dreno e source do MOSFET.

Um dos problemas apresentados durante a montagem do protótipo foi o ajuste exato da realimentação do regulador de tensão. Esta foi a situação que demandou mais tempo para ser resolvida, pois o problema não é claro e devido a complexidade do circuito integrado o processo de montagem se torna trabalhoso no início.

Como comentado no capítulo 4, o resistor R_{vf} está ligado diretamente com o ganho do regulador e valores muito pequenos para esta resistência resultam em ganhos baixos o que significa uma alta variação na tensão de saída conforme trocamos a carga.

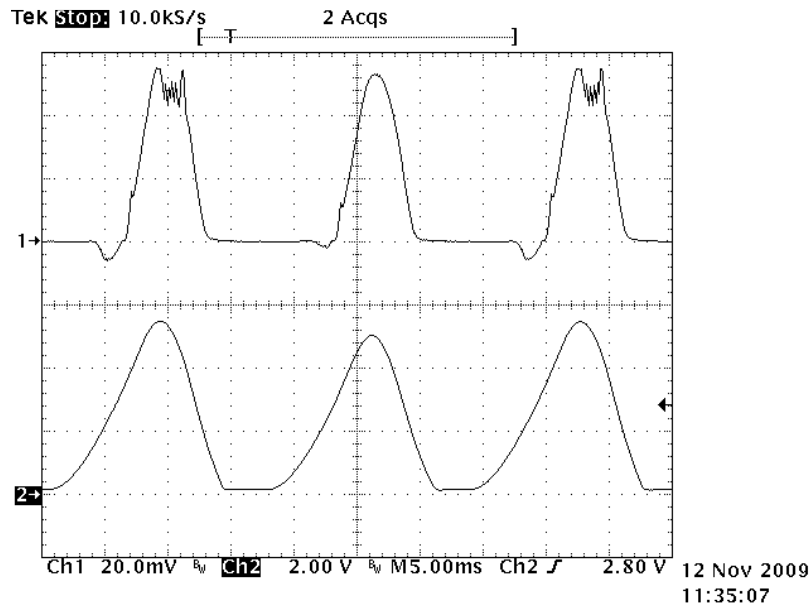


Figura 5.9 Corrente de entrada (canal 1, 2A/DIV) e saída do regulador de tensão (canal 2) com $C_{vf}=47\text{nF}$.

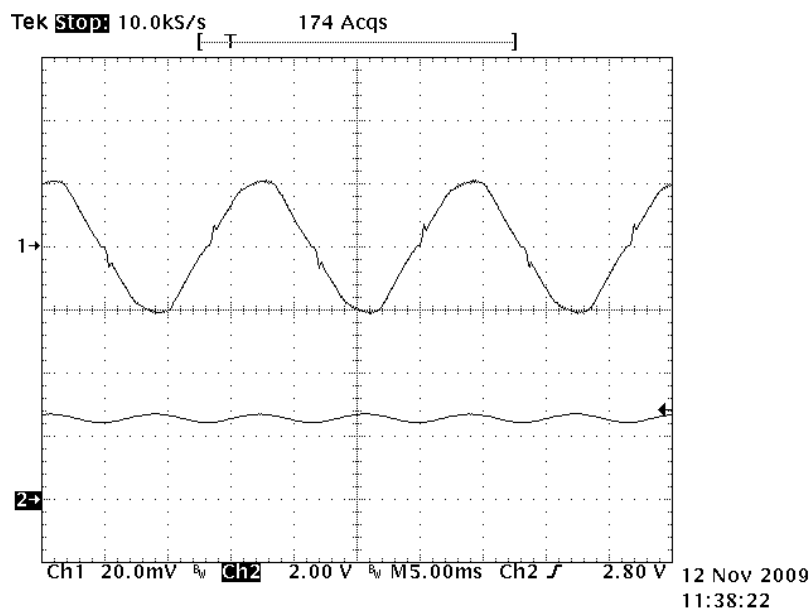


Figura 5.10 Corrente de entrada (canal 1, 2A/DIV) e saída do regulador de tensão (canal 2) com $C_{vf}=150\text{nF}$.

O ajuste do capacitor C_{vf} está ligado diretamente com o deslocamento da frequência de corte (onde há atenuação). As figuras 5.9 e 5.10 representam esta situação.

Com um capacitor de valor muito baixo, usando os valores calculados pelo método adotado por Todd [2], o filtro atenua na frequência errada e as harmônicas de 60Hz continuam presentes fazendo com que a saída apresente a forma de onda exibida no canal 2 da figura 5.9.

Ajustando-se para valores corretos na figura 5.10, podemos perceber uma significativa melhora na corrente de entrada assim como um valor constante na saída de tensão com um *ripple* de 120Hz, exatamente como previsto.

Os testes realizados tiveram resultados altamente satisfatórios. Os dois principais objetivos do projeto (correção do fator de potência e regulação da tensão de saída) foram alcançados com sucesso conforme demonstrado na série de figuras acima.

6. CONCLUSÃO

Neste trabalho foi descrita uma solução para o problema de injeção de harmônicas de corrente na rede a partir do uso de um conversor Boost como pré-regulador. O conversor proposto tem duas ações de controle: atuar corrigindo o fator de potência e regular a tensão de saída. Ao longo do estudo foram apresentados embasamentos teóricos e procedimentos necessários de projeto.

No decorrer do capítulo 1 foi feita uma análise das fontes retificadoras atuais e descritos conceitos básicos para o entendimento da situação.

O capítulo 2 oferece uma breve revisão do conversor CC Boost.

No capítulo 3 foi feita uma análise completa da solução apresentada: suas várias possibilidades de projeto e benefícios.

Ao longo do capítulo 4 foram definidas as especificações gerais do projeto. A partir disto, foram feitos diversos cálculos de acordo com o procedimento padrão de montagem do fabricante. Algumas alterações foram feitas visando aprimorar o funcionamento do protótipo. Também foi feita uma descrição do circuito integrado UC3854.

O projeto se mostrou fundamental na formação do aluno, pois este pode usar conhecimentos adquiridos ao longo da faculdade de Engenharia. Foi importante a implementação prática para a comprovação dos cálculos teóricos, assim como para observar pequenas diferenças entre teoria e prática.

Por fim os resultados comprovaram que o circuito realiza todas as funções de maneira satisfatória. Assim sendo, este trabalho atingiu todos os seus objetivos inicialmente propostos com sucesso e oferece uma solução viável para o mercado.

7. BIBLIOGRAFIA:

- [1] BARBI, Ivo. Projeto de Fontes Chaveadas. Edição do Autor, Florianópolis, 1993.
- [2] TOOD, P. C. UC3854 Controlled Power Factor Correction Circuit Design, Application Note AN-U-134 – Texas Instruments Incorporated, 1999.
- [3] ANDREYCAK, B. Optimizing Performance in UC3854 Power Factor Correction Applications. Unitrode, 1999.
- [4] POMÍLIO, J.A. Conversor Boost como Pré-Regulador de Fator de Potência. Fev. 2004. Disponível em:
<<http://www.dscee.fee.unicamp.br/~antenor/pdf/files/pfp/Cap3.pdf>>
- [5] ANDREYCAK, B. UC3854A and UC3854B Advanced Power Factor Correction Control IC's. Design Note – DN-44 – Unitrode, 1999.
- [6] BOTTRIL, J. AC Requirements for Power Correction Circuits, slua 263, Texas Instruments, 2002.