



Evento	Salão UFRGS 2020: SIC - XXXII SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2020
Local	Virtual
Título	Uma Comparação sobre Diferentes Topologias para o Ramo de Feedback de Flip-Flops Dinâmicos Voláteis
Autor	KLAUS HOLLER
Orientador	RAPHAEL MARTINS BRUM

Uma Comparação Sobre Diferentes Topologias para o Ramo de Feedback de Flip-Flops Dinâmicos Voláteis

Autor: Klaus Holler

Orientador: Prof. Raphael M. Brum

Departamento de Engenharia Elétrica - Escola de Engenharia – UFRGS

Laboratório de Prototipagem e Teste (LAPROT)

Dentre os diversos elementos sequenciais existentes em circuitos eletrônicos modernos, o Flip-Flop tipo D (FF-D) é um dos mais utilizados, por ser robusto e confiável. Duas formas equivalentes de desenvolvê-lo são utilizando um Tristate Inverter no ramo de feedback ou equivalentemente um Inversor em série com um Transmission Gate. Embora ambas as formas apresentem o mesmo comportamento lógico, existem restrições temporais e delays distintos entre as topologias. O objetivo do presente trabalho é realizar a caracterização temporal de FFs-D considerando as duas topologias e compará-las, para assim definir-se para quais casos cada uma é mais adequada. Após extensiva revisão bibliográfica, métricas para obtenção dos principais delays e restrições temporais foram estabelecidas. Para obter os delays uma única simulação foi necessária, já para as restrições o método numérico da busca binária foi utilizado, assim foram necessárias 8 simulações, uma para cada restrição. Todos os tempos foram analisados considerando as situações da saída para queda (fall) e subida (rise), bem como para diversas capacitâncias de saída, de 0.2fF a 15.2fF. A linguagem SPICE foi utilizada para descrever os FFs e MDL foi utilizada para descrever as análises. Através dos softwares CADENCE as simulações foram realizadas, sem haver variação no tamanho dos transistores ou nas configurações de clock. Os resultados obtidos foram analisados e comparados, podendo-se inferir uma série de conclusões sobre as topologias nos parâmetros considerados. Conforme a capacitância de saída aumenta o comportamento das topologias pode se inverter, sendo um mais rápido para baixas cargas e outro para altas, dependendo do tempo analisado. Não há influência da capacitância nas restrições temporais, sendo Tristate Inverter mais rápido. Por fim, caso um pulso de sinal seja amostrado no início da rampa de clock ele tende a ser menor do que se fosse amostrado no meio da mesma rampa.