

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

GABRIEL BERTALUCI DA COSTA

**ANÁLISE DE VIABILIDADE DE UMA NOVA TOPOLOGIA PARA
CONVERSORES A/D DO TIPO SAR**

Porto Alegre

2019

GABRIEL BERTALUCI DA COSTA

**ANÁLISE DE VIABILIDADE DE UMA NOVA TOPOLOGIA PARA
CONVERSORES A/D DO TIPO SAR**

Projeto de Diplomação II entregue ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul – UFRGS, como parte dos requisitos para a graduação em Engenharia Elétrica.

Orientador: Prof. Dr. Tiago Roberto Balen

Porto Alegre

2019

GABRIEL BERTALUCI DA COSTA

**ANÁLISE DE VIABILIDADE DE UMA NOVA TOPOLOGIA PARA
CONVERSORES A/D DO TIPO SAR**

Este Projeto de Diplomação foi analisado e julgado adequado para a obtenção de grau de Bacharel em Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora designada pelo Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul.

Orientador: _____
Prof. Dr. Tiago Roberto Balen, UFRGS

BANCA EXAMINADORA

Prof. Dr. Tiago Roberto Balen, UFRGS

Prof. Dr. Hamilton Duarte Klimach, UFRGS

Prof. Dr. Filipe Dias Baumgratz, UFRGS

AGRADECIMENTOS

Agradeço ao meu orientador, Prof. Dr. Tiago Roberto Balen, pela compreensão e a oportunidade de desenvolvimento deste trabalho.

Agradeço também aos meus pais, Cristiane e Fabiano, por todo carinho, apoio, força, compreensão e palavras de conforto que me deram ao longo dos anos e por tudo que fizeram para que este momento enfim ocorresse.

Agradeço aos colegas de curso Leomar Radke, Lucas Alves, Pedro Morgan e Vinícius Ceriotti por todas as longas noites mal dormidas de estudos e trabalhos e por todas as alegrias que a amizade de vocês me proporcionou ao longo desta trajetória.

Por fim, agradeço à todas as pessoas que estiveram ao meu lado ao longo destes anos, me incentivando e compreendendo minha ausência durante o período da graduação.

RESUMO

Os conversores analógicos-digitais por aproximações sucessivas (SAR ADC) do tipo redistribuição de carga são amplamente utilizados em diversas aplicações, principalmente nas que exigem um baixo consumo de área e energia. De forma a tentar melhorar a aplicação destes conversores, se faz necessário o estudo e desenvolvimento de novas tecnologias e topologias. Este trabalho apresenta o desenvolvimento, simulação e análise de viabilidade de uma nova topologia para um conversor analógico-digital por aproximações sucessivas. Esta topologia visa reduzir a área ocupada pelo banco de capacitores quando comparada à do conversor convencional. Através da utilização da parte analógica de um conversor SAR de 1 bit, realiza-se a conversão e após cada comparação, ajusta-se a tensão residual. Para o ajuste da tensão utiliza-se um dobrador de tensão com capacitores de mesmo tamanho da capacitância unitária do circuito do conversor. Após o ajuste da tensão residual a mesma realimenta o circuito inicial para realizar a conversão do próximo bit.

Palavras-chave: Conversor A/D. Aproximações Sucessivas. Conversores Cíclicos. Redistribuição de carga. Dobrador de tensão.

ABSTRACT

Successive Approximation Register (SAR) Analog to Digital Converters (ADCs) based on charge redistribution are widely used in a variety of applications, especially those requiring low power and low area consumption. In order to improve the application of these converters, it is necessary to study and develop new technologies and topologies. This work presents the development, simulation and feasibility analysis of a new topology for a successive approximation analog-to-digital converter. This topology aims to reduce the capacitor bank area when compared to the conventional converter. By using the analog part of a 1-bit SAR converter, the conversion is performed and after each comparison, the residual voltage is adjusted. To adjust the voltage, a voltage doubler with capacitors of the same size as the unit capacitance of the converter circuit is used. After adjusting the residual voltage, it will feedback the initial circuit to convert the next bit.

Keywords: Analog to Digital Converters. Successive Approximation Register. Cyclic Converters. Charge Redistribution. Voltage Doubler.

SUMÁRIO

1	Introdução.....	10
1.1	Motivação	10
1.2	Objetivo	11
2	Conversores A/D	12
2.1	Principais arquiteturas	15
2.2	Conversor A/D Dupla Rampa	16
2.3	Conversor A/D do tipo Flash.....	18
2.4	Conversor A/D do tipo Flash em dois passos	20
2.5	Conversor A/D do tipo Pipeline	21
2.6	Conversor A/D do tipo SAR	22
2.7	Topologia clássica do conversor A/D SAR baseado em redistribuição de carga....	24
2.8	Conversores Cíclicos.....	33
3	Desenvolvimento da nova topologia para o conversor SAR	36
3.1	Parte Analógica	36
3.2	Lógica de Controle Digital.....	42
4	Simulações	46
4.1	MATLAB.....	46
4.2	LTSPICE	46
5	Resultados e Discussão	49
5.1	Simulações do Circuito de Controle das Chaves	49
5.2	Simulações dos Sinais do Circuito Analógico	52
5.3	Simulações contendo não-idealidades.....	58
5.4	Viabilidade da nova topologia	63
6	Conclusão.....	65
7	Referências.....	67
	Apêndice 1 – Netlist Spice.....	69
	Apêndice 2 – Código MATLAB.....	73

LISTA DE IMAGENS

Figura 1 - Entradas e saídas de um conversor analógico-digital.....	10
Figura 2 - Diagrama conversores A/D e D/A	12
Figura 3 - Exemplo de erro de <i>aliasing</i>	13
Figura 4 - Exemplo de amostragem com e sem retenção	13
Figura 5 - Exemplo de reconstrução de um sinal com e sem retenção	14
Figura 6 - Aproximação da amplitude do sinal contínuo para o valor discreto mais próximo	14
Figura 7 - Comparativo de características de algumas arquiteturas de conversores A/D	15
Figura 8 - Diagrama simplificado para um conversor A/D dupla rampa	16
Figura 9 - Exemplo de conversão para um conversor dupla rampa de três bits	18
Figura 10 - Arquitetura de um conversor A/D Flash	19
Figura 11 - Diagrama de blocos de um conversor A/D Flash em dois passos	20
Figura 12 - Diagrama de blocos de um conversor A/D Pipeline	21
Figura 13 - Exemplo de conversão com busca binária para conversor de 5 bits	23
Figura 14 - Fluxograma do funcionamento da busca binária por aproximações sucessivas utilizando 2 bits	24
Figura 15 - Matriz de capacitores e divisor capacitivo equivalente.....	25
Figura 16 - Circuito base para o conversor SAR por redistribuição de carga.....	26
Figura 17 - Banco de capacitores para um conversor de 8 bits	26
Figura 18 - Banco de capacitores equivalente após a primeira redistribuição	28
Figura 19 - Banco de capacitores equivalente após a segunda redistribuição, caso o resultado da comparação anterior tenha sido nível lógico alto	29
Figura 20 - Banco de capacitores equivalente após a segunda redistribuição, caso o resultado da comparação anterior tenha sido nível lógico baixo	30
Figura 21 - Lógica de controle para um conversor de N bit.....	31
Figura 22 - Topologia para um conversor SAR de 6 bits com capacitor atenuador ..	32
Figura 23 - Diagrama de blocos genérico para um conversor cíclico	34
Figura 24 - Circuito de um conversor cíclico com capacitor chaveado.....	34
Figura 25 - Topologia básica para um conversor SAR de 1 bit	36
Figura 26 - Topologia desenvolvida para o dobrador da tensão residual	38
Figura 27 - Topologia do dobrador na etapa de amostragem	38
Figura 28 - Topologia do dobrador na etapa da dobra de tensão	39
Figura 29 - Circuito da parte analógica do conversor	41
Figura 30 - Diagrama de estados da parte operativa do conversor.....	44
Figura 31 - Sequenciador para um conversor de 4 bits.....	45
Figura 32 - Flip-flop do tipo JK descrito através das portas lógicas	47
Figura 33 - Flip-flop do tipo D modelado a partir de um flip-flop do tipo JK.....	47
Figura 34 - Topologia desenvolvida no LTSPICE.....	48
Figura 35 - Sinais de saída dos flip-flops da máquina de estados principal	49
Figura 36 - Sinais de controle das chaves	50
Figura 37 - Sinais de controle da chave S_{C0} para comparador em nível alto	51

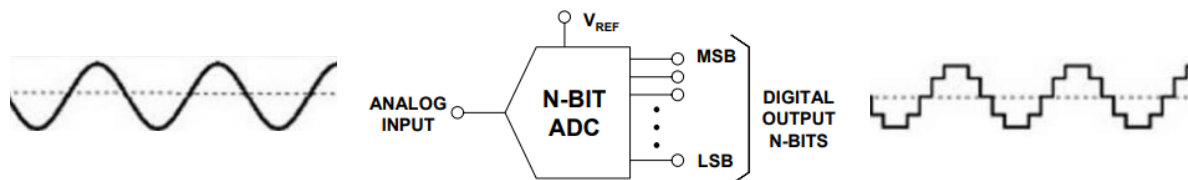
Figura 38 - Sinais de controle da chave S_{CO} para comparador em nível baixo	51
Figura 39 - Sinais V_{COMP} - e V_{OUT} ao longo da conversão	52
Figura 40 - Sinal de saída negado do flip-flop JK e sinal V_{SDE}	54
Figura 41 - Sinais de saída para $V_{IN} = 0\text{ V}$	55
Figura 42 - Sinais de saída para $V_{IN} = 1,2\text{ V}$	55
Figura 43 - Sinais de saída para $V_{IN} = 0,7\text{ V}$	56
Figura 44 - Sinais de saída do sequenciador com 8 bits para $V_{IN} = 0,7\text{ V}$	57
Figura 45 - Sinais de saída do sequenciador com 12 bits para $V_{IN} = 0,7\text{ V}$	58
Figura 46 - Amplificador não-inversor	59
Figura 47 - Sinais de saída com o erro de 1% no buffer e $V_{IN} = 0,7\text{ V}$	59
Figura 48 - Sinais de saída para $V_{IN} = 0,9\text{ V}$	60
Figura 49 - Sinais de saída para buffer com erro de 1% e $V_{IN} = 0,9\text{ V}$	60
Figura 50 – Simulação matemática comparando a tensão convertida e a tensão de entrada sem considerar o erro no buffer	61
Figura 51 - Simulação matemática comparando a tensão convertida e a tensão de entrada considerando o erro de 1% no buffer	61
Figura 52 - Sinais de saída utilizando resistência de chave aberta de $10\text{G}\Omega$ e entrada $V_{IN} = 0,7\text{ V}$	62
Figura 53 - Sinais de saída utilizando resistência de chave aberta de $1\text{G}\Omega$ e entrada $V_{IN} = 0,7\text{ V}$	63

1 Introdução

1.1 Motivação

Os conversores analógico-digitais (A/D ou ADC) transformam as grandezas analógicas, características da maioria dos fenômenos do "mundo real", à linguagem digital, usada em processamento de informações, computação, transmissão de dados e sistemas de controle (KESTER, 2005). Este processo é ilustrado na Figura 1.

Figura 1 - Entradas e saídas de um conversor analógico-digital



FONTE: (KESTER, 2005)

O crescimento do processamento de informações no domínio digital, resultou na ampla utilização dos conversores para obter as informações do domínio analógico.

Os avanços na tecnologia de semicondutores, juntamente com o aumento da demanda, impulsionaram inovação significativa em conversores de dados durante as últimas décadas (MANGANARO, 2012).

Diversos tipos de conversores estão disponíveis no mercado atual para as mais diversas aplicações. A aplicação em si, é normalmente o fator determinante para a escolha do tipo a ser empregado.

Com o avanço da tecnologia e as diversas opções disponíveis de conversores, se faz necessário o estudo de novas tecnologias ou topologias que inovem ou melhorem o funcionamento dos mesmos.

1.2 Objetivo

Conversores A/D do tipo Registrador de Aproximações Sucessivas (Successive Approximation Register – SAR) tem sido o esteio da aquisição de dados por muitos anos e permitem uma resolução aceitável associada à velocidade de conversão (KESTER, 2005). Entretanto, quando se faz necessário uma maior resolução, a área associada ao banco de capacitores utilizados para realizar a conversão tem um aumento expressivo.

O presente trabalho tem como objetivo o desenvolvimento e estudo de viabilidade de uma nova topologia proposta para reduzir a área de um conversor A/D SAR baseado em redistribuição de carga. Esta nova topologia é baseada em um SAR de 1 bit em que, após cada comparação, ajusta a tensão residual e a utiliza para realizar uma nova comparação.

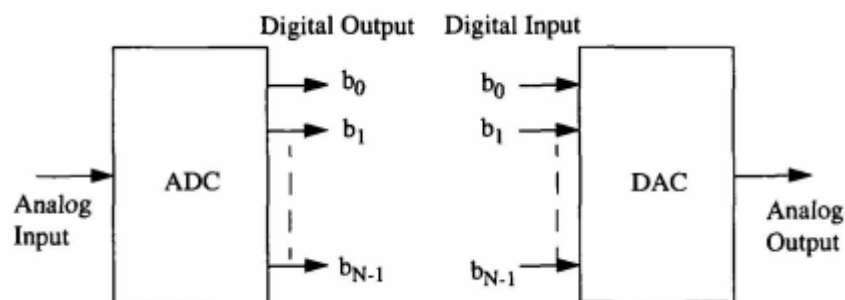
Através desta nova topologia, o aumento da resolução do conversor não afetará a área do mesmo, entretanto terá uma grande dependência associada ao tempo de conversão. Quanto maior a resolução, maior o tempo de conversão, reduzindo assim a frequência de operação.

Ao longo do trabalho serão apresentadas algumas arquiteturas de conversores A/D que agregarão conceitos e servirão de base para o desenvolvimento da nova topologia.

2 Conversores A/D

O conversor analógico-digital transforma a entrada analógica, usualmente na forma de tensão ou corrente, em uma saída digital. O conversor digital-analógico (D/A ou DAC), por sua vez, possui a função oposta e converte um sinal digital de entrada para um sinal analógico de saída, conforme representado na Figura 2.

Figura 2 - Diagrama conversores A/D e D/A



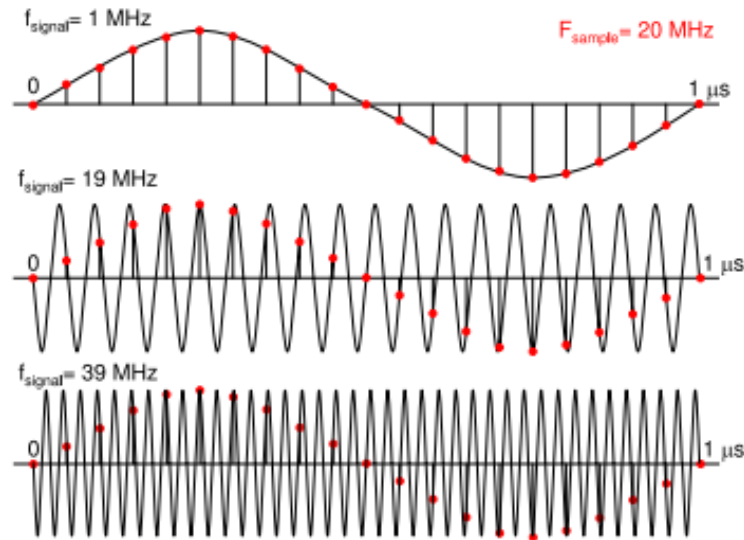
FONTE: (GUSTAVSON, 2002)

Conversores digitais-analógicos convertem sinais discretos para analógicos. Esta conversão, porém, é limitada pela resolução do sinal digital de entrada. Um número pré-definido de sinais de entrada gerará um número determinado de sinais de saída. Em um conversor A/D, o sinal analógico de entrada possui uma infinidade de valores que necessitam ser quantizados, uma das características que tornam este processo mais difícil do que o citado anteriormente (GUSTAVSSON, 2002).

O processo de conversão de um sinal analógico ocorre em diversas etapas. Primeiramente, o sinal de entrada é aplicado em um filtro passa-baixa de forma a limitar a frequência do sinal e prevenir o erro de *aliasing* (BAKER, 2008).

O erro de *aliasing* ocorre quando o critério de Nyquist não é cumprido, ou seja, a frequência de amostragem utilizada (f_s) é inferior ao dobro da máxima frequência do sinal analógico. Quando esse erro acontece, o conversor D/A não possui amostras suficientes para reconstruir o sinal e, o sinal reconstruído será diferente do originalmente amostrado. Um exemplo de erro de *aliasing* é demonstrado na Figura 3 nos sinais de 19MHz e 39 MHz, pois a frequência de amostragem de 20MHz é inferior ao dobro da frequência do sinal. Nesses sinais, portanto, a amostragem obtida criaria uma reconstrução igual à do sinal de 1MHz.

Figura 3 - Exemplo de erro de *aliasing*

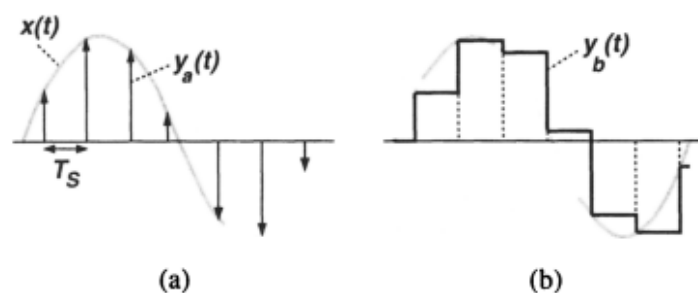


FONTE: (PELGROM, 2010)

Após o processo de corte das altas frequências, o sinal de entrada será submetido ao circuito de amostragem e retenção (Sample and Hold - S/H), no qual o sinal será amostrado, em uma frequência determinada, e o valor da amostra será retido até o conversor A/D processar a informação.

A Figura 4a apresenta uma amostragem ideal, onde o sinal analógico é multiplicado por uma sequência de impulsos, porém, esse sinal é de difícil análise e gera diversos erros devido ao seu curto período de amostragem. Na Figura 4b, o valor da forma de onda do sinal no instante da amostragem é capturado e mantido até a amostragem seguinte, de forma que o conversor processe corretamente. Durante o período de retenção, o sinal amostrado será quantizado e o codificador realizará a conversão para o valor digital correspondente.

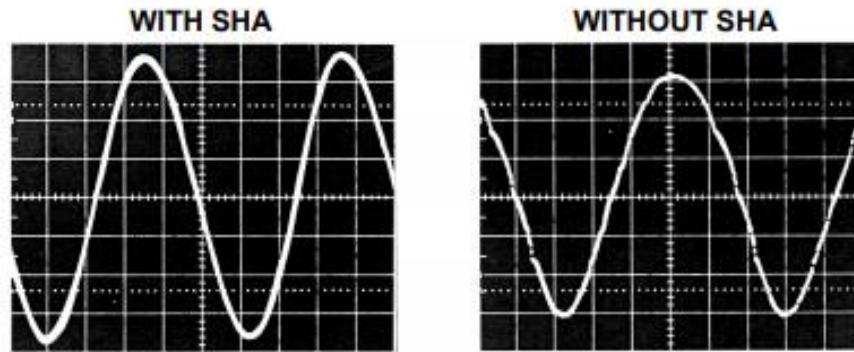
Figura 4 - Exemplo de amostragem com e sem retenção



FONTE: (RAZAVI, 1995)

A Figura 5 mostra a comparação entre a reconstrução do sinal obtido por um conversor A/D Flash com e sem o circuito de retenção.

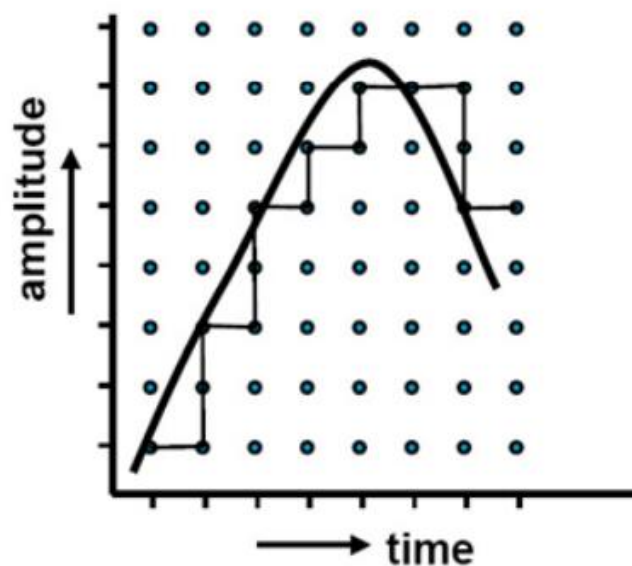
Figura 5 - Exemplo de reconstrução de um sinal com e sem retenção



FONTE: (KESTER, 2005)

Após isto é realizado o processo de quantização, que corresponde à discretização do sinal amostrado. Durante a quantização, o nível do sinal é comparado com faixas de valores de referência, conforme a Figura 6. A faixa de valores de referência apresenta um número limitado de níveis. A amplitude do sinal contínuo é aproximada ao nível discreto mais próximo. Cada conversão analógica-digital produzirá erros de arredondamento, denominados erros de quantização.

Figura 6 - Aproximação da amplitude do sinal contínuo para o valor discreto mais próximo



FONTE: (PELGROM, 2010)

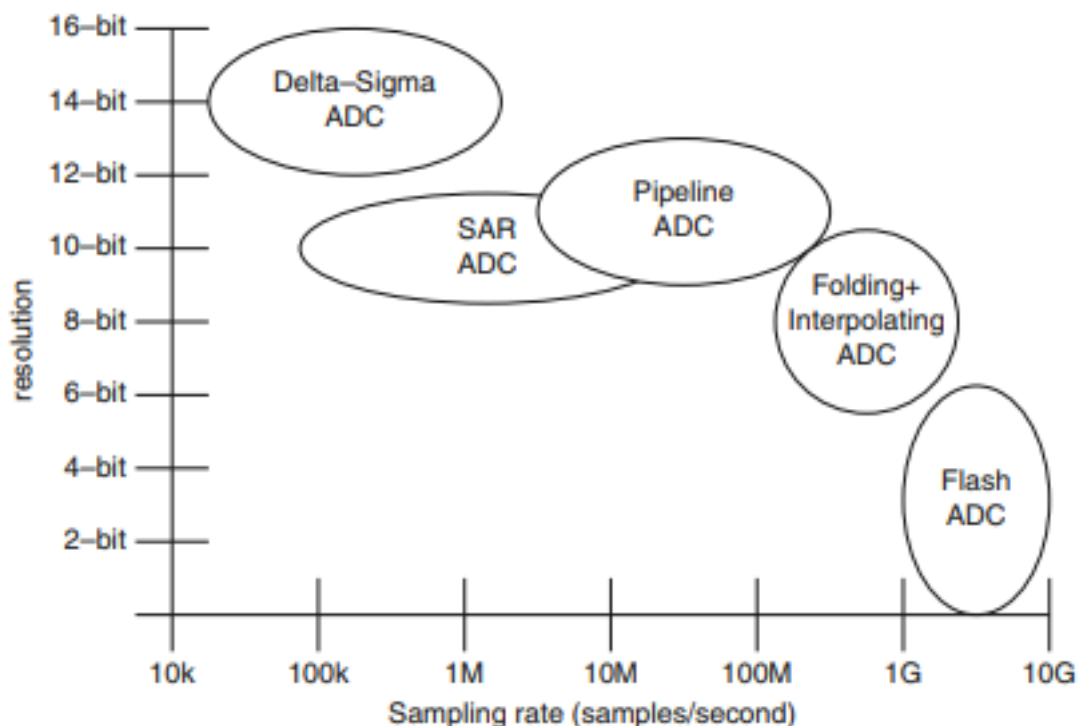
2.1 Principais arquiteturas

Por possuir muitas aplicações nos mais diferentes domínios, os conversores possuem diversas arquiteturas. Para escolher o conversor adequado para determinada aplicação, é necessário analisar não apenas a precisão ou número de bits. Arquiteturas diferentes estão disponíveis, cada uma exibindo vantagens e desvantagens entre si (MICROCHIP TECHNOLOGY, 2004).

Dentre as diferenças apresentadas entre as arquiteturas, podem-se citar algumas como: consumo de energia, utilização de área em silício, velocidade de conversão, tensão de operação e resolução.

A Figura 7 mostra um comparativo entre as principais arquiteturas de conversores A/D, relacionando o número de bits e a taxa de amostragem.

Figura 7 - Comparativo de características de algumas arquiteturas de conversores A/D



FONTE: (AHMED, 2010)

A Tabela 1 demonstra um comparativo entre as principais arquiteturas em relação à latência, velocidade, resolução e área.

Tabela 1 - Comparativo entre os principais conversores A/D

Arquitetura	Latência	Velocidade	Resolução	Área
Flash	Baixa	Alta	Baixa	Alta
SAR	Baixa	Baixa/Média	Média/Alta	Baixa
Foldin + Interpolating	Baixa	Média/Alta	Média	Alta
Delta-sigma	Alta	Baixa	Alta	Média
Pipeline	Alta	Média/Alta	Média/Alta	Média

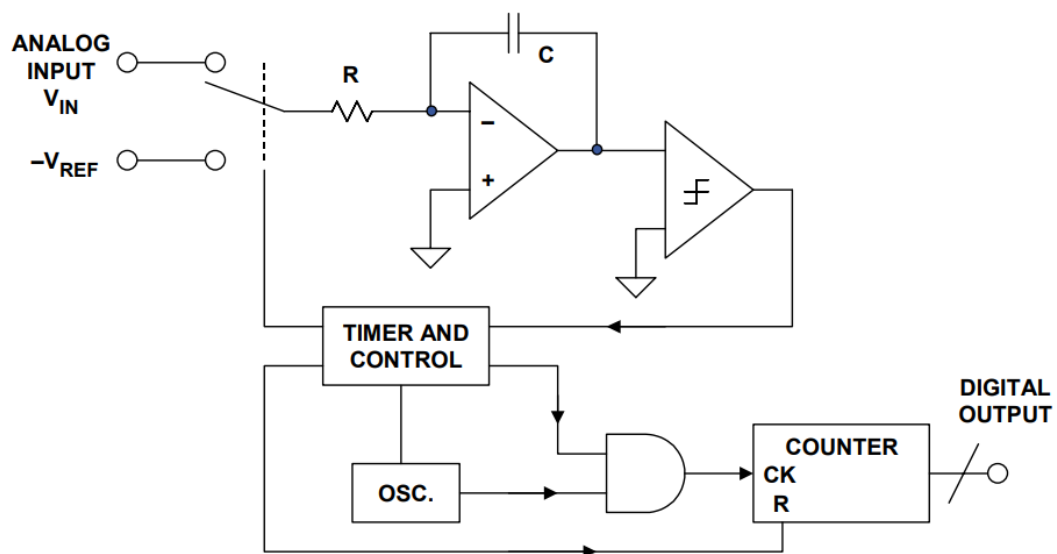
FONTE: (AHMED, 2010)

2.2 Conversor A/D Dupla Rampa

Essa modelo de conversor é bastante popular. Realiza a conversão de maneira indireta, primeiro convertendo em função do tempo, depois convertendo para um valor digital utilizando um contador. Esse modelo é muito utilizado em voltímetros digitais e aplicações nas quais o tempo de conversão possa ser relativamente mais lento em troca de uma redução de ruído devido à integração do sinal amostrado de entrada (SHEINGOLD, 1986).

A Figura 8 mostra um diagrama simplificado para este modelo de conversor.

Figura 8 - Diagrama simplificado para um conversor A/D dupla rampa



FONTE: (KESTER, 2005)

Segundo Kester (KESTER, 2005), o início da conversão se dá quando o sinal analógico de entrada é aplicado à um integrador enquanto o contador é iniciado, contando os pulsos do relógio.

Após um período pré-determinado de tempo (T), a carga acumulada no capacitor será proporcional à média do valor de entrada no intervalo de tempo T. A partir disso, inicia-se a segunda parte do processo, onde uma tensão de referência com polaridade contrária é aplicada ao integrador.

No instante em que a nova tensão é aplicada, a integral em rampa será no sentido contrário e o contador será zerado e reiniciado. Quando o valor do sinal do integrador atingir zero, após um intervalo de tempo t_x , o contador para e o circuito é reiniciado.

Como o integrador é inversor, o sinal de entrada deverá ser negativo. Dessa forma, a inclinação da rampa de subida será:

$$\alpha = \frac{V_{IN}}{RC} \quad (1)$$

Onde V_{IN} representa a tensão analógica de entrada e R e C respectivamente o valor da resistência e capacitância indicados na Figura 8.

Já a inclinação da rampa de descida será:

$$\alpha = \frac{-V_{REF}}{RC} \quad (2)$$

Onde V_{REF} representa a tensão de referência.

Como a carga obtida inicialmente é proporcional a $T \cdot V_{IN}$:

$$Q_{obtida} = k \cdot T \cdot V_{IN} \quad (3)$$

A carga perdida é proporcional à $t_x \cdot V_{REF}$:

$$Q_{perdida} = k \cdot t_x \cdot V_{REF} \quad (4)$$

E as cargas obtidas e perdidas possuem idealmente o mesmo valor. Tem-se que:

$$Q_{obtida} = Q_{perdida} \quad (5)$$

$$k \cdot T \cdot V_{IN} = k \cdot t_x \cdot V_{REF} \quad (6)$$

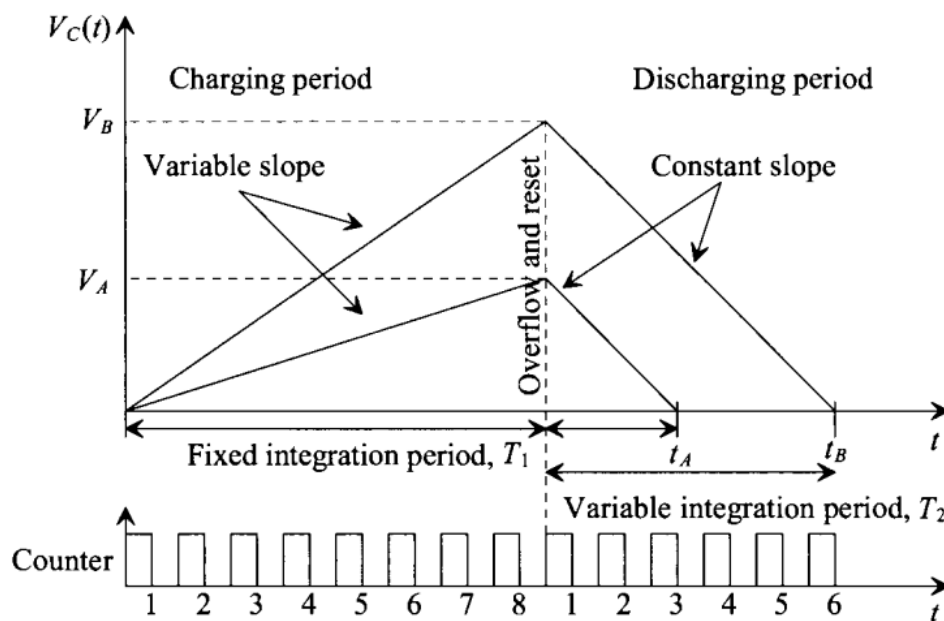
$$\frac{t_x}{T} = \frac{V_{IN}}{V_{REF}} \quad (7)$$

Então, o número de contagens da rampa de descida em relação à de subida será de t_x/T , ou V_{IN}/V_{REF} .

Na Figura 9, é apresentado um exemplo de conversão para um conversor de 3 bits, onde as tensões V_A e V_B são integradas por oito (2^3) períodos de relógio. O tempo de descarga para as duas tensões, varia.

A tensão V_A leva 3 contagens do relógio para atingir o zero. Portanto, em um conversor de 3 bits, o valor da saída digital seria dois (0b010), considerando que a primeira contagem equivale à saída digital zerada (0b000). Já a tensão V_B leva 6 ciclos de relógio, logo, o resultado da conversão seria cinco (0b101).

Figura 9 - Exemplo de conversão para um conversor dupla rampa de três bits



FONTE: (BAKER, 2008)

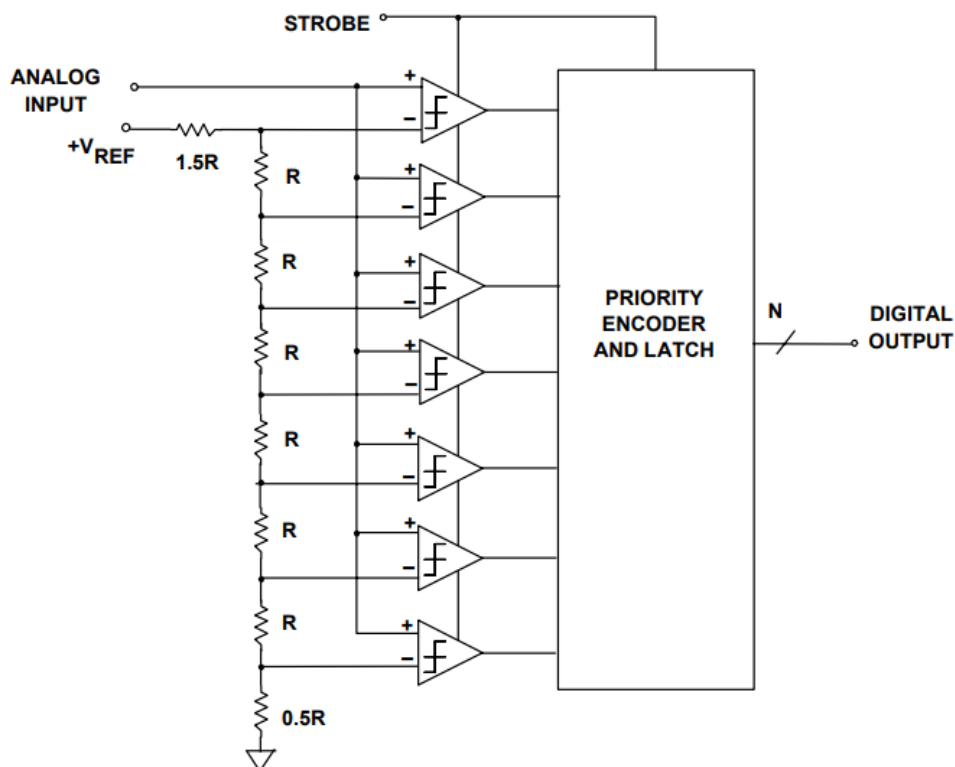
2.3 Conversor A/D do tipo Flash

Utilizados em projetos onde é necessária uma alta velocidade de conversão, os conversores flash podem atingir taxas de amostragem muito altas. Há um comparador para cada nível de quantização. Os níveis de referência para os comparadores são gerados por uma sequência de resistores.

Um codificador é usado para gerar a saída no formato digital. Em geral, um conversor *Flash* converte em um único ciclo de relógio, sendo essa a sua principal vantagem em relação à outras arquiteturas.

A Figura 10 apresenta a estrutura deste conversor. Nesta arquitetura, a tensão de referência V_{REF} é dividida em 2^N partes através de uma cadeia de resistores. Cada uma dessas partes é conectada aos comparadores do circuito. Então, a tensão de entrada V_{IN} é comparada com os diferentes valores de referência. Cada um dos 2^N-1 comparadores irá apresentar saída com nível lógico alto quando a tensão V_{IN} for maior que a respectiva tensão de referência particionada. Então, um codificador transformará o valor dessas saídas em um sinal digital equivalente ao número de bits utilizado no conversor (BAKER, 2008).

Figura 10 - Arquitetura de um conversor A/D Flash



FONTE: (KESTER, 2005)

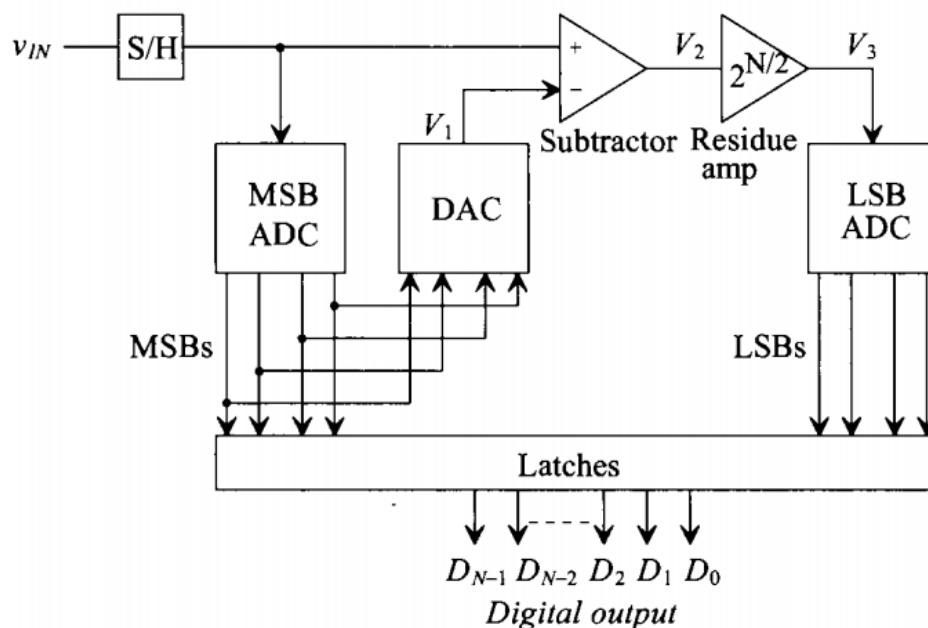
O principal problema relacionado a esta arquitetura é que o número de comparadores aumenta exponencialmente de acordo com a quantidade de bits. Para N bits, são necessários $2^N - 1$ comparadores. Devido a isto, o número de bits utilizados nessa arquitetura é usualmente limitado, pois a área utilizada, o consumo de potência

e a complexidade do circuito seriam muito elevados para altas resoluções (GUSTAVSSON, 2002).

2.4 Conversor A/D do tipo Flash em dois passos

Outro modelo de conversor é o denominado Flash em dois passos. A Figura 11 mostra o diagrama de blocos básico, composto principalmente de dois conversores Flash e um conversor D/A.

Figura 11 - Diagrama de blocos de um conversor A/D Flash em dois passos



FONTE: (BAKER, 2008)

Após a entrada ser amostrada, a metade mais significativa de bits (Most Significant Bits - MSBs) é convertida pelo primeiro Flash. Pode-se dizer que este conversor realiza uma estimativa do valor da entrada (BAKER, 2008).

Após esta primeira estimativa, este valor digital é então convertido novamente para tensão analógica por um conversor D/A e subtraído da entrada original.

O resultado da subtração, denominado resíduo, é então multiplicado por $2^{N/2}$ e inserido no segundo conversor. Esta multiplicação permite que os dois conversores

Flash sejam idênticos e também aumenta o nível de quantização do sinal de entrada no segundo conversor.

A partir disso, o segundo conversor entra em ação produzindo os bits menos significativos, realizando o ajuste fino da conversão.

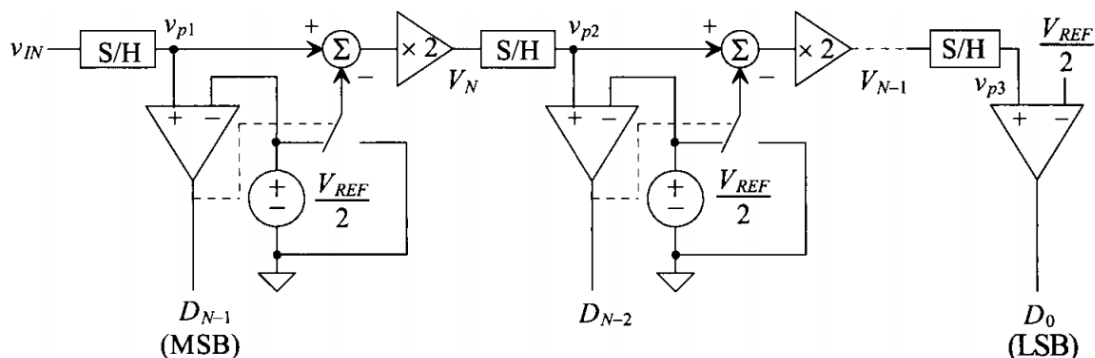
A vantagem dessa arquitetura é que o número de comparadores é amplamente reduzido em comparação com o Flash simples – de $2^N - 1$ para $2(2^{N/2} - 1)$ – pois utiliza dois conversores Flash, cada um com metade do número de bits do original. Por exemplo, um conversor Flash de 10 bits requer 1023 comparadores, enquanto o Flash em dois passos somente 62.

A desvantagem é que o processo de conversão é feito em dois passos ao invés de um, com a velocidade limitada pela largura de banda e o tempo requerido sendo limitado pelo amplificador de resíduo e o subtrator.

2.5 Conversor A/D do tipo Pipeline

De maneira similar a qual o Flash em dois passos divide a conversão em dois estágios, o conversor analógico-digital pipeline pode dividir a conversão em vários. É um conversor de N-passos, onde N é o número de bits e cada bit é convertido em um estágio. Capaz de atingir altas resoluções com velocidades relativamente rápidas, o conversor pipeline consiste de N estágios conectados em série, em que cada estágio contém um conversor de 1-bit, um circuito de amostragem e retenção, um somador e um amplificador de ganho dois, conforme Figura 12.

Figura 12 - Diagrama de blocos de um conversor A/D Pipeline



FONTE: (BAKER, 2008)

Após o sinal de entrada ser amostrado, é comparado com $V_{REF}/2$. A saída do comparador é o bit de conversão do estágio.

Se $V_{IN} > V_{REF}/2$, a saída do comparador será nível lógico alto, $V_{REF}/2$ será subtraído do sinal retido e o resultado irá para o amplificador. Se $V_{IN} < V_{REF}/2$, a saída do comparador será nível lógico baixo e o sinal de entrada original irá para o amplificador. O sinal que vai para o amplificador é denominado resíduo.

O resíduo, então, sofre o ganho de valor dois e segue para a amostragem e retenção do próximo estágio.

A principal vantagem do conversor pipeline é a sua alta taxa de conversão. Após a latência inicial de N ciclos do relógio, uma conversão será completada a cada ciclo do relógio. Enquanto o resíduo do primeiro estágio está sendo operado pelo segundo estágio, o primeiro estágio está livre para operar a próxima amostra. Cada estágio opera no resíduo passado adiante, o que permite rápidas conversões. Uma das desvantagens, por outro lado, é a latência inicial de N ciclos do relógio antes da primeira saída digital ocorrer (BAKER, 2008).

Outro ponto a ser destacado nesse estilo de conversor é a dependência em relação ao bit mais significativo. Um erro no primeiro estágio será propagado através da conversão de todos os outros bits, resultando em uma conversão diferente da esperada.

2.6 Conversor A/D do tipo SAR

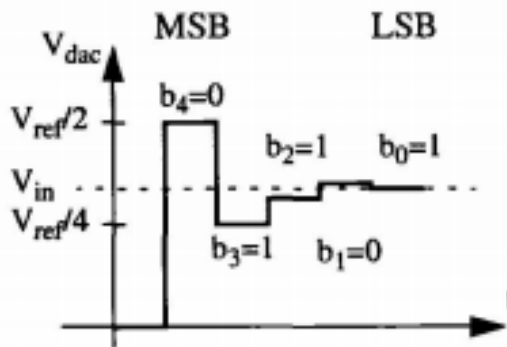
Apesar de ser mais lento que outros modelos de conversores como Pipeline e Flash, o consumo de energia baixo nos conversores com arquitetura do tipo SAR a torna uma arquitetura muito utilizada (ROBOT PLATAFORM, 2010).

Esta arquitetura funciona através do método de busca binária para determinar o valor digital da entrada analógica. A busca se baseia em N comparações sucessivas entre a entrada analógica e uma tensão de referência produzida por um conversor D/A.

O método mais comum de busca binária do conversor SAR inicia-se pelo bit mais significativo (MSB), determinando se o valor de V_{IN} é maior ou menor do que

$\frac{1}{2}V_{REF}$. Após a primeira comparação, o próximo bit é ativado e uma nova comparação é feita. A cada etapa, ocorre um estreitamento na faixa de possíveis resultados. A Figura 13 mostra um exemplo de conversão para 5 bits.

Figura 13 - Exemplo de conversão com busca binária para conversor de 5 bits



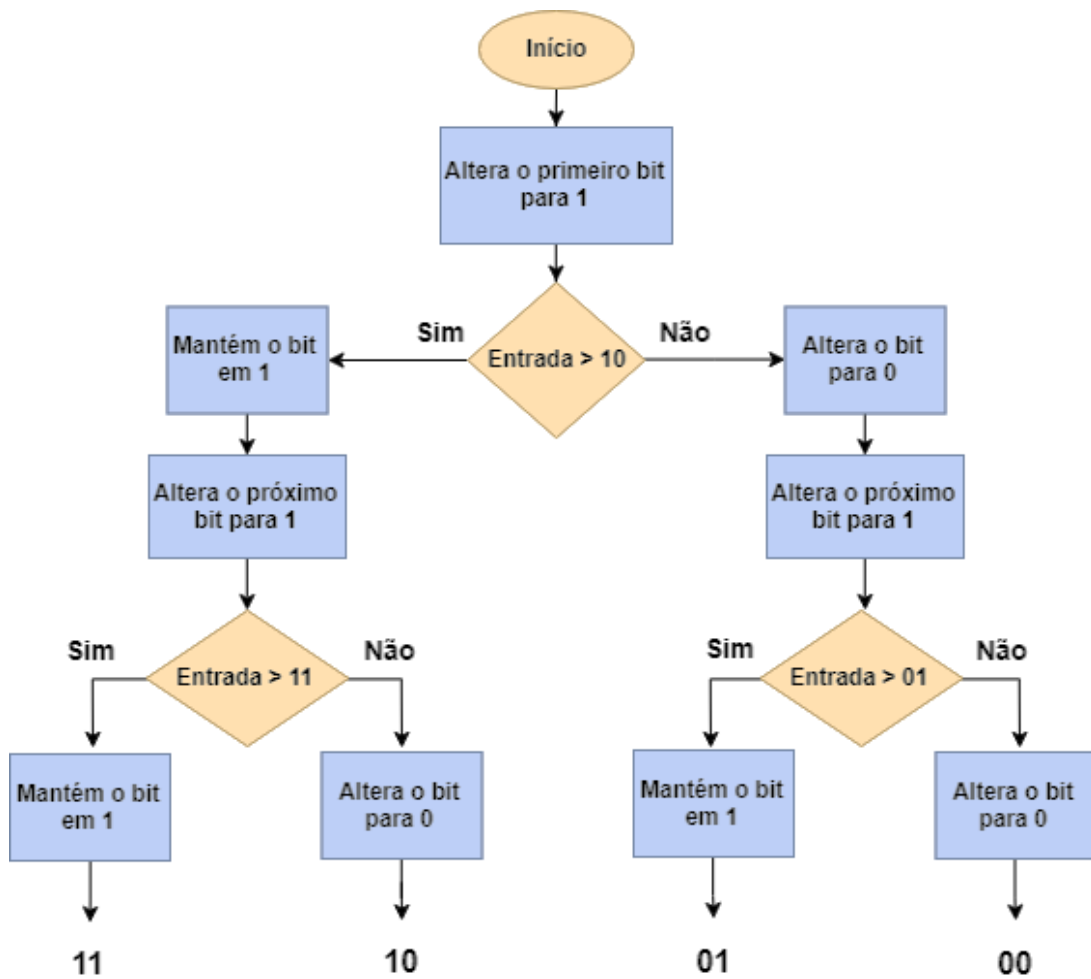
FONTE: (GUSTAVSSON, 2002)

A conversão inicia com a amostragem do sinal analógico. Em seguida, o circuito de controle ativa o MSB e desativa os demais bits. Este valor digital é aplicado no conversor D/A gerando a tensão analógica de $\frac{1}{2} V_{REF}$. Esta tensão é então comparada com o valor da entrada V_{IN} . Caso V_{IN} seja maior, a lógica de controle manterá o MSB ativo. Caso contrário, a lógica de controle desativará o MSB.

Após este primeiro passo, o segundo bit é ativado e uma nova comparação é feita. Este processo é repetido sucessivamente até que todos os bits tenham sido definidos. Após isso, o sinal analógico estará convertido em formato digital. A Figura 14 exemplifica o algoritmo de aproximações sucessivas para 2 bits.

Exatidão, linearidade e velocidade deste modelo de conversor são diretamente afetadas pelas propriedades do conversor D/A e do comparador. Em geral, o tempo de estabilização do D/A e o tempo de resposta do comparador são considerados mais lentos que o tempo de comutação dos elementos digitais. (SHEINGOLD, 1986).

Figura 14 - Fluxograma do funcionamento da busca binária por aproximações sucessivas utilizando 2 bits



2.7 Topologia clássica do conversor A/D SAR baseado em redistribuição de carga

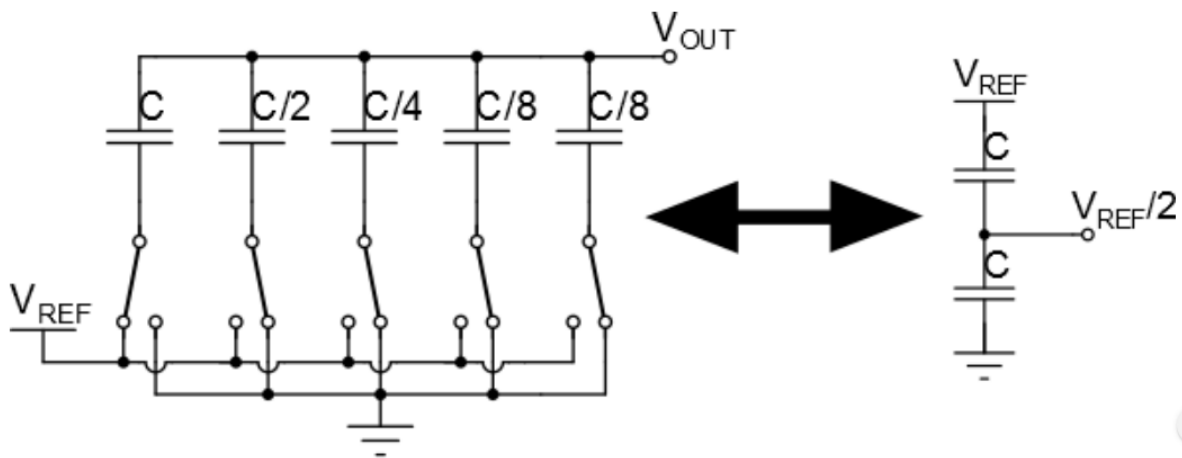
O circuito de um conversor A/D SAR baseado em redistribuição de carga consiste de quatro blocos principais: um banco de capacitores, um comparador, um conjunto de chaves e o controle digital das chaves.

O banco de capacitores consiste de $N + 1$ capacitores, onde N é o número de bits do conversor e cada bit é associado a um capacitor.

Neste conversor os valores a serem comparados na busca binária são obtidos através de capacitores atuando como D/A. Estes capacitores são associados para formar diversos divisores de tensão capacitivos, gerando assim os valores de tensão para futura comparação.

A Figura 15 apresenta um divisor capacitivo que poderia ser utilizado em um conversor de 4 bits.

Figura 15 - Matriz de capacitores e divisor capacitivo equivalente



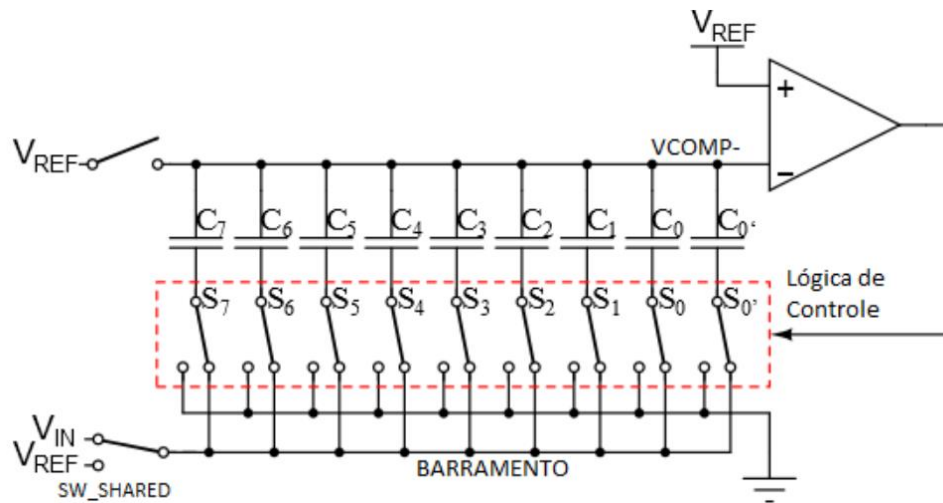
FONTE: (LANOT, 2014)

Através do arranjo das chaves, é possível obter a tensão desejada para a comparação. Por exemplo, no caso do chaveamento do circuito da Figura 15, a capacitância equivalente vista pelo nó de saída V_{OUT} do divisor é a mesma tanto em relação à V_{REF} quanto em relação ao *ground*. Desta forma, o valor da tensão de saída será equivalente à metade do valor da tensão de entrada.

As comparações do sinal de referência com esses valores são realizadas em um comparador, que colocará a saída em nível lógico alto se a tensão de referência for maior que a de comparação ponderada pelos capacitores, ou nível lógico baixo caso contrário. A saída do comparador controlará a ponderação da tensão de referência para permitir a convergência do sinal digital de saída através da lógica de controle, que implementará o algoritmo executando o correto chaveamento.

O circuito base para um conversor A/D por redistribuição de carga de 8 bits está apresentado na Figura 16.

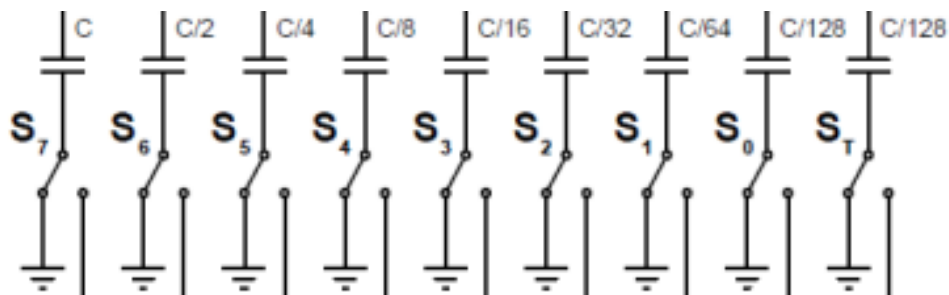
Figura 16 - Circuito base para o conversor SAR por redistribuição de carga



FONTE: (LANOT, 2014)

Os valores dos capacitores no banco são equivalentes ao mostrado na Figura 17.

Figura 17 - Banco de capacitores para um conversor de 8 bits



FONTE: (FELDMAN, 2013)

Os passos da conversão em um SAR de redistribuição de carga, utilizando um conversor de terminação simples para simplificar a explicação, são apresentados a seguir:

1) *Amostragem:*

Etapa na qual a tensão a ser convertida é amostrada. Inicia-se com as chaves S_0 a S_7 dos capacitores, conectando-os ao barramento comum. A chave superior S_A conecta V_{REF} e a chave do barramento S_B é posicionada em V_{IN} .

Com este chaveamento realizado, a rede capacitiva será carregada com uma diferença de potencial de $V_{REF} - V_{IN}$. Como a carga armazenada em um banco de capacitores é dada por:

$$Q = C \cdot \Delta V \quad (8)$$

Onde C é a capacitância total do banco e ΔV a variação de tensão. Sabendo que a capacitância do banco é $2C$, a carga total armazenada no banco será:

$$Q = 2C \cdot (V_{REF} - V_{IN}) \quad (9)$$

2) *Retenção:*

A chave S_A desconecta V_{REF} e as chaves dos capacitores conectam os mesmos ao *ground*. Como não há caminho para a descarga dos capacitores durante o chaveamento, a carga permanecerá a mesma.

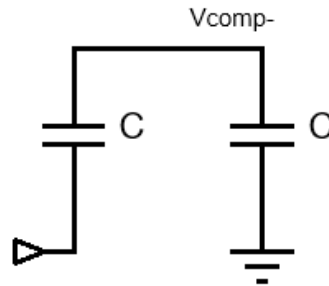
Assim, como a tensão na parte inferior dos capacitores é zero, devido à conexão com o *ground*, e a diferença de potencial é $V_{REF} - V_{IN}$, a tensão V_{COMP} passará a ser $V_{REF} - V_{IN}$ e a carga do banco permanecerá a mesma.

A razão para a amostragem do sinal de entrada ser relacionada à V_{REF} , ao invés do *ground*, é para evitar uma tensão negativa entre o nó V_{COMP} e o *ground*. Isso se deve ao fato de que quando chaves MOSFET são utilizadas, uma tensão negativa neste nó pode modificar o transistor NMOS, que conecta os capacitores ao *ground* durante esta fase de retenção, descarregando o banco (BECKER et al., 2017). A tensão V_{REF} utilizada nesta fase é cancelada na comparação devido ao mesmo realiza-la em relação à V_{REF} .

3) *Redistribuição de carga:*

Etapa na qual se inicia a conversão. A chave S_B conecta-se à V_{REF} , e a chave associada ao bit mais significativo, neste caso, chave S_7 , conecta o capacitor ao barramento. Com isto, um divisor capacitivo é formado entre o capacitor C_7 e a associação paralela de C_6 à C_0 . Os valores das capacitâncias seguem o padrão mostrado na Figura 17. A associação paralela de C_6 à C_0 possui o mesmo valor de C_7 , neste caso representado por C . O circuito equivalente é apresentado na Figura 18.

Figura 18 - Banco de capacitores equivalente após a primeira redistribuição



Este divisor capacitivo, com dois capacitores de mesmo valor, resulta em um aumento da tensão V_{COMP-} em $V_{REF}/2$. Como pode ser observado a seguir.

A carga total do banco é de:

$$Q_{TOTAL} = 2C \cdot (V_{REF} - V_{IN}) \quad (10)$$

Já a carga de cada um dos lados do divisor é de:

$$Q_1 = C \cdot (V_{COMP-} - V_{REF}) \quad (11)$$

$$Q_2 = C \cdot (V_{COMP-}) \quad (12)$$

Sendo Q_1 a carga no capacitor C_7 e Q_2 a carga na associação de capacitores de C_6 à C_0 . Como não ocorreu descarga durante o chaveamento, tem-se que:

$$Q_{TOTAL} = Q_1 + Q_2 \quad (13)$$

Assim, substituindo (10), (11) e (12) em (13):

$$2C \cdot (V_{REF} - V_{IN}) = C \cdot (V_{COMP-} - V_{REF}) + C \cdot (V_{COMP-}) \quad (14)$$

Resultando em uma tensão V_{COMP-} de:

$$V_{COMP-} = V_{REF} - V_{IN} + \frac{V_{REF}}{2} \quad (15)$$

O comparador então realiza a comparação entre seus terminais onde estão conectados V_{COMP-} e V_{REF} . Ou seja, é realizada a seguinte comparação:

$$V_{REF} > V_{REF} - V_{IN} + \frac{V_{REF}}{2} \quad (16)$$

Que simplificada resulta em $V_{IN} > V_{REF}/2$, ou seja, a tensão de entrada amostrada é comparada com metade da tensão de referência. Caso a comparação seja verdadeira, a saída do comparador irá para um nível lógico alto, caso contrário um nível lógico baixo.

O valor da saída do comparador representará o bit mais significativo da conversão, que será então armazenado. Caso este valor seja de nível alto, a chave

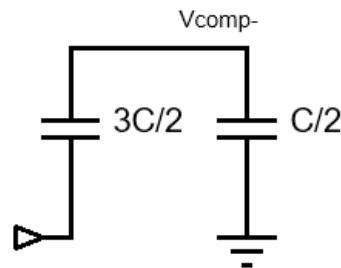
S_7 será mantida conectada ao barramento, caso contrário a chave conectará o capacitor ao *ground*.

Depois de completada esta fase de redistribuição de carga, o processo de redistribuição é feito novamente, desta vez com a chave S_6 , que conectará o capacitor ao barramento, gerando um novo divisor capacitivo.

Este divisor depende do resultado da comparação anterior, portanto há dois casos possíveis:

- Caso o resultado da comparação tenha sido nível lógico alto, fazendo com que a chave S_7 permanecesse conectada ao barramento, o divisor seria entre associação de C_7 e C_6 e a associação entre os capacitores C_5 até C_0 . Desta forma, o circuito equivalente seria o apresentado na Figura 19.

Figura 19 - Banco de capacitores equivalente após a segunda redistribuição, caso o resultado da comparação anterior tenha sido nível lógico alto



As cargas Q_1 e Q_2 seriam:

$$Q_1 = \frac{3C}{2} \cdot (V_{COMP-} - V_{REF}) \quad (17)$$

$$Q_2 = \frac{C}{2} \cdot (V_{COMP-}) \quad (18)$$

Desta forma, como Q_{TOTAL} permanece a mesma, substituindo (10), (17) e (18) em (13), tem-se que:

$$2C \cdot (V_{REF} - V_{IN}) = \frac{3C}{2} \cdot (V_{COMP-} - V_{REF}) + \frac{C}{2} \cdot (V_{COMP-}) \quad (19)$$

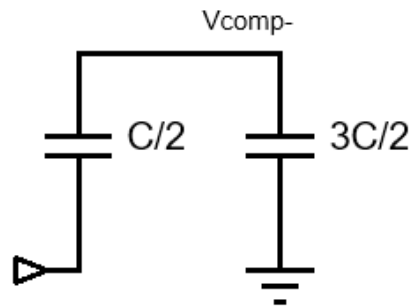
A tensão V_{COMP-} , então, seria dada por:

$$V_{COMP-} = V_{REF} - V_{IN} + \frac{V_{REF}}{2} + \frac{V_{REF}}{4} \quad (20)$$

- Caso o resultado da comparação tenha sido nível lógico baixo, fazendo com que a chave S_7 fosse conectada ao *ground*, o divisor seria entre C_6 e a associação de

todos os outros capacitores. Desta forma, o circuito equivalente seria o apresentado na Figura 20.

Figura 20 - Banco de capacitores equivalente após a segunda redistribuição, caso o resultado da comparação anterior tenha sido nível lógico baixo



As cargas Q_1 e Q_2 seriam:

$$Q_1 = \frac{C}{2} \cdot (V_{COMP-} - V_{REF}) \quad (21)$$

$$Q_2 = \frac{3C}{2} \cdot (V_{COMP-}) \quad (22)$$

De forma similar ao caso anterior, substituindo (10), (21) e (22) em (13), tem-se que:

$$2C \cdot (V_{REF} - V_{IN}) = \frac{C}{2} \cdot (V_{COMP-} - V_{REF}) + \frac{3C}{2} \cdot (V_{COMP-}) \quad (23)$$

A tensão V_{COMP-} , então, seria dada por:

$$V_{COMP-} = V_{REF} - V_{IN} + \frac{V_{REF}}{4} \quad (24)$$

Assim, analisando (20) e (24), considerando b_7 como o valor do bit mais significativo da conversão armazenado anteriormente, temos que a tensão V_{COMP-} será:

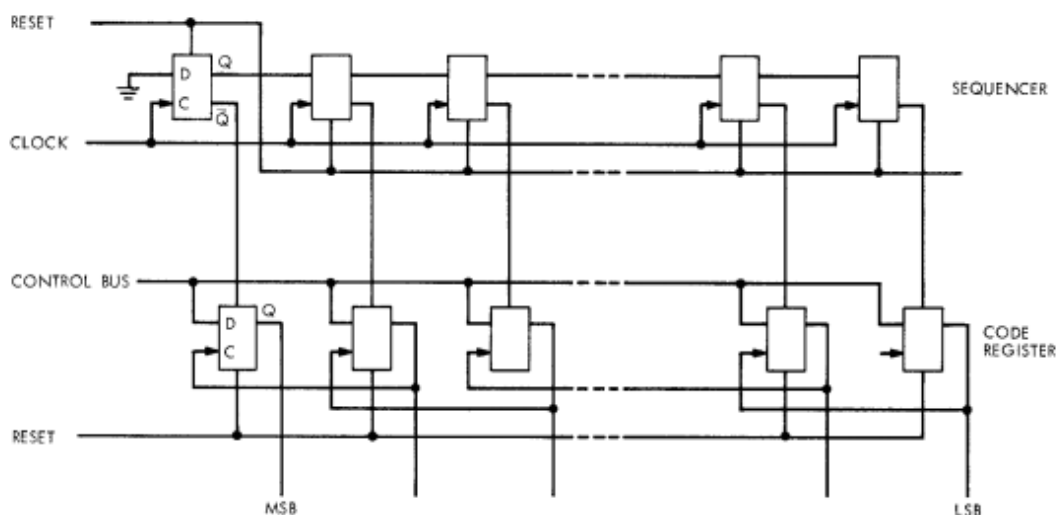
$$V_{COMP-} = V_{REF} - V_{IN} + b_7 \frac{V_{REF}}{2} + \frac{V_{REF}}{4} \quad (25)$$

Após esta redistribuição uma nova comparação é feita. O resultado da conversão será o segundo bit mais significativo e decidirá se a chave S_6 é mantida no barramento ou conectada ao *ground*. Este processo se repete até todos os bits serem determinados.

A lógica de controle é necessária para realizar o algoritmo de busca binária para achar o nível de quantização que expressa a entrada analógica. O circuito clássico apresentado por Anderson (ANDERSON, 1972), mostrado na Figura 21, é amplamente utilizado.

A parte de cima é conhecida como sequenciador, consistindo em um registrador de deslocamento que propaga o sinal lógico alto na saída inversora do primeiro *flip-flop* até o último, ou seja, a cada ciclo de relógio um *flip-flop* terá o sinal alto na saída inversora. A saída de cada um desses *flip-flops* é conectada a um *flip-flop* do circuito de baixo. Quando a mesma é acionada, o *flip-flop* correspondente será atualizado de acordo com a saída do comparador (ANDERSON, 1972).

Figura 21 - Lógica de controle para um conversor de N bit



FONTE: (ANDERSON, 1972)

As saídas dos flip-flops de baixo agem como sinais de controle para as chaves do banco de capacitores. Os valores dos registradores ao final de cada ciclo de conversão representam o sinal digital.

Uma das desvantagens desta topologia é que para cada bit adicionado ao conversor, o valor da capacitância que deverá ser adicionada é o dobro da anterior. Assim, para otimizar a área equivalente do banco, escolhe-se o capacitor da chave S_0 de forma a possuir a menor capacitância de acordo com a tecnologia utilizada. Entretanto, para um conversor de 8 bits, o valor do capacitor conectado em S_7 deverá ser 128 vezes maior do que o de S_0 . Então, devido ao fato de a capacitância possuir

uma relação proporcional com a área das placas do capacitor, em um capacitor de placas paralelas, por exemplo, dada por:

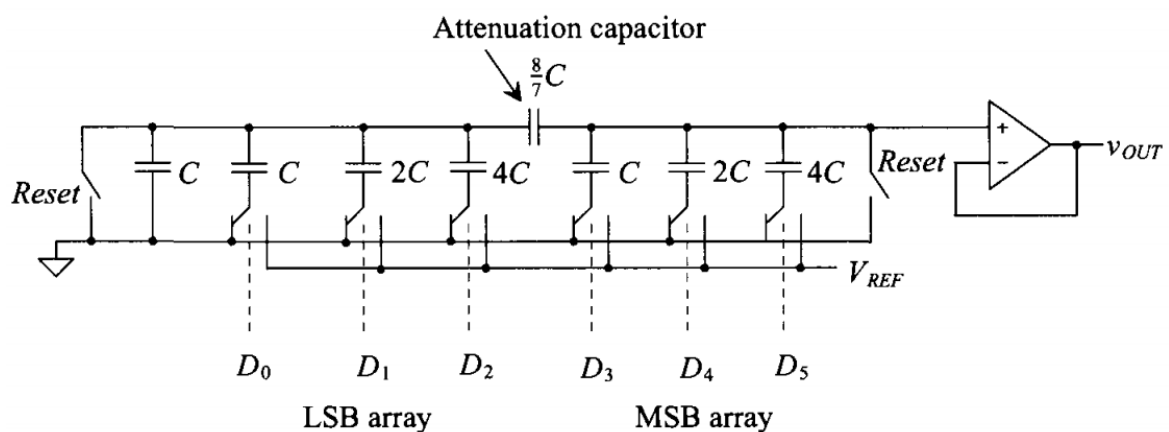
$$C = \frac{\epsilon A}{d} \quad (26)$$

Onde A é a área do capacitor, ϵ a permissividade do meio isolante e d a distância entre as placas. A área do capacitor em S_7 será muito maior que a área do capacitor em S_0 , e a cada novo capacitor adicionado a área aumentará ainda mais. Desta maneira, para cada bit extra que for inserido, de forma a aumentar a resolução do conversor, ocorre um aumento significativo na área do banco de capacitores, demandando uma área considerável no *chip*.

Existem algumas técnicas possíveis de serem utilizadas para reduzir a área total do banco de capacitores. Uma delas é a técnica de repartir o arranjo de capacitores. Para isso, um capacitor atenuador é acrescentado, obtendo-se um arranjo responsável pela parte menos significativa (LSB) e um pela parte mais significativa (MSB) (BAKER, 2008).

Um exemplo de arranjo dividido para um conversor de 6 bits é mostrado na Figura 22. Note que o bit menos significativo, D_0 , agora corresponde à chave mais à esquerda, já o mais significativo, D_5 , corresponde à chave mais à direita.

Figura 22 - Topologia para um conversor SAR de 6 bits com capacitor atenuador



FONTE: (BAKER, 2008)

Pode-se observar que os valores das capacitâncias diminuíram em relação a topologia original, pois para um conversor de 6 bits o capacitor associado ao bit mais

significativo seria 32 vezes maior que o associado ao bit menos significativo. Através desta técnica ele é somente 4 vezes maior.

Para o funcionamento desta técnica, o valor do capacitor de atenuação deverá ser obtido por:

$$C_{ATENUAÇÃO} = \frac{\text{soma do arranjo de capacitores LSB}}{\text{soma do arranjo de capacitores MSB}} \cdot C \quad (27)$$

2.8 Conversores Cíclicos

A topologia de desenvolvimento e estudo deste trabalho utiliza uma arquitetura baseada em um conversor de 1 bit. Cada bit é convertido analisando o resíduo da conversão do estágio anterior de maneira similar à do conversor *Pipeline* e *Flash* em dois passos. Nesta arquitetura, porém, o resultado é obtido através de uma abordagem sequencial utilizando o mesmo circuito repetidamente para executar a operação de cada um dos estágios.

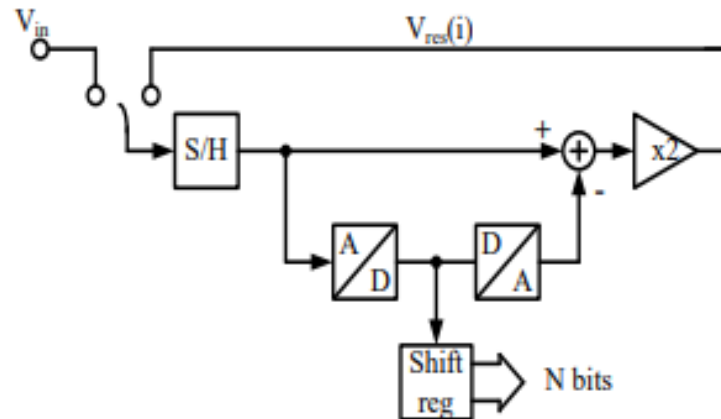
Ao longo do desenvolvimento do trabalho, estudou-se a nova topologia e também buscou-se analisar a viabilidade desta arquitetura. Contudo, ao findar do trabalho, descobriu-se que esta técnica já havia sido estudada e já era utilizada por outras topologias, nos denominados conversores cíclicos.

Os conversores cíclicos quando comparados com as arquiteturas do tipo *Pipeline* são melhores em relação à área ocupada, porém, possuem uma menor taxa de conversão (PUPALLA, 2012).

Nestes conversores, cada bit é determinado comparando a tensão de entrada com a referência e o resíduo é gerado multiplicando por dois a diferença entre a entrada e o equivalente analógico da saída digital (HASAN et al., 2002).

A Figura 23 apresenta um diagrama de blocos genérico para um conversor cíclico.

Figura 23 - Diagrama de blocos genérico para um conversor cíclico

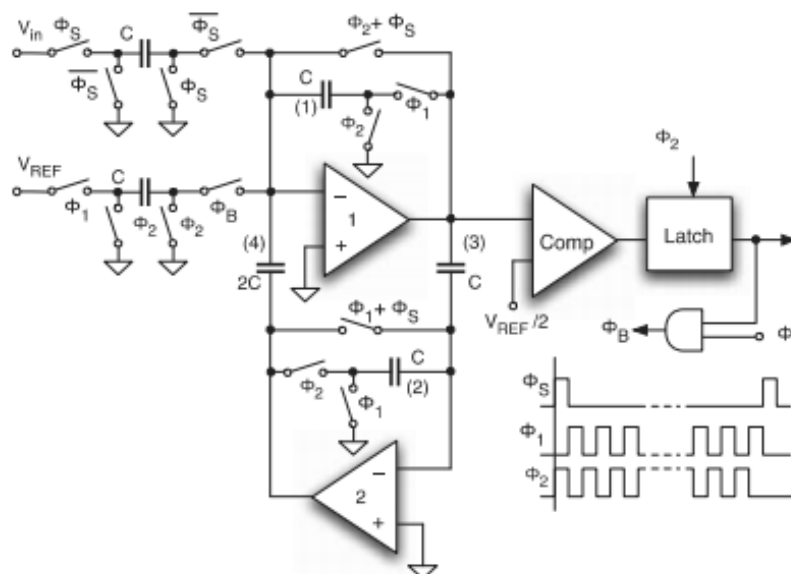


FONTE: (HASAN et al., 2002)

O bloco inicial é o de amostragem e retenção, seguido pelo conversor A/D. Após a conversão, o valor digital é armazenado no registrador e convertido analogicamente através de um conversor D/A. O sinal digital convertido para analógico é então subtraído do sinal original e recebe um ganho de dois. Em seguida, esta tensão residual é utilizada na realimentação do circuito.

Um exemplo de topologia que utiliza esta técnica pode ser observado na Figura 24.

Figura 24 - Circuito de um conversor cíclico com capacitor chaveado



FONTE: (MALOBERTI, 2007)

Conforme Maloberti (MALOBERTI, 2007), esta topologia utiliza dois amplificadores operacionais em um *loop* de realimentação fechada. A conversão começa com a fase de amostragem Φ_s que é utilizada para pré-carregar um dos capacitores chaveados com a tensão de entrada. Além disso, Φ_s também torna o circuito livre dos erros de *offset*, visto que durante essa fase as capacitâncias são pré-carregadas com a tensão de *offset*.

O próximo período Φ_1 é utilizado para injetar o sinal de entrada no *loop*. A configuração não-inversora e o ganho unitário fazem com que a tensão de entrada seja reproduzida na saída do primeiro amplificador e armazenada na capacitância (3). O bit é determinado através da comparação deste valor com $V_{REF}/2$.

O segundo amplificador carrega a capacitância (4) que possui o dobro do valor da capacitância unitária, o que acaba gerando uma multiplicação por dois no sinal de entrada. Enquanto isso, o outro capacitor chaveado de entrada injeta a carga CV_{REF} no circuito se Φ_B , resultado da comparação, estiver ativa. Assim, a saída do primeiro amplificador será:

$$V = 2V_{IN} - V_{REF} = 2\left(V_{IN} - \frac{V_{REF}}{2}\right) \quad (28)$$

Esta tensão é equivalente ao resíduo do primeiro estágio multiplicado por dois. O próximo ciclo opera da mesma forma para determinar o próximo bit e o processo continua até todos os bits serem definidos.

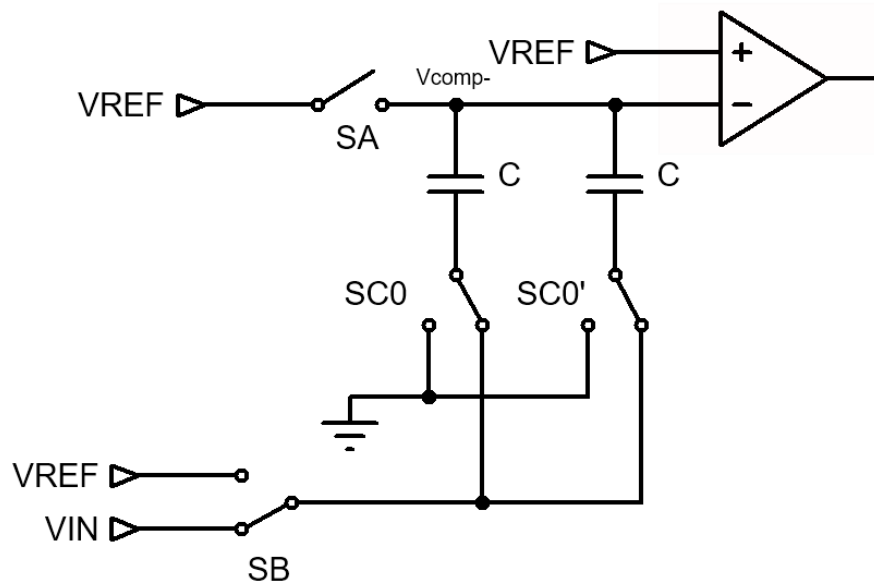
Apesar desta arquitetura já ser conhecida e estudada, a nova topologia proposta utiliza conceitos diferentes baseados neste estilo de arquitetura e, portanto, deve ser analisada de forma a verificar sua viabilidade.

3 Desenvolvimento da nova topologia para o conversor SAR

3.1 Parte Analógica

O funcionamento da topologia proposta baseia-se no princípio de realimentação demonstrado anteriormente. O processo inicial pode ser representado por um conversor de redistribuição de carga de 1 bit, conforme Figura 25.

Figura 25 - Topologia básica para um conversor SAR de 1 bit



Esse processo de conversão será bastante similar ao da topologia original, seguindo as seguintes etapas:

1) *Amostragem:*

Ocorre de maneira igual ao processo de amostragem original. Inicia-se com as chaves SC_0 e SC_0' conectando os capacitores ao barramento comum. A chave superior S_A conecta V_{REF} e a chave do barramento S_B é posicionada em V_{IN} . O banco de capacitores é carregado com carga $Q = 2C \cdot (V_{REF} - V_{IN})$.

2) Retenção:

A chave S_A desconecta V_{REF} e as chaves dos capacitores conectam os mesmos ao *ground*. Como não há caminho para a descarga dos capacitores durante o chaveamento, a carga permanecerá e a tensão V_{COMP-} será $V_{REF} - V_{IN}$.

3) Redistribuição de carga:

A chave S_B conecta-se à V_{REF} e a chave S_1 conecta o capacitor ao barramento, formando o mesmo divisor capacitivo original. Este divisor capacitivo com dois capacitores de mesmo valor, conforme visto anteriormente, resulta em um aumento da tensão V_{COMP-} em $V_{REF}/2$. Resultando em uma tensão V_{COMP-} de:

$$V_{COMP-} = V_{REF} - V_{IN} + \frac{V_{REF}}{2} \quad (29)$$

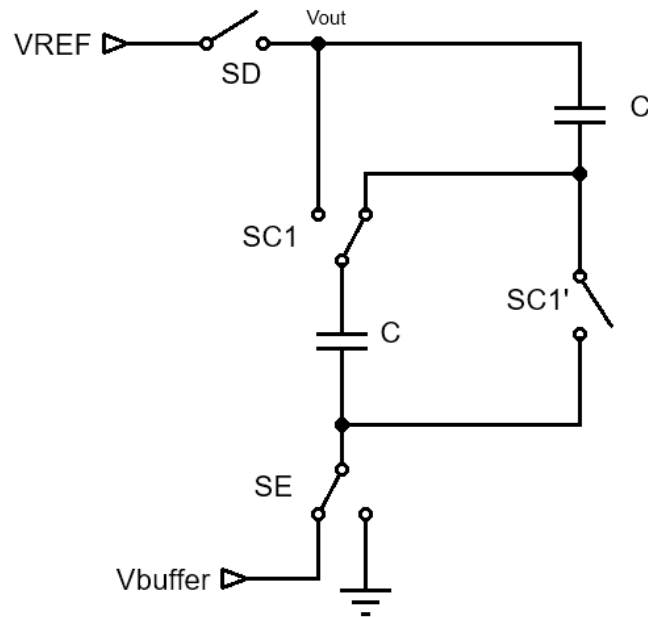
O comparador, da mesma forma que originalmente, compara $V_{IN} > V_{REF}/2$, gera na sua saída o valor do bit mais significativo (b_N) e mantém a chave do capacitor C_1 conectada ao barramento ou conecta a mesma ao *ground*. Fazendo com que a tensão V_{COMP-} seja:

$$V_{COMP-} = V_{REF} - V_{IN} + b_N \frac{V_{REF}}{2} \quad (30)$$

O segundo processo é o da realimentação. Para isso, nesta etapa a tensão V_{COMP-} passará por um buffer, sendo agora chamada de V_{BUFFER} , e irá para o dobrador de tensão apresentado na Figura 26.

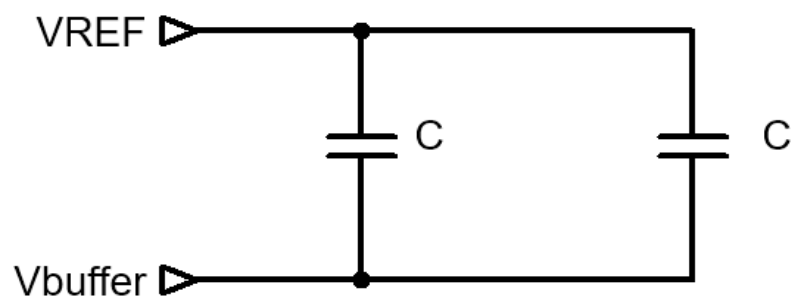
Este dobrador, através de chaveamento, irá obter o resíduo da conversão, a parte que ainda não foi convertida, e utilizá-lo para realimentar o circuito e realizar uma nova conversão para os próximos bits.

Figura 26 - Topologia desenvolvida para o dobrador da tensão residual



De forma a obter o resíduo, se faz necessário remover a parcela inicial de V_{REF} do valor da tensão V_{COMP} . Para isso, inicialmente a chave S_D será fechada conectando V_{REF} à V_{OUT} , a chave S_{C1} conectará o capacitor à V_{OUT} , a chave $S_{C1'}$ será fechada e a chave S_E se conectará à V_{BUFFER} . Assim, os dois capacitores estarão em paralelo, conforme a Figura 27.

Figura 27 - Topologia do dobrador na etapa de amostragem



Dessa forma, o banco será carregado com $Q = 2C \cdot (V_{REF} - V_{BUFFER})$. Após isso, a chave S_D é aberta e S_E conecta-se ao *ground*. Como não há caminho para a descarga dos capacitores durante o chaveamento, a carga permanecerá a

mesma e a tensão V_{OUT} será $V_{REF} - V_{BUFFER}$. Como V_{BUFFER} é a tensão de V_{COMP} - do conversor, a tensão de saída será:

$$V_{OUT} = V_{REF} - V_{BUFFER} = V_{REF} - \left(V_{REF} - V_{IN} + b_N \frac{V_{REF}}{2} \right) \quad (31)$$

Ou seja:

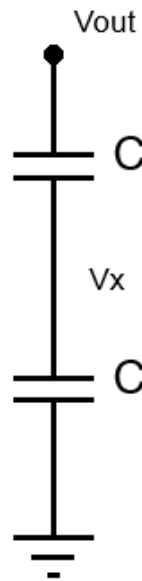
$$V_{OUT} = V_{IN} - b_N \frac{V_{REF}}{2} \quad (32)$$

O banco estará carregado com uma carga de:

$$Q_{TOTAL} = 2C \cdot \left(V_{IN} - b_N \frac{V_{REF}}{2} \right) \quad (33)$$

A seguir, a chave S_{C1} conectará um capacitor ao outro e a chave $S_{C1'}$ será aberta. Desta forma, os dois capacitores estarão em série, conforme a Figura 28.

Figura 28 - Topologia do dobrador na etapa da dobra de tensão



Após o chaveamento, a carga de cada um dos capacitores será:

$$Q_1 = C \cdot (V_X) \quad (34)$$

$$Q_2 = C \cdot (V_{OUT} - V_X) \quad (35)$$

Como não ocorreu descarga durante o chaveamento, a soma das cargas permanece a mesma. Portanto:

$$2C \cdot \left(V_{IN} - b_N \frac{V_{REF}}{2} \right) = C \cdot (V_X) + C \cdot (V_{OUT} - V_X) \quad (36)$$

Simplificando:

$$V_{OUT} = 2 \left(V_{IN} - b_N \frac{V_{REF}}{2} \right) \quad (37)$$

Então, a tensão de saída do dobrador será o dobro da tensão residual. Esta tensão, após passar por um buffer, será utilizada como a tensão de entrada para as futuras conversões. A tensão deve ser dobrada, pois da mesma forma que nos conversores pipeline, flash em dois passos e cíclicos, será possível realizar a próxima comparação com o mesmo banco de capacitores e a mesma tensão de referência utilizada durante o primeiro ciclo.

Após esta etapa o ciclo inicia-se novamente, desta vez com a tensão residual dobrada sendo a nova tensão de entrada. O número de repetições deste ciclo será equivalente ao número de bits desejados do conversor.

Assim, quando o processo de amostragem e retenção ocorrer e o banco for carregado com $V_{REF} - V_{IN}$, a tensão de entrada será $2V_{IN} + b_N V_{REF}$. Dessa forma, a carga no banco de capacitores será:

$$Q_{TOTAL} = 2C \cdot (V_{REF} - 2V_{IN} + b_N V_{REF}) \quad (38)$$

Após o chaveamento e a redistribuição da carga igual à anterior, a carga de cada um dos lados do divisor será de:

$$Q_1 = C \cdot (V_{COMP-} - V_{REF}) \quad (39)$$

$$Q_2 = C \cdot (V_{COMP-}) \quad (40)$$

Como não ocorreu descarga durante o chaveamento, tem-se que:

$$2C \cdot (V_{REF} - 2V_{IN} + b_N V_{REF}) = C \cdot (V_{COMP-} - V_{REF}) + C \cdot (V_{COMP-}) \quad (41)$$

Resultando em uma tensão V_{COMP-} de:

$$V_{COMP-} = V_{REF} - 2V_{IN} + b_N V_{REF} + \frac{V_{REF}}{2} \quad (42)$$

O comparador então realiza a comparação entre seus terminais, onde estão conectados V_{COMP-} e V_{REF} :

$$V_{REF} > V_{REF} - 2V_{IN} + b_N V_{REF} + \frac{V_{REF}}{2} \quad (43)$$

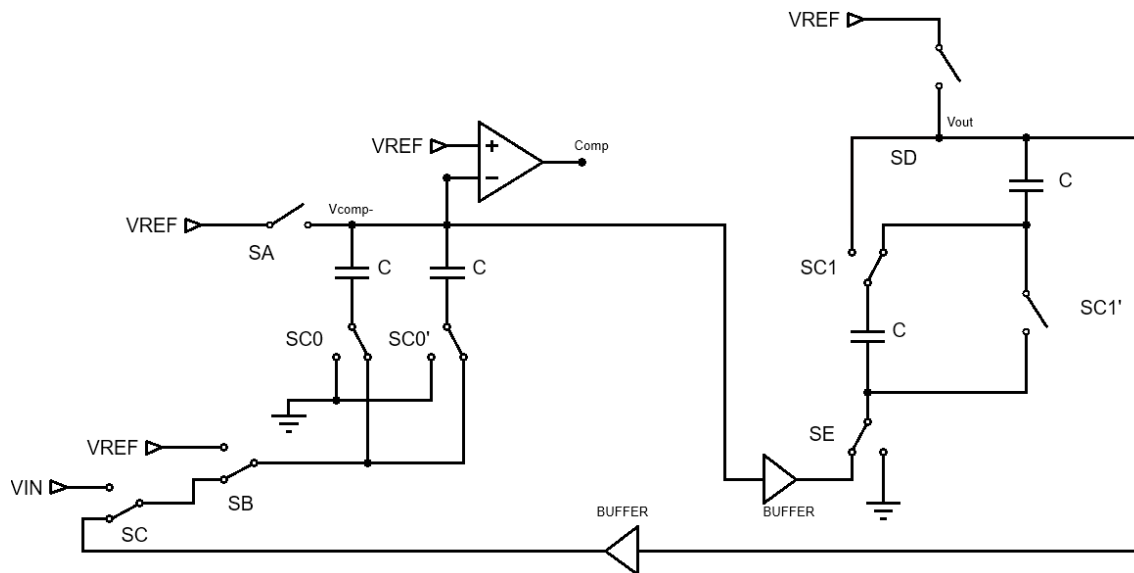
Que simplificada resulta em:

$$V_{IN} > \frac{b_N V_{REF}}{2} + \frac{V_{REF}}{4} \quad (44)$$

Ou seja, realiza a comparação se a tensão de entrada é maior que $0,25V_{REF}$ ou $0,75V_{REF}$.

Dessa forma, o circuito que representa a parte analógica do conversor é o mostrado na Figura 29.

Figura 29 - Circuito da parte analógica do conversor



A seguir, um exemplo da conversão para um conversor de 2 bits com valores para facilitar o entendimento. Considerando $V_{REF} = 1,2 \text{ V}$ e $V_{IN} = 0,8 \text{ V}$, temos o seguinte:

No primeiro ciclo será feita a amostragem e retenção, carregando o banco com $V_{REF} - V_{IN}$, neste caso $0,4 \text{ V}$. Após a redistribuição de carga, a tensão no barramento será $V_{REF} - V_{IN} + V_{REF}/2$, neste caso 1 V . A comparação com os $1,2 \text{ V}$ de V_{REF} será feita e a saída do comparador estará em nível lógico alto.

Este nível lógico alto representa que a tensão de entrada é maior que a metade da tensão de referência. Devido a isto, a chave do capacitor C_1 permanecerá conectada ao barramento e o bit mais significativo será 1.

Neste momento é preciso utilizar o resíduo desta conversão, ou seja, a diferença entre o valor da entrada e o valor já convertido. Para isso, remove-se a parcela de V_{REF} da tensão V_{COMP-} , neste caso $1,2 \text{ V} - 1 \text{ V} = 0,2 \text{ V}$, e realimenta-se o circuito. Entretanto, primeiramente é necessário dobrar a tensão residual.

Com $V_{IN} = 0,4 \text{ V}$ no novo ciclo, $V_{REF} - V_{IN} + V_{REF}/2$ será $1,4 \text{ V}$. A comparação com os $1,2 \text{ V}$ de V_{REF} será feita e a saída do comparador estará em nível lógico baixo, representando que o próximo bit será 0. Desta forma, a chave relacionada ao capacitor

C_1 retornaria ao *ground*, fazendo com que V_{COMP} seja $V_{REF} - V_{IN} = 0,8 \text{ V}$. Assim, a nova tensão residual seria $1,2 \text{ V} - 0,8 \text{ V} = 0,4 \text{ V}$.

Considerando os dois bits calculados, tem-se 0b10 na saída digital. O valor da conversão para 2 bits é dado por:

$$V_{2bits} = \frac{V_{REF}}{2^2} \cdot (b_1 \cdot 2^1 + b_0 \cdot 2^0) \quad (45)$$

Logo, para o exemplo acima:

$$V_{2bits} = \frac{1,2V}{4} \cdot (1 \cdot 2^1 + 0 \cdot 2^0) = 0,6 \text{ V} \quad (46)$$

Este processo poderá continuar para quantos bits forem necessários, aproximando-se cada vez mais do valor real da entrada.

A capacitância total do banco é diretamente dependente do número de capacitores necessários e também do valor da capacitância unitária. Para reduzir o consumo de potência, o valor da capacitância unitária deverá ser mantido o menor possível. Entretanto, o tamanho dos capacitores deve suprir os requisitos de ruído, as propriedades de casamento de capacitância e também as regras do processo de manufatura (DORNELAS, 2018).

Para o processo de manufatura CMOS 130nm, para citar um exemplo de processo utilizado no desenvolvimento destes conversores, o menor capacitor metal-isolante-metal disponível é de 60 fF (DORNELAS, 2018). Essa capacitância pode ser reduzida através do uso de dois desses capacitores em série de forma a deixá-la em 30 fF. Como o objetivo do projeto é a redução de área, esta estratégia não se torna viável pois utiliza dois capacitores, portanto o circuito foi desenvolvido utilizando capacitâncias de 60 fF.

3.2 Lógica de Controle Digital

O sistema de controle das chaves presentes no conversor A/D por redistribuição de carga é realizado por uma máquina de estados principal e mais alguns elementos como portas lógicas e flip-flops utilizados para simplificar a implementação. Este sistema digital de controle não é o principal foco do trabalho, por

isso foi desenvolvido de maneira simplificada baseado nas etapas demonstradas do conversor.

A máquina de estados principal é responsável pelo controle das chaves e também controla os sinais dos N flip-flops utilizados para armazenar o valor digital convertido. A partir da análise do chaveamento necessário, determinou-se os sinais de controle necessários para controlar as chaves, especificados na Tabela 2, e elaborou-se o diagrama de estados demonstrado na Figura 30.

Tabela 2 - Relação entre os sinais de controle e chaves controladas

Sinal de controle	Chave
V _{SA}	S _A e S _{C0'}
V _{SB}	S _B
V _{SC}	S _C
V _{SC0}	S _{C0}
V _{SDE}	S _D e S _E
V _{SC1}	S _{C1} e S _{C1'}

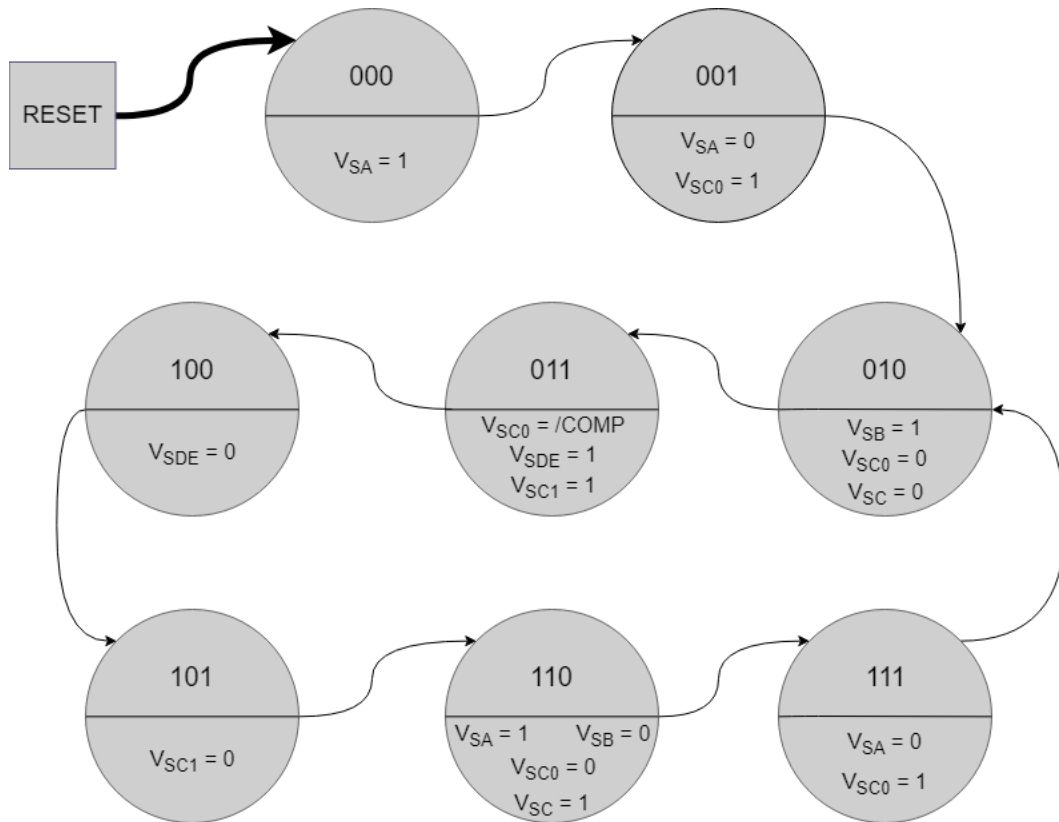
Para o controle da chave S_{C0} foi utilizado um flip-flop JK, pois o sinal de controle necessitava manter-se constante ao longo de algumas bordas do relógio. O flip-flop JK foi utilizado, pois quando as duas entradas estiverem em nível lógico baixo, o valor do próximo estado será o valor do estado atual, mantendo-se constante, conforme apresentado na Tabela 3.

Tabela 3 - Tabela verdade do flip-flop JK

Operação do Flip Flop JK			
J	K	Q _{próx}	Descrição
0	0	Q	Mantém
0	1	0	Reseta
1	0	1	Seta
1	1	/Q	Alterna

A partir do diagrama elaborado, foram feitas tabelas verdades para a lógica de próximo estado e sinais de saída da máquina de estados. Em seguida, foram obtidas as expressões lógicas para implementação do circuito.

Figura 30 - Diagrama de estados da parte operativa do conversor



As expressões para a lógica de próximo estado obtidas foram as seguintes:

$$D_2 = Q_2 \bar{Q}_1 + Q_2 \bar{Q}_0 + \bar{Q}_2 Q_1 Q_0 \quad (47)$$

$$D_1 = Q_1 \bar{Q}_0 + \bar{Q}_1 Q_0 + Q_2 Q_1 \quad (48)$$

$$D_0 = \bar{Q}_0 \quad (49)$$

As expressões para as saídas da máquina de estados foram as seguintes:

$$V_{SA} = \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + Q_2 Q_1 \bar{Q}_0 \quad (50)$$

$$V_{SB} = Q_2 \bar{Q}_1 + \bar{Q}_2 Q_1 \quad (51)$$

$$V_{SC} = Q_2 Q_1 \quad (52)$$

$$V_{SDE} = \bar{Q}_2 Q_1 Q_0 \quad (53)$$

$$V_{SC1} = Q_2 \bar{Q}_1 \bar{Q}_0 + \bar{Q}_2 Q_1 Q_0 \quad (54)$$

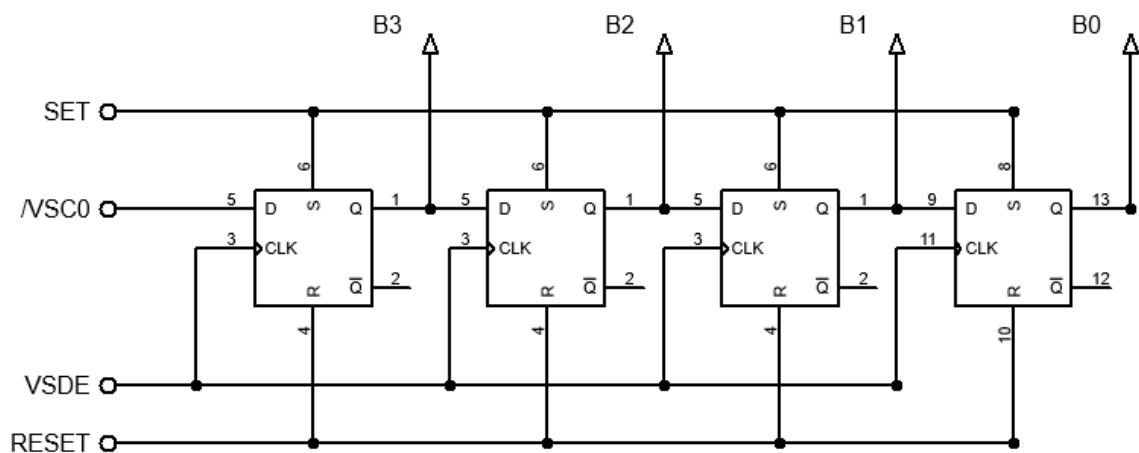
$$V_{SC0_J} = \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + Q_2 Q_1 \bar{Q}_0 + \bar{Q}_2 Q_1 \bar{Q}_0 \overline{COMP} \quad (55)$$

$$V_{SC0_K} = \bar{Q}_1 Q_0 + Q_2 Q_0 + \bar{Q}_2 Q_1 \bar{Q}_0 \overline{COMP} \quad (56)$$

O sinal V_{SC0} que controla a chave S_{C0} contém a informação inversa sobre o resultado da comparação ao longo da conversão. Para que a leitura do valor digital da conversão possa ser obtida, é necessário armazenar os bits em registradores. Dessa forma, foi desenvolvido o sequenciador da Figura 31 com a entrada sendo o sinal V_{SC0} negado.

O sinal V_{SDE} foi utilizado como relógio do sequenciador, pois o mesmo é ativado logo após a comparação entre V_{COMP} e V_{REF} ser realizada. Desta forma, após cada comparação o valor obtido é transmitido para o flip-flop seguinte. A Figura 31 mostra o exemplo de um sequenciador para um conversor de 4 bits. Para cada bit extra desejado, deverá ser adicionado um novo flip-flop.

Figura 31 - Sequenciador para um conversor de 4 bits



4 Simulações

4.1 MATLAB

Inicialmente foi utilizado o software MATLAB para avaliar se matematicamente o funcionamento do circuito seria possível. Foi desenvolvido um código simples baseado nas equações de cargas descritas previamente neste trabalho. No código, através do cálculo das cargas e tensões nos capacitores do banco, o valor da entrada analógica é convertido em um valor digital com o número de bits desejados.

4.2 LTSPICE

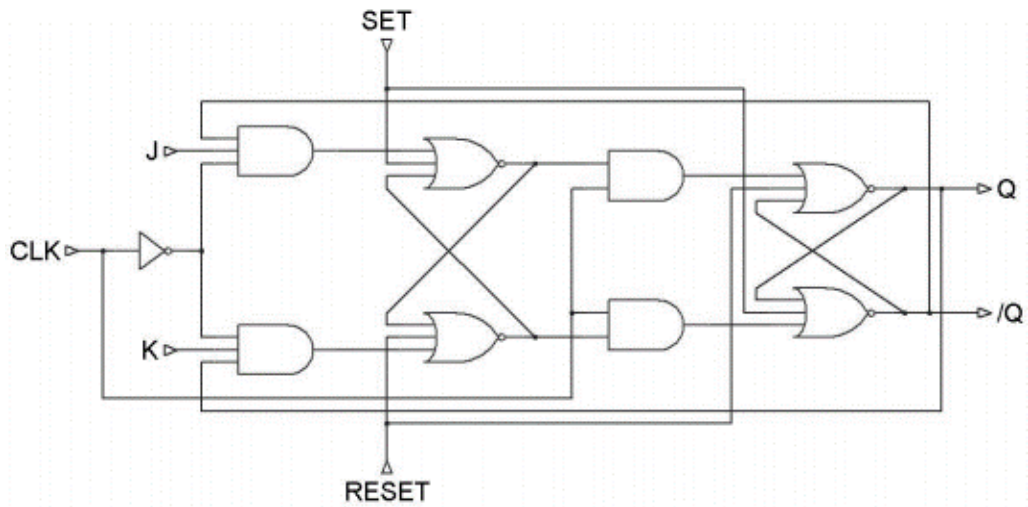
O software seguinte utilizado foi o LTSPICE. Este software é um simulador que mescla a análise de circuitos tanto através de desenho como através de arquivos de texto (*netlist*) contendo uma descrição dos componentes e conexões.

O circuito sobre o qual foram feitas as simulações, contém a parte analógica envolvendo os capacitores e as chaves, e também apresenta a parte digital de controle das chaves e armazenamento da saída digital.

Como este trabalho tem por objetivo a análise do funcionamento da nova topologia e a lógica de controle digital não é o principal foco, algumas não idealidades do circuito digital foram ignoradas. Dessa forma, o circuito digital foi descrito através de componentes ideais considerando atrasos nas portas lógicas de 1 nanossegundo.

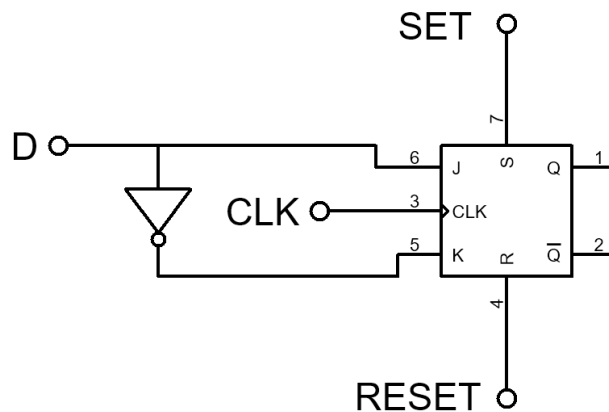
Os flip-flops utilizados neste projeto foram descritos utilizando portas lógicas. O flip-flop descrito foi o do tipo JK e pode ser observado na Figura 32. Este flip-flop, além das entradas J, K e CLK, possui duas entradas Set e Reset assíncronas, isto é, independentes da borda do relógio.

Figura 32 - Flip-flop do tipo JK descrito através das portas lógicas



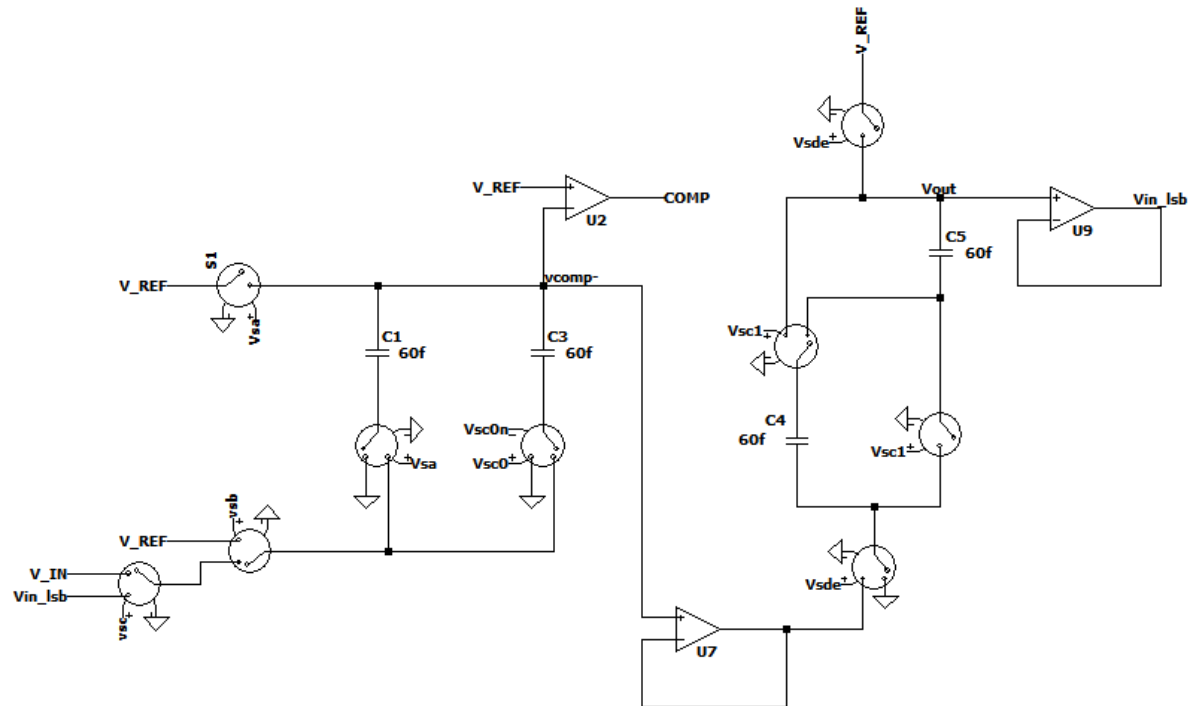
Para a descrição dos flip-flops do tipo D, foi utilizado o flip-flop JK com um inversor conectado entre as entradas J e K e a entrada D conectada na entrada J, conforme a Figura 33.

Figura 33 - Flip-flop do tipo D modelado a partir de um flip-flop do tipo JK



Após a descrição dos flip-flops ser realizada, foi modelado no LTSPICE o circuito analógico mostrado anteriormente. O circuito modelado está apresentado na Figura 34.

Figura 34 - Topologia desenvolvida no LTSPICE



Em seguida, foram descritos através de arquivo de texto a máquina de estados principal, a lógica de próximo estado e a lógica dos sinais de saída, utilizando portas lógicas. Por fim, também através de texto, foi descrito o sequenciador para 8 bits para armazenar a saída digital. A descrição completa do circuito pode ser observada no *netlist* apresentado no Apêndice 1 do trabalho.

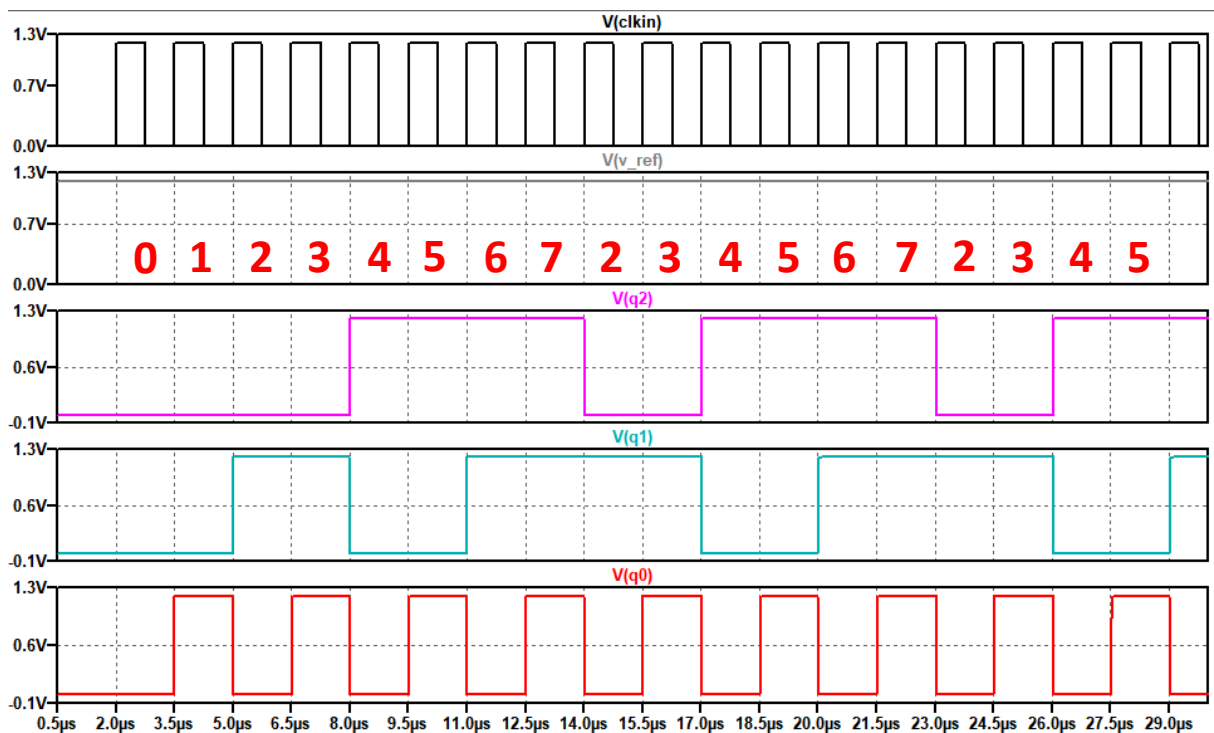
5 Resultados e Discussão

5.1 Simulações do Circuito de Controle das Chaves

Em um primeiro momento, pode-se analisar os sinais obtidos no circuito digital de controle. Posteriormente, será feita a análise da parte analógica, onde serão observados os sinais nos capacitores.

Na Figura 35, estão apresentadas, além do sinal de relógio, as saídas dos flip-flops da máquina de estados principal de forma a observar a lógica de próximo estado. Os números em vermelho representam o estado equivalente aos sinais Q0, Q1 e Q2.

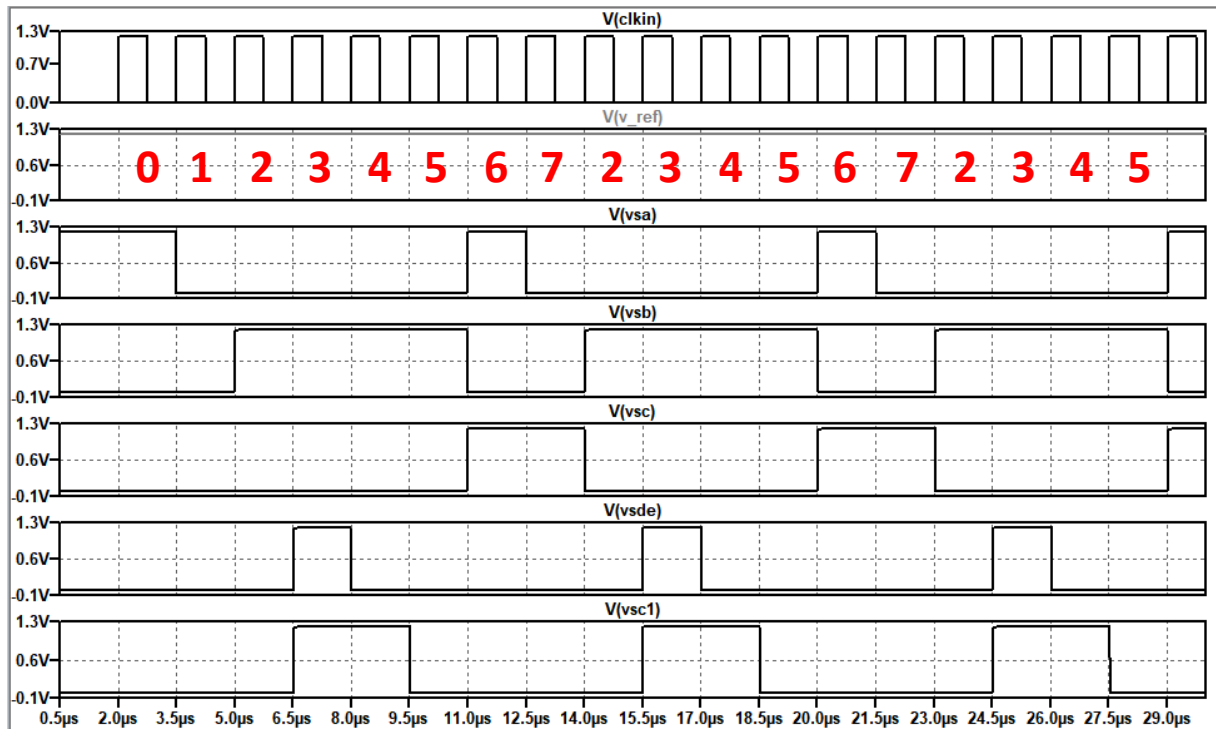
Figura 35 - Sinais de saída dos flip-flops da máquina de estados principal



Pode-se observar que os estados correspondem corretamente aos valores previstos pelo diagrama da Figura 30.

Na Figura 36, observa-se os sinais de controle das chaves da máquina de estados principal. Na figura não é apresentado o sinal da chave V_{SC0} , pois o mesmo depende do resultado do comparador.

Figura 36 - Sinais de controle das chaves



Observa-se, na Figura 36, o correto funcionamento da máquina de estados. No estado 0, somente V_{SA} começa como nível alto. Na borda seguinte do relógio, V_{SA} é zerada e no estado 2 V_{SB} é ativado.

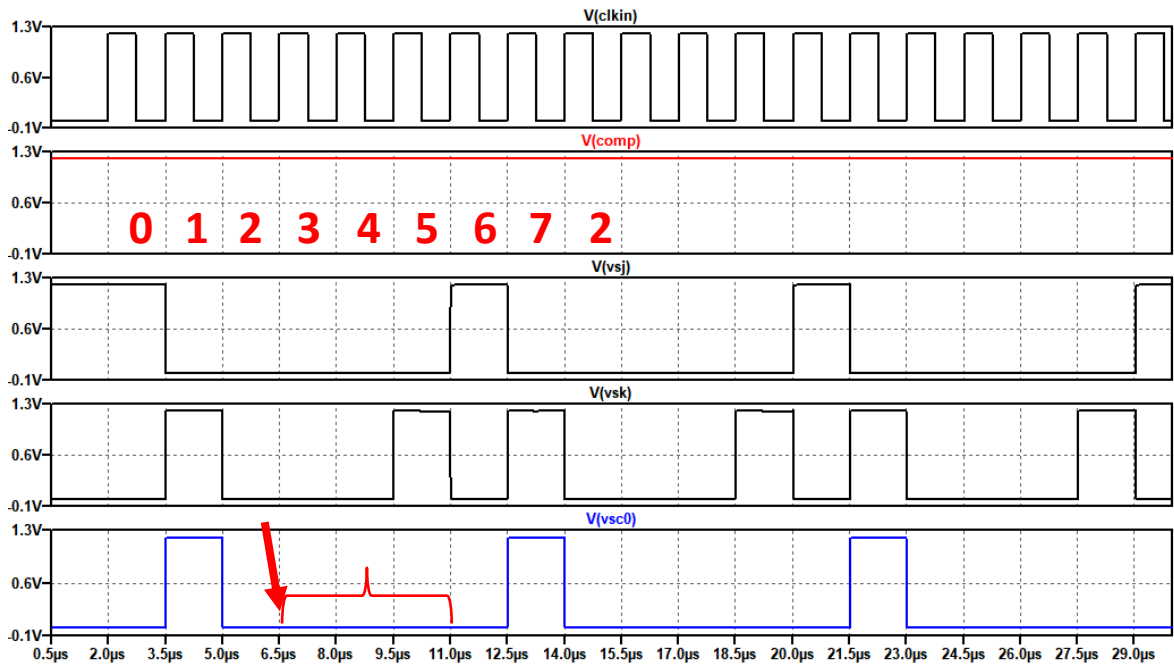
Em seguida, V_{SDE} e V_{SC1} são ativados em conjunto no estado 3 e nos dois estados que prosseguem V_{SDE} e V_{SC1} são zerados respectivamente um em cada estado.

No estado 6, V_{SA} e V_{SC} são ativados e V_{SB} é zerado. No estado 7, V_{SA} é zerado e o ciclo retorna ao estado 2, onde V_{SB} será ativado e V_{SC} zerado.

Nas Figuras 37 e 38, observa-se os sinais V_{SC0_J} e V_{SC0_K} que estão conectados em um flip-flop JK cuja saída é o sinal V_{SC0} . Os sinais V_{SC0_J} e V_{SC0_K} dependem do valor do sinal do comparador. Devido a isso, na Figura 37 é mostrado o sinal V_{SC0} considerando-se o sinal do comparador sempre em nível lógico alto.

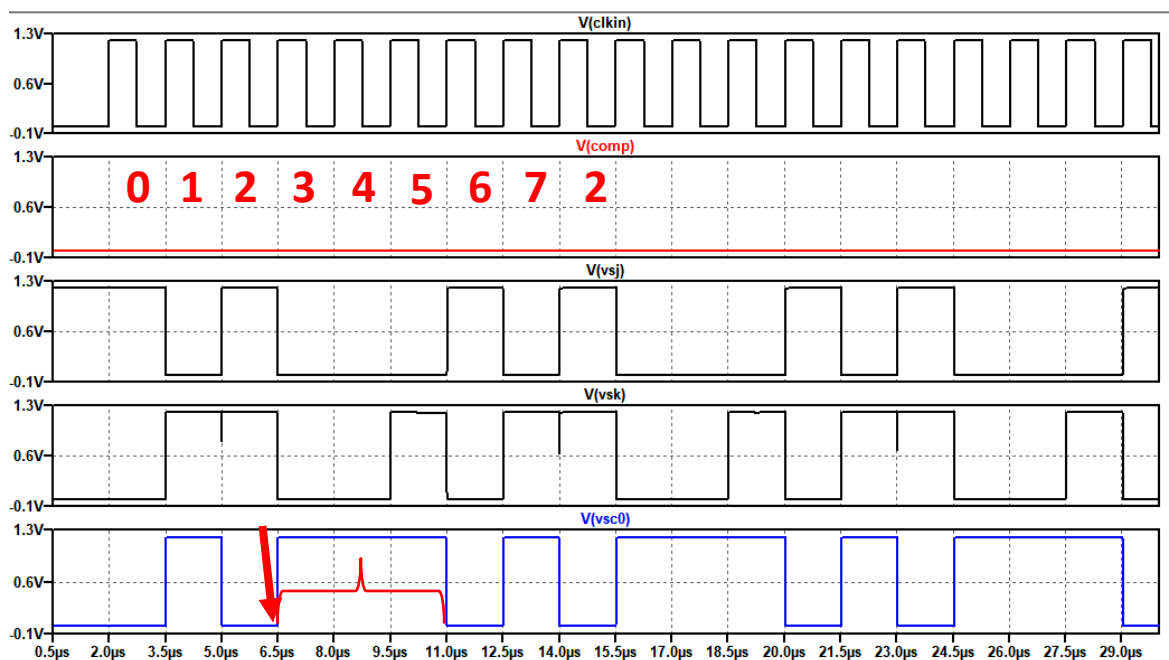
Dessa forma, após a redistribuição de carga e chaveamento de S_{C0} no estado 2, como o comparador apresenta um nível lógico alto, V_{SC0_J} e V_{SC0_K} estarão em nível lógico baixo. Devido a isso, a chave deverá manter sua posição pelos próximos três ciclos de relógio. Esse comportamento está destacado na Figura 37.

Figura 37 - Sinais de controle da chave S_{C0} para comparador em nível alto



Na Figura 38, é mostrado o sinal V_{SC0} considerando-se o sinal do comparador sempre em nível lógico baixo. Dessa forma, após a redistribuição de carga e chaveamento da chave S_{C0} no estado 2, como o comparador apresenta um nível lógico baixo, V_{SC0_J} e V_{SC0_K} estarão em nível lógico alto. Devido a isso a chave deverá trocar sua posição e manter-se assim pelos três próximos ciclos de relógio. Esse comportamento está destacado na Figura 38.

Figura 38 - Sinais de controle da chave S_{C0} para comparador em nível baixo



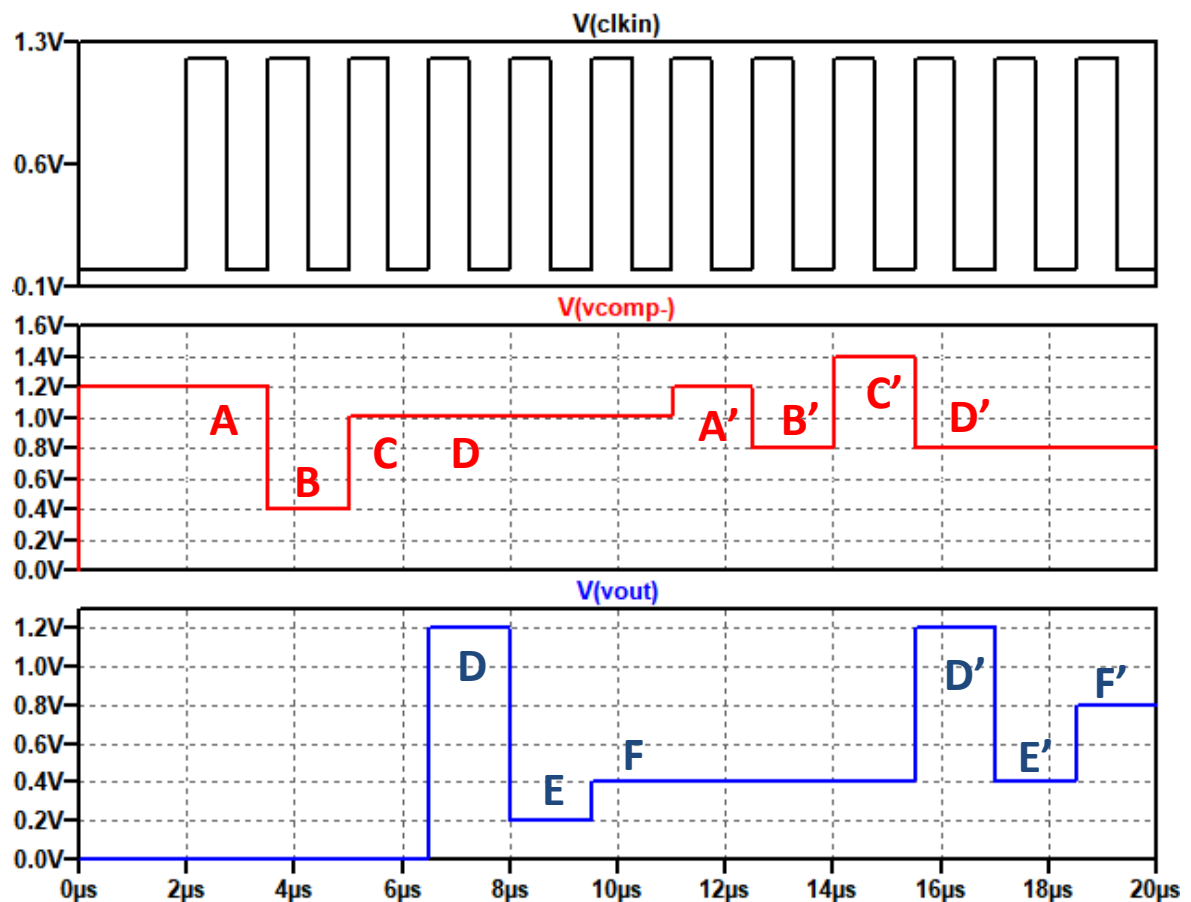
Pode-se observar, nas Figuras 37 e 38, que no estado 1 V_{SC0} é ativado, sendo desativado no estado seguinte. No estado 3, local destacado pelas setas vermelhas, o sinal V_{SC0} deverá ser o contrário do resultado da comparação. Esse valor é mantido durante outros dois estados, período destacado em vermelho, e depois zerado.

5.2 Simulações dos Sinais do Circuito Analógico

Nesta seção, é feita a análise da parte analógica do circuito utilizando os sinais de controle mostrados anteriormente. São observados os sinais do barramento superior V_{COMP-} e do dobrador de tensão V_{OUT} .

Para realizar esta simulação foi utilizada uma tensão analógica de entrada V_{IN} com o valor de 0,8 V e a tensão de referência V_{REF} de 1,2 V, mesmos valores do exemplo demonstrado previamente neste trabalho. A Figura 39 apresenta os sinais V_{COMP-} e V_{OUT} juntamente com o relógio.

Figura 39 - Sinais V_{COMP-} e V_{OUT} ao longo da conversão



Percebe-se, na Figura 39, que em um primeiro momento, destacado com a letra **A**, o valor do sinal V_{COMP-} é de 1,2 V, ou seja, é o valor V_{REF} conforme esperado. Esse é o estado no qual ocorre a carga nos capacitores.

Na borda de subida seguinte do relógio, estado **B**, a chave S_A desconecta V_{REF} do circuito e as chaves dos capacitores conectam os mesmos ao *ground*. Portanto, conforme demonstrado previamente, V_{COMP-} será $V_{REF} - V_{IN}$, nesse caso 0,4 V.

No estado mostrado em **C**, ocorre a redistribuição de carga. A tensão no barramento será acrescentada com $V_{REF}/2$, neste caso colocando o valor em 1 V. A comparação com os 1,2 V de V_{REF} será feita e a saída do comparador estará em nível lógico alto. Devido a isto, no estado **D** a chave do capacitor S_{C0} permanecerá conectada ao barramento e a tensão permanecerá em 1 V até o próximo ciclo de conversão, representado por **A'**.

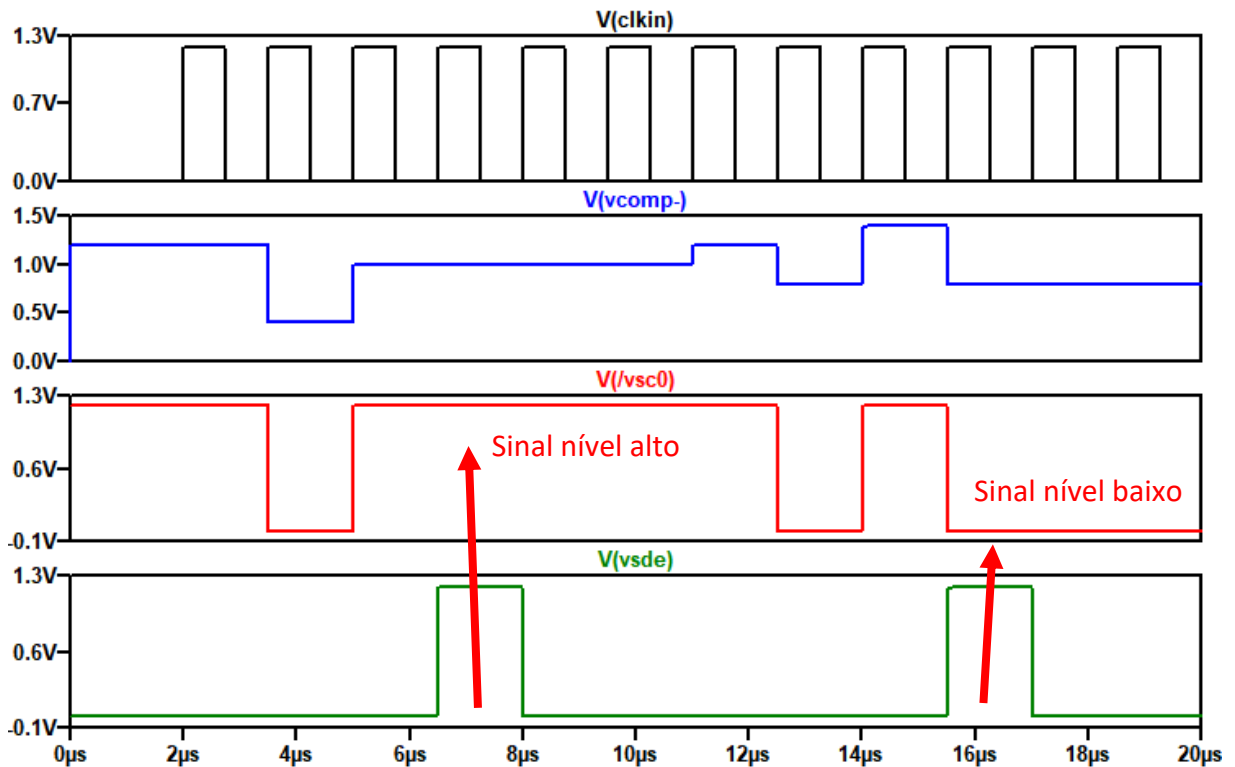
Ao mesmo tempo em que a chave S_{C0} é mantida, o banco de capacitores do dobrador de tensão será carregado com $V_{REF} - V_{COMP-}$ e o valor da tensão V_{OUT} será 1,2 V. No estado **E**, a chave S_E conectará os capacitores ao *ground* e a tensão V_{OUT} será $V_{REF} - V_{COMP-}$, nesse caso 0,2 V. No estado **F**, ocorre a dobra da tensão V_{OUT} , assumindo o valor de 0,4 V e mantendo-se assim até a nova etapa de dobra de tensão.

Após esta primeira conversão, o valor de 0,4 V de V_{OUT} é utilizado como entrada e o ciclo recomeça. Em **A'**, temos a tensão V_{COMP-} em 1,2 V novamente. No estado **B'**, V_{COMP-} será V_{REF} menos a nova tensão de entrada, resultando nesse exemplo em 0,8 V. Após isso, em **C'** ocorre o acréscimo de $V_{REF}/2$, tornando V_{COMP-} em 1,4 V.

Com V_{COMP-} como 1,4 V, o comparador apresentará um nível lógico baixo. Dessa forma, a chave S_{C0} deverá retornar à posição anterior, tornando V_{COMP-} novamente em 0,8 V, representado pelo estado **D'**, e permanece nesse valor até o próximo ciclo. Neste mesmo estado ocorre o início da nova dobra de tensão. No estado representado por **E'**, tem-se V_{OUT} como $V_{REF} - V_{COMP-} = 0,4$ V e no estado seguinte ocorre a dobra para 0,8 V.

O processo continua para quantos bits forem necessários. O valor da conversão de cada bit pode ser obtido através do sinal de saída Q negado do flip-flop JK que controla a chave S_{C0} . Esse sinal pode ser lido no momento em que o sinal V_{SDE} é mudado para nível lógico alto. No mesmo exemplo apresentado acima, o valor de saída deste flip-flop e o sinal V_{SDE} são apresentados na Figura 40.

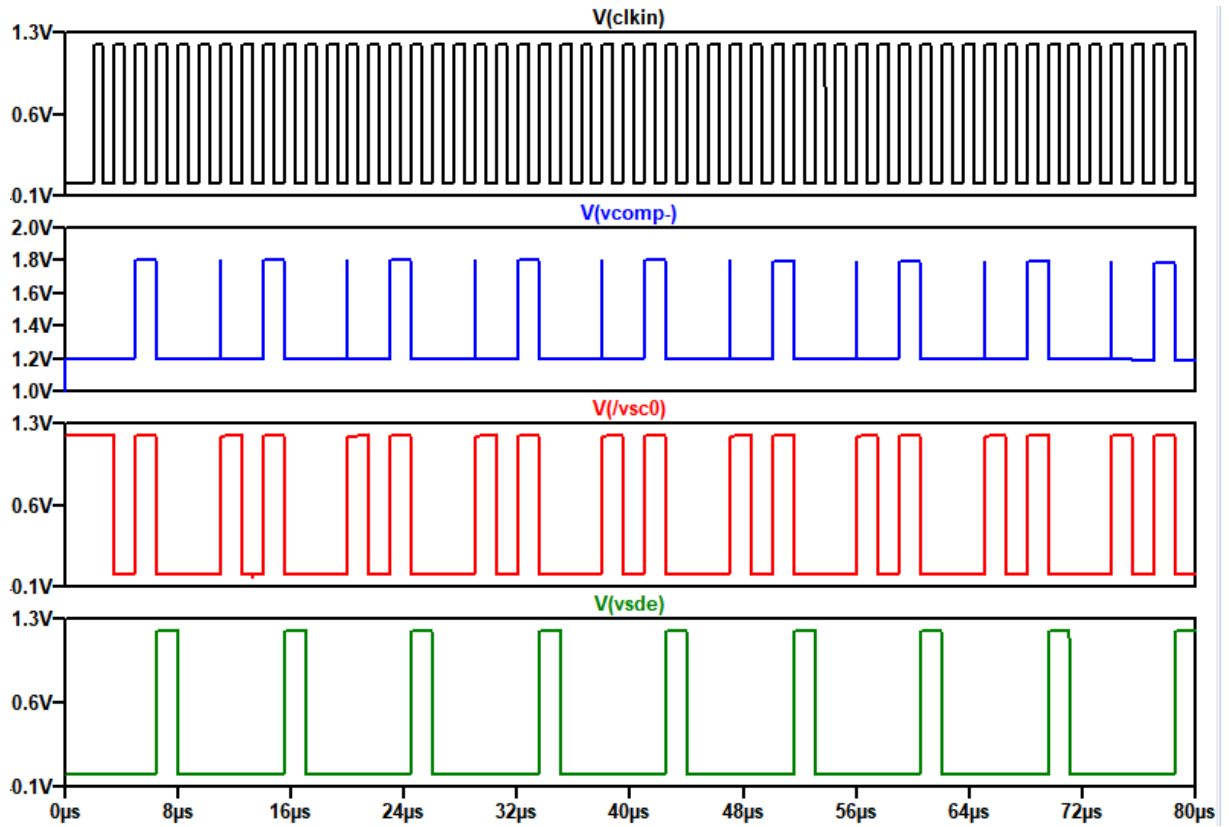
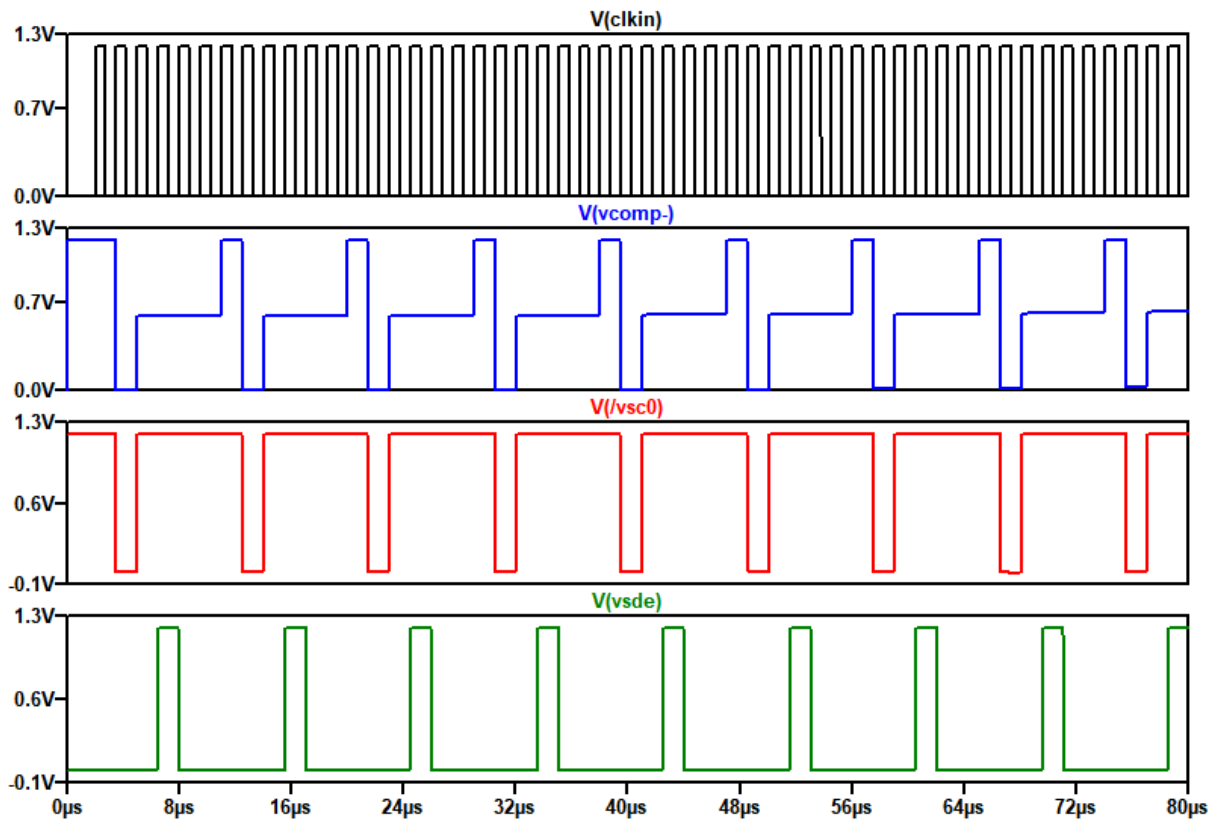
Figura 40 - Sinal de saída negado do flip-flop JK e sinal V_{SDE}



Desta forma, neste exemplo, o valor da conversão para dois bits é representado por 0b10.

Na Figura 41, está apresentado em um período de tempo maior, para apresentar uma melhor resolução, o valor da conversão para uma entrada analógica no conversor de valor zero. Já na Figura 42, está apresentada a situação oposta, onde a tensão de entrada é a tensão máxima permitida pelo conversor, nesse caso 1,2 V. Nessas duas figuras, estão apresentados os valores dos sinais V_{COMP-} , para demonstrar o funcionamento do circuito ao longo do tempo, do sinal negado de saída do flip-flop JK que controla a chave S_{CO} e o sinal V_{SDE} , esses dois últimos sinais estão apresentados para mostrar o valor da saída digital.

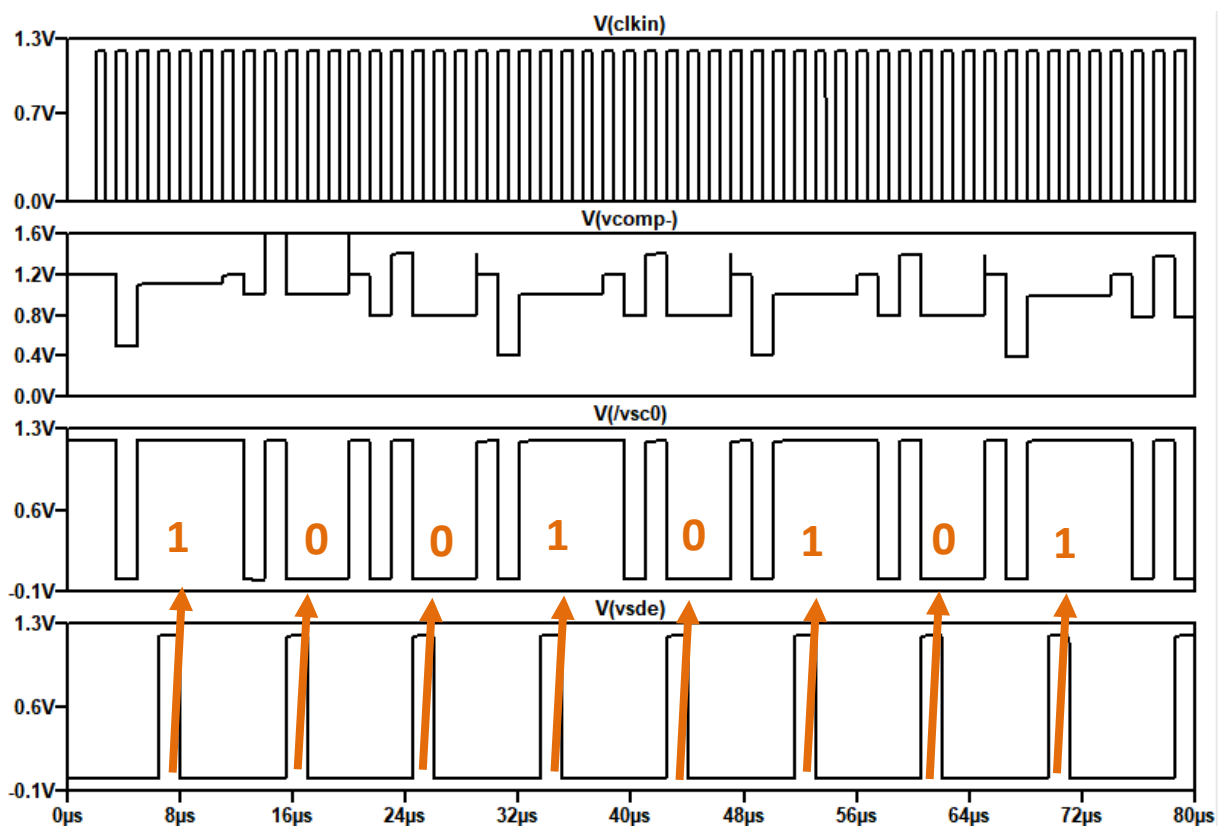
O valor da saída digital pode ser obtido analisando o valor negado de V_{SCO} quando V_{SDE} está em nível lógico alto.

Figura 41 - Sinais de saída para $V_{IN} = 0\text{ V}$ Figura 42 - Sinais de saída para $V_{IN} = 1,2\text{ V}$ 

Na Figura 41, pode-se perceber que em todos os instantes em que V_{SDE} estava em nível lógico alto o sinal V_{SC0} negado estava em nível lógico baixo. Dessa forma, a conversão para 0 V seria de 0b00000000, conforme esperado. Já na Figura 42, pode-se perceber que em todos os instantes em que V_{SDE} estava em nível lógico alto o sinal V_{SC0} negado estava em nível lógico alto. Dessa forma, a conversão para a tensão máxima de 1,2 V seria de 0b11111111, conforme esperado.

A Figura 43 apresenta o caso da conversão para uma entrada de 0,7 V. Na imagem estão destacados os bits convertidos que formam a saída digital.

Figura 43 - Sinais de saída para $V_{IN} = 0,7$ V



Com a faixa de entrada do conversor sendo de 0 a 1,2 V - nesta simulação foram analisados 8 bits - a resolução do conversor pode ser calculada da seguinte forma:

$$q = \frac{V}{2^n - 1} = \frac{1,2V}{2^8 - 1} = 4,706mV \quad (57)$$

Portanto, cada bit do resultado da saída digital será equivalente a 4,706 mV. Assim, a saída 0b10010101, 149 em decimal, observada na Figura 41 representará a seguinte tensão de entrada.

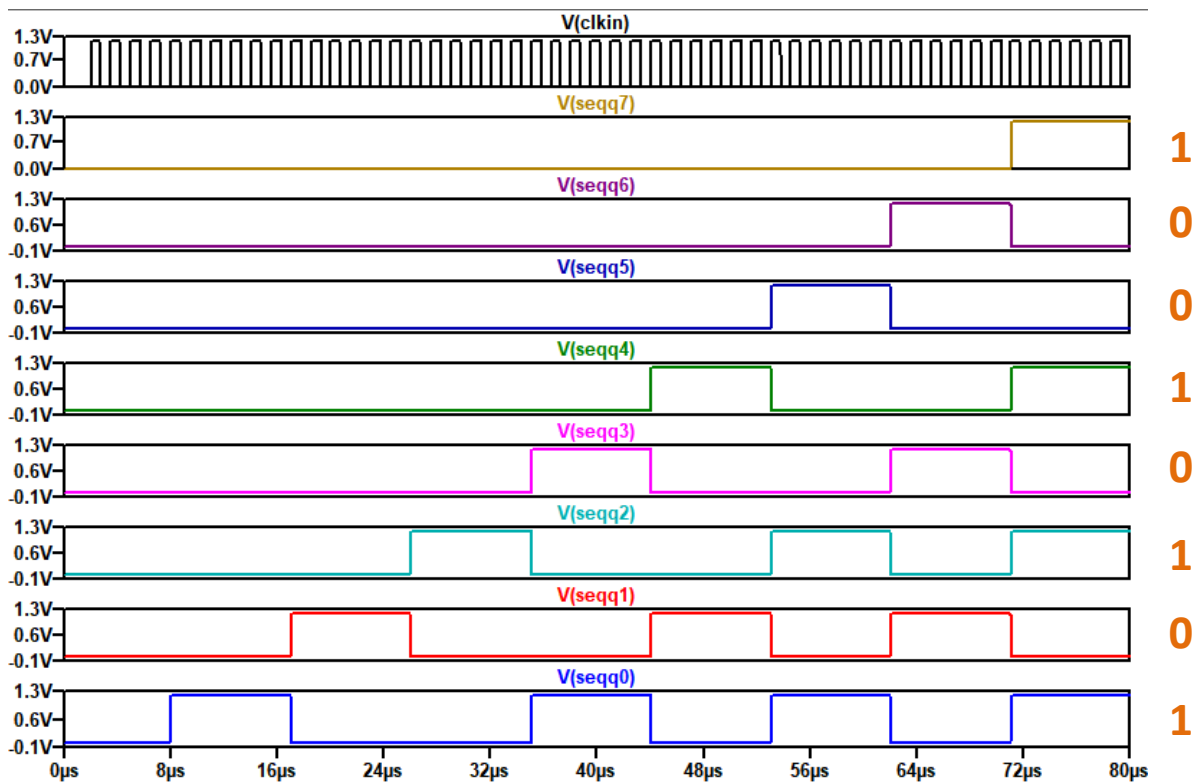
$$V_{IN} = q \cdot V_{DIGITAL} = 4,706mV \cdot 149 = 0,7011 V \quad (58)$$

Comparando o valor obtido de 0,7011 V com o valor da entrada de 0,7 V, nota-se que a conversão foi realizada com sucesso, validando desta forma a funcionalidade do conversor.

Para obter a saída digital em somente um instante de tempo, pode-se analisar as saídas do sequenciador de 8 bits utilizado. A entrada do sequenciador é o sinal V_{SCO} negado e o relógio é o sinal V_{SDE} . As saídas do sequenciador podem ser observadas na Figura 44.

O sinal V_{SEQ_Q0} é a saída do primeiro flip-flop do sequenciador, e representa a saída digital ao longo do tempo. Os sinais seguintes representam o sinal V_{SEQ_Q0} deslocado um ciclo de relógio por vez, dessa forma, ao final de 8 ciclos, cada sinal representará um bit da saída digital.

Figura 44 - Sinais de saída do sequenciador com 8 bits para $V_{IN} = 0,7 V$

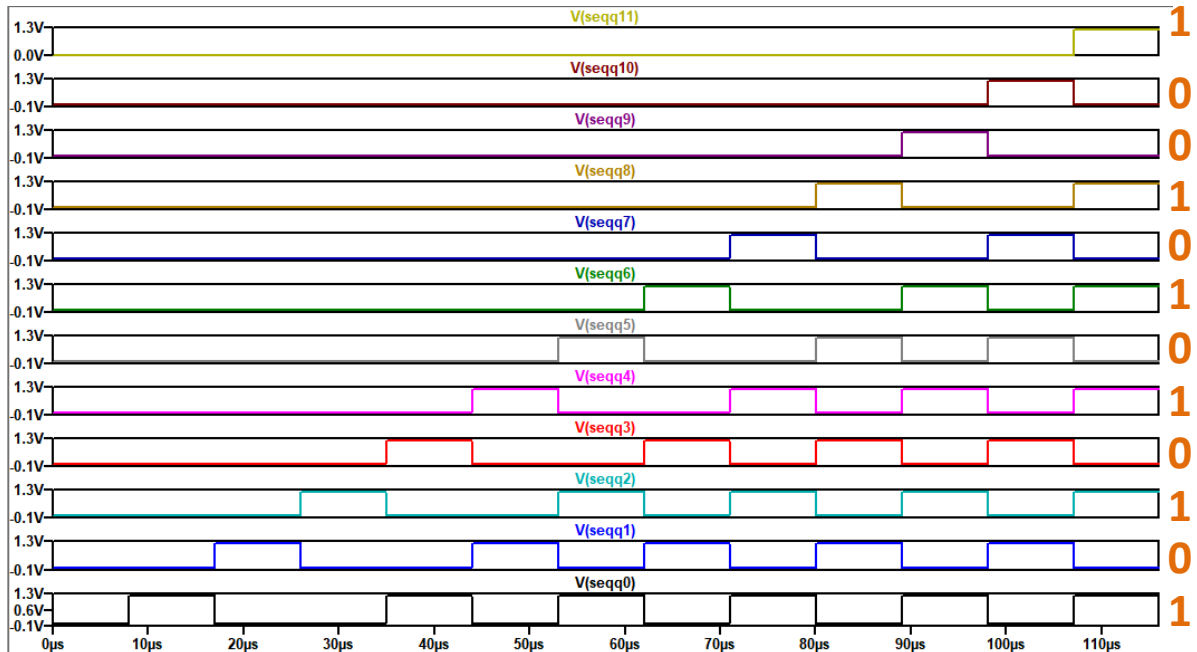


Observa-se que as saídas do sequenciador formam a palavra digital 0b10010101, a mesma observada anteriormente.

Como a vantagem desta topologia é o seu uso para múltiplos bits sem ser necessário a adição de novos capacitores, na Figura 45 está representado a

conversão de 0,7V para 12 bits. Para realizar esta conversão, a única mudança a ser realizada no circuito foi a adição de mais 4 flip-flops no sequenciador.

Figura 45 - Sinais de saída do sequenciador com 12 bits para $V_{IN} = 0,7\text{ V}$



Através desta configuração, a palavra digital obtida foi 0b100101010101, que no conversor desenvolvido representa uma tensão de entrada de 0,70007 V. Percebe-se a melhora na conversão em relação ao conversor de 8 bits, devido à menor resolução associada.

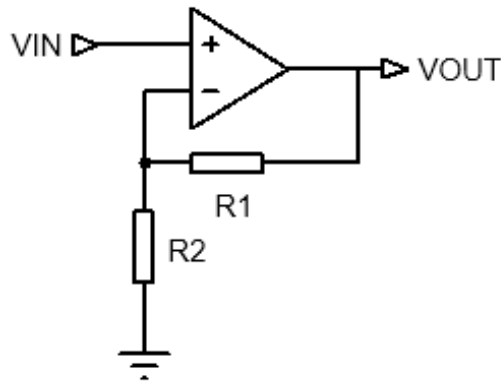
Idealmente, esta topologia de conversor poderia seguir para quantos bits fossem necessários, sendo somente limitada pelo tempo de conversão. Entretanto, as não-idealidades existentes em um circuito real causam erros. Por isso, uma análise com algumas possíveis não-idealidades deve ser realizada.

5.3 Simulações contendo não-idealidades

Um dos possíveis erros devido a não-idealidade pode ser causado por um ganho não unitário do buffer que conecta os circuitos de redistribuição e de dobra de tensão. Para simular este erro, foi implementado um amplificador não inversor,

topologia da Figura 46, com um ganho de 1,01. Ou seja, um buffer com o erro de ganho de 1%.

Figura 46 - Amplificador não-inversor

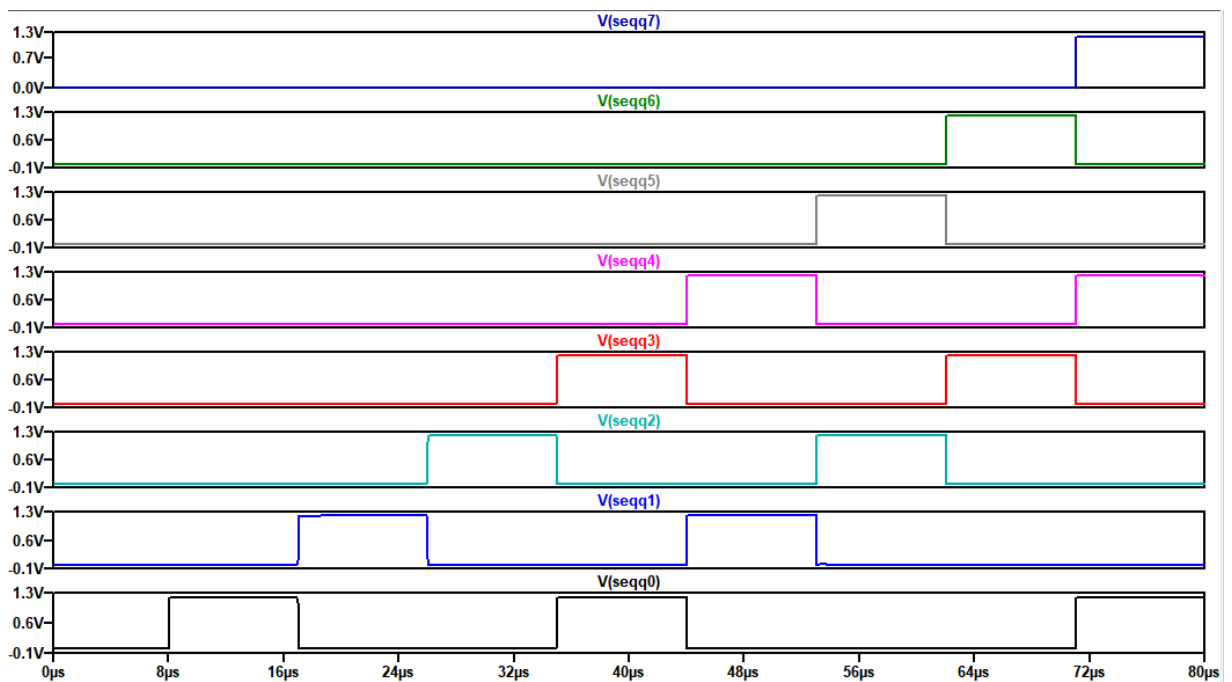


Como o ganho de um amplificador não inversor é dado por:

$$G = 1 + \frac{R1}{R2} \quad (58)$$

Dimensionando R2 como sendo 100 vezes maior que R1 tem-se o ganho de 1,01. Simulando com a tensão de entrada $V_{IN} = 0,7 \text{ V}$ e com o erro de ganho do buffer de 1%, obteve-se o resultado da Figura 47. Retornando uma saída digital de 0b10010001, que neste conversor representa uma tensão de 0,6823 V.

Figura 47 - Sinais de saída com o erro de 1% no buffer e $V_{IN} = 0,7 \text{ V}$



Para uma tensão de entrada $V_{IN} = 0,9 \text{ V}$ cujo valor da saída deveria ser o da Figura 48, com o erro de 1% obteve-se a saída da Figura 49.

Figura 48 - Sinais de saída para $V_{IN} = 0,9 \text{ V}$

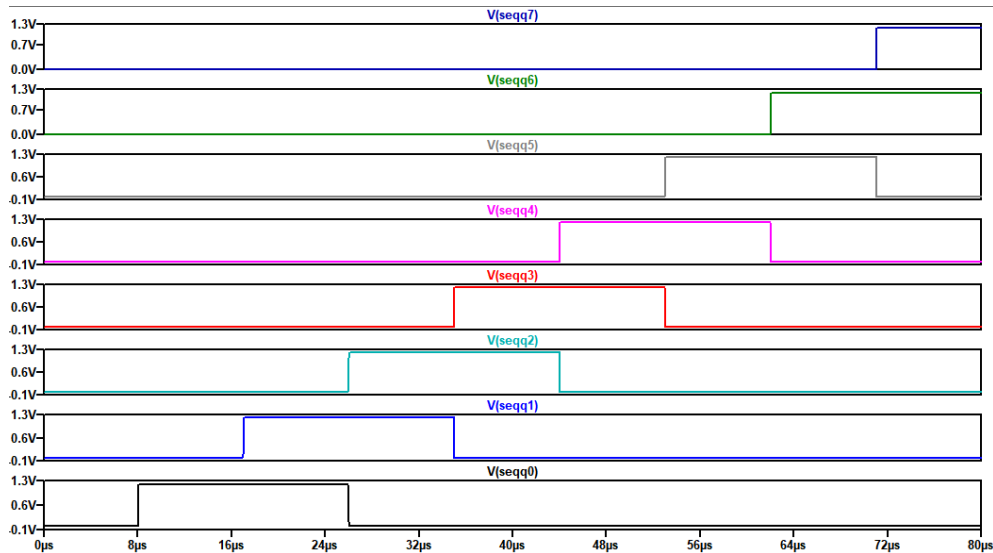
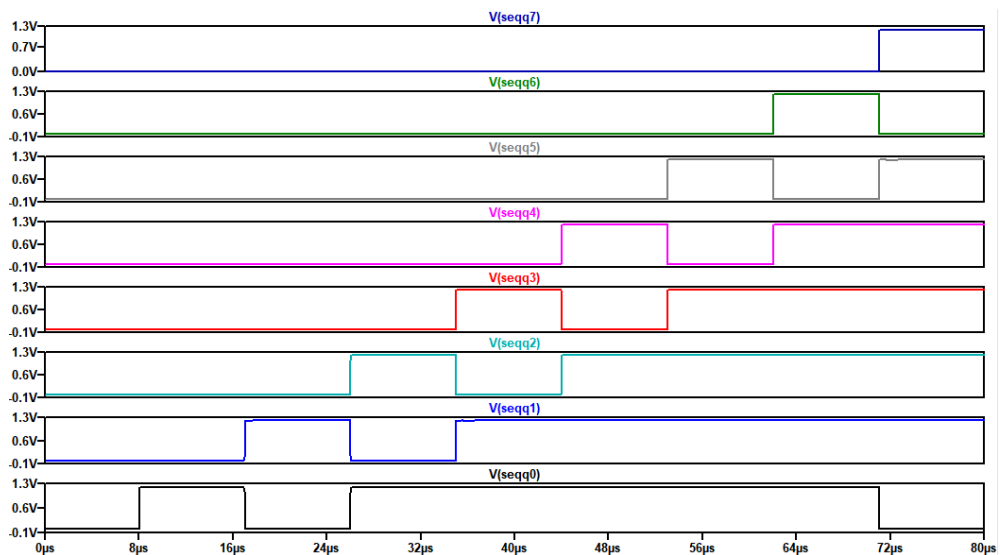


Figura 49 - Sinais de saída para buffer com erro de 1% e $V_{IN} = 0,9 \text{ V}$



Neste caso, o erro de conversão ocorre já no segundo bit. Entretanto, ao longo da conversão esse erro é compensado pelos demais bits. Com isso, ao fim da conversão o valor obtido para o caso de erro de ganho é de $0,894 \text{ V}$.

Observa-se que o erro relacionado a esta não-idealidade depende do valor da tensão de entrada. Assim, para uma melhor visualização da tensão convertida relacionada ao erro, simulou-se matematicamente através do software MATLAB a tensão de saída com e sem o erro de ganho de 1% no buffer. O código pode ser observado no Apêndice 2. O resultado dessas simulações para um conversor de 8 bits pode ser visto nas Figuras 50 e 51.

Figura 50 – Simulação matemática comparando a tensão convertida e a tensão de entrada sem considerar o erro no buffer

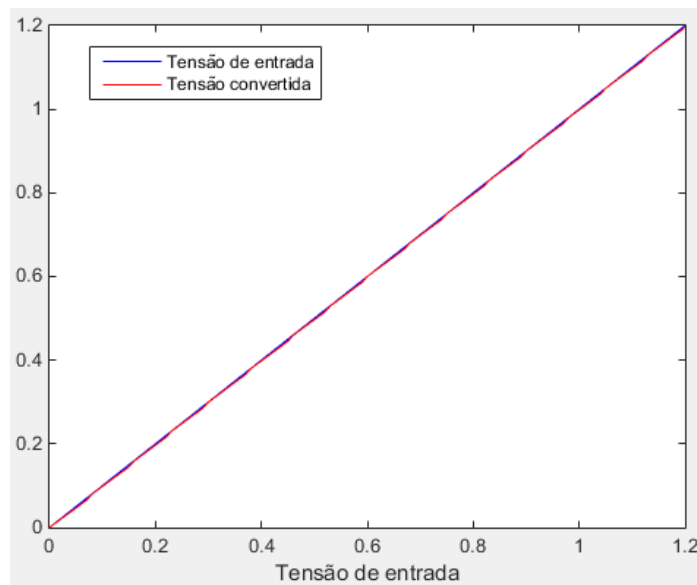
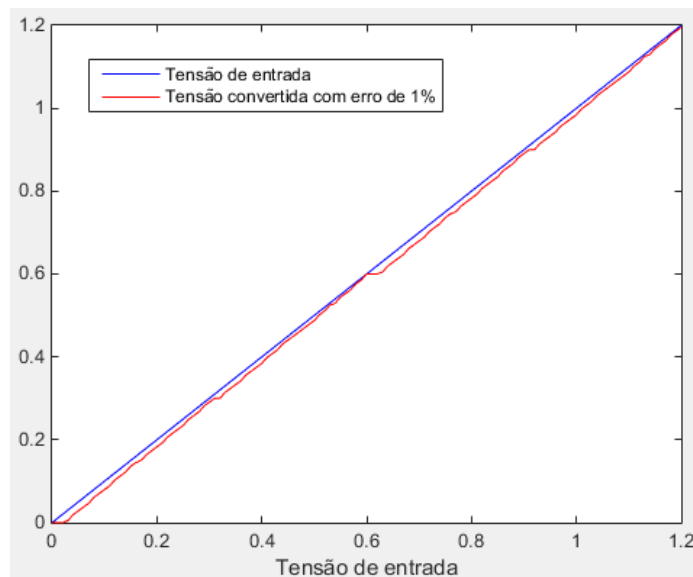


Figura 51 - Simulação matemática comparando a tensão convertida e a tensão de entrada considerando o erro de 1% no buffer



Observa-se que este erro ocorre ao longo de todo o intervalo de conversão e possui grande relevância. Isso ocorre, pois, após a tensão passar pelo buffer a mesma é dobrada, ou seja, o erro é dobrado juntamente com a tensão e em seguida esta tensão passa novamente pelo buffer, aumentando ainda mais o erro e propagando o mesmo ao longo de toda a conversão.

Outro possível erro devido a não-idealidade pode ser causado pela resistência, idealmente infinita, que existe quando a chave está em estado aberto. As simulações para uma resistência de $100\text{ G}\Omega$ não apresentaram diferenças visíveis em relação as simulações com chaves ideais. Já para uma resistência de $10\text{ G}\Omega$, a saída digital já apresentou variação, sendo mostrada na Figura 52. A Figura 53 apresenta a saída utilizando uma resistência de $1\text{ G}\Omega$.

O resultado da conversão ideal para uma tensão de entrada de $0,7\text{ V}$ em um conversor de 8 bits foi de $0,7011\text{ V}$. Já com a resistência de chave aberta de $10\text{ G}\Omega$, a saída digital obtida foi $0b10010110$, que representa uma tensão de entrada de $0,7058\text{ V}$ e um erro de conversão de $0,82\%$. Para a resistência de chave aberta de $1\text{ G}\Omega$, a saída obtida foi $0b10011010$, que corresponde a uma tensão de $0,7247\text{ V}$ e a um erro de $3,5\%$. Portanto, esta é outra não-idealidade que deve ser bem dimensionada caso ocorra uma futura aplicação desta topologia.

Figura 52 - Sinais de saída utilizando resistência de chave aberta de $10\text{ G}\Omega$ e entrada $V_{IN} = 0,7\text{ V}$

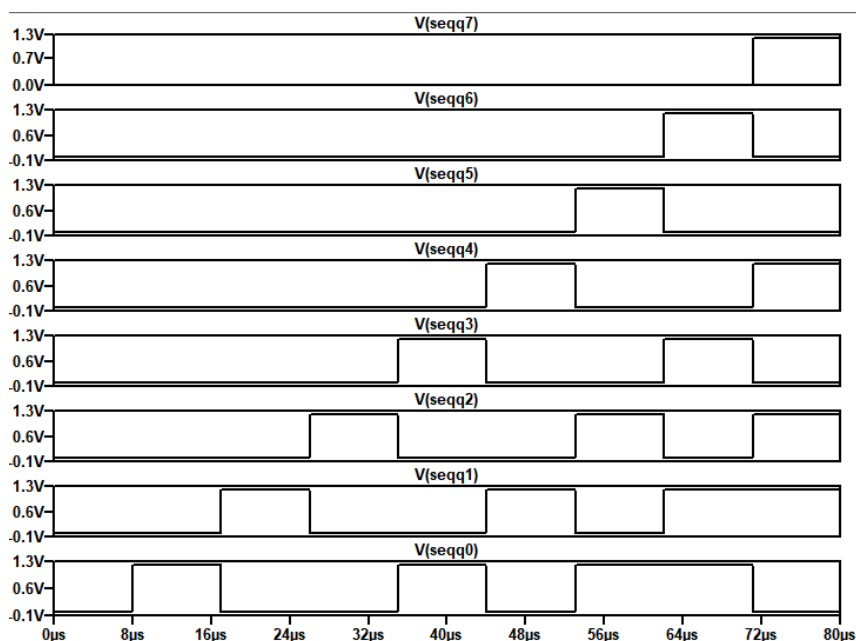
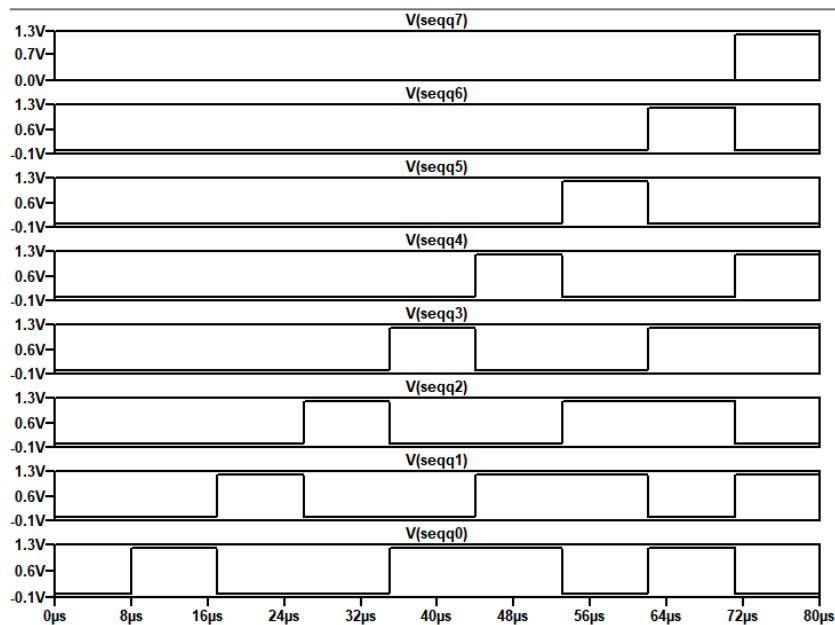


Figura 53 - Sinais de saída utilizando resistência de chave aberta de 1Ω e entrada $V_{IN} = 0,7\text{ V}$



5.4 Viabilidade da nova topologia

Um dos principais propósitos do desenvolvimento da nova topologia é a diminuição da área total do conversor. No conversor clássico de 8 bits, a capacitância total do banco de capacitores é igual a 256 vezes o valor da menor capacitância utilizada. Já para a topologia desenvolvida, a soma das capacitâncias dos dois bancos utilizados é de somente 4 vezes a da menor capacitância. Ou seja, a redução da capacitância deste circuito em relação ao comparador clássico de 8 bits é de 64 vezes, o que reduz amplamente a área do circuito.

Um acréscimo na área total desta nova topologia de conversor ocorre devido aos buffers utilizados. Entretanto, através de chaveamento e com o acréscimo de mais um sinal de controle é possível a utilização de somente um buffer para manter o funcionamento da aplicação, o que acarretaria em um aumento pouco significativo de área quando comparado à área do banco de capacitores.

Apesar da vantagem gerada pela grande diminuição da área do circuito, nota-se que a aplicação desta topologia é limitada, pois para a conversão de cada bit após o bit inicial são necessários seis sinais de relógio, visto que para cada bit todo o

processo de amostragem, retenção e redistribuição e dobra de tensão deve ser feito. Ou seja, para uma grande quantidade de bits é necessário um tempo de conversão bastante elevado, o que acaba se tornando uma grande desvantagem desta topologia.

Quando comparado com o circuito clássico do conversor SAR de 8 bits, o projeto desenvolvido apresenta algumas vantagens e desvantagens. Entretanto, quando comparado com o conversor cíclico que utiliza capacitores chaveados, a topologia desenvolvida neste trabalho não apresenta vantagens significativas.

Uma das vantagens é a nova topologia possuir uma capacitância total de apenas 4 vezes a capacitância unitária, o que faz com que a área ocupada em silício seja significativamente baixa. Contudo, a topologia com capacitores chaveados, apesar de maior, também apresenta uma baixa capacitância total, equivalente à 7 vezes a capacitância unitária.

Já a grande desvantagem da nova topologia em relação à com capacitores chaveados é a sua velocidade de conversão. No circuito com capacitores chaveados, a conversão é realizada em $N+1$ ciclos de relógio, onde N é igual ao número de bits do conversor. Assim, para uma conversão de 8 bits a topologia desenvolvida neste trabalho converte a tensão de entrada em 45 ciclos de relógio, ao passo que o circuito com capacitores chaveados converte esta tensão em somente 9 ciclos.

6 Conclusão

Este trabalho apresentou o desenvolvimento e o estudo de funcionalidade e viabilidade de uma nova topologia de conversor A/D SAR baseado em redistribuição de carga com o objetivo de uma menor utilização de área. A topologia baseada em um conversor de 1 bit utilizando realimentação cíclica foi desenvolvida no *software* LTSPICE e foram feitos testes de conversão para diversos valores de tensão analógica de entrada.

Como o principal objetivo do trabalho é a análise da funcionalidade e viabilidade da nova topologia, na simulação, a descrição do conversor foi feita através de componentes ideais e o circuito e a lógica de controle foram desenvolvidos de maneira simplificada. Após as simulações, através dos resultados obtidos observou-se que o conversor está atuando conforme o esperado, garantindo sua funcionalidade em um cenário ideal.

Levando em conta o estudo de uma situação mais realística do uso do conversor para analisar sua viabilidade, foram inseridas possíveis não idealidades no circuito simulado. Analisou-se os erros de conversão ocorridos, e notou-se que possuíam um impacto considerável na tensão convertida, principalmente o erro de ganho do buffer devido ao mesmo ser utilizado em dois estágios da conversão. Desta forma, caso uma futura implementação seja realizada é necessário um grande cuidado em relação a estes possíveis erros para o correto funcionamento da topologia.

Como previamente comentado, quando comparada à outras topologias de conversores cíclicos, esta topologia desenvolvida não se torna viável devido ao seu elevado tempo de conversão. Entretanto, em relação ao típico conversor SAR a redução em área é bastante significativa.

Uma maneira melhorar a topologia desenvolvida, reduzir ciclos de relógio e otimizá-la seria através de uma solução mista, utilizando o circuito do conversor SAR de 1 bit e capacitores chaveados para o dobrador de tensão.

Outra mudança que poderia reduzir o tempo de conversão seria a realização da amostragem da tensão de entrada sem pré-carregar o banco com a tensão V_{REF} . Entretanto, como já comentado neste trabalho, isso geraria uma tensão negativa no nó V_{COMP-} que poderia interferir nas chaves MOSFET descarregando o banco.

Dessa forma, a topologia implementada, na forma a qual foi desenvolvida neste trabalho, se torna viável somente em projetos nos quais é de interesse uma pequena área do chip do conversor e que o tempo de conversão possa ser elevado.

Futuramente, de forma a analisar melhor o possível funcionamento real do circuito, pode-se utilizar esta topologia e implementá-la com componentes que apresentem as não idealidades não desenvolvidas neste trabalho. Pode-se descrever este circuito utilizando transistores, para representar as chaves através de transistores e *transmission gates*, visando uma possível implementação futura em silício.

7 Referências

- AHMED, I. (2010). Pipelined ADC Design and Enhancement Techniques
- ANDERSON, T. O. (1972). Optimum control logic for successive approximation analog-to-digital converters.
- BAKER, J. R. (2008). CMOS Circuit Design, Layout, and Simulation. 2nd ed.
- BECKER, T. E. *et al.* (2017). Single event transiente effects on charge redistribution SAR ADCs. Microelectronics Reliability.
- DORNELAS, H. U. (2018). Low Power SAR Analog-to-Digital Converter for Internet-of-Things RF Recievers.
- FELDMAN, M. (2013). Estudo e simulação de um conversor A/D do tipo redistribuição de carga.
- GUSTAVSSON, M.; WIKNER, J. J.; TAN, N. N. (2002). CMOS data converters for communications. New York: Kluwer Academic Publishers.
- HASAN, M; ALLE, D. R.; KABIR, M.; RAHMAN, K. (2002). A 15-bit CMOS cyclic A/D converter with correlated double sampling.
- KESTER, W. (2004). Analog-Digital Conversion. Analog Devices.
- KESTER, W. (2005). The Data Conversion Handbook, Analog Devices.
- LANOT, A. J. C. (2014). Estudo de falhas transientes e técnicas de tolerância a falhas em conversores de dados do tipo SAR baseados em redistribuição de carga.
- MALOBERTI, F. (2007). Data Converters. Springer, Boston, MA.
- MANGANARO, G. (2012). Advanced Data Converters. Cambridge: Cambridge University Press.
- MICROCHIP TECHNOLOGY. (2004). Analog-to-Digital Converter Design Guide. Acesso em 05 de 12 de 2018, disponível em www.microchip.com
- PELGROM, M. (2010). Analog-to-Digital Conversion. Springer Netherlands. Disponível em: <https://books.google.com.br/books?id=xU5IXpif7bMC>

PUPALLA, A. (2012). Design of a Low Power Cyclic/Algorithmic Analog-to-Digital Converter in a 130nm CMOS Process.

SHEINGOLD, D. H. (1986). Analog-Digital Conversion Handbook, Prentice-Hall.

VASCONCELLOS, R. D. de (2011). Projeto de um conversor analógico/digital por aproximações sucessivas de 12 bits.

Apêndice 1 – Netlist Spice

* Fontes

```
Vref  V_REF      0    PULSE(0 1.2)
Vin   V_IN       0    PULSE(0 0.9)
Vpos  Vdd        0    1.2
Vset  V_RESET   0    PULSE(1.2 0 3u)
Vclkin clkin    0    DC    0    pulse=(0 1.2 2u 0.1n 0.1n 0.751u 1.502u)
```

* Máquina de estados principal

```
XFlipD1  /Q0  clkin  0    V_RESET  Q0  /Q0  FF_D
XFlipD2  D1   clkin  0    V_RESET  Q1  /Q1  FF_D
XFlipD3  D2   clkin  0    V_RESET  Q2  /Q2  FF_D
XFlipD4  Vsj  Vsk   clkin  0    V_RESET  Vsc0 /Vsc0 FF_JK
```

*Lógica de próximo estado e de saídas

```
XAND2_0  /Q0  Q1   /Q0Q1    AND2
XAND2_1  Q0   /Q1  Q0/Q1    AND2
XAND2_2  Q1   Q2   Vsc       AND2
XAND2_3  /Q1  Q2   /Q1Q2    AND2
XAND2_4  /Q0  Q2   /Q0Q2    AND2
XAND2_5  Q1   /Q2  Q1/Q2    AND2
XAND2_6  Q0   Q2   Q0Q2     AND2

XAND3_0  Q0   Q1   /Q2  Vsde     AND3
XAND3_1  /Q0  /Q1  /Q2  /Q0/Q1/Q2 AND3
XAND3_2  /Q0  Q1   Q2   /Q0Q1Q2  AND3
XAND3_3  /Q0  /Q1  Q2   /Q0/Q1Q2  AND3

XAND4_0  /Q0  Q1   /Q2  /Comp  /Q0Q1/Q2/Comp  AND4

XOR2_0  /Q0/Q1/Q2  /Q0Q1Q2    Vsa  OR2
XOR2_1  Vsde     /Q0/Q1Q2    Vsc1 OR2
XOR2_2  Q1/Q2    /Q1Q2       Vsb  OR2
XOR2_3  Vsa     /Q0Q1/Q2/Comp  Vsj  OR2

XOR3_0  /Q0Q1    Q0/Q1    Vsc  D1  OR3
XOR3_1  /Q1Q2    /Q0Q2    Vsde D2  OR3
```

```

XOR3_2    Q0/Q1    Q0Q2    /Q0Q1/Q2/Comp  Vsk  OR3
XINV1_3   vsc0      vsc0n   INV1
XINV1_4   vsde      vsden   INV1
XINV1_5   Comp      /Comp   INV1

```

*Sequenciador 12 bits

```

XFlipSeq0 /vsc0      vsden 0    V_RESET  SeqQ0  /SeqQ0  FF_D
XFlipSeq1 SeqQ0      vsden 0    V_RESET  SeqQ1  /SeqQ1  FF_D
XFlipSeq2 SeqQ1      vsden 0    V_RESET  SeqQ2  /SeqQ2  FF_D
XFlipSeq3 SeqQ2      vsden 0    V_RESET  SeqQ3  /SeqQ3  FF_D
XFlipSeq4 SeqQ3      vsden 0    V_RESET  SeqQ4  /SeqQ4  FF_D
XFlipSeq5 SeqQ4      vsden 0    V_RESET  SeqQ5  /SeqQ5  FF_D
XFlipSeq6 SeqQ5      vsden 0    V_RESET  SeqQ6  /SeqQ6  FF_D
XFlipSeq7 SeqQ6      vsden 0    V_RESET  SeqQ7  /SeqQ7  FF_D
XFlipSeq8 SeqQ7      vsden 0    V_RESET  SeqQ8  /SeqQ8  FF_D
XFlipSeq9 SeqQ8      vsden 0    V_RESET  SeqQ9  /SeqQ9  FF_D
XFlipSeq10 SeqQ9     vsden 0    V_RESET  SeqQ10 /SeqQ10 FF_D
XFlipSeq11 SeqQ10    vsden 0    V_RESET  SeqQ11 /SeqQ11 FF_D

```

*Circuito principal

```

C1  vcomp-    N002    60f
C3  vcomp-    N003    60f
S1  V_REF     vcomp-  Vsa  0    SW
XU1 N002      N006    0    Vsa  0    SPDT
XU3 N003      0       N006 Vsc0 Vsc0n SPDT
XU4 N006      V_REF   N007 vsb  0    SPDT
XU8 N007      Vin_lsb V_IN  vsc  0    SPDT
XU2 vcomp-     V_REF   COMP  op_amp
XU7 N008      vcomp-  N008  opamp Aol=100K  GBW=10Meg

```

*Dobrador de tensão

```

C4  N004 N005 60f
C5  Vout N001 60f
S3  N001      N005 Vsc1 0    SW
SU32 V_REF     Vout Vsde 0    SW
XU5 N004 Vout N001 Vsc1 0    SPDT
XU6 N005 N008 0    Vsde 0    SPDT
XU9 Vin_lsb   Vout Vin_lsb opamp  Aol=100K  GBW=10Meg

```

*Subcircuitos

*Chaves

.model SW SW(Vh=.25 Vt=.5)

.subckt SPDT COM NO NC POS NEG

S1 COM NO POS NEG MYSW1

S2 COM NC NEG POS MYSW2

.model MYSW1 SW(Vh=.25 Vt=.5)

.model MYSW2 SW(Vh=.25 Vt=-.5)

.ends SPDT

*Amplificador

.lib opamp.sub

.subckt op_amp Vn Vp Vout

E1 Vout 0 Vp Vn 10e6

.ends op_amp

*Portas Lógicas

.subckt AND2 in1 in2 out

A1 in1 in2 0 0 0 out 0 AND Vhigh=1.2 Vlow=0 Trise=1n Tfall=1n

.ends

.subckt AND3 in1 in2 in3 out

A1 in1 in2 in3 0 0 0 out 0 AND Vhigh=1.2 Vlow=0 Trise=1n Tfall=1n

.ends

.subckt AND4 in1 in2 in3 in4 out

A1 in1 in2 in3 in4 0 0 out 0 AND Vhigh=1.2 Vlow=0 Trise=1n Tfall=1n

.ends

.subckt NOR3 in1 in2 in3 out

A1 in1 in2 in3 0 0 out 0 0 OR Vhigh=1.2 Vlow=0 Trise=1n Tfall=1n

.ends

.subckt OR2 in1 in2 out

A1 in1 in2 0 0 0 out 0 OR Vhigh=1.2 Vlow=0 Trise=1n Tfall=1n

.ends

```
.subckt OR3 in1 in2 in3 out
A1 in1 in2 in3 0 0 0 out 0 OR Vhigh=1.2 Vlow=0 Trise=1n Tfall=1n
.ends
```

```
.subckt INV1 in1 out
A1 in1 0 0 0 0 out 0 0 BUF Vhigh=1.2 Vlow=0 Trise=1n Tfall=1n
.ends
*****
```

*Flip-Flop JK

```
*****
.subckt FF_JK J K CLK SET RESET Q QN
X112 CLK CLKN INV1
X113 QN J CLKN S1 AND3
X114 CLKN K Q R1 AND3
X115 S1 SET S2 R2 NOR3
X116 R2 RESET R1 S2 NOR3
X117 R2 CLK AA AND2
X118 CLK S2 BB AND2
X119 AA RESET QN Q NOR3
X120 Q SET BB QN NOR3
.ends
*****
```

*Flip-Flop D

```
*****
.subckt FF_D D CLK SET RESET Q QN
X121 D O0 CLK SET RESET Q QN FF_JK
X122 D O0 INV1
.ends
*****
```

*Simulação

```
*****
.tran 80u
.backanno
.end
*****
```


Apêndice 2 – Código MATLAB

```

function [tensao, carga] = MatrizCap(A, C, Q, Vref, pos )

B = [-Vref*C(1)*pos
     -Vref*C(2)*0
     Q];

x = A\B;
tensao = x(3);
carga = [x(1) x(2)];

end

%Inicialização
clc;
clear all;

%Valores
C = 120e-12;
C0 = C;
C00 = C;
Ceq = 2*C;
CC = [C0 C00];
bits = 8;
Vref = 1.2;
n=0;

%Valores Tensão de Entrada
for V = 0:0.001:1.2
    Vin = V;
    A = [1 0 -C0
         0 1 -C00
         1 1 0];

    %Posição inicial da chave
    pos = 0;

    for i = 1:bits
        Q = Ceq*(Vref-Vin);
        Vcomp = MatrizCap(A, CC, Q, Vref, pos);

        %Fechamento da chave
        pos = 1;

        Vcomp = MatrizCap(A, CC, Q, Vref, pos);

        if Vcomp > Vref
            pos = 0;
        end

        [Vcomp, Cargas] = MatrizCap(A, CC, Q, Vref, pos);

        % Vcomp = Vcomp*1.01; -- Buffer com erro de 1%
        Vdobrador = Vref - Vcomp;
    end
end

```

```
Vdobrador = 2*Vdobrador;  
%Vdobrador = Vdobrador*1.01 -- Buffer com erro de 1%  
Vin = Vdobrador;  
  
armazenador (i) = pos;  
pos = 0;  
  
end  
  
Vresult = 0;  
for i = 1:bits  
    Vresult = Vresult + armazenador(i)*2^(bits-i);  
end  
  
Vresult = Vresult*Vref/(2^bits);  
n = n+1;  
%Armazena Resultado das conversões  
vectorResult(n)=Vresult;  
  
end  
  
Vin = 0:0.001:1.2;  
  
figure  
plot(Vin,Vin,'b',Vin,vectorResult,'r')  
legend('Tensão de entrada','Tensão convertida')
```