

# VeriCI - Plataforma de Verificação de Circuitos Integrados

Ramon Yago da Cruz Jacques Vieira<sup>1</sup>, Prof. Dr. Alessandro Cristóvão Bonatto<sup>2</sup>

1 Autor, Engenharia Mecânica, UFRGS.

2 Orientador, Campus Restinga, IFRS.

## INTRODUÇÃO

A escala da tecnologia contínua de fabricação de Circuitos Integrados (CIs) e a crescente complexidade tornam a etapa de verificação após fabricação e o teste de falhas um gargalo dentro do fluxo de produção da microeletrônica. A importância dos testes é reduzir o custo de produção de uma fábrica, uma vez que o teste de cada circuito é uma tarefa lenta e dentro de uma linha de produção, testar todos os chips de um produto pode custar boa parte do tempo entre o projeto e a comercialização. Quando um CI falha, dentro de um produto, é necessário fazer-se o recall e a sua substituição, o que gera custos para uma empresa e também a diminuição da confiança do cliente. Portanto, o teste de CIs não se aplica somente para empresas que os fabricam, como a Ceitec S/A, mas também para todas as empresas que fabricam e comercializam produtos contendo CIs como parte de seus produtos.

O projeto VeriCI tem como propósito, desenvolver um sistema controlado para realizar o teste de Circuitos Integrados (CI) digitais encapsulados denominados de ASIC (*Application Specific Integrated Circuit*), como: microcontroladores, decodificadores digitais, memórias, sensores digitais de temperatura, pressão e umidade, além de circuitos lógicos de uso geral. Devido ao fluxo de produção de CIs ser muito intenso e exigir testes mais precisos e eficientes surgiu a oportunidade de inovar criando uma plataforma de baixo custo para realizar a verificação funcional de CIs. Com isso o principal objetivo deste projeto é desenvolver uma plataforma de verificação de circuitos integrados digitais, combinacionais ou sequenciais.

## METODOLOGIA

A aplicação deste projeto é para o teste de funcionamento de circuitos integrados utilizados pela indústria eletroeletrônica, durante a verificação total ou parcial (por amostragem) de lotes de componentes eletrônicos, antes da montagem dos produtos ou equipamentos. Para isso será utilizado FPGA (*Field Programmable Gate Array*) para implementar um circuito digital que fornecerá os padrões de teste para o CI. Esta aplicação tem por objetivo realizar os testes de funcionamento de um CI digital, saído de uma fábrica, após o seu encapsulamento. A partir deste projeto, pretende-se implementar um programa que possibilite realizar diferentes testes funcionais para um chip, através de escritas, leituras e verificação, e através da inserção de vetores de teste usando o canal de *Scan Chain* do chip. Para realizar as conexões físicas entre o CI e o FPGA, deverá ser desenvolvida uma placa mãe que irá receber o CI. Para esta placa, pretende-se utilizar um conector do tipo ZIF (Zero Input Force) que simplifica a inserção e remoção do CI, minimizando os danos aos pinos do encapsulamento. Uma fonte de tensão regulada e ajustável deve ser implementada, contendo uma interface de programação para configuração a partir do FPGA, que é responsável por gerar a rotina de etapas de verificação. Esta fonte poderá ser implementada utilizando-se dispositivos eletrônicos de prateleira, como o regulador de tensão do tipo LM317, resistores e capacitores.

Os vetores de teste são descritos no computador e podem ser passados para a placa FPGA por cabo, no momento da programação (armazenando em memória interna) ou mesmo através de um cartão de memória. Estas possibilidades dependerão do modelo da placa FPGA que poderá ser adquirida no projeto.

O CI RISCO (CANAL, BONATTO, 2016) que foi desenvolvido pelos professores Bruno Canal e Alessandro Bonatto tem mapeamento de pinos como mostrado na figura 1a. A figura 1b mostra a imagem de um CI Risco sem a tampa do encapsulamento.

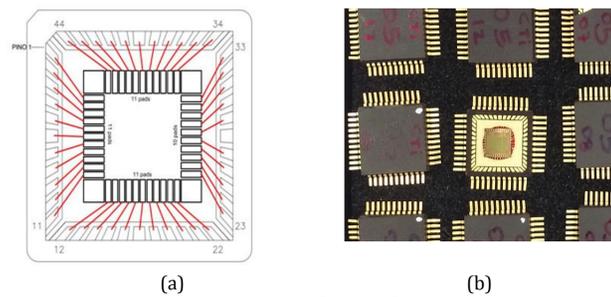


Figura 1 - mapa de pinos do CI Risco.

## RESULTADOS

O projeto da plataforma de teste de circuitos integrados apresentou uma complexidade maior do que era esperada. As atividades de projeto do roteiro de testes e desenvolvimento de uma placa para os testes ocupou grande parte do tempo da bolsa. Recebemos as amostras de microcontrolador Risco fabricado pela Ceitec e fizemos os testes de resistência, corrente e tensão para desenvolver o roteiro de testes de um microcontrolador.

O roteiro de testes foi planejado para ser utilizado em um equipamento de teste automatizado, que deve ter como características principais:

- Uma fonte de tensão regulada e ajustável.
- Placa com conector tipo ZIF (Zero Input Force) que simplifica a inserção e remoção do CI;
- Microcontrolador para automatizar as funções de teste e gravar os dados em computador.
- FPGA (Field Programmable Gate Array), para os testes funcionais.

Para o equipamento automatizado, previu-se dois módulos internos (Figura 2):

1. Módulo Power: a função "power" permite que o testador energize o CI testado com valores de tensão amortizada, abaixo dos valores nominais de funcionamento. A função "power" é implementada através de um sinal PWM ("Pulse Width Modulation") em série com um filtro passa baixa ativo de primeira ordem.
2. Módulo Sense: A função "sense" permite que o testador verifique a tensão e a corrente fornecidas para o CI testado.

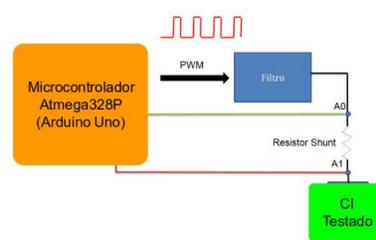


Figura 2 - Diagrama de blocos para os módulos power e sense.

Uma grande dificuldade que encontramos no projeto foi adquirir o soquete ZIF para encapsulamento QFP-44, que no mercado nacional tem valor acima do que foi previsto. Os primeiros testes foram feitos usando um soquete ZIF (Figura 3) e matriz de contatos para interligação das conexões.

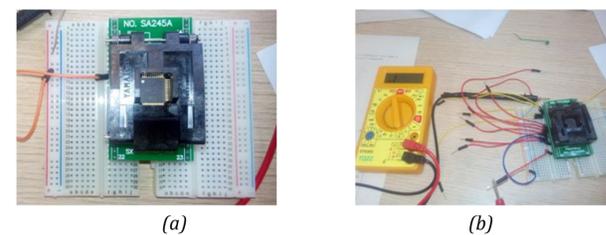


Figura 3 - Conector ZIF QFP-44 para teste dos CIs.

Com esta abordagem, conseguiu-se elaborar um roteiro de teste para verificar curtos-circuitos entre os terminais do CI. Este roteiro serve como base para elaborar o algoritmo de testes que será implementado no microcontrolador dos módulos power & sense (Figura 2). Os módulos power e sense foram fabricados parcialmente (Figura 4).



Figura 4 - Módulos Power e Sense, prototipados usando PCI.

## CONCLUSÕES

A partir deste projeto, pretende-se implementar uma plataforma que possibilite realizar diferentes testes funcionais para um chip, através de escritas, leituras e verificação, e através da inserção de vetores de teste usando o canal de Scan Chain do chip a ser testado que beneficia a indústria que lida com equipamentos com CIs. Sendo assim nossa plataforma pode ser utilizada por diversas empresas do setor eletroeletrônico, que preocupadas com a comercialização de produtos verificados em fábrica, possam fazer a verificação completa ou parcial do lote adquirido de componentes eletrônicos, com isso amplia nosso mercado atuação já grande parte da indústria mundial está vinculada no setor eletroeletrônico.

## REFERÊNCIAS

- [1] CANAL, B. ; BONATTO, A. C. . **Physical Implementation of a 32-bits RISC microprocessor using XFAB 600nm technology.** In: Simpósio Sul de Microeletrônica, 2017, Rio Grande/RS. 32nd South Symposium on Microelectronics. Rio Grande/RS: Brazilian Computer Society (SBC), 2017. p. 65-68.
- [2] SILVA, S. L. ; VIEIRA, R. Y. C. J. ; BONATTO, A. C. ; CANAL, B. . **CITest - Desenvolvimento de um Test board.** In: VII Mostra Científica do IFRS Campus Restinga, 2017, Porto Alegre. Anais do VII Mostra Científica do IFRS - Campus Restinga, 2017.
- [3] VIEIRA, R. Y. C. J. ; COSTA, K. R. ; CANAL, B. ; BONATTO, A. C. . **VeriCI - Plataforma de Verificação de Circuitos Integrados.** In: VII Mostra Científica do IFRS - Campus Restinga, 2017, Porto Alegre. VII Mostra Científica do IFRS - Campus Restinga, 2017.