



Evento	Salão UFRGS 2018: SIC - XXX SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2018
Local	Campus do Vale - UFRGS
Título	Considerando Aspectos Físicos Durante a Etapa de Síntese Lógica no Fluxo de Projetos de Circuitos Digitais
Autor	PEDRO MARTINS BASSO
Orientador	ANDRE INACIO REIS

Considerando Aspectos Físicos Durante a Etapa de Síntese Lógica no Fluxo de Projetos de Circuitos Digitais

Universidade Federal do Rio Grande do Sul

Instituto de Informática

Pedro Martins Basso e André Inácio Reis

Projetos de circuitos integrados digitais dependem de um fluxo de ferramentas de software conhecido como *Electronic Design Automation* (EDA). De forma geral, este fluxo está dividido em três etapas bem definidas, síntese de alto nível, síntese lógica e síntese física. O fato destas etapas serem disjuntas dificulta a utilização de métricas mais precisas para estimar características do circuito em desenvolvimento como área, frequência de operação e dissipação de potência. Com isso, a ideia de trazer informações da síntese física contribui para utilização de métricas e custos mais realistas para a etapa de síntese lógica, orientando e direcionando possíveis otimizações nesta etapa.

Durante a etapa de síntese lógica, as ferramentas de EDA trabalham com uma descrição genérica do circuito em desenvolvimento. Convencionalmente, esta estrutura é representada através de um AND-Inverter Graph (AIG), o qual é um grafo acíclico direcionado que representa uma implementação estrutural do comportamento lógico um circuito. Um AIG possui nodos terminais que definem pinos entradas e saídas do circuito, nodos não-terminais que representam operadores lógicos AND de duas entradas e arestas com marcadores indicando negação lógica.

Neste trabalho, propomos uma estrutura de AIG a qual suporta informações para realizar o posicionamento dos elementos do grafo em um plano bidimensional que representa a área do circuito. Dessa forma, é possível antecipar informações de posicionamento dos elementos lógicos, a qual é tarefa da síntese física, durante as otimizações realizada pela síntese lógica. A inclusão da posição dos nodos do grafo permite considerar o posicionamento dos pinos de entrada e saída e estimar os efeitos nos aspectos físicos e elétricos do circuito, como atraso de propagação dos sinais. Consequentemente, AIG posicionados contribuem para estimar quais são os caminhos críticos do circuito e direcionar otimizações e em tais pontos.

Com o objetivo de avaliar e comparar a qualidade de AIGs posicionados, foi desenvolvido um algoritmo ingenuo que realiza o posicionamento de AIGs de forma aleatória em um espaço bidimensional delimitado por pinos de entrada e saída, onde somente as entradas e saídas do AIG são inicialmente posicionadas. Como entrada, o algoritmo recebe o AIG a ser posicionado bem como as dimensões da área de posicionamento e as delimitações do anel de pinos de entrada e saída. O algoritmo realiza o posicionamento dos nodos do AIG com base em um gerador de números aleatórios. São gerados n diferente posicionamentos para o mesmo AIG, onde o melhor posicionamento é utilizado durante a síntese lógica. A métrica utilizada para comparação entre os posicionamentos é a soma das distâncias entre os nodos conectados no AIG. A distância euclidiana foi usada como técnica para medição da distância entre os nodos.

Os resultados obtidos até o momento foram realizados utilizando *benchmarks* do ISCAS. Este trabalho é visto como uma base inicial para futuras implementações, que irão utilizar técnicas e algoritmos mais próximos da realidade citados pela literatura e pela comunidade de síntese física. Considera-se utilizar para trabalhos futuros o problema retilíneo da árvore de Steiner como técnica de medição da distância entre os nodos e realizar o posicionamento utilizando uma técnica mais robusta e próxima aos algoritmos conhecidos na síntese física. Espera-se que antecipando informações de posicionamento do circuito contribua para a tomada de decisões durante as otimizações lógicas e o mapeamento tecnológico, os quais são processos importantes da síntese lógica e têm grande influência nas características e qualidade final do circuito.