

Considerando Aspectos Físicos Durante a Etapa de Síntese Lógica no Fluxo de Projetos de Circuitos Digitais

Pedro Martins Basso, André Inácio Reis

Instituto de Informática, UFRGS, Porto Alegre, Brasil

{pedro.basso, andreis}@inf.ufrgs.br

INTRODUÇÃO

Projetos de circuitos integrados digitais dependem de um fluxo de ferramentas de software conhecido como *Electronic Design Automation*. De forma geral, este fluxo está dividido em três etapas bem definidas: síntese de alto nível, síntese lógica e síntese física. Este trabalho visa trazer informações da síntese física para utilização de métricas e custos mais realistas para a etapa de síntese lógica, orientando e direcionando possíveis otimizações nesta etapa.

Durante a etapa de síntese lógica, as ferramentas de EDA trabalham com uma descrição genérica do circuito em desenvolvimento. Convencionalmente, esta estrutura é representada através de um AND-Inverter Graph (AIG), o qual é um grafo acíclico direcionado que representa uma implementação estrutural do comportamento lógico um circuito, como mostra o exemplo da Fig 1.

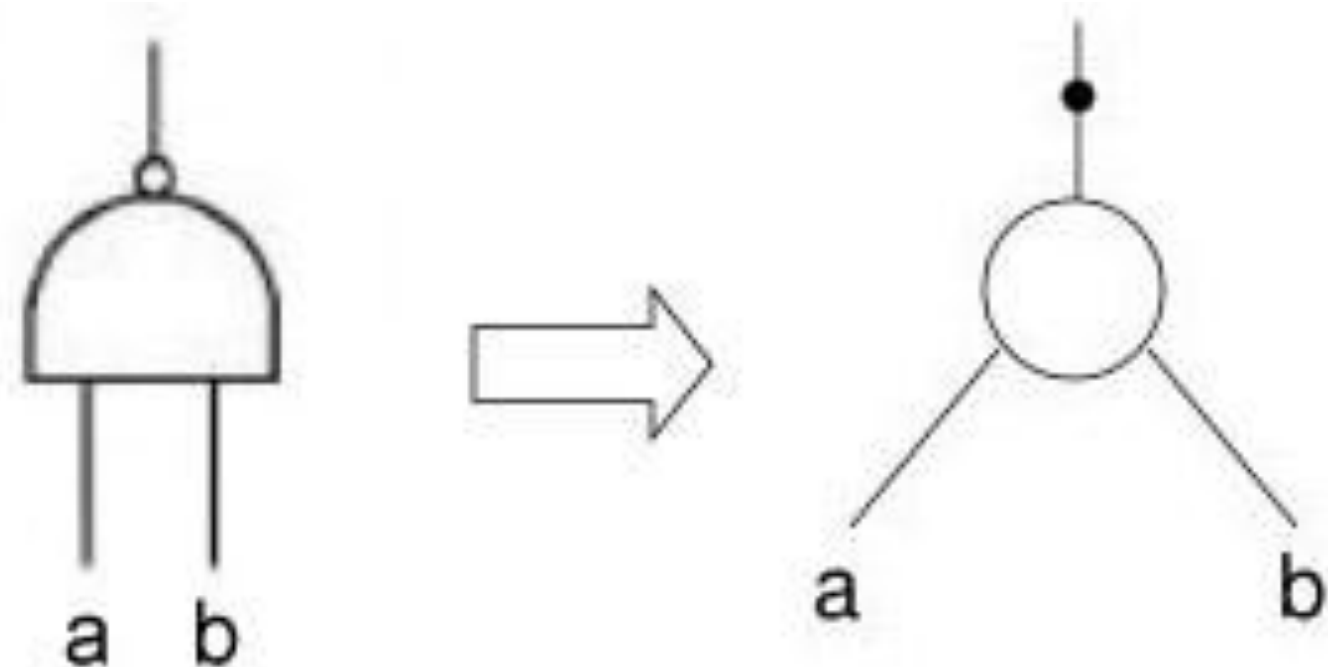


Figura 1: Representação gráfica de uma porta lógica NAND em formato AIG.

RESUMO GERAL

Neste trabalho, propomos uma estrutura de AIG a qual suporta informações para realizar o posicionamento dos elementos do grafo em um plano bidimensional que representa a área do circuito. Dessa forma, é possível antecipar informações de posicionamento dos elementos lógicos, a qual é tarefa da síntese física, durante as otimizações realizada pela síntese lógica.

A inclusão da posição dos nodos do grafo permite considerar o posicionamento dos pinos de entrada e saída e estimar os efeitos nos aspectos físicos e elétricos do circuito, como atraso de propagação dos sinais. Consequentemente, AIG posicionados contribuem para estimar quais são os caminhos críticos do circuito e direcionar otimizações e em tais pontos.

Com o objetivo de avaliar e comparar a qualidade de AIGs posicionados, foi desenvolvido um algoritmo ingênuo que realiza o posicionamento de AIGs de forma aleatória em um espaço bidimensional delimitado por pinos de entrada e saída, onde somente as entradas e saídas do AIG são inicialmente posicionadas. Como entrada, o algoritmo recebe o AIG a ser posicionado bem como as dimensões da área de posicionamento e as delimitações do anel de pinos de entrada e saída.

O algoritmo realiza o posicionamento dos nodos do AIG com base em um gerador de números aleatórios. São gerados n diferentes posicionamentos para o mesmo AIG, onde o melhor posicionamento é utilizado durante a síntese lógica. A métrica utilizada para comparação entre os posicionamentos é a soma das distâncias entre os nodos conectados no AIG. A distância euclidiana foi usada como técnica para medição da distância entre os nodos.

CONSIDERAÇÕES FINAIS

Espera-se que antecipando informações de posicionamento do circuito contribua para a tomada de decisões durante as otimizações lógicas e o mapeamento tecnológico, os quais são processos importantes da síntese lógica e têm grande influência nas características e qualidade final do circuito.

Agradecimentos

Pesquisa realizada com apoio das fundações CAPES, CNPq e FAPERGS sob o registro 11/2053-9 (Pronem).