

Sistemas Adaptativos e Transparentes: Otimizando além de Desempenho e Energia

Lucas Augusto Tansini

Universidade Federal do Rio Grande do Sul
Instituto de Informática



Orientado por Prof. Antonio Carlos S. Beck
latansini@inf.ufrgs.br

MOTIVAÇÃO

Com a diminuição do transistor e o aumento na quantidade de transistores dentro de um único processador, observa-se dois grandes problemas:

- ❑ Alto consumo de potência devido ao intenso chaveamento dos bilhões de transistores;
- ❑ Aumento na ocorrência de falhas nos sistemas devido a radiação. Um exemplo destas falhas são a troca de bits (0→1 ou 1→0).

Aplicações atuais demandam aumento da confiabilidade e redução do consumo de energia:

- ❑ Falhas em *data centers* podem custar até 66 mil dólares por minuto que o sistema deixa de funcionar corretamente¹;
- ❑ Carros autônomos;
- ❑ Aplicações críticas (usinas nucleares e aviação);
- ❑ Aplicações médicas;
- ❑ Setores de mineração e petróleo.

PROPOSTA

Utilizar um processador robusto que seja reconfigurável, permitindo alterar a quantidade de instruções que são executadas paralelamente. Com isto podemos balancear os requisitos de desempenho, consumo energético e confiabilidade.

São aplicadas as seguintes técnicas para redução do consumo de energia:

- ❑ Alteração da frequência de processamento;
- ❑ Desligamento de partes do processador;

As seguintes técnicas permitem aumentar a confiabilidade do processador:

- ❑ Replicação de componentes;
- ❑ Correção de erros.

IMPLEMENTAÇÃO

Utilizou-se o processador p-vex VLIW reconfigurável, descrito em linguagem de hardware VHDL. A Figura 1 apresenta a arquitetura do processador, onde as diferentes cores destacam alguns modos de processamento. O processador nos permite variar a quantidade de instruções (*issue*) como:

- ❑ 2 issue (em amarelo);
- ❑ 4 issue (em azul);
- ❑ 8 issue (em rosa);

Exemplos de configurações para priorizar diferentes requisitos:

- ❑ 8 issue apenas - para maior desempenho;
- ❑ 4 issue (com os demais desligados) - para reduzir o consumo de energia;
- ❑ 4 issue, com outros 4 issue para replicação - para aumentar a confiabilidade.

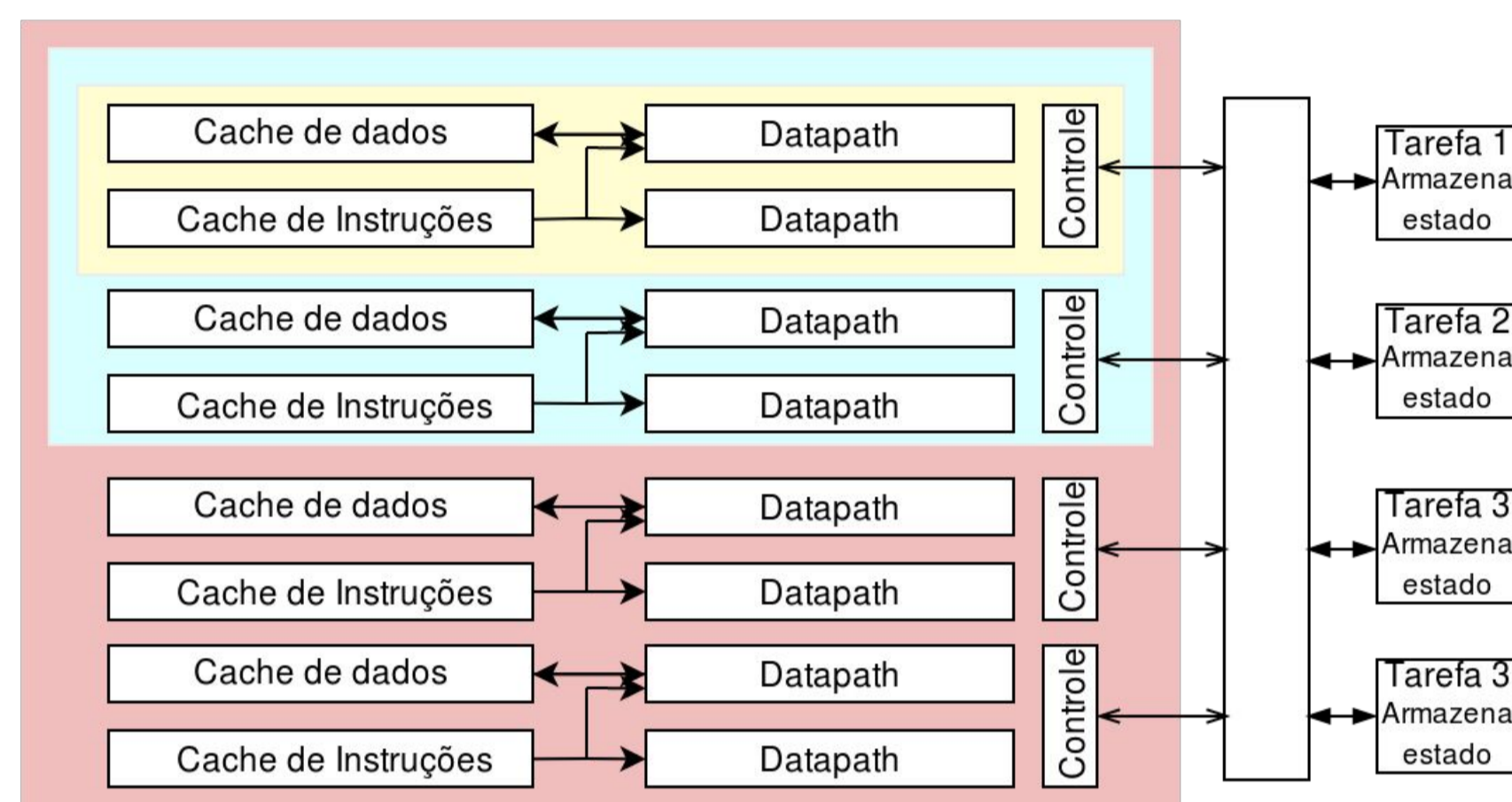


Figura 1: Organização do processador p-vex

RESULTADOS

A Figura 2 mostra os resultados das simulações em diferentes configurações, levando em conta o número de ciclos do processador, normalizado para a configuração 8-issue.

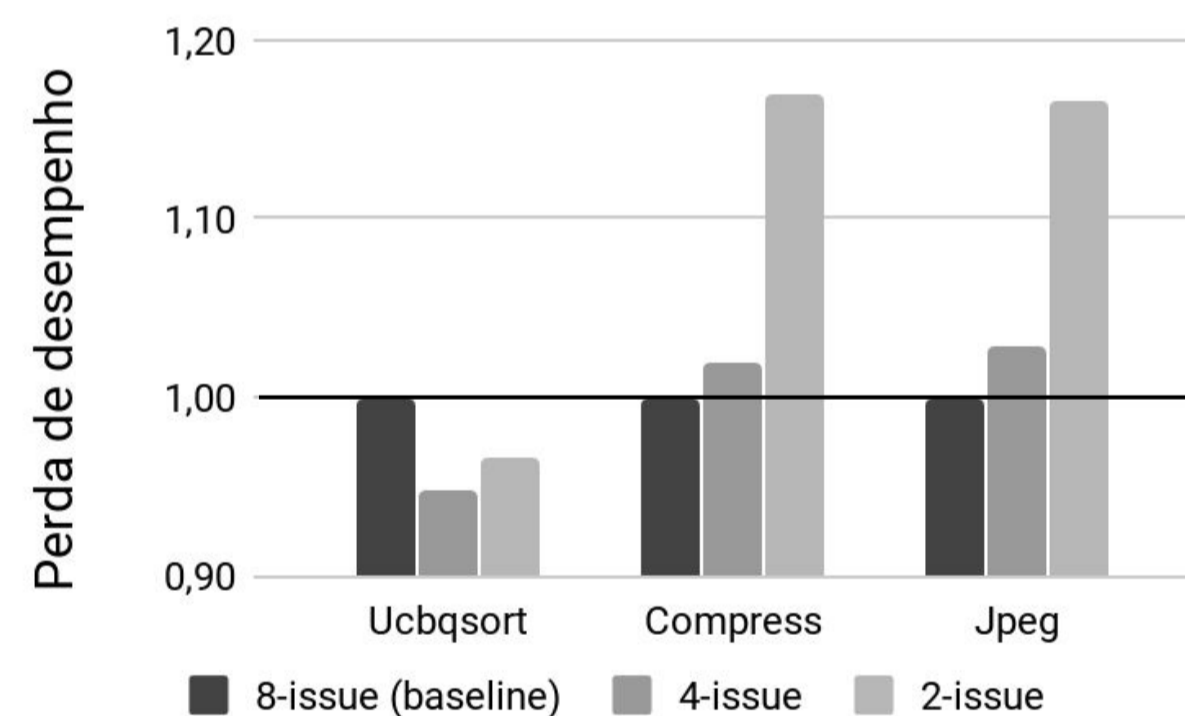


Figura 2: Perda de desempenho avaliada para diferentes benchmarks e configurações

- ❑ Execução com 8 instruções (8-issue) apresenta, em média, a execução mais rápida;
- ❑ A configuração que utiliza a metade da carga do processador (4-issue) perde em média apenas 3,3%;

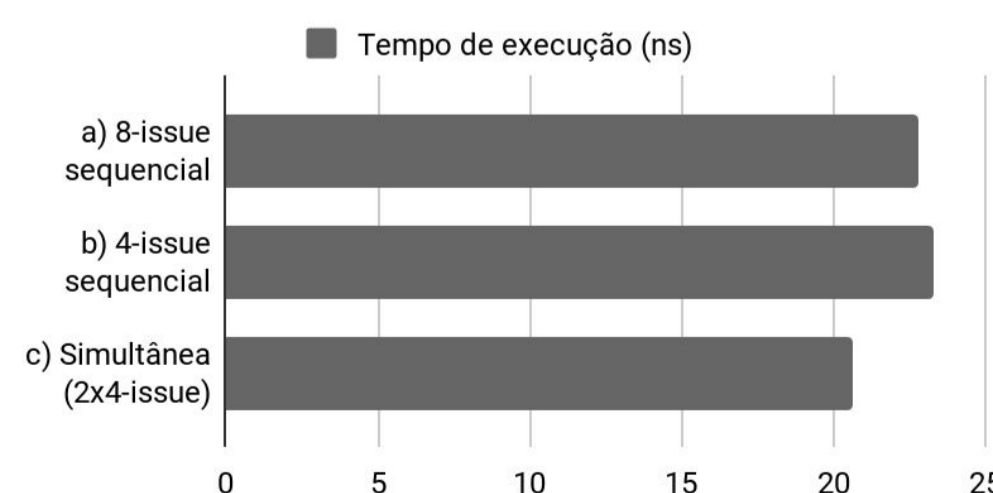


Figura 3: Execução de duas aplicações para diferentes configurações.

Figura 3 mostra o tempo de execução considerando um cenário com duas aplicações, nas seguintes configurações:

- a) As aplicações são executadas sequencialmente, ou seja, uma após a outra, usando 8-issue.
- b) Idem ao anterior, mas usando 4-issue (com as demais unidades desligadas).
- c) As aplicações são executadas simultaneamente, sendo usados 4 issues para cada aplicação.

- ❑ Observa-se aumento de desempenho de até 11,26% na execução simultânea.

CONCLUSÕES

Apresentou-se um estudo da viabilidade do balanceamento entre desempenho, tolerância a falhas e consumo energético. Com a facilidade de reconfiguração, pode-se dividir a carga do processador para balancear esses requisitos em tempo de execução.

¹ Fonte: <https://www.forbes.com/sites/kellyclay/2013/08/19/amazon-com-goes-down-loses-66240-per-minute/#72236a04495c>