

**MINISTÉRIO DA EDUCAÇÃO E DO DESPORTO
UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA METALÚRGICA E
DOS MATERIAIS – PPGEMM**

Fabricação e caracterização elétrica de capacitores MOS implantados com $^{12}\text{C}^+$

Por

Carlos Alberto Cima
Engenheiro Eletricista

Trabalho realizado no Laboratório de Microeletrônica do Instituto de Física da Universidade Federal do Rio Grande do Sul, dentro do Programa de Pós-Graduação em Engenharia Metalúrgica e dos Materiais – PPGEMM

Porto Alegre

Janeiro/1995

**ESCOLA DE ENGENHARIA
BIBLIOTECA**

Fabricação e caracterização elétrica de capacitores MOS implantados com $^{12}\text{C}^+$

DISSERTAÇÃO

Apresentada ao Programa de Pós-Graduação em Engenharia Metalúrgica e dos Materiais – PPGEMM, como parte dos requisitos para a obtenção do Título de :

Mestre em Engenharia

Área de Concentração : Instrumentação Eletro-Eletrônica

por

Carlos Alberto Cima
Engenheiro Eletricista

Janeiro/1995

Esta DISSERTAÇÃO foi julgada adequada para a obtenção do título de Mestre em Engenharia, Área de Concentração de Instrumentação Eletro-Eletrônica e aprovada em sua forma final pelo Orientador e pela Banca Examinadora do Curso de Pós-Graduação.

Orientador : Dr. Joel Pereira de Souza, IF/UFRGS

Banca Examinadora :

Dr. Paulo F. P. Fichtner, Dep. de Eng. Metalúrgica/EE/UFRGS

Dr. João A. H. da Jornada, Instituto de Física/UFRGS

Dr. Hans Peter Grieneisen, Instituto de Física/UFRGS

Dr. Renato M. de Brito, Dep. de Eng. Elétrica/EE/UFRGS

Dr. Telmo Roberto Strohaecker
Coordenador do PPGEMM

Aos meus pais

Rubem e Inelve Cima

e aos meus irmãos

Cláudia, Leandro e Natália

Agradecimentos

Ao Dr. Joel P. de Souza, por sua criteriosa orientação e colaboração para a realização deste trabalho.

Ao Dr. Henri Boudinov, por sua inestimável ajuda em todas as etapas deste trabalho e por algumas boas conversas, que ajudaram a compreender melhor a Microeletrônica e o Brasil.

Aos colegas Cícero Lorenzi e Marcelo Negreiros, por algumas dicas sobre programação em linguagem C.

Ao Gilson I. Wirth, do Laboratório de Microeletrônica do Instituto de Informática, pelas medidas de capacitores realizadas com o medidor de impedâncias HP.

Ao Mauro Fin, pelos esclarecimentos prestados durante a confecção da placa de circuito impresso do instrumento construído.

Ao CNPq e à FAPERGS, pelo financiamento do presente trabalho.

Índice

1 Estrutura MOS	1
1 Introdução	1
1.1 Capacitor MOS ideal	2
1.2 Capacitor MOS real	5
1.2.1 Diferença de função-trabalho	5
1.2.2 Cargas no óxido	5
1.2.3 Estados de interface	7
1.3 Defeitos no silício	8
1.4 Implantação Iônica em estruturas MOS	10
1.5 Objetivos deste trabalho	11
2 Caracterização da estrutura MOS utilizando capacitores MOS	13
2.1 Carga fixa de interface	13
2.2 Carga móvel no óxido	14
2.3 Densidade de estados de interface	15
2.3.1 Método de Terman	15
2.3.2 Método CV Baixa Frequência	16
2.4 Tempo de geração de portadores minoritários	18
3 Desenvolvimento de um medidor de capacitância	23
3.1 Princípio de medida	23
3.2 Circuito "lock-in"	25
3.2.1 Descrição dos blocos	25
3.2.1.1 Referência de frequência	26
3.2.1.2 Ajuste de fase	26
3.2.1.3 Detector de fase	26
3.3 Calibração	27
3.4 Montagens experimentais	28
4 Procedimentos experimentais e discussões	29
4.1 Desenvolvimento de um processo de fabricação	29

4.1.1	Processo básico	29
4.1.2	Melhoria da qualidade do óxido e da interface	30
4.1.2.1	Neutralização das cargas móveis no óxido	31
4.1.3	Anel de guarda	32
4.1.4	Processo final	34
4.2	Implantação de carbono e seus efeitos	35
4.2.1	Por que implantar carbono ?	35
4.2.2	Resultados experimentais	36
4.2.2.1	Amostra C4	37
4.2.3	Discussões	37
5	Conclusões	40
	Apêndice A	41
	Apêndice B	42
	Apêndice C	59
	Referências	63

Lista de símbolos

- A_G - área da porta [cm^2]
 A_V - ganho em laço aberto de amplificadores operacionais [dB]
 BW - largura da banda passante [Hz]
 C_D - capacitância do semiconductor no regime de depleção [F/cm^2]
 C_{FB} - capacitância de banda plana [F/cm^2]
 C_{it} - capacitância introduzida por estados de interface [F/cm^2]
 C_{min} - mínima capacitância da curva $C_x V_g$ alta frequência [F]
 C_o - capacitância do óxido [F]
 C_{ox} - capacitância do óxido por unidade de área [F/cm^2]
 C_{sc} - capacitância do semiconductor [F/cm^2]
 D_{it} - densidade de estados de interface [$\text{cm}^{-2} \text{eV}^{-1}$]
 D_n - coeficiente de difusão de elétrons [cm^2/s]
 E_C - banda de condução
 E_g - energia da banda proibida (= 1,12 eV para Si a 300K)
 E_V - banda de valência
 L_D - comprimento de Debye extrínseco [cm]
 L_n - comprimento de difusão de elétrons [cm]
 n_i - concentração intrínseca de portadores (= $1,45 \times 10^{10} \text{cm}^{-3}$ para Si a 300K)
 N_A - concentração de aceitadores [cm^{-3}]
 N_D - concentração de doadores [cm^{-3}]
 N_t - densidade de centros de recombinação-geração [cm^{-3}]
 q - carga eletrônica (= $1,602 \times 10^{-19} \text{C}$)
 Q_f - carga fixa de interface [C/cm^2]
 Q_{ef} - carga efetiva de interface [C/cm^2]
 Q_g - carga no metal de porta [C/cm^2]
 Q_{it} - carga armadilhada em estados de interface [C/cm^2]
 Q_m - carga móvel no óxido [C/cm^2]
 Q_{ot} - carga armadilhada no óxido [C/cm^2]
 Q_s - carga induzida no semiconductor [C/cm^2]
 RCE - região de carga espacial
 SR - "slew-rate" [$\text{V}/\mu\text{s}$]
 V_{FB} - tensão correspondente à situação de banda plana [V]
 V_g - tensão aplicada à porta do capacitor [V]

V_{OS} - tensão de "off-set" de amplificadores operacionais [V]
 V_T - tensão de limiar [V]
 v_{th} - velocidade térmica de portadores minoritários [cm/s]
 x_d - largura da região de depleção [cm]
 x_f - largura final da RCE após aplicação de um pulso de tensão à porta [cm]
 $x_{óx}$ - espessura do óxido [cm]
 δ - incremento diferencial
 Δ - constante de integração usada no cálculo da relação $\Psi_s \times V_g$
 ϵ_{Si} - permissividade elétrica do Silício [F/cm]
 $\epsilon_{óx}$ - permissividade elétrica do óxido [F/cm]
 μ_n - mobilidade de elétrons [cm²/Vs]
 σ_p - secção de choque de captura de lacunas [cm²]
 τ_g - tempo de geração de portadores minoritários [s]
 τ_n - tempo de vida de elétrons em semiconductor tipo P [s]
 τ_p - tempo de vida de lacunas em semiconductor tipo N [s]
 Φ_m - função-trabalho do metal de porta [V]
 Φ_{ms} - diferença de função-trabalho entre material de porta e semiconductor [V]
 χ - afinidade eletrônica do semiconductor [V]
 Ψ_b - potencial de corpo [V]
 Ψ_s - potencial de superfície [V]

RESUMO

Este trabalho trata essencialmente da fabricação e caracterização elétrica de capacitores MOS. Inicialmente, é feita uma descrição do modelo elétrico da estrutura MOS, abordando tanto um capacitor ideal, quanto as "não-idealidades" de uma estrutura real. Os defeitos no silício e o uso da implantação iônica na tecnologia MOS também são brevemente descritos. A seguir, os métodos de caracterização elétrica que utilizam capacitores MOS são revisados. Estes métodos permitem medir a carga fixa de interface (Q_f), a carga móvel no óxido (Q_m), a densidade de estados de interface (D_{it}) e o tempo de geração de portadores minoritários (τ_g) a partir de curvas $C \times V_g$ e C_{xt} . O desenvolvimento de um medidor de capacitância em alta frequência (100kHz) é descrito no terceiro capítulo. Com os dados fornecidos por este instrumento, foi possível calcular os parâmetros mencionados, por meio de um programa de computador especialmente elaborado. No quarto capítulo, o processo de fabricação de capacitores MOS é delineado, sendo também mostrados os resultados experimentais obtidos com capacitores implantados com $^{12}C^+$. Os efeitos das implantações de carbono sobre Q_f e τ_g são discutidos. Ao final, algumas conclusões e perspectivas futuras são apresentadas.

ABSTRACT

This work deals essentially with the fabrication and electrical characterization of MOS capacitors. Initially, an electrical model of the MOS structure is described. The defects in silicon and the use of ion implantation in the MOS technology are also briefly described. In the second chapter, the methods of electrical characterization using MOS capacitors are reviewed. These methods allow for the calculation of the fixed oxide charge (Q_f), the mobile oxide charge (Q_m), the density of interface states (D_{it}) and the generation lifetime (τ_g) via C_xV_g and C_{xt} measurements. The development of an instrument to measure high frequency capacitance (at 100 kHz) is the subject for the third chapter. The data obtained with this instrument allowed the above mentioned parameters to be determined using a computer program especially developed for this purpose. Chapter four describes the fabrication of MOS capacitors and presents the experimental results obtained with the implanted capacitors. The effects of a carbon implantation on Q_f and τ_g are discussed. Finally, some conclusions and future perspectives are drawn up.

Capítulo 1

Estrutura MOS

1 Introdução

O extraordinário avanço da microeletrônica a partir da década de 60 resultou em grande parte do domínio da tecnologia MOS (Metal-Óxido-Semicondutor). Isto se deve não apenas à facilidade de alta integração inerente a esta tecnologia ou à sua baixa dissipação de potência, mas principalmente ao controle da qualidade da interface óxido-semicondutor. O estágio atual da indústria de semicondutores permite a fabricação de circuitos integrados com mais de 10^6 dispositivos MOS, em que a espessura do óxido de porta é da ordem de 7nm e as dimensões horizontais são menores que $1\mu\text{m}$ [1].

Um circuito integrado MOS é constituído essencialmente de transistores MOS (figura

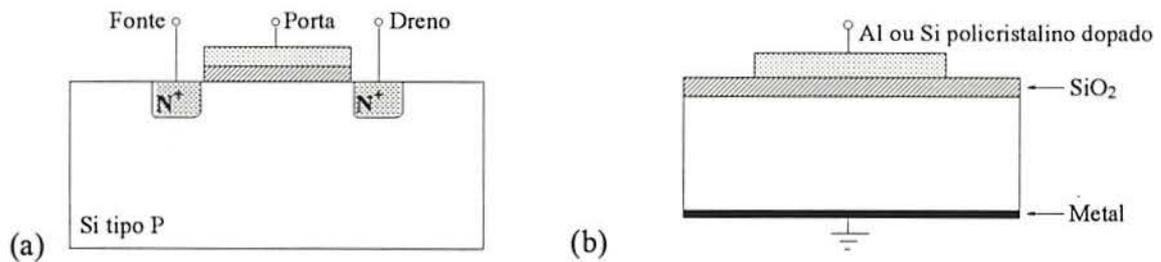


Figura 1.1 - (a) Transistor MOS - (b) Capacitor MOS

1.1a). O transistor MOS tem seu funcionamento baseado no controle da condutividade do canal semicondutor entre dreno e fonte através da tensão aplicada à porta. A parte ativa do transistor, portanto, é sua porção central, formada pelo canal semicondutor, sobre o qual há uma camada dielétrica e uma camada condutora. Esta seqüência de materiais diferentes (semicondutor-dielétrico-condutor) constitui um capacitor, como o da figura 1.1b). O capacitor MOS, portanto, simula a parte ativa de um transistor MOS. Devido a este fato e à sua simplicidade construtiva, o capacitor MOS tem sido usado como ferramenta de investigação da tecnologia e do desempenho de transistores MOS.

A capacitância de um capacitor MOS pode ser considerada como uma associação em série de dois capacitores : um de valor fixo, associado à camada dielétrica e outro cuja capacitância tem valor variável, dependendo da dopagem do substrato e do potencial aplicado à porta . A medida da capacitância MOS, sob condições diversas de polarização, permite a obtenção de parâmetros importantes associados à interface Si-SiO₂, ao óxido e ao substrato, tais como : densidade de carga fixa de interface e de cargas móveis no óxido e tempo de geração de portadores minoritários no substrato. O cálculo destas grandezas a partir de curvas CxV - ou Cxt - medidas será discutido no capítulo 2.

O capacitor MOS ideal e os diversos aspectos do óxido e da interface que compõem um capacitor MOS "real" serão apresentados sucintamente nas duas próximas seções. Em seguida, abordaremos os defeitos no silício e a implantação iônica em estruturas MOS. Ao final, serão delineados os objetivos do presente trabalho.

1.1 Capacitor MOS ideal

O capacitor MOS ideal apresenta as seguintes características :

- A resistividade do óxido é infinita.
- As cargas induzidas no semiconductor e na porta apresentam sempre mesma magnitude, porém com sinais opostos, independentemente da tensão de polarização.
- As funções-trabalho do material da porta e do substrato semiconductor são idênticas.

A figura 1.2 ilustra um diagrama de faixas de energia de um capacitor MOS ideal com substrato tipo P, incluindo as principais variáveis utilizadas para o cálculo da curva CxV_g ideal.

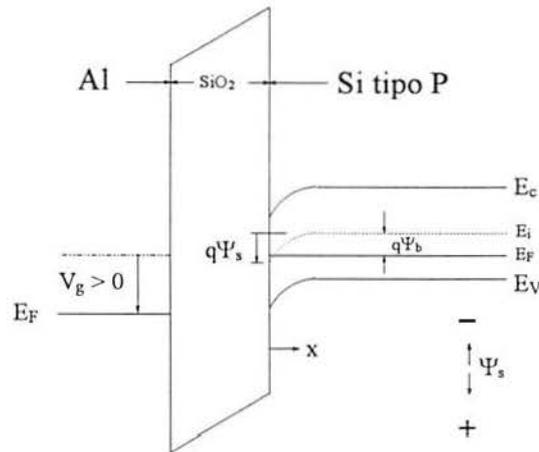


Figura 1.2 - Diagrama de faixas de um capacitor MOS

A relação do potencial de superfície Ψ_s com a concentração de portadores na interface pode ser calculada a partir da equação de Poisson unidimensional :

$$\frac{\partial^2 \Psi}{\partial x^2} = - \frac{\rho(x)}{\epsilon_{Si}} \quad (1.1)$$

A densidade de carga total $\rho(x)$ é dada por :

$$\rho(x) = q(N_D^+ - N_A^- + p_p - n_p) \quad (1.2)$$

onde N_D^+ e N_A^- são as densidades de átomos de impurezas doadoras e aceitadoras ionizadas, respectivamente. De acordo com a aproximação de Boltzmann, as concentrações de elétrons e lacunas (n_p e p_p) são determinadas pelas relações :

$$n_p = n_{p0} \cdot \exp(q\Psi/kT) \quad (1.3)$$

$$p_p = p_{p0} \cdot \exp(-q\Psi/kT) \quad (1.4)$$

sendo n_{p0} e p_{p0} as concentrações de equilíbrio de elétrons e lacunas no substrato tipo P. A condição de neutralidade de carga fornece :

* $q\Psi = E_i(x) - E_{i\text{sub}}$, $\Psi(x=0) = \Psi_s$, $\Psi_b = (kT/q)\ln(N_A/n_i)$

$$N_D^+ - N_A^- = n_{p0} - p_{p0} \quad (1.5)$$

Usando as relações 1.2, 1.3, 1.4 e 1.5, a equação de Poisson pode ser reescrita :

$$\frac{\partial^2 \Psi}{\partial x^2} = -\frac{q}{\epsilon_{Si}} \left[p_{p0} (e^{-\beta \Psi} - 1) - n_{p0} (e^{\beta \Psi} - 1) \right] \quad (1.6)$$

com $\beta = q/kT$. Integrando esta equação diferencial, obtém-se uma expressão para o campo elétrico no semiconductor :

$$E(x) = \pm \frac{2}{\beta L_D} F(\Psi) \quad (1.7)$$

onde : sinal positivo é usado para $\Psi > 0$ e sinal negativo, para $\Psi < 0$

$$L_D = \left(\frac{2\epsilon_{Si}}{\beta q \cdot p_{p0}} \right)^{1/2} \quad (\text{comprimento de Debye extrínseco})$$

$$F(\Psi) = \left[\left(e^{-\beta \Psi} + \beta \Psi - 1 \right) + \frac{n_{p0}}{p_{p0}} \left(e^{\beta \Psi} - \beta \Psi - 1 \right) \right]^{1/2}$$

O valor da carga induzida no semiconductor Q_s é derivada a partir do campo elétrico na interface :

$$Q_s = -\epsilon_{Si} \cdot E_s = \mp \frac{2\epsilon_{Si}}{\beta L_D} F(\Psi_s) \quad (1.8)$$

A capacitância diferencial associada ao semiconductor pode, portanto, ser calculada :

$$C_{sc} = \frac{\partial Q_s}{\partial \Psi_s} = -\frac{\epsilon_{Si}}{L_D} \frac{1 - e^{-\beta \Psi_s} + \frac{n_{p0}}{p_{p0}} (e^{\beta \Psi_s} - 1)}{F(\Psi_s)} \quad (1.9)$$

Para a condição de faixa plana ($\Psi_s = 0$), C_{sc} pode ser obtido expandindo as exponenciais em série e, considerando apenas os termos de primeira e segunda ordem, resulta :

$$C_{scFB} = \frac{2^{1/2} \cdot \epsilon_{Si}}{L_D} \quad (1.10)$$

Visto que a capacitância total de um capacitor MOS é a associação série das capacitâncias do óxido e do semiconductor, seu valor será :

$$C = \frac{C_{óx} \cdot C_{sc}}{C_{óx} + C_{sc}} \quad (1.11)$$

O valor da capacitância total depende, conseqüentemente, do potencial de superfície Ψ_s . À medida que a polarização aplicada à porta varia, Ψ_s "varre" a banda proibida, definindo quatro regiões para a curva $C \times V_g$ (conforme figura 1.3) :

I - Para $\Psi_s < 0$ (Si tipo P), forma-se uma elevada concentração de portadores majoritários numa fina camada próxima à interface (denominada camada de **acumulação**), resultando em uma alta capacitância diferencial. O semiconductor age apenas como uma resistência em série com a capacitância do óxido e a capacitância medida é praticamente igual a esta ($C \cong C_o$).

II - Quando $\Psi_s = 0$, as faixas de energia encontram-se planas. Esta condição é denominada **condição de faixa plana**.

III - À medida que a polarização passa de valores negativos a positivos, os portadores majoritários são repelidos da interface e impurezas ionizadas permanecem não-neutralizadas, formando uma **camada de depleção**, cuja espessura pode ser calculada a partir da equação de Poisson :

$$x_d = \left(\frac{2\epsilon_{Si} \cdot \Psi_s}{q \cdot N_A} \right)^{1/2} \quad (1.12)$$

A capacitância associada à região de depleção é dada por :

$$C_D = \frac{\epsilon_{Si}}{x_d} = \left(\frac{qN_A \cdot \epsilon_{Si}}{2\Psi_s} \right)^{1/2} \quad (1.13)$$

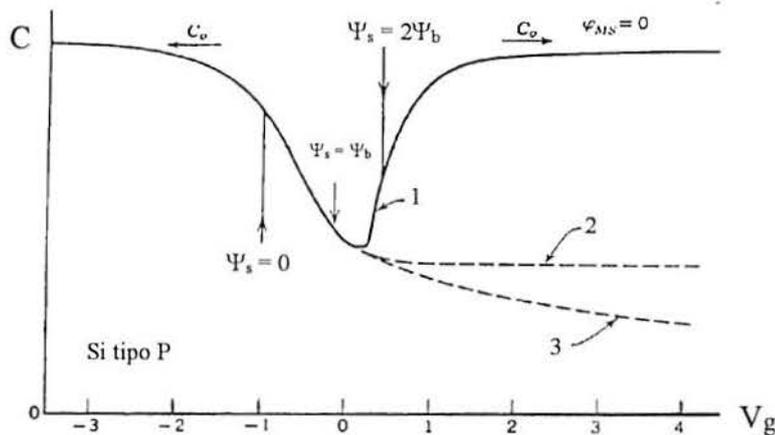


Figura 1.3 - Curvas $C \times V_g$ típicas de capacitores MOS

Nesta condição, a capacitância total diminui, sendo o valor de capacitância mínima determinado pela espessura do óxido e pela dopagem do substrato. O regime de depleção existe para $0 < \Psi_s < \Psi_b$ num semiconductor tipo P.

IV - Quando $\Psi_b < \Psi_s < 2\Psi_b$, começa a haver a formação de uma estreita camada de portadores minoritários próxima à interface, com a conseqüente diminuição da taxa de crescimento da região de depleção. Diz-se, então, que a superfície está sob **inversão fraca**. A partir deste regime, o comportamento da capacitância é fortemente influenciado pela frequência em que é realizada a medida. A capacitância é medida através de um pequeno sinal CA, cuja amplitude varia tipicamente entre 10 e 20mV, que é somada à polarização CC. Se os portadores minoritários respondem tanto à polarização quanto à "pequena variação" adicionada a ela, a curva 1 da figura 1.3 é obtida. Isto ocorre somente para **baixas frequências**, onde os mecanismos de recombinação-geração de portadores permitem que a variação de carga na região de inversão acompanhe o sinal CA aplicado à porta. Habitualmente, a região de baixas frequências compreende valores menores que 100Hz. Para frequências mais elevadas, a variação de carga dos portadores minoritários é incapaz de seguir a variação do sinal CA, o que produz a curva 2 da figura 1.3. Neste caso, o valor de capacitância não muda após a região de depleção atingir sua largura máxima. Se os portadores minoritários também não podem acompanhar a polarização CC, não há acúmulo de carga (de minoritários) na interface e uma curva de **não-equilíbrio** é gerada (curva 3). A condição de não-equilíbrio é usada para calcular o tempo de geração de portadores minoritários (τ_g).

V - Quando $\Psi_s > 2\Psi_b$, a densidade de portadores minoritários na superfície do semiconductor excede a concentração de majoritários no corpo ("bulk"), formando uma camada de inversão próxima à interface. Esta situação é denominada **inversão forte**. Nesta condição, uma pequena variação em Ψ_s provoca uma significativa alteração na densidade de elétrons na interface. A região de depleção, portanto, atinge sua largura máxima em $\Psi_s = 2\Psi_b$. Esta largura é dada pela fórmula :

$$x_{d\max} = \left(\frac{4\epsilon_{Si} \cdot kT \cdot \ln(N_A/n_i)}{q^2 \cdot N_A} \right)^{1/2} \quad (1.14)$$

1.2 Capacitor MOS real

Em um capacitor MOS real, os seguintes fatores devem ser considerados :

- Diferença entre as funções-trabalho do material de porta e do substrato
- Presença de cargas no óxido
- Presença de estados de interface.

1.2.1 Diferença de função-trabalho

A energia necessária para remover um elétron do nível de Fermi, em um dado material, até o nível de vácuo - com energia cinética nula - é denominada **função-trabalho** daquele material. Como as energias dos elétrons do nível de Fermi nos materiais de porta e de substrato são diferentes, há uma diferença de função-trabalho Φ_{ms} . Segundo Sze [7], esta diferença pode ser expressa como :

$$\Phi_{ms} = \Phi_m - \left(\chi + \frac{E_g}{2q} - \Psi_b \right) \quad \text{para tipo N} \quad (1.15)$$

$$\Phi_{ms} = \Phi_m - \left(\chi + \frac{E_g}{2q} + \Psi_b \right) \quad \text{para tipo P} \quad (1.16)$$

onde χ é a afinidade eletrônica do semiconductor e E_g é a largura (em eV) da banda proibida. A tensão de porta necessária para contrabalançar esta diferença é igual a Φ_{ms} ($V_g = \Phi_{ms}$), isto é, a existência de uma diferença de função-trabalho provoca uma translação horizontal da curva $C_x V_g$.

1.2.2 Cargas no óxido

As cargas no óxido podem ser de 3 tipos :

- Carga fixa de interface (Q_f)
- Carga móvel no óxido (Q_m)
- Carga induzida por radiação (Q_{ot})

A **carga fixa de interface** situa-se numa fina camada de óxido (aproximadamente 25 Å) próxima à interface Si-SiO₂. Normalmente positiva, Q_f tem valor menor para substratos de orientação (100) que para substratos (111), apresentando forte dependência das condições de processamento, tais como temperatura e atmosfera de oxidação e pureza dos gases utilizados durante os recozimentos. Embora Q_f não esteja em contato elétrico com o substrato, sua proximidade da interface provoca o aparecimento de

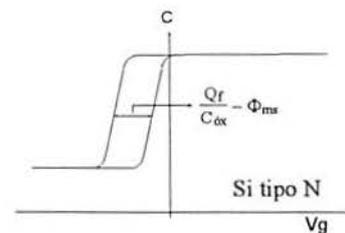


Figura 1.4 - Deslocamento da curva $C_x V_g$

cargas de mesma magnitude e sinal contrário no semicondutor. Isto implica que a curva $C_x V_g$ de um capacitor com Q_f não-nula apresentará um deslocamento horizontal adicional igual a $-Q_f/C_{\acute{o}x}$ (conforme figura 1.4).

A carga móvel no óxido foi um dos principais obstáculos à estabilidade dos dispositivos MOS durante os primórdios da investigação e fabricação deste tipo de circuito. Q_m é composta essencialmente de íons alcalinos (Na^+ , K^+ , Li^+) e/ou prótons, que se movem no óxido sob condições de elevado campo elétrico e/ou temperatura. A contaminação iônica pode ser introduzida durante diversas etapas do processo de fabricação, proveniente de fontes como reagentes químicos, materiais utilizados na construção de fornos de oxidação e pelo pessoal de laboratório[20]. A presença de uma distribuição de cargas no óxido induz cargas no material de porta e no semicondutor. O valor da carga induzida depende do valor de Q_m e da distância desta às interfaces porta-óxido e óxido-semicondutor.

Usando as coordenadas da figura 1.5, pode-se determinar o efeito de uma distribuição de cargas no óxido. Tomando-se um elemento de carga $\rho(x)dx$, a carga criada no metal de porta será dada por[5]:

$$dQ_G = \frac{x - x_{\acute{o}x}}{x_{\acute{o}x}} \rho(x)dx \quad (1.17)$$

e no semicondutor, por:

$$dQ_s = -\frac{x}{x_{\acute{o}x}} \rho(x)dx \quad (1.18)$$

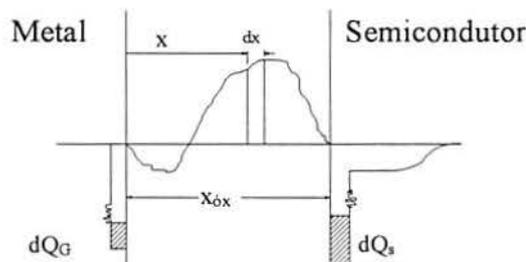


Figura 1.5 - Carga distribuída no óxido

As cargas totais induzidas no metal e semicondutor serão calculadas como:

$$Q_G = \int_0^{x_{\acute{o}x}} \frac{x - x_{\acute{o}x}}{x_{\acute{o}x}} \rho(x)dx \quad (1.19)$$

$$Q_s = -\int_0^{x_{\acute{o}x}} \frac{x}{x_{\acute{o}x}} \rho(x)dx \quad (1.20)$$

* Eventualmente, observa-se o movimento de cargas mesmo à temperatura ambiente.

Uma tensão de porta $-Q_s/C_{\text{óx}}$ é necessária para produzir uma carga Q_s no substrato. Portanto, o efeito elétrico das cargas no óxido também é um deslocamento da curva $C_x V_g$, cujo valor é igual a :

$$\Delta V = -\frac{Q_s}{C_{\text{óx}}} = \frac{1}{x_{\text{óx}} C_{\text{óx}}} \int_0^{x_{\text{óx}}} x \rho(x) dx \quad (1.21)$$

Conforme mencionado anteriormente, a carga móvel no óxido afeta a estabilidade de dispositivos MOS, pois torna a tensão de limiar V_T instável com a temperatura e a tensão V_g . Além disso, as outras cargas presentes na estrutura MOS não podem ser corretamente investigadas, se a influência de Q_m não for neutralizada. Em virtude disso, a carga móvel no óxido foi a primeira a ser objeto de um estudo sistemático, há aproximadamente 30 anos[5]. Destas pesquisas, resultaram algumas técnicas que visam diminuir ou mesmo eliminar o transporte de íons através do óxido, como a deposição de uma camada de PSG (do inglês "Phosphosilicate Glass") sobre o óxido[17] ou a oxidação com cloro adicionado ao oxigênio[19].

A carga induzida por radiação Q_{ot} , como o próprio nome diz, é uma carga gerada por radiação ionizante, como : raios X, elétrons, nêutrons, etc. Esta carga é positiva e geralmente localiza-se próxima à interface Si-SiO₂. Estados de interface, que serão discutidos na próxima secção, também podem ser produzidos por radiação.

A radiação pode afetar os dispositivos MOS não somente durante seu funcionamento, mas também durante a fabricação, pois algumas etapas do processamento irradiam o óxido (v.g. : metalização por "electron beam" e implantação iônica através do óxido). O valor de Q_{ot} é uma função da dose e da energia da radiação, bem como do campo elétrico através do óxido durante a irradiação. Esta carga é facilmente eliminada por um recozimento a baixa temperatura ($\cong 300^\circ\text{C}$) em atmosfera inerte[3].

1.2.3 Estados de interface

O substrato semiconductor apresenta uma estrutura cristalina, que pode ser descrita como a repetição regular de uma célula unitária e é caracterizada por um potencial periódico. Na interface Si-SiO₂, contudo, há uma descontinuidade abrupta neste "edifício" perfeitamente ordenado, resultando no aparecimento de níveis de energia entre as bandas de valência e de condução (estados de interface intrínsecos). Fisicamente, ocorre um rearranjo dos átomos da interface, com a modificação das distâncias interatômicas nas proximidades da superfície semicondutora. A presença de átomos de Si não-ligados, de defeitos cristalográficos no semiconductor e/ou de átomos de elementos metálicos no óxido ou no Si próximos à interface também introduzem níveis na banda proibida, contribuindo para o aumento da densidade de estados de interface (estados de interface extrínsecos).

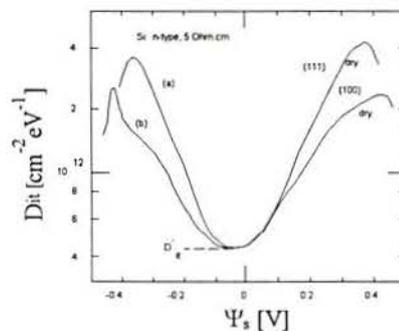


Figura 1.6 - Distribuição de estados de interface [13]

Ao contrário das cargas no óxido, os estados de interface estão em contato elétrico com o semiconductor, podendo ser carregados ou descarregados, dependendo do valor do potencial de superfície Ψ_s . As constantes de tempo associadas a estes estados podem variar de alguns ns até dezenas de ms.

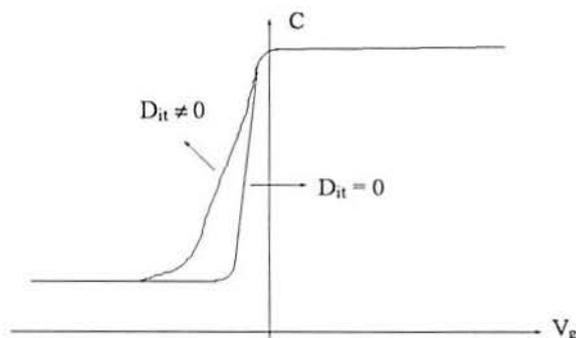


Figura 1.7 - Estiramento da curva CxV_g

Os estados de interface intrínsecos apresentam uma distribuição contínua ao longo da banda proibida. Uma distribuição típica está mostrada na figura 1.6. A relação entre potencial de superfície e tensão de porta é alterada pelos estados de interface, pois estes comportam-se como uma carga dependente de Ψ_s . Isto provoca um "estiramento" da curva CxV_g , conforme figura 1.7. Além disso, os estados introduzem uma impedância adicional no circuito equivalente do capacitor MOS, cuja magnitude depende da frequência e do potencial aplicado à porta[6].

Os estados de interface causam uma degradação significativa do desempenho de transistores, não somente MOS, como também bipolares. Em transistores MOS, os principais efeitos são os seguintes[3] :

- 1 - A tensão de ruptura por avalanche da junção dreno é reduzida para transistores de canal P e aumentada para transistores de canal N.
- 2 - O ganho (transcondutância) diminui.
- 3 - A corrente de fuga da junção dreno aumenta.
- 4 - Aumenta o ruído de baixa frequência (ruído $1/f$).

Os estados de interface são usualmente neutralizados por recozimento a baixa temperatura (450°C) realizado após a metalização em ambiente contendo hidrogênio.

1.3 Defeitos no silício

A presença de defeitos estruturais no silício introduz níveis de energia dentro da banda proibida, facilitando a geração e recombinação de portadores e, conseqüentemente, degradando o tempo de geração de portadores minoritários. Nesta secção, será feita inicialmente uma exposição sucinta dos principais defeitos encontrados no silício, sendo depois descrito um processo que visa a melhoria da qualidade do substrato.

Os defeitos em cristais de silício podem ser classificados em quatro tipos : pontuais, planares, lineares e volumétricos[25]. Os defeitos pontuais são caracterizados pela presença de átomos fora de um sítio da rede cristalina ou pela ausência de um átomo num destes sítios. No primeiro caso, temos um intersticial e no segundo, uma vacância. O defeito planar mais comum é a falha de empilhamento, que consiste em um erro na seqüência do "empilhamento" dos sucessivos planos

crystalinos. No silício, há dois tipos de falhas, as intrínsecas e as extrínsecas, respectivamente formadas por uma camada de vacâncias ou intersticiais. As falhas de empilhamento têm sido associadas a diversos efeitos deletérios em dispositivos eletrônicos, como redução do tempo de vida de portadores minoritários, aumento da corrente de fuga em junções p-n, etc. O principal defeito linear é a discordância, que se origina do deslocamento de uma região do cristal em relação à outra. Dois tipos frequentes de discordâncias são as de borda ou cunha e as de parafuso ou hélice. Se a região deformada do cristal estiver delimitada em seu interior, as discordâncias devem formar anéis fechados. Em caso contrário, devem terminar na superfície ou ter suas extremidades na superfície de policristais. Os aglomerados são defeitos volumétricos constituídos pelo acúmulo, numa determinada região do cristal, de defeitos pontuais como impurezas, vacâncias e intersticiais. Suas dimensões podem variar de Angstrons a micra. Os aglomerados podem interagir com outros defeitos como discordâncias, resultando na imobilização destas. Além disso, podem atuar como núcleos para geração de defeitos como falhas de empilhamento ou discordâncias em anel.

Os defeitos podem estar presentes no silício devido a imperfeições e contaminações provenientes da fabricação do cristal ou podem ser introduzidos por algumas etapas do processo de produção de circuitos integrados, como a oxidação e a implantação iônica. Os defeitos causados pela implantação iônica são o objeto de estudo deste trabalho. Portanto, deve-se minimizar a quantidade de defeitos produzidos pelo processo, para que os resultados experimentais reflitam apenas a influência da implantação. Neste aspecto, a etapa mais crítica é a oxidação, que produz falhas de empilhamento no substrato sob o óxido. Este efeito colateral da oxidação pode ser convenientemente eliminado acrescentando uma pequena quantidade de HCl ao ambiente oxidante.

É sabido que oxidações em ambiente contendo cloro têm um efeito benéfico tanto sobre a camada de óxido quanto sobre a interface SiO₂-Si[19]. Além disso, a taxa de crescimento das falhas de empilhamento na superfície semicondutora é significativamente reduzida. Estes efeitos podem ser observados pela adição de diferentes tipos de compostos de cloro a uma atmosfera de oxigênio. Acredita-se que eles sejam devidos a átomos halógenos, que se difundem através da interface SiO₂-Si e influenciam o comportamento de defeitos pontuais.

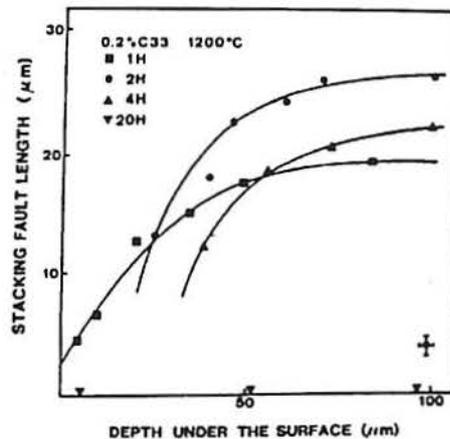


Figura 1.8 - Distribuição de falhas de empilhamento[26]

A concentração de oxigênio intersticial (tipicamente 10^{18} cm^{-3} em Si crescido pelo método Czochralski) também pode ser reduzida por uma oxidação em ambiente contendo cloro. Isto é alcançado por captura ("gettering") ou difusão para fora do substrato ("outdiffusion") do oxigênio presente[26]. Dependendo das condições experimentais, a densidade de oxigênio intersticial pode ser diminuída abaixo do limiar de $5 \times 10^{17} \text{ cm}^{-3}$, impedindo, então, a nucleação de falhas de empilhamento. Outro fenômeno interessante relacionado às oxidações com cloro é o seu *efeito de inibição*, isto é, dentro de certos parâmetros experimentais, não há formação de falhas de empilhamento na região próxima à

superfície semicondutora durante uma reoxidação em O_2 seco ou úmido, realizada após a primeira oxidação com cloro. A eficiência desta inibição é bastante afetada pela concentração de cloro na primeira oxidação e pela duração e temperatura da reoxidação.

Quando se realiza uma oxidação com cloro, inicialmente há um crescimento das falhas de empilhamento e, após um certo tempo, as falhas começam a diminuir, podendo ser totalmente eliminadas em uma dada região do substrato. Para as temperaturas de 1150°C e 1200°C , a diminuição começa decorridas 2h e 0,5h do início da oxidação, respectivamente. Os defeitos desaparecem completamente da superfície semicondutora após duas horas de oxidação em uma atmosfera contendo 0,2% de 111-tricloroetano (C33) a uma temperatura de 1200°C . A figura 1.8 mostra o comprimento das falhas de empilhamento em função da profundidade para diferentes tempos de oxidação com 0,2% C33 adicionado ao oxigênio e a uma temperatura de 1200°C . Análises realizadas por microscopia eletrônica de transmissão (TEM) revelaram que a região livre de falhas de empilhamento assim formada não contém nenhum outro tipo de defeito estrutural. Aumentando a concentração de cloro na oxidação, a espessura desta *zona desnuda* também aumenta (para um mesmo tempo de oxidação).

1.4 Implantação Iônica em estruturas MOS

A célula básica dos circuitos integrados MOS é o transistor MOS, cuja estrutura é mostrada esquematicamente pela figura 1.1a. À medida que se reduz o comprimento de canal (para aumentar o nível de integração), torna-se necessário controlar precisamente o perfil de concentração (em função da profundidade) dos dopantes nas ilhas de dreno e fonte. A técnica de dopagem inicialmente usada para fabricar circuitos integrados foi a difusão, na qual os átomos de impurezas são introduzidos no semicondutor através de um fluxo gasoso a alta temperatura ($800-1200^\circ\text{C}$). Nestas temperaturas, tanto a solubilidade sólida dos dopantes no semicondutor, quanto suas difusividades atingem níveis elevados, possibilitando a formação de regiões superficiais com espessuras de 0,1 a alguns μm , onde as concentrações de dopagem podem chegar até $\cong 1\%$. Neste processo, as impurezas difundem-se não apenas verticalmente, mas também lateralmente, o que introduz capacitâncias parasitárias sob a região de porta, limitando a resposta em frequência dos transistores MOS.

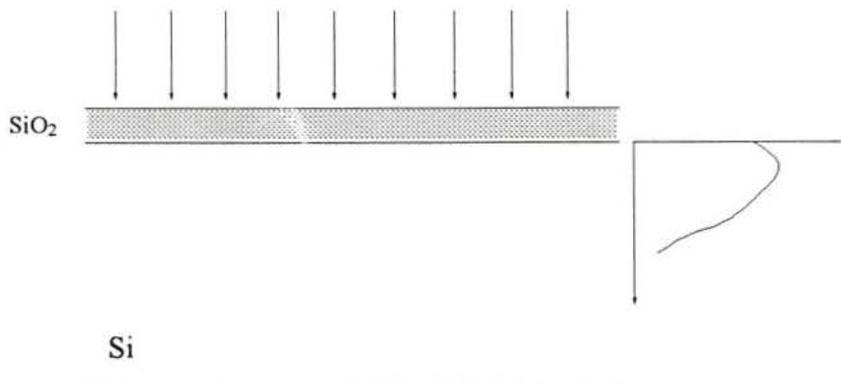


Figura 1.9 - Perfil de dopagem resultante da implantação

A implantação iônica aparecia, então, como uma alternativa viável para obter um maior controle sobre a concentração e o perfil das impurezas. A técnica de implantação iônica realiza a introdução do dopante no material semicondutor por um processo fora do equilíbrio termodinâmico. No implantador de íons, átomos de elementos dopantes são ionizados no interior da fonte de íons, da qual são extraídos e acelerados a energias de dezenas a centenas de keV, formando um feixe de íons. O feixe atinge a amostra numa direção quase perpendicular à superfície (tipicamente $7^\circ-10^\circ$), de modo que a dispersão lateral dos íons implantados é mínima. O perfil resultante de um feixe monoenergético é aproximadamente gaussiano (figura 1.9). As principais vantagens da implantação são as seguintes[21]:

- 1 - Permite implantar qualquer impureza em qualquer semicondutor.
- 2 - Dentro de certos limites, o perfil implantado pode ser controlado pela variação da energia do feixe, isto é, pela superposição de diversos perfis gaussianos é possível construir um perfil resultante qualquer.
- 3 - A integração da corrente iônica no tempo permite a medição da carga implantada por unidade de área do alvo, ou seja, a dose, com erro bastante pequeno ($< 5\%$). Isto implica uma elevada precisão no cálculo da concentração dos dopantes implantados.

As principais aplicações da implantação iônica são :

a) Obtenção de resistores com elevados valores de resistência de folha - esta foi a primeira aplicação da implantação na tecnologia de circuitos integrados, devido ao grau de precisão do ajuste proporcionado pelo controle da dose[14].

b) Produção de transistores MOS auto-alinhados - inicialmente, as ilhas de dreno e fonte são difundidas, sendo o metal de porta posteriormente depositado com um comprimento menor que a separação entre dreno e fonte. Após a metalização, é realizada uma implantação com um dopante do mesmo tipo daquele de dreno e fonte, utilizando a porta metálica como máscara. Deste modo, as ilhas de dreno e fonte sofrem uma "extensão" até a borda da porta, resultando num perfeito alinhamento entre porta/fonte e porta/dreno. Esta técnica permitiu o aumento da velocidade de chaveamento de circuitos digitais MOS, pela diminuição das capacitâncias parasitárias anteriormente mencionadas[15]. Atualmente, as ilhas de dreno e fonte são também produzidas por implantação.

c) Ajuste da tensão de limiar[16] - a condutância do canal de um transistor MOS depende da densidade de cargas nele induzida. Quando esta densidade é tal que o potencial de superfície Ψ_s é igual a $2\psi_b$ (para substrato tipo P), o transistor está conduzindo e a tensão de porta V_g em que esta condição é alcançada é denominada tensão de limiar V_T . A tensão de limiar depende da dopagem do substrato, da espessura do óxido e do material da porta. Como a implantação iônica permite uma dopagem com um controle bastante preciso, ela pode ser utilizada para ajustar a tensão de limiar de transistores, produzindo circuitos integrados em que todos os transistores "trabalham" com os mesmos níveis de tensão. Isto também torna possível construir transistores com "canal permanente", isto é, transistores em que há condução mesmo com $V_g=0$ (denominados transistores de depleção).

A par das vantagens apresentadas, e que permitiram o aperfeiçoamento da tecnologia de fabricação de circuitos integrados, a implantação iônica possui algumas desvantagens intrínsecas. Ao penetrar na amostra, os íons do feixe interagem com os átomos do alvo, perdendo energia até pararem completamente. Estas interações incluem um grande número de colisões, em que os átomos da amostra são deslocados de suas posições de rede. Assim, a implantação iônica introduz defeitos estruturais no material implantado. Estes defeitos têm conseqüências indesejadas, tais como : degradação da qualidade do óxido, particularmente dos óxidos finos utilizados em circuitos VLSI e diminuição do tempo de vida de portadores minoritários, já que os defeitos agem como centros de recombinação-geração de portadores. A reordenação da estrutura afetada pela implantação pode ser conseguida através de recozimentos térmicos apropriados.

Em suma, o uso da implantação iônica tem sido necessário à fabricação de circuitos integrados de elevada escala de integração, mas para usufruir de seus benefícios torna-se cada vez mais importante compreender os mecanismos de interação entre os íons implantados e os átomos do alvo e os processos de reordenamento da rede cristalina.

1.5 Objetivos deste trabalho

Este trabalho tem três objetivos :

- I - estabelecer uma infra-estrutura para caracterização elétrica de capacitores MOS.
- II - investigar um processo para fabricação de capacitores MOS "quase-ideais".
- III - estudo dos efeitos da implantação de carbono sobre a estrutura MOS.

O primeiro objetivo engloba a construção e teste de um medidor de capacitância em alta frequência e o desenvolvimento de um programa de computador para cálculo de parâmetros associados ao óxido, à interface SiO₂-Si e ao substrato a partir das curvas CxV_g e Cxt medidas.

A produção de capacitores MOS "quase-ideais" implica controlar as características do óxido e da interface SiO₂-Si, mantendo as diversas cargas associadas à estrutura MOS com valores bastante baixos.

A implantação de ¹²C⁺ será realizada através do óxido, com doses semelhantes às usadas para ajuste da tensão de limiar V_T. Com isso, pretende-se simular o caso da implantação de ¹¹B⁺ quanto à produção de danos de implantação, visto serem as massas do carbono e do boro praticamente iguais. O carbono, contudo, é utilizado para evitar o efeito da alteração da dopagem do substrato, que seria introduzido pelo boro. Desta forma, a interpretação dos resultados experimentais é grandemente simplificada.

Capítulo 2

Caracterização da estrutura MOS utilizando capacitores MOS

Neste capítulo, serão analisados os métodos de medida mais utilizados para a determinação das seguintes grandezas :

- Densidade de carga fixa de interface (Q_f)
- Densidade de carga móvel no óxido (Q_m)
- Densidade de estados de interface (D_{it})
- Tempo de geração de portadores minoritários (τ_g)

2.1 Carga fixa de interface

O efeito elétrico da carga fixa de interface é um deslocamento horizontal da curva $C \times V_g$, cuja magnitude é diretamente proporcional a Q_f . Isto implica que a comparação de uma curva $C \times V_g$ alta frequência ideal ($Q_f = 0$) com uma curva real ($Q_f \neq 0$) fornece o valor da carga fixa de interface, desde que Φ_{ms} seja conhecida. O valor do deslocamento em tensão normalmente é calculado através da tensão de faixa plana V_{FB} do capacitor real, sendo Q_f dada por :

$$Q_f = (\Phi_{ms} - V_{FB}) C_{\text{óx}} \quad (2.1)$$

A tensão de faixa plana é facilmente determinada, uma vez conhecida a capacitância de faixa plana C_{FB} , obtida através das equações 1.10 e 1.11. A figura 2.1 ilustra a determinação de V_{FB} .

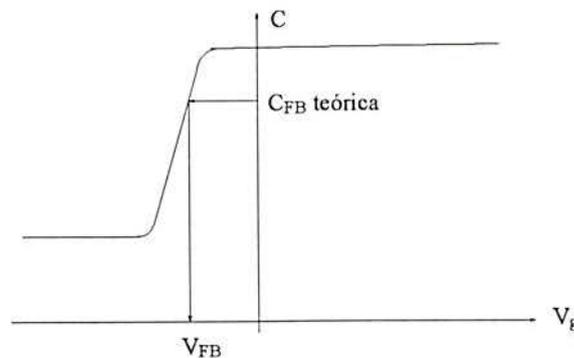


Figura 2.1 - Determinação da tensão de faixa plana

Este método, contudo, somente apresentará resultados válidos, se as seguintes condições forem atendidas :

a) A densidade de estados de interface deve ser baixa ($D_{it} < 5 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$), pois o estiramento da curva $C \times V_g$ provocado pelos estados invalida a determinação de V_{FB} .

b) A frequência da medida deve ser suficientemente elevada, de modo que a capacitância experimental não seja afetada significativamente pela impedância dos estados de interface.

c) O substrato deve ser uniformemente dopado, pois a fórmula que fornece o valor de C_{FB} (equação 1.10) é deduzida a partir desta premissa.

d) A densidade de cargas móveis (Q_m/q) no óxido deve ser menor que 10^{10} cm^{-2} .

A forma das curvas $C \times V_g$ experimentais, de um modo geral, permite concluir que os dois primeiros pré-requisitos foram observados nos capacitores medidos. Como não foram realizadas implantações de dopantes, a terceira condição também fica satisfeita. A dopagem do substrato é obtida usando iterativamente a equação 1.14 (com $x_{dm\acute{a}x}$ derivado do valor de C_{min}) e a definição de Ψ_b .

Este método apresenta uma resolução de 1×10^{10} cargas/cm².

2.2 Carga móvel no óxido

A densidade de carga móvel no óxido Q_m é determinada pelo deslocamento da tensão de faixa plana após um aquecimento do capacitor sob condição de elevado campo elétrico no óxido (1-2 MV/cm). Um roteiro completo para cálculo de Q_m compreende os seguintes passos:

- Medida da curva $C \times V_g$ alta freqüência à temperatura ambiente.
- Aquecimento do capacitor (150°C) durante alguns minutos (5min) sob polarização negativa (-10V).
- Resfriar o capacitor até T_{amb} , mantendo a polarização aplicada à porta.
- Medida da curva $C \times V_g$ alta freqüência.
- Repetir etapa b), mas com polarização positiva (+10V).
- Repetir etapa c).
- Medida da curva $C \times V_g$ alta freqüência.

A partir da diferença entre as tensões de faixa plana obtidas das curvas medidas nos passos d) e g), a carga móvel pode ser calculada pela fórmula :

$$Q_m = C_{\acute{o}x} \cdot |\Delta V_{FB}| \quad (2.2)$$

Os valores de temperatura, tempo e tensão aplicada à porta devem ser de tal ordem que, após a realização de um "esforço temperatura-tensão", praticamente toda a contaminação do óxido concentre-se próxima a uma das interfaces (metal-SiO₂ ou Si-SiO₂). Desta forma, garante-se que o resultado da equação 2.2 reflita a totalidade das cargas móveis presentes no óxido, e não apenas uma parte delas. A temperatura, o tempo e a polarização indicados entre parênteses no passo b) foram usados neste trabalho, tendo sido obtidos considerando a espessura do óxido dos capacitores construídos (70nm) e os dados fornecidos pela referência [5].

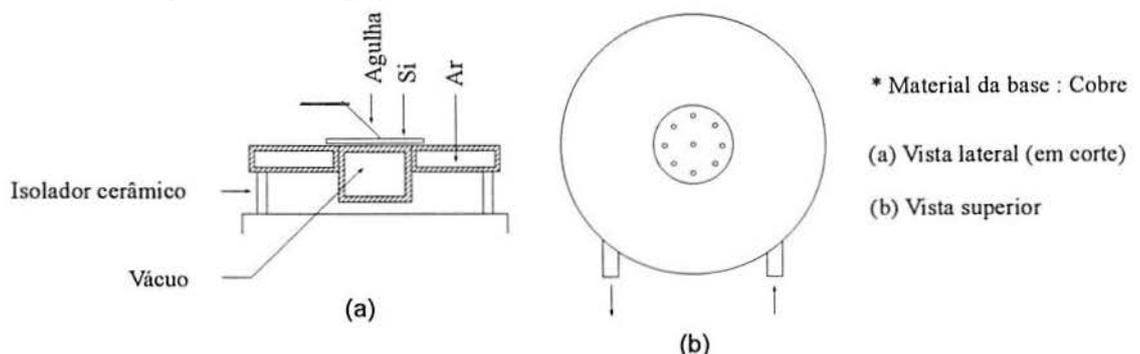


Figura 2.2 - Base para medição de Carga Móvel no óxido

Para a realização das medidas de carga móvel, foi necessário construir uma base para lâminas de silício que pudesse ser aquecida. A solução adotada foi a construção de uma base "oca", que é aquecida pela passagem de ar quente sob pressão. A temperatura é medida através de um termopar acoplado à base. A figura 2.2 ilustra a montagem experimental usada para a medida de Q_m .

2.3 Densidade de Estados de interface

A densidade de estados de interface pode ser medida usando capacitores MOS, transistores MOS[22] ou CCD[27]. Os métodos que utilizam capacitores MOS são cinco :

- a) Método CV alta frequência ou Método de Terman [8]
- b) Método CV baixa frequência [9, 10]
- c) Método da Condutância [6]
- d) Método Gray-Brown [12]
- e) Método Q-C [18]

Os dois primeiros métodos serão descritos nesta secção, pois podem ser realizados no Laboratório de Microeletrônica. As referências [6] , [12] e [18] fornecem descrições completas dos Métodos de Condutância, Gray-Brown e Q-C.

2.3.1 Método de Terman

O método de Terman foi o primeiro a ser utilizado para determinar a densidade de estados de interface. O método é baseado em uma comparação entre uma curva experimental $C_x V_g$ alta frequência e uma curva teórica, calculada a partir da dopagem do substrato e da espessura do óxido.

Em um capacitor ideal, sem estados de interface, um aumento de carga δQ_g na porta é compensado por um correspondente aumento δQ_s na carga induzida no semiconductor, de modo que é possível escrever a relação:

$$\delta Q_g + \delta Q_s = 0 \quad (2.3)$$

Para um capacitor com estados de interface, a carga presente na porta é contrabalançada pela carga no semiconductor Q_s , somada à carga armadilhada nos estados de interface Q_{it} . A relação (2.3), portanto, deve ser reescrita :

$$\delta Q_g + \delta Q_s + \delta Q_{it} = 0 \quad (2.4)$$

Utilizando a lei de Gauss, a equação (2.4) pode ser expressa como :

$$C_{ox}(dV_g - d\Psi_s) = -dQ_{it}(\Psi_s) - dQ_s(\Psi_s) \quad (2.5)$$

Como $dQ_{it} = -C_{it}d\Psi_s$ e $dQ_s = -C_{sc}d\Psi_s$, temos :

$$C_{ox}(dV_g - d\Psi_s) = C_{it}(\Psi_s)d\Psi_s + C_{sc}(\Psi_s)d\Psi_s \quad (2.6)$$

Isolando C_{it} , fica :

$$C_{it}(\Psi_s) = C_{ox} \left[\left(\frac{dV_g}{d\Psi_s} \right) - 1 \right] - C_{sc}(\Psi_s) \quad (2.7)$$

A equação (2.7) é válida tanto para curvas de alta frequência quanto para curvas de baixa frequência, pois ela foi deduzida considerando-se incrementos infinitesimais na polarização CC aplicada à porta e os correspondentes efeitos verificados no potencial de superfície do semiconductor.

Ao medir-se uma curva $C \times V_g$ com uma frequência suficientemente elevada, os valores de capacitância obtidos não são afetados pelos estados de interface, já que as constantes de tempo associadas a eles normalmente são longas (se comparadas ao período da frequência de medida). Isto implica que, para um dado potencial de superfície, a capacitância de alta frequência $C(\Psi_s)$ é a mesma para um capacitor ideal e para um capacitor em que haja estados de interface. A diferença entre eles está na relação $\Psi_s \times V_g$. Esta diferença pode ser quantizada através do cálculo da derivada $d\Psi_s/dV_g$ para a curva experimental, que é utilizada em (2.7) para a determinação de D_{it} ($D_{it} = C_{it}/q$).

A relação $\Psi_s \times V_g$ é determinada pela comparação direta entre uma curva $C \times \Psi_s$ teórica e a curva $C \times V_g$ experimental, conforme ilustra a figura 2.3.

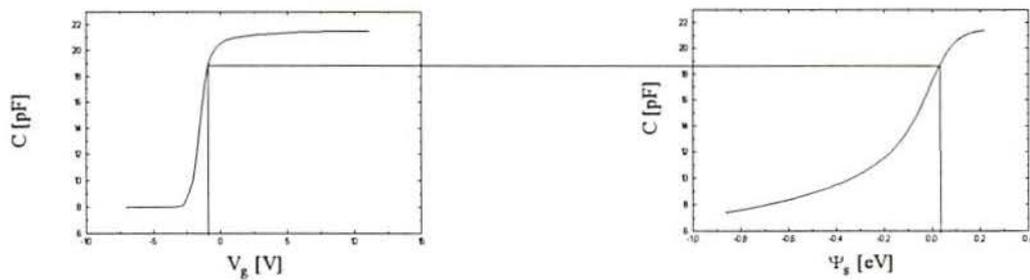


Figura 2.3 - Determinação da relação $\Psi_s \times V_g$ (substrato tipo N)

A necessidade de uma diferenciação numérica ou gráfica diminui consideravelmente a precisão final do Método de Terman. Além disso, deve-se conhecer com exatidão o valor da dopagem do substrato para que os resultados sejam confiáveis.

O Método de Terman praticamente não é mais usado, tendo sido substituído pelo Método CV baixa frequência, que será explicado na próxima seção.

2.3.2 Método CV baixa frequência

Se a capacitância de um capacitor MOS for medida com um sinal CA de período menor que as constantes de tempo associadas aos estados de interface, então, estes estados introduzirão uma capacitância C_{it} no circuito equivalente do capacitor MOS (figura 2.4). A capacitância será dada por :

$$C = \frac{C_{ox} \cdot (C_{it} + C_{sc})}{C_{ox} + C_{it} + C_{sc}} \quad (2.8)$$

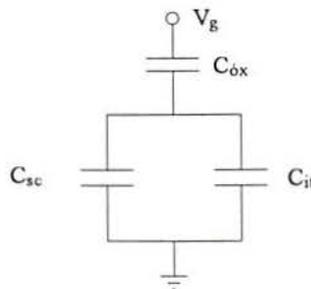


Figura 2.4 - Circuito equivalente para baixas frequências

A relação (2.6), contudo, continua válida, de modo que é possível escrever :

$$C_{\text{óx}}dV_g = d\Psi_s(C_{\text{óx}} + C_{\text{it}} + C_{\text{sc}}) \quad (2.9)$$

Isto permite calcular a derivada $d\Psi_s/dV_g$ a partir das capacitâncias C_{it} e C_{sc} :

$$\frac{d\Psi_s}{dV_g} = \frac{1}{1 + \frac{C_{\text{it}} + C_{\text{sc}}}{C_{\text{óx}}}} \quad (2.10)$$

Isolando $C_{\text{it}} + C_{\text{sc}}$ em (2.8), obtém-se :

$$C_{\text{it}} + C_{\text{sc}} = \frac{C \cdot C_{\text{óx}}}{C_{\text{óx}} - C} \quad (2.11)$$

Substituindo (2.11) em (2.10), fica :

$$\frac{d\Psi_s}{dV_g} = 1 - \frac{C}{C_{\text{óx}}} \quad (2.12)$$

A expressão (2.12) torna possível calcular a densidade de estados de interface D_{it} diretamente de uma curva $C \times V_g$ experimental de baixa frequência. Para isso, basta substituir (2.12) em (2.7), obtendo-se :

$$D_{\text{it}} = \frac{1}{q} \cdot \left[\frac{1}{\frac{1}{C} - \frac{1}{C_{\text{óx}}}} \right] - C_{\text{sc}} \quad (2.13)$$

A relação $\Psi_s \times V_g$ é determinada pela integração de (2.12) :

$$\Psi_s(V_{g2}) = \int_{V_{g1}}^{V_{g2}} \left(1 - \frac{C}{C_{\text{óx}}}\right) dV_g + \Delta \quad (2.14)$$

A integral (2.14) é denominada integral de Berglund. A constante Δ pode ser calculada facilmente a partir da tensão de banda plana V_{FB} , se a densidade de estados de interface for baixa. Caso contrário, pode-se utilizar os métodos sugeridos nas referências [9] e [13].

Originalmente, a curva de baixa frequência era medida com um amplificador "lock-in" operando em uma frequência bastante baixa ($f < 50\text{Hz}$). Esta implementação, todavia, mostrou-se problemática, pois o sistema de detecção de fase do "lock-in" não é perfeitamente estável nesta faixa de frequências, o que aumenta significativamente o erro associado à capacitância medida. Além disso, a mínima frequência usada em circuitos deste tipo é de aproximadamente 1,5 Hz, o que pode ser insuficiente para assegurar que os estados de interface respondam ao sinal CA aplicado à porta.

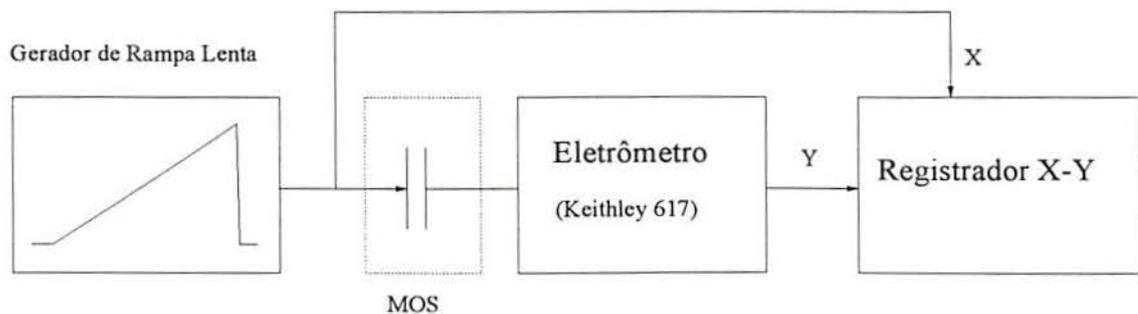


Figura 2.5 - Método Quase-estático

A solução encontrada foi eliminar as instabilidades intrínsecas ao amplificador "lock-in" e reduzir a frequência efetiva de medida f , de modo que $1/f$ seja muito maior que as constantes de tempo da camada de inversão e dos estados de interface. Estes objetivos foram alcançados através da técnica quase-estática, cuja implementação prática é mostrada na figura 2.5.

Na técnica quase-estática, a capacitância MOS não é medida diretamente. O que se faz é aplicar à porta do capacitor MOS uma tensão que varia linearmente no tempo e medir a correspondente corrente de deslocamento do capacitor. Como $i = C(dV/dt)$ e a taxa de variação de V_g é constante, a corrente medida é diretamente proporcional à capacitância. A taxa de variação deve permitir que tanto os portadores minoritários quanto os estados de interface estejam continuamente em equilíbrio com a rampa lenta aplicada à porta. As taxas habitualmente utilizadas vão de 10 a 50mV/s.

Devido à área dos capacitores MOS (em geral $< 1\text{mm}^2$) e à "velocidade" da rampa lenta utilizada, a corrente medida pelo método quase-estático é usualmente muito baixa (da ordem de dezenas de pA até frações de pA). Como consequência, a realização deste método somente será possível se o capacitor MOS estiver no interior de uma caixa blindada e aterrada e o instrumento de medida de corrente for extremamente sensível. Normalmente, o instrumento usado é um eletrômetro, que é desenvolvido essencialmente para medir correntes na faixa de nA até fA.

O método quase-estático apresenta uma resolução de $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$.

2.4 Tempo de geração de portadores minoritários

O tempo de geração de portadores minoritários (τ_g) é um parâmetro importante para a caracterização e a operação de diferentes dispositivos semicondutores, afetando aspectos tão distintos quanto : correntes de fuga em dispositivos CMOS e junções p-n; eficiência de transferência, "corrente de escuro", ruído e faixa dinâmica de CCDs e tempo de "refresh" em memórias dinâmicas RAM. Além disso, a medida de τ_g pode ser usada para monitorar a qualidade de um processo de fabricação.

Vários métodos foram desenvolvidos para a determinação de τ_g , entretanto, a maioria deles está baseada no retorno ao equilíbrio de um capacitor MOS pulsado de acumulação à inversão ou de inversão fraca para inversão forte. A popularidade do uso de capacitores MOS para a medida de τ_g deve-se basicamente a três razões :

- a) o fator de magnificação N/n_i torna possível medir tempos de vida muito pequenos.
- b) a corrente de geração é medida sob condições similares às condições de operação de memórias dinâmicas RAM e CCDs, por exemplo.
- c) o volume amostrado pode ser controlado pelo operador, já que ele depende apenas da área da porta e da largura da região de depleção, que é determinada pela amplitude do pulso aplicado à porta. Esta característica é utilizada para mapear o tempo de vida de uma amostra em função da profundidade.

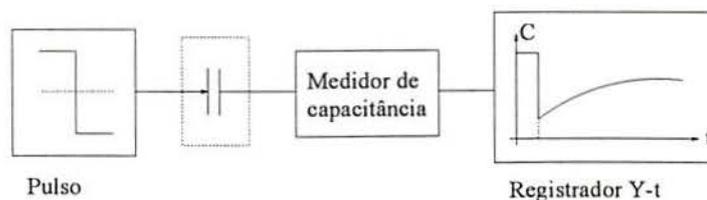


Figura 2.6 - Implementação do Método de Zerbst

Nesta secção, será descrito um método de medida que fornece não apenas τ_g , como também a velocidade de geração na superfície semicondutora S. O método, denominado método de Zerst (em homenagem ao seu inventor), também parte de uma curva Cxt de um capacitor MOS submetido a um pulso de tensão. A figura 2.6 ilustra uma possível implementação deste método.

Quando um capacitor MOS é pulsado subitamente de acumulação à inversão, a região de depleção atinge uma largura bem maior que a de equilíbrio. Esta situação é denominada depleção profunda. Na condição de depleção profunda, há cinco componentes de geração de portadores que contribuem para o retorno ao equilíbrio (figura 2.7). Uma maneira didática de interpretar estas componentes é considerá-las como fontes de corrente que descarregam um capacitor carregado.

As componentes indicadas na figura 2.7 podem ser interpretadas da seguinte forma :

- 1 - geração térmica na região de carga espacial (RCE)
- 2 - geração térmica na superfície da região adjacente à zona de depleção
- 3 - geração na superfície semicondutora sob a porta
- 4 - geração no corpo do semicondutor, a uma distância menor ou igual a um comprimento de difusão das bordas da RCE
- 5 - geração na superfície inferior do substrato

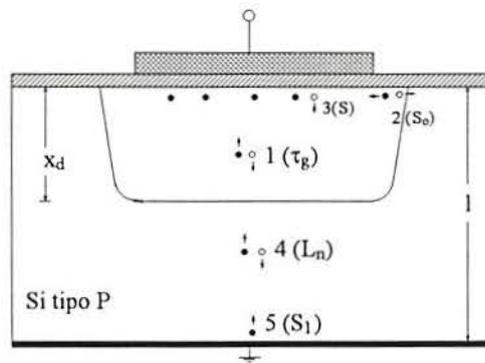


Figura 2.7 - Componentes de geração num capacitor MOS

A corrente na RCE é dada por :

$$I_{RCE} = qn_i \cdot \frac{AG \cdot (x_d - x_f)}{\tau_g} + qn_i A_s S_o + qn_i A_G S \quad (2.15)$$

onde x_d e x_f são as larguras de não-equilíbrio e final (de equilíbrio) da RCE, τ_g é o tempo de geração de portadores minoritários e S_o , a velocidade de geração na porção lateral da RCE. A componente de geração na superfície sob a porta (S) varia de um valor máximo S_o em $t=0^+$ até zero ao final do transiente. AG é a área da porta e A_s , a área da superfície lateral da RCE.

A corrente gerada no corpo do semicondutor (componentes 4 e 5), normalmente conhecida como corrente de saturação, pode ser expressa como :

$$I_{SAT} = \frac{qn_i^2 \cdot D_n}{N_A L_n} \quad (2.16)$$

O comprimento de difusão efetivo L_n' é calculado a partir do comprimento de difusão L_n :

$$L_n' = L_n \cdot \frac{\cosh(\alpha) + (S_1 L_n / D_n) \sinh(\alpha)}{(S_1 L_n / D_n) \cosh(\alpha) + \sinh(\alpha)} \quad (2.17)$$

onde : $L_n = (D_n \tau_n)^{1/2}$ (comprimento de difusão de elétrons no substrato tipo P)

S_1 - velocidade de geração na superfície inferior

$$\alpha = \frac{l - x_d}{L_n}$$

$$D_n = \frac{kT}{q} \mu_n \quad (\text{coeficiente de difusão para elétrons no substrato tipo P})$$

Claramente, S_1 somente torna-se importante, se a espessura "não-depletada" do substrato ($l - x_d$) for da mesma ordem de grandeza ou menor que L_n .

Em primeira aproximação, a área da superfície lateral da RCE pode ser determinada como :

$$A_s = P_G \cdot (x_d - x_f) \quad (2.18)$$

sendo P_G o perímetro da porta. Assim, as componentes de geração I_1 e I_2 são diretamente proporcionais à espessura da RCE, ao passo que as outras três componentes são independentes dela. Isto permite expressar a corrente total como :

$$I = I_{RCE} + I_{SAT} = I_1 + I_2 \quad (2.19)$$

onde I_1 é a corrente dependente da espessura da RCE :

$$I_1 = qn_i A_G \cdot \frac{x_d - x_f}{\tau_{g'}} \quad (2.20)$$

e I_2 , a corrente de "corpo" :

$$I_2 = qn_i A_G S' \quad (2.21)$$

Os valores de $\tau_{g'}$ e S' são dados por :

$$\tau_{g'} = \frac{\tau_g}{1 + \frac{P_G}{A_G} \tau_g S_0} \quad (2.22)$$

$$S' = S + \frac{n_i \cdot D_n}{A_G N_A L_n'} \quad (2.23)$$

O Método de Zerbst produz os valores de $\tau_{g'}$ e S' .

Para a dedução das fórmulas utilizadas pelo Método de Zerbst, assume-se que as seguintes condições são válidas :

- os portadores minoritários são gerados apenas pelo processo térmico
- o tempo de geração é constante durante a geração e a magnitude da componente de geração na RCE depende apenas da espessura $x_d - x_f$.
- a velocidade de geração na superfície é constante.

Nestas condições, as únicas fontes de portadores minoritários são os cinco mecanismos ilustrados na figura 2.7. Para dispositivos de Si à temperatura ambiente, os mecanismos 1 e 2 são dominantes. Para temperaturas mais elevadas ($> 100^{\circ}\text{C}$), os mecanismos 4 e 5 são mais importantes.

A figura 2.8 ilustra uma curva Cxt obtida após a aplicação de um pulso de tensão (de acumulação à inversão) num capacitor MOS. Como o capacitor foi submetido a uma situação de

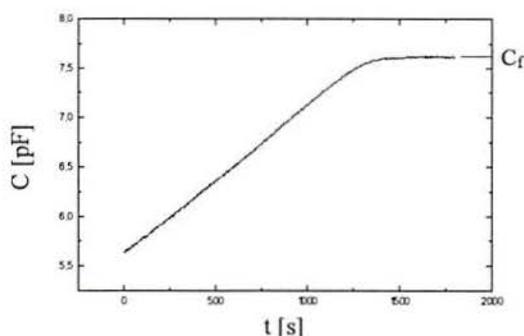


Figura 2.8 - Curva Cxt típica

não-equilíbrio, fluirá uma corrente através dele, enquanto a camada de inversão é formada pela geração de portadores minoritários. A queda de tensão sobre o SiO_2 é dada por :

$$V_{\text{óx}} = \frac{qN_A x_d + Q_N}{C_{\text{óx}}} \quad (2.24)$$

sendo Q_N a carga por unidade de área da camada de inversão.

A tensão V_g é a soma da queda de tensão no óxido com o potencial de superfície Ψ_s :

$$V_g = V_{\text{óx}} + \Psi_s \quad (2.25)$$

No regime de depleção, Ψ_s pode ser aproximado pela fórmula[11] :

$$\Psi_s = \frac{qN_A x_d^2}{2\epsilon_{\text{Si}}} \quad (2.26)$$

Após o capacitor MOS ter sido "pulsado", V_g é mantida constante. Conseqüentemente, a seguinte relação é verdadeira para $t > 0^+$:

$$\frac{dV_g}{dt} = \frac{dV_{\text{óx}}}{dt} + \frac{d\Psi_s}{dt} = 0 \quad (2.27)$$

Substituindo (2.24) e (2.26) em (2.27), obtém-se :

$$\left(qN_A \frac{dx_d}{dt} + \frac{dQ_N}{dt} \right) \frac{1}{C_{\text{óx}}} + \frac{qN_A x_d}{\epsilon_{\text{Si}}} \frac{dx_d}{dt} = 0 \quad (2.28)$$

A relação (2.28) é válida, desde que a carga armadilhada nos estados de interface não interfira na curva Cxt.

O termo dQ_N/dt é a taxa de crescimento da carga de inversão, determinada apenas pelos mecanismos da figura 2.7. Usando a expressão (2.19), é possível escrever :

$$\frac{dQ_N}{dt} = \frac{I}{A_G} = \frac{I_1 + I_2}{A_G} \quad (2.29)$$

Substituindo (2.29) em (2.28), resulta :

$$(qN_A \frac{dx_d}{dt} + qn_i \frac{x_d - x_f}{\tau_g'} + qn_i S') \frac{1}{C_{\acute{o}x}} + \frac{qN_A x_d}{\epsilon_{Si}} \frac{dx_d}{dt} = 0 \quad (2.30)$$

Rearranjando os termos, fica :

$$\left(1 + \frac{C_{\acute{o}x} \cdot x_d}{\epsilon_{Si}}\right) \frac{dx_d}{dt} + \frac{n_i}{N_A \tau_g'} (x_d - x_f) + \frac{n_i}{N_A} S' = 0 \quad (2.31)$$

Como $C_{sc} = \epsilon_{Si}/x_d$, a espessura da RCE pode ser calculada a partir da capacitância MOS:

$$C = \left(\frac{1}{C_{\acute{o}x}} + \frac{x_d}{\epsilon_{Si}}\right)^{-1} \Rightarrow x_d = \epsilon_{Si} \cdot \left(\frac{1}{C} - \frac{1}{C_{\acute{o}x}}\right) \quad (2.32)$$

A espessura final da RCE é calculada usando o valor de equilíbrio C_f da curva Cxt :

$$x_f = \epsilon_{Si} \cdot \left(\frac{1}{C_f} - \frac{1}{C_{\acute{o}x}}\right) \quad (2.33)$$

Com (2.32) e (2.33), a equação (2.31) pode ser reescrita :

$$\frac{C_{\acute{o}x}}{C^3} \frac{dC}{dt} = \frac{n_i}{N_A \tau_g'} \left(\frac{1}{C} - \frac{1}{C_f}\right) + \frac{n_i}{N_A \epsilon_{Si}} S' \quad (2.34)$$

Para fins práticos, a equação (2.34) passa por uma pequena transformação, produzindo:

$$-\frac{d}{dt} \left(\frac{C_{\acute{o}x}}{C}\right)^2 = \frac{2n_i C_{\acute{o}x}}{\tau_g' N_A C_f} \cdot \left(\frac{C_f}{C} - 1\right) + \frac{2C_{\acute{o}x} n_i}{N_A \epsilon_{Si}} S' \quad (2.35)$$

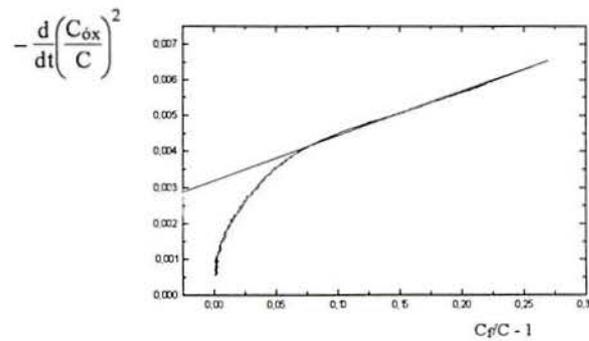


Figura 2.9 - Gráfico de Zerbst correspondente à fig. 2.8

A expressão (2.35) corresponde à equação de uma reta, cuja inclinação é inversamente proporcional a τ_g' e a intersecção desta com o eixo das ordenadas, diretamente proporcional a S' . O Método de Zerbst consiste, portanto, em construir um gráfico de $-(d/dt)(C_{\acute{o}x}/C)^2$ versus $(C_f/C-1)$, como o da figura 2.9, a partir de uma curva Cxt experimental, determinando τ_g' e S' pela inclinação e intersecção com o eixo vertical fornecidas pela parte linear deste gráfico.

Capítulo 3

Desenvolvimento de um medidor de capacitância

Os dados experimentais apresentados neste trabalho foram obtidos utilizando três equipamentos :

- Computador IBM-PC/XT
- Placa de aquisição de dados (NOVUS - modelo IEA)
- Medidor de capacitância de alta frequência

A placa de aquisição possui um conversor A/D de 12 bits e fundos de escala de 4V, 400mV, 80mV e 40mV, o que garante uma excelente resolução para os dados adquiridos. O medidor de capacitância não estava disponível no Laboratório de Microeletrônica, o que forçou a construção de um instrumento de medida para tornar possível a realização desta investigação. Estabeleceram-se, então, duas condições para este instrumento :

- frequência de medida = 100kHz
- faixa de medida = 0 a 150pF (com resolução de 0,1pF)

A frequência de 100kHz é suficientemente elevada, para que tanto a resposta em frequência da camada de inversão quanto os estados de interface não afetem o valor da capacitância. Além disso, para esta frequência, o projeto da placa de circuito impresso é relativamente simples. O fundo de escala adotado cobre os valores normalmente encontrados para capacitores MOS. O equipamento também produz uma saída em tensão adequada para leitura pela placa de aquisição.

Neste capítulo, será inicialmente descrita a construção e calibração do medidor de capacitância MOS, sendo depois abordadas as montagens usadas para a obtenção dos resultados experimentais.

3.1 Princípio de medida

O diagrama de blocos do instrumento construído está mostrado na figura 3.1. O núcleo principal do instrumento é o circuito formado pelo amplificador operacional A1, pelo resistor R e pelos capacitores C_{REF} e C. A configuração deste circuito permite aplicar uma polarização CC à porta do

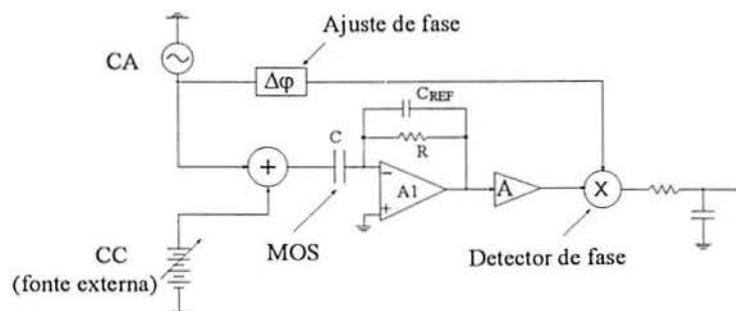


Figura 3.1 - Diagrama simplificado do medidor construído

capacitor MOS, visto que o substrato permanece no mesmo potencial que o da terra. A medida de capacitância é realizada através de um pequeno sinal CA, que é somado à tensão de porta, e amplificado pelo circuito inversor construído com A1. A resposta - ganho - deste circuito é dada por :

$$G = - \left(\frac{C}{C_{REF}} \right) \frac{s}{s + \frac{1}{RC_{REF}}} \quad (3.1)$$

A figura 3.2 ilustra o gráfico do ganho em função da frequência.

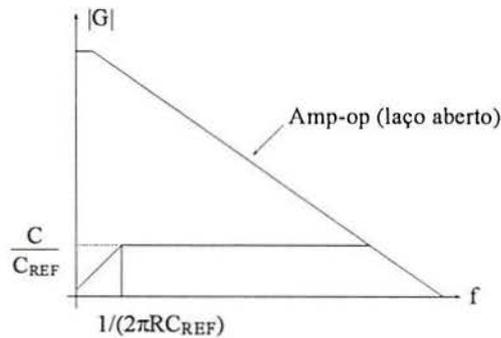


Figura 3.2 - Gráfico correspondente à equação 3.1

A figura 3.2 indica claramente que, se a frequência do sinal CA aplicado à porta do capacitor MOS for bem maior que a frequência do pólo introduzido por R e C_{REF} , a amplitude CA de saída do circuito inversor dependerá apenas do valor do capacitor MOS*, já que C_{REF} é fixo. Para a realização prática deste circuito, os valores escolhidos de R e C_{REF} foram $1,8M\Omega$ e $100pF$, respectivamente. Com isto, o pólo do circuito localiza-se em $\cong 880Hz$, portanto bem abaixo da frequência de medida. O valor de C_{REF} foi determinado tendo em vista os valores esperados de capacitância MOS, que normalmente não ultrapassam $100-150pF$, ao passo que o valor de R foi determinado empiricamente.

A amplitude dos sinais que "passam" pelo circuito formado em torno de A1 é bastante baixa, não somente devido à amplitude do sinal de entrada ($\cong 10mV$), mas também devido ao fato de que para a maioria das medidas o ganho do circuito inversor é menor que um. Em virtude disso, torna-se necessário tomar algumas precauções para minimizar a influência do ruído neste circuito. Estes cuidados incluíram a construção de uma pequena caixa metálica blindada em torno da placa de circuito impresso em que se encontra o amp-op A1, o uso de cabos coaxiais para levar os sinais até o circuito e a escolha de um amp-op com baixo ruído intrínseco para o lugar de A1. O amp-op utilizado no circuito inversor foi o OPA27GP, fabricado pela empresa Burr-Brown. Algumas características deste amplificador estão na tabela 3.1.

	A_v [dB]	BW [MHz]	SR [V/ μs]	Ruído [0,1Hz a 1kHz/100kHz]	V_{OS} [μV]
Mín.	117	5	1,7		
Tip.	124	8	1,9	0,1 / 1 μV_{rms}	25
Máx.					100

Tabela 3.1 - Algumas características do amp-op OPA27GP

* respeitado o limite imposto pela banda passante do amplificador operacional.

3.2 Circuito "lock-in"

O diagrama de blocos da figura 3.1 é uma representação esquemática de um amplificador "lock-in" construído em torno do circuito de medida de capacitância. A técnica de circuitos "lock-in" já é bastante conhecida e sua finalidade básica é a amplificação de sinais CA de pequena amplitude imersos em ruído.

O amplificador "lock-in" é basicamente um dispositivo sensível à fase. Seu funcionamento está baseado num circuito denominado misturador ou detector de fase (figura 3.3). Neste circuito,

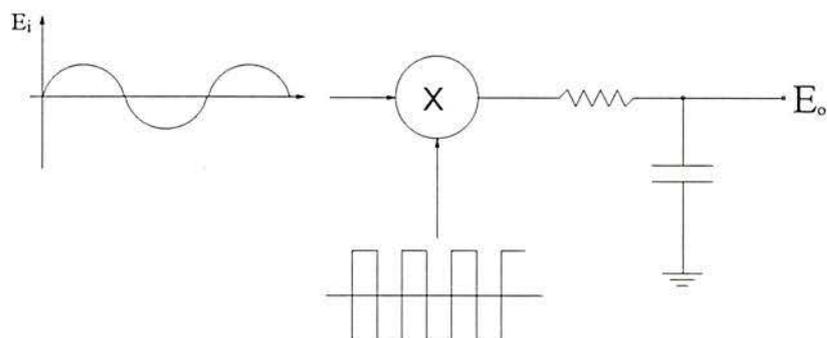


Figura 3.3 - Detector de fase

há dois sinais de entrada : um sinal de interesse, que se deseja medir e um sinal de referência, cuja fase pode ser ajustada. Quando o sinal de interesse for uma senóide com a mesma fase do sinal de referência, a saída será uma onda senoidal completamente retificada. Usando um filtro passa-baixas de primeira ordem (um simples circuito RC), o nível CC da onda retificada é extraído, produzindo um sinal proporcional ao valor RMS do sinal de interesse. Todavia, se os sinais de referência e de interesse apresentarem um defasamento de 90° , a saída filtrada será nula. Portanto, a saída do sistema será proporcional ao valor RMS do sinal de interesse e ao co-seno do ângulo de fase entre os sinais de referência e de interesse. A função de transferência do detector de fase pode ser escrita como :

$$E_o = E_i \cdot \cos \theta \quad (3.2)$$

onde E_i é o valor RMS do sinal de interesse e θ , o ângulo de defasamento.

O misturador age como um filtro, que rejeita todas as frequências não-sincronizadas com o sinal de referência e que se encontram fora de uma estreita banda centrada na frequência do sinal de referência. Esta característica confere ao amplificador "lock-in" um alta imunidade ao ruído e a interferências externas.

Uma explanação mais detalhada sobre amplificadores "lock-in" pode ser encontrada na referência [23].

3.2.1 Descrição dos blocos

Os principais blocos do instrumento são :

- Referência de frequência
- Circuito de ajuste de fase
- Detector de fase

3.2.1.1 Referência de frequência

O sinal de referência é fornecido por um oscilador Pierce a cristal operando em 100kHz. Este tipo de circuito foi escolhido por sua simplicidade e estabilidade. A figura 3.4 ilustra o circuito utilizado.

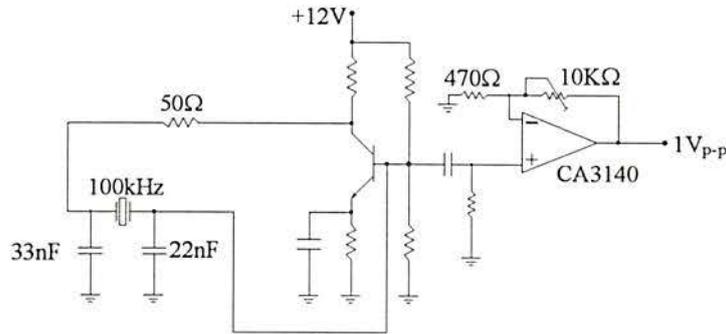


Figura 3.4 - Oscilador Pierce a cristal

3.2.1.2 Ajuste de fase

O circuito para ajuste de fase é mostrado na figura 3.5. O circuito apresenta ganho constante ($G = -1$) para todo o espectro de frequências e um defasamento dado por :

$$|\varphi| = 2\arctg(2\pi fR_1C) \quad (3.3)$$

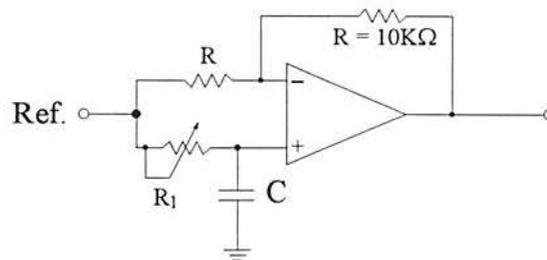


Figura 3.5 - Circuito de ajuste de fase

Como a frequência e o capacitor C são constantes, a fase do sinal pode ser controlada pelo potenciômetro R_1 . Os valores utilizados de R_1 e C foram $21K\Omega$ ($= 20K\Omega + 1K\Omega$) e $3,3nF$, respectivamente. O uso de dois "trim-pots" ao invés de um permite fazer um ajuste "grosso" com o "trim-pot" de $20K\Omega$ e refinar o ajuste com o "trim-pot" de $1K\Omega$. Este circuito produz uma variação de fase $>170^\circ$. Os 180° restantes da fase são adicionados posteriormente, como uma variação abrupta (0° ou 180°), conforme será visto na próxima subsecção.

3.2.1.3 Detector de fase

O detector de fase pode ser implementado essencialmente através de dois circuitos :

- Multiplicador analógico
- Retificador síncrono

O uso de um multiplicador analógico foi logo descartado, por variadas razões, incluindo-se entre elas : a complexidade de um multiplicador discreto, construído com transistores e o elevado custo de um multiplicador analógico integrado. Optou-se, então, pelo retificador síncrono, ilustrado esquematicamente pela figura 3.6. O retificador síncrono emula a multiplicação de um sinal

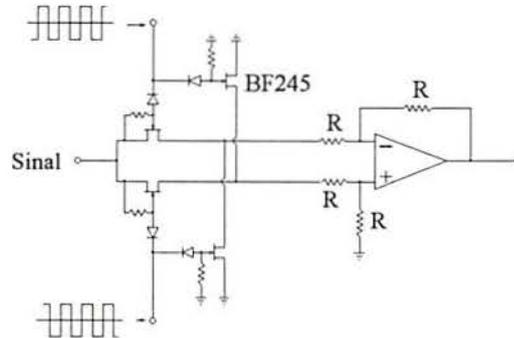
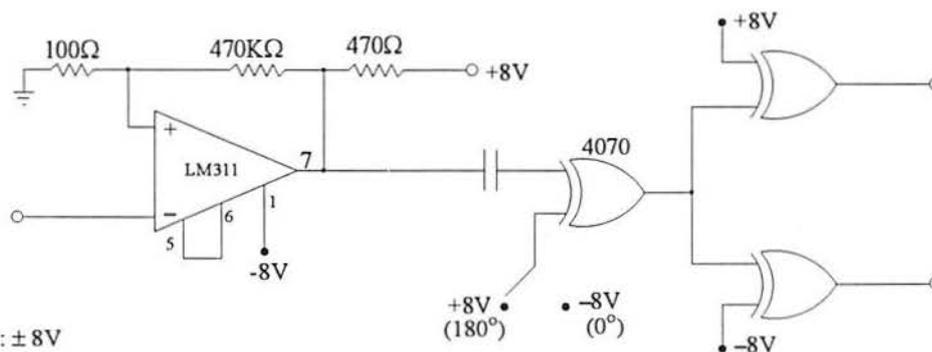


Figura 3.6 - Implementação prática do detector de fase

senoidal por duas ondas quadradas defasadas de 180° . As duas ondas quadradas são produzidas a partir do sinal de saída do circuito de ajuste de fase, através de um comparador de tensão (LM311), que converte a onda senoidal em quadrada. A seguir, é realizada a variação abrupta de fase com uma porta lógica XOR e a geração de duas ondas quadradas com mais duas portas XOR. A figura 3.7 mostra a geração das ondas quadradas para o funcionamento do retificador síncrono.



* Alimentação CMOS : $\pm 8V$

Figura 3.7 - Geração de 2 ondas quadradas defasadas

Além dos circuitos descritos nesta secção, o instrumento apresenta um amplificador de tensão logo após o circuito inversor no qual está o capacitor MOS. A configuração deste amplificador é a de um amplificador de instrumentação[24], com ganho $\cong 150$. O ajuste do ganho deste amplificador é o que torna possível calibrar o instrumento, desde que a fase já esteja convenientemente ajustada. O circuito completo do equipamento encontra-se detalhado no apêndice C.

3.3 Calibração

Como não estão disponíveis padrões de calibração para capacitância, a solução encontrada para calibrar o circuito foi medir alguns capacitores em um instrumento já calibrado e confiável e usar estes capacitores como "padrões" para o instrumento construído. Assim, capacitores de 10pF, 22pF, 47pF, 100pF e 150pF foram medidos em 100kHz com um medidor de impedâncias HP, pertencente ao Laboratório de Microeletrônica do Instituto de Informática/UFRGS, e utilizados para a calibração do medidor CV. Com estes capacitores, foi possível levantar uma reta de calibração do instrumento, tendo

os valores de capacitância como ordenadas e as respectivas saídas em tensão fornecidas pelo equipamento como abscissas. A inclinação estabelecida para esta reta foi de 100pF/V . A partir daí, o medidor foi usado para produzir curvas C_xV_g alta frequência, tendo demonstrado uma estabilidade da calibração adotada de $\cong 1\%$ ao longo de todas as medidas realizadas, o que consideramos aceitável para as finalidades propostas.

3.4 Montagens experimentais

Todas as medidas de curvas C_xV_g alta frequência (100kHz) neste trabalho foram realizadas utilizando o equipamento descrito neste capítulo. As medidas feitas foram armazenadas em arquivos de dados em disquetes. Para isso, foi necessário ler os dados medidos com uma placa de aquisição, conforme mencionado no início do capítulo. As medidas C_xV_g feitas são estáticas, isto é, foram adquiridas "ponto por ponto", com a polarização V_g dada por uma fonte externa ao instrumento. Uma vez aplicada uma tensão à porta, os dados somente são adquiridos após um certo tempo de estabilização, que depende das características físicas de cada capacitor. Para as medidas C_{xt} , a base de tempo é fornecida pelo próprio computador onde se acha instalada a placa de aquisição.

A base construída para contactar eletricamente capacitores MOS está mostrada na figura 2.2 do capítulo 2. A porta do capacitor MOS é contactada através de uma agulha de tungstênio ligada ao instrumento e acoplada a um micro-posicionador XYZ. O contato com o substrato é feito pela própria base, através de sucção por vácuo. A base está conectada à outra entrada do instrumento. Tanto a base quanto o posicionador estão colocados dentro de uma caixa metálica. Esta caixa tem basicamente duas finalidades : prover uma blindagem contra ruídos e interferências externas e impedir que a luz afete as medidas C_{xt} através da geração de portadores minoritários fotoexcitados.

As medidas de curvas C_xV_g baixa frequência, para determinação de D_{it} , não foram realizadas neste trabalho, pois o eletrômetro para medida de baixas correntes somente foi recebido em 16-08-1994, quando o trabalho experimental já havia sido encerrado.

Capítulo 4

Procedimentos experimentais e discussões

Neste capítulo, inicialmente será descrito o desenvolvimento de um processo de fabricação de capacitores MOS, utilizando a infra-estrutura do Laboratório de Microeletrônica do IF/UFRGS. Em seguida, serão apresentados os resultados experimentais obtidos com os capacitores fabricados. Durante a análise do processo apresentado deve-se ter em mente que as limitadas condições materiais do Laboratório de Microeletrônica do IF/UFRGS impõem restrições à adoção de certas soluções para os problemas observados. Desta forma, o processo aqui delineado é o melhor que pode ser conseguido dentro da situação atual do laboratório.

4.1 Desenvolvimento de um processo de fabricação

4.1.1 Processo básico

O processo escolhido para fabricação de capacitores MOS compreende os seguintes passos essenciais :

- I – Limpeza das amostras.
- II – Crescimento do óxido de porta.
- III – Recozimento de carga fixa de interface (Q_f).
- IV – Metalização.
- V – Definição da área do metal.
- VI – Recozimento de estados de interface (D_{it}).

O objetivo inicialmente estabelecido foi a obtenção de capacitores MOS com baixa densidade de carga fixa de interface ($Q_f/q < 5 \times 10^{10} \text{ cm}^{-2}$), pois esta era a única grandeza que podia ser medida com os equipamentos disponíveis. Usando o método descrito na seção 2.1, o resultado obtido não é apenas o valor de Q_f , mas engloba uma contribuição das cargas móveis próximas à interface $\text{SiO}_2\text{-Si}$. Assim, será mais correto falar em carga efetiva de interface (Q_{ef}) para estas medidas iniciais. Como a carga efetiva de interface não distingue os efeitos do processo sobre Q_f e Q_m , a interpretação dos dados experimentais torna-se mais complexa. Alguns meses após o início desta investigação, o pedestal para medida da densidade de cargas móveis no óxido foi fabricado, possibilitando a medida independente de Q_m . A densidade de estados de interface não foi medida por falta de equipamento apropriado (eletrometro).

A limpeza das amostras é um procedimento padronizado[28], sendo realizado em três etapas : (a) limpeza em solução de $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ (4:1 vol.), durante 10min a 120°C ; (b) limpeza em solução de $\text{H}_2\text{O} + \text{H}_2\text{O}_2 + \text{NH}_4\text{OH}$ (4:1:1), durante 10min a 80°C ; (c) limpeza em solução de $\text{H}_2\text{O} + \text{H}_2\text{O}_2 + \text{HCl}$ (4:1:1), durante 10min a 80°C . Entre as diferentes etapas da limpeza, as amostras são lavadas em água deionizada (H_2ODI) corrente por 5min. Pode-se acrescentar um quarto passo a este método de limpeza, mergulhando as amostras em uma solução de 5%HF em água durante 2min entre as etapas (a) e (b), com o objetivo de eliminar o óxido nativo do silício. O processo de oxidação térmica do óxido de porta é feito em atmosfera de oxigênio. Além disso, é possível adicionar uma pequena porcentagem de

HCl (tipicamente 0,5-5%) ao O₂ utilizado na oxidação. O recozimento de carga fixa de interface é feito em atmosfera inerte (v.g.: argônio ou nitrogênio) à mesma temperatura que a oxidação e imediatamente após esta. A metalização é realizada com um evaporador por filamento (efeito Joule). A câmara de metalização é mantida sob baixa pressão ($< 10^{-6}$ Torr) por duas bombas (uma difusora e uma mecânica) e por uma armadilha fria refrigerada a N₂ líquido. O metal utilizado é o alumínio (com pureza de 99,999%). A área do capacitor pode ser definida por dois processos : (a) utilizando uma máscara mecânica sobre a amostra durante a metalização ou (b) por fotolitografia. O processo fotolitográfico foi escolhido pela maior precisão que proporciona à definição da área, contudo, em alguns experimentos, foi utilizada máscara mecânica, pela simplicidade do processo. O recozimento de estados de interface deve ser realizado em atmosfera inerte que contenha hidrogênio, à baixa temperatura ($< 500^{\circ}\text{C}$). A atmosfera utilizada foi uma mistura gasosa de 10% H₂ + 90%N₂ e a temperatura, 450°C.

4.1.2 Melhoria da qualidade do óxido e da interface

Inicialmente, os capacitores MOS foram fabricados segundo o processo delineado na secção 4.1.1. Em geral, a carga efetiva de interface situou-se na faixa de $2\text{-}5 \times 10^{11}$ cargas/cm². O resultado mais importante, contudo, foi obtido com quatro amostras submetidas a um processamento que difere apenas quanto ao tempo de recozimento para estados de interface. O experimento completo foi o seguinte :

- 1 – Limpeza das amostras.
- 2 – Oxidação e recozimento de carga fixa de interface.
 - O₂ Super-Seco, 1050°C, 40min ($x_{\text{óx}} \cong 70\text{nm}$)
 - Argônio Ultra-Puro, 1050°C, 30min
- 3 – Metalização.
- 4 – Fotolitografia para definição de área.
- 5 – Recozimento para estados de interface.
 - 450°C, 10%H₂ + 90% N₂
 - Amostra 1 → 30min
 - Amostra 2 → 60min
 - Amostra 3 → 90min
 - Amostra 4 → 120min

Os dados destas amostras estão mostrados na tabela 4.1.

Amostra	Tempo de recozimento final	Q_{ef}/q [cm ⁻²]
1	30min	2×10^{11}
2	60min	$1,7 \times 10^{11}$
3	90min	7×10^{10}
4	120min	$< 5 \times 10^{10}$

Tabela 4.1 Efeito do tempo de recozimento de D_{it} sobre Q_{ef}

A amostra 4 satisfaz plenamente o objetivo estabelecido quanto à carga efetiva de interface. Aparentemente, este resultado poderia ser atribuído à eficácia do recozimento de 120min na neutralização dos estados de interface, todavia, por experiências recentes, constatamos que a melhoria progressiva observada em Q_{ef} está relacionada à eliminação e/ou imobilização das cargas móveis no óxido, que discutiremos na próxima subsecção.

Em virtude do excelente valor de carga efetiva da amostra 4, decidiu-se utilizar O₂ Super-Seco durante a oxidação de porta e Argônio Ultra-Puro no recozimento de carga fixa de interface. Esta decisão foi confirmada por experimentos posteriores, em que se utilizaram outros gases nestes processos térmicos, como O₂ industrial, N₂ super-seco e Argônio industrial, alcançando-se habitualmente valores de Q_{ef} bem maiores que $5 \times 10^{10} \text{ cm}^{-2}$ (com um processo de fabricação praticamente idêntico ao da amostra 4). Além disso, construiu-se um filtro de umidade para garantir a qualidade dos gases utilizados na fabricação dos capacitores (ver apêndice A).

4.1.2.1 Neutralização das cargas móveis no óxido

A partir do momento em que foi possível medir Q_m , verificou-se que a contaminação iônica no óxido era bastante elevada (normalmente variando entre 5×10^{11} e $1 \times 10^{12} \text{ cm}^{-2}$). As possíveis fontes para esta contaminação incluem : forno de oxidação, sistema de metalização, água deionizada e produtos químicos utilizados durante a limpeza e/ou fotolitografia.

Observou-se, também, que algumas amostras apresentavam movimento de cargas no óxido mesmo à temperatura ambiente. Estas cargas móveis à temperatura ambiente têm sido associadas a prótons[31]. Uma amostra em que ocorreu este fenômeno foi submetida a uma experiência semelhante a da subsecção anterior, isto é, após a medida de Q_m , a amostra passou por um novo recozimento de estados de interface (por 1h30min, o que, somado à meia hora anterior, totalizou 2h00 de recozimento em atmosfera contendo hidrogênio). Com este segundo recozimento, o valor da carga móvel no óxido diminuiu sensivelmente ($\cong 40\%$), o que levou à conclusão de que os prótons presentes no óxido são neutralizados durante o recozimento de D_{it} (por difusão para fora, imobilização na interface metal-óxido ou por neutralização elétrica).

Conforme mencionado na secção 1.2.2, a oxidação com HCl adicionado à atmosfera oxidante é eficaz na neutralização de cargas móveis no óxido, especialmente íons alcalinos. Com o intuito de confirmar esta informação e detectar a origem de Q_m , foi realizada a seguinte experiência com quatro amostras :

1 - Limpeza do forno.

- 1100°C, 4h00, O₂ + 2% C33

2 - Limpeza das amostras.

3 - Oxidação e recozimento para carga fixa de interface.

- O₂ Super-seco + 0,4% C33, 1050°C, 30min
- Argônio Ultra-Puro, 1050°C, 30min

4 - "Etching" do óxido

* Amostras 1 e 2 tiveram $\cong 100\text{Å}$ de óxido removido :

- 2min30s em HF+H₂O (1:50)
- Lavar em H₂ODI

5 - Metalização com máscara mecânica.

6 - Limpeza

* Amostras 1 e 3 foram submetidas à seguinte limpeza :

- TCE + Acetona + Álcool iso-propílico (10-15min à T_{amb})
- Lavar em acetona
- Lavar em álcool iso-propílico
- Lavar em água deionizada corrente (5min)

7 – Recozimento de estados de interface.

- 450°C, 10% H₂ + 90% N₂, 30min

A tabela 4.2 mostra os dados obtidos com estas amostras.

Amostra	"Etching"	Limpeza	Q _{ef} /q [cm ⁻²]	Q _m /q [cm ⁻²]
1	SIM	SIM	1,3x10 ¹¹	2,7x10 ¹¹
2	SIM	NÃO	6x10 ¹⁰	2,5x10 ¹¹
3	NÃO	SIM	1x10 ¹¹	1x10 ¹¹
4	NÃO	NÃO	4x10 ¹⁰	6x10 ¹⁰

Tabela 4.2 - Investigação sobre origem de Q_m

Os resultados da tabela 4.2 apontam para duas evidências :

I – a oxidação em ambiente contendo cloro efetivamente reduz a carga móvel no óxido, pois os valores de Q_m nestas amostras são bastante menores que os habitualmente registrados nas amostras oxidadas apenas com oxigênio.

II – o sistema de metalização e o forno de oxidação não são as principais fontes de contaminação. Provavelmente, a água deionizada é a maior responsável pela carga móvel no óxido.

Estes resultados foram obtidos muito recentemente, por isso, a oxidação com cloro não foi incluída no processo final.

4.1.3 Anel de guarda

A presença de cargas na superfície do óxido* e próximas da interface Si-SiO₂, que circundam o capacitor, pode causar a depleção ou mesmo a inversão da região do substrato adjacente ao perímetro da RCE. Isto significa que esta região lateral atua como fonte de portadores minoritários, mascarando o resultado obtido a partir de uma curva Cxt. Para evitar este problema, é construído um anel de guarda em torno do capacitor. O anel de guarda é uma estreita faixa do semiconductor ao redor da camada de depleção onde a concentração de portadores majoritários é bem maior que a do substrato. A distância entre o anel e o capacitor deve ser a menor possível. Sua magnitude é determinada por dois fatores : (a) a imprecisão do processo de alinhamento na fotolitografia ($\pm 2\mu\text{m}$) e (b) a extensão da difusão lateral do dopante implantado no anel ($\cong 80\%$ da profundidade). A distância utilizada neste trabalho foi de 5 μm .

Há diversas maneiras de implementar o anel de guarda, entretanto, neste trabalho, ele foi construído usando a implantação iônica. A produção do anel de guarda por implantação envolve os seguintes passos:

1 – Crescimento de óxido com espessura suficiente para mascarar a implantação iônica subsequente. A oxidação adotada é realizada nas seguintes condições :

- Atmosfera – O₂ + 0,2% C33, Tempo – 3h00, Temperatura – 1200°C

A espessura esperada do óxido é de aproximadamente 530nm.

* estas cargas normalmente estão associadas à umidade.

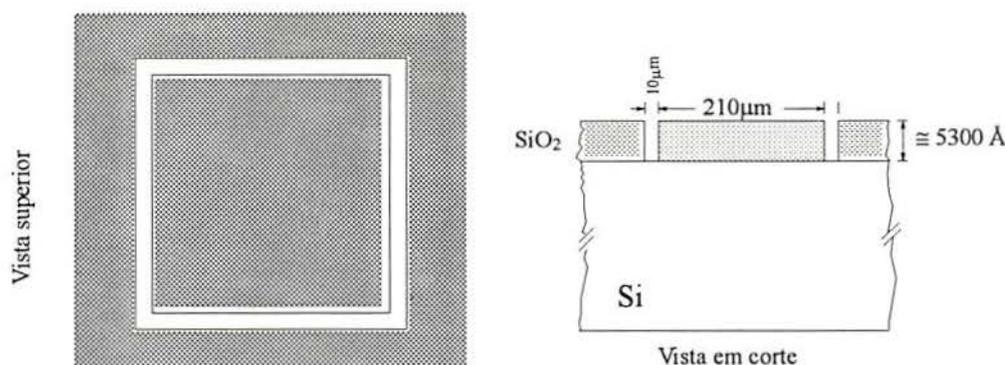


Figura 4.1 - Janela para implantação de anel de guarda

2 – Fotolitografia para abertura de "janelas" para implantação iônica. A forma desta janela (e, conseqüentemente, do anel de guarda) está ilustrada na figura 4.1. A fotomáscara utilizada já estava disponível no laboratório, proveniente do Laboratório de Microeletrônica (LME) da Escola Politécnica da USP.

3 – Implantação de dopante do mesmo tipo que o do substrato. O íon implantado foi o $^{31}\text{P}^+$, pois o substrato utilizado na fabricação de capacitores é tipo N. Para que o anel de guarda seja

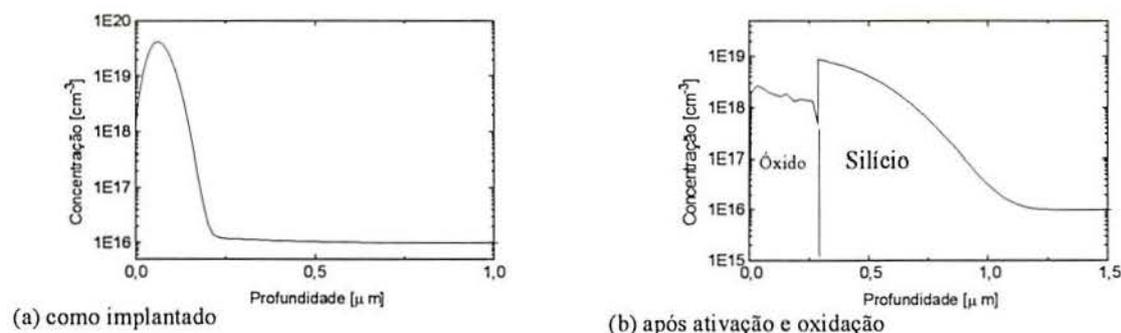


Figura 4.2 - Distribuição do $^{31}\text{P}^+$ implantado

realmente eficiente, estabeleceu-se que esta implantação deva produzir uma camada quase degenerada, isto é, com concentração de dopantes próxima de 10^{19} cm^{-3} . Tendo esta premissa como base, foram realizadas simulações com o programa SUPREM-III, obtendo-se uma dose mínima de $3 \times 10^{14} \text{ cm}^{-2}$. A energia dos íons foi selecionada considerando-se que os dopantes implantados no óxido de mascaramento não devem alcançar o silício. A energia foi determinada em 50keV. A figura 4.2a mostra a concentração de fósforo como implantado obtida por simulação.

4 – Recristalização do silício implantado. A dose de implantação é suficiente para amorfizar a camada implantada e a recristalização é realizada através de um recozimento em atmosfera inerte, durante o qual os átomos dopantes passam a ocupar posições substitucionais na rede do silício. Por razões práticas, este recozimento é realizado à mesma temperatura que a oxidação subsequente. O recozimento adotado foi o seguinte :

- 1000°C , 10min, N_2

5 – Penetração do fósforo implantado em ambiente oxidante. Esta etapa é necessária para que os íons implantados difundam no substrato, produzindo uma camada dopada bem mais profunda que o perfil de implantação. Este processo poderia ocorrer em atmosfera inerte, entretanto, neste caso, uma parte do fósforo seria perdida por difusão para fora do silício. Esta oxidação foi realizada à

temperatura de 1000°C, por 40min, em atmosfera saturada com vapor-d'água. A distribuição do fósforo após a "penetração" é ilustrada pela figura 4.2b, obtida por simulação.

O anel de guarda resultante deste processo está mostrado esquematicamente na figura 4.4.

A figura 4.3 mostra o efeito do anel de guarda sobre a curva $C \times V_g$. Na curva à esquerda(sem anel de guarda), o aumento da extensão da região de depleção propiciado (provavelmente) pela condutividade da superfície do óxido faz com que a curva de alta frequência tenha um aspecto semelhante ao de uma curva de baixa frequência[30]. Na curva à direita(com anel de guarda), este efeito desaparece completamente.

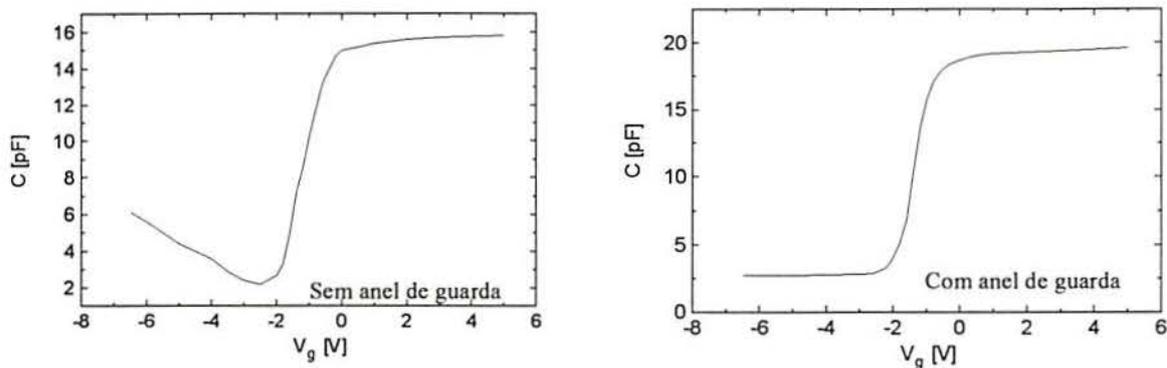


Figura 4.3 - Efeito do anel de guarda sobre curva $C \times V_g$

4.1.4 Processo final

O processo para fabricação de capacitores MOS compreende os seguintes passos :

1 – Formação de zona desnuda

- 1200°C, 3h, O₂ + 0,2% C33

2 – Litografia 1

- Objetivo : abertura de anel de guarda

3 – Implantação iônica para formação de anel de guarda

- Íon : ³¹P⁺, $\phi = 3 \times 10^{14} \text{ cm}^{-2}$, E = 50keV

4 – Ativação do íon implantado e crescimento de óxido sobre anel de guarda

- Ativação : 1000°C, 10min, N₂
- Oxidação : 1000°C, 40min, Vapor-d'água ($x_{\text{óx}} \cong 320\text{nm}$)

5 – Litografia 2

- Objetivo : abrir janela para capacitores

6 – Oxidação de porta

- Óxido : 1050°C, 40min, O₂ Super-seco ($x_{\text{óx}} \cong 70\text{nm}$)
- Recozimento de carga fixa : 1050°C, 30min, Ar U. P. + filtro umidade

7 – Implantação de carbono através do óxido

- Doses e energias serão definidas na segunda parte deste capítulo

8 – Recozimento

- 1000°C, 30min, N₂

9 – Metalização

- Método : evaporação por filamento (efeito Joule)
- Metal : alumínio (99,999% puro)

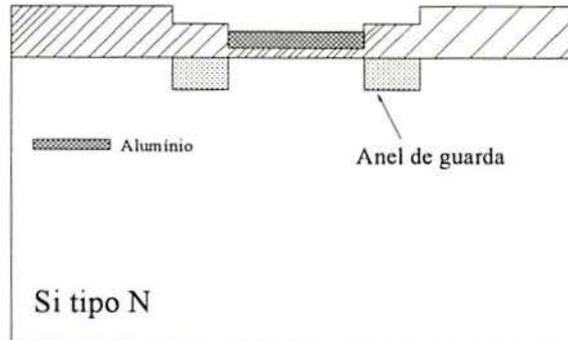


Figura 4.4 - Estrutura fabricada

10 – Litografia 3

- Objetivo : definição da área do capacitor ($A_G = 200\mu\text{m} \times 200\mu\text{m}$)

11 – Recozimento de estados de interface

- 450°C, 2h00, 10% H₂ + 90% N₂

A figura 4.4 ilustra esquematicamente a estrutura final obtida com este processo.

4.2 Implantação de carbono e seus efeitos

Conforme visto na secção 1.3, a implantação iônica é uma etapa crucial na fabricação de circuitos integrados MOS. Entretanto, a implantação produz efeitos indesejados, principalmente devido aos defeitos estruturais provenientes do processo de freamento dos íons na matéria. Estes defeitos degradam tanto mecânica quanto eletricamente a rede do semiconductor. O principais efeitos elétricos são a redução do tempo de vida de portadores minoritários e da mobilidade, afetando, portanto, parâmetros importantes de dispositivos MOS e bipolares, como corrente reversa de junções p-n, "corrente de escuro" em CCD, ganho de transistores, etc. Conclui-se daí que a medida de τ_g possibilita o estudo dos efeitos da implantação no semiconductor. Nesta segunda parte do capítulo, será apresentada a investigação realizada sobre a implantação de carbono em silício, usando medidas em capacitores MOS como ferramenta de análise.

4.2.1 Por que implantar carbono ?

Os principais dopantes do silício são o boro(tipo P), o fósforo e o arsênio(ambos tipo N). A implantação destes íons em capacitores MOS afetaria as curvas $C_x V_g$ e C_{xt} de duas formas : (a) pelos eventuais defeitos residuais após recozimentos e (b) pela mudança da dopagem do semiconductor. Isto tornaria bastante complexa a análise dos resultados experimentais, pois é difícil separar os efeitos elétricos resultantes da dopagem e dos eventuais defeitos. Assim, o estudo das mudanças estruturais causadas pela implantação de dopantes seria mais convenientemente realizado através da implantação de íons não-dopantes com massa praticamente igual à dos dopantes e pertencentes à coluna IV da tabela

periódica. Isto garantirá que sejam incorporados em posições substitucionais na rede do silício. Os íons selecionados para isto seriam o $^{12}\text{C}^+$, no caso do $^{11}\text{B}^+$, o $^{28}\text{Si}^+$, para $^{31}\text{P}^+$ e $^{73}\text{Ge}^+$, para $^{75}\text{As}^+$.

Nesta dissertação, serão analisadas apenas as conseqüências da implantação de $^{12}\text{C}^+$. A escolha de um único íon deve-se ao exíguo prazo disponível para a fabricação e caracterização de capacitores MOS, já que a construção e projeto do medidor de capacitância acabou tomando um longo tempo do trabalho. A implantação de carbono em silício suscita questões bem interessantes[32], que já vinham sendo investigadas no Laboratório de Microeletrônica. Por isso, o íon escolhido foi o carbono.

Os íons, ao serem implantados em um material, podem interagir com os átomos do alvo de duas maneiras : (a) por colisões nucleares elásticas entre o íon e os átomos do sólido e (b) por colisões inelásticas resultantes da interação entre os íons e a coroa eletrônica dos átomos do alvo[42]. Os defeitos são gerados pelas colisões nucleares. Para um íon leve, como o carbono, os principais defeitos serão pares de vacâncias-intersticiais, denominados pares de Frenkel, produzidos pela expulsão de átomos do alvo de sítios da rede.

As doses selecionadas para o presente estudo são as seguintes :

- $\varphi_1 = 5 \times 10^{13} \text{ cm}^{-2}$, $\varphi_2 = 5 \times 10^{12} \text{ cm}^{-2}$, $\varphi_3 = 5 \times 10^{11} \text{ cm}^{-2}$

Estas doses cobrem uma faixa de valores habitualmente utilizada para realizar o ajuste da tensão de limiar de transistores MOS. Os íons são implantados através do óxido de porta, como normalmente ocorre na indústria de microeletrônica, com uma energia de 40keV. Em uma amostra, contudo, íons de carbono e argônio foram implantados nas costas da amostra (em regiões diferentes), por motivos que serão explicados na próxima seção. A energia de 40keV para implantações através do óxido foi determinada por simulações com o programa TRIM[43], de modo que a concentração de defeitos seja máxima na interface $\text{SiO}_2\text{-Si}$. Com isso, espera-se que o efeito elétrico dos defeitos seja o mais pronunciado possível.

4.2.2 Resultados experimentais

Os resultados experimentais foram obtidos com três amostras, denominadas C1, C3, C4, nas quais foram fabricados capacitores segundo o processo delineado na seção 4.1.4. O substrato usado é tipo N, com resistividade entre 0,55 e 1,10 $\Omega\cdot\text{cm}$. As amostras foram divididas em quatro regiões, segundo a dose implantada através do óxido. Esta divisão foi adotada nas amostras C1* e C3. A amostra C4 será discutida na próxima seção. Os resultados experimentais obtidos em C1 e C3 estão sumarizados na tabela 4.3.

Tabela 4.3 – Resultados em C1 e C3

Amostra / Região	Φ [cm^{-2}]	Q_{ef}/q [cm^{-2}]	τ_g [μs]	S [cm/s]
C1 / 1	5×10^{13}	$3,1 \times 10^{11}$	33,3	0,059
C1 / 2	5×10^{12}	$1,7 \times 10^{11}$	377,5	0,025
C1 / 3	5×10^{11}	$1,5 \times 10^{11}$	313,8	0,017
C1 / 4	0,0	$1,5 \times 10^{11}$	415	0,040
C3 / 1	5×10^{13}	$2,7 \times 10^{11}$	40	0,090
C3 / 2	5×10^{12}	$1,6 \times 10^{11}$	47,6	0,46
C3 / 3	5×10^{11}	$1,4 \times 10^{11}$	157	0,067
C3 / 4	0,0	$1,3 \times 10^{11}$	300,8	0,038

* a amostra C1 não possui anel de guarda.

4.2.2.1 Amostra C4

A amostra C4 teve por objetivo estudar o efeito de "gettering" do carbono[40,41], comparando-o com o efeito do Argônio, já bastante conhecido[29]. As implantações realizadas nesta amostra estão sumarizadas na tabela 4.4.

Amostra	Região	Íon	Energia [keV]	Dose [cm ⁻²]	Obs.
C4	1	¹² C ⁺	380	10 ¹⁶	Implantação através do óxido
	2	¹² C ⁺	100	10 ¹⁶	Implantação nas costas
	3	--	--	--	Controle
	4	⁴⁰ Ar ⁺	250	10 ¹⁶	Implantação nas costas

Tabela 4.4 – Implantações na amostra C4

Os resultados obtidos com esta amostra estão mostrados na tabela 4.5.

Amostra / Região	Q _{eff} /q [cm ⁻²]	τ _g [μs]	S [cm/s]
C4 / 1	1,4x10 ¹¹	1,4	0,35
C4 / 2	1,4x10 ¹¹	15,5	0,103
C4 / 3	1,4x10 ¹¹	0,87	0,53
C4 / 4	1,5x10 ¹¹	41,4	0,085

Tabela 4.5 – Resultados em C4

4.2.3 Discussões

O carbono é uma das principais contaminações provenientes do processo de fabricação de cristais de silício. As concentrações típicas de carbono em silício crescido pelo método Czochralski variam de 5x10¹⁶ a 4x10¹⁷ cm⁻³. Diversos fenômenos que ocorrem durante os tratamentos térmicos a que o semicondutor é submetido para a produção de dispositivos e circuitos integrados são influenciados pela presença de carbono, tais como a precipitação de oxigênio[36] e a formação de doadores térmicos em cristais CZ[37], entre outros. Recentemente, entretanto, a implantação de carbono em silício vem revelando possibilidades de aplicação na indústria de microeletrônica, especialmente seus efeitos sobre a ativação elétrica do boro[38] e na supressão da geração de defeitos secundários em silício implantado com boro[39]. Estes efeitos tornaram importante a compreensão da estrutura dos defeitos introduzidos pela implantação de carbono em silício.

A implantação de carbono através do óxido gera defeitos no próprio óxido, na interface Si-SiO₂ e no substrato semicondutor. Sendo o carbono um íon leve, a dose necessária para amorfizar o substrato é elevada ($\cong 10^{16}$ cm⁻²). Com as doses utilizadas nas amostras C1 e C3, os danos produzidos são essencialmente defeitos pontuais e pequenos anéis de discordâncias (20-30Å) [35]. A simulação com o programa TRIM mostra que a região danificada do semicondutor logo após a implantação estende-se por aproximadamente 1300Å a partir da interface Si-SiO₂. Este dado é obtido sem levar em conta os efeitos do recozimento dinâmico, que são consideravelmente importantes para íons leves, não refletindo, portanto, os casos reais de implantação à temperatura ambiente.

Embora a implantação com baixas doses não produza regiões extensamente danificadas no substrato, nem sempre os recozimentos adotados são eficientes na eliminação dos defeitos. A referência [33] apresenta um estudo detalhado, baseado em dados obtidos por RBS ("Rutherford Backscattering") e TEM ("Transmission Electron Microscopy"), sobre as condições em que aparecem os defeitos secundários após o recozimento de amostras implantadas com doses baixas-médias (10¹³-2x10¹⁵ cm⁻²). A principal conclusão a que os autores chegam é que há um limiar de dose, a partir do qual se observa a presença de defeitos, mesmo após a realização de um recozimento. Este limiar é determinado

pelo número total de átomos do alvo deslocados de suas posições de rede. Por exemplo, para átomos de boro implantados com energia de 50keV em Si, haverá a formação de defeitos secundários após um recozimento a 900°C em forno convencional, se a dose implantada ultrapassar $\cong 2 \times 10^{14} \text{ cm}^{-2}$. O caso do carbono não foi analisado neste artigo, todavia, a pequena diferença das massas do boro e do carbono autoriza a suposição de que, para a energia utilizada nas implantações desta dissertação (40keV), a dose mínima para produção de defeitos após o recozimento deve situar-se acima de 10^{14} cm^{-2} .

Observando os valores de carga efetiva de interface em C1 e C3, constata-se que, para as doses de 5×10^{11} e $5 \times 10^{12} \text{ cm}^{-2}$, praticamente não há alteração em relação à região não-implantada, ao passo que Q_{ef} quase dobra para a dose de $5 \times 10^{13} \text{ cm}^{-2}$. Um comportamento semelhante é verificado com a velocidade de geração de superfície (S). Isto implica que os danos no óxido e na interface são inteiramente aniquilados para as menores doses (5×10^{11} e $5 \times 10^{12} \text{ cm}^{-2}$), persistindo, porém, uma certa densidade de defeitos residuais para a dose de $5 \times 10^{13} \text{ cm}^{-2}$.

Uma observação superficial dos tempos de geração obtidos, mostra claramente que o processo de zona desnuda revelou ser bastante eficaz, já que os tempos de geração nas regiões não-implantadas são da ordem de 300-400 μs . Isto significa que o tempo de retorno ao equilíbrio de um capacitor MOS pulsado é de $\cong 10$ -15min. Em capacitores MOS anteriormente fabricados sem a zona desnuda, este tempo habitualmente não superava 30s.

O tempo de geração de portadores minoritários apresenta sensíveis diferenças em C1 e C3. Em toda a amostra C1, os valores de τ_g são superiores aos da amostra C3, com exceção da região 1. Este fato provavelmente é devido à diferença de processamento a que estas amostras foram submetidas. Na amostra C1, as doses de 5×10^{11} e $5 \times 10^{12} \text{ cm}^{-2}$ afetam pouco o tempo de geração, enquanto em C3 ocorre uma notável redução de τ_g já para a dose de $5 \times 10^{12} \text{ cm}^{-2}$. Na região com a maior dose implantada, o tempo de geração é bastante afetado, tanto em C1 quanto em C3. A diminuição do tempo de geração é causada pela presença de defeitos no substrato, que agem como centros de recombinação-geração, introduzindo níveis de energia dentro da banda proibida. A relação entre tempo de vida e densidade de centros de geração-recombinação num semiconductor tipo N é dada por [34]:

$$\tau_p = \frac{1}{\sigma_p v_{th} N_t} \quad (4.1)$$

onde v_{th} é a velocidade térmica dos portadores minoritários, σ_p , a seção de choque de captura para portadores minoritários (lacunas) e N_t , a densidade volumétrica de centros de recombinação-geração no semiconductor. Usando 10^7 cm/s e 10^{-15} cm^2 como aproximações para v_{th} e σ_p [34] e utilizando $\tau_p = \tau_g = 35\mu\text{s}$, o valor de N_t para a maior dose pode ser estimado em $\cong 3 \times 10^{12} \text{ cm}^{-3}$. Disso conclui-se que, mesmo após um recozimento de 1000°C/30min, uma concentração de defeitos da ordem de 10^{12} cm^{-3} ainda permanece no substrato semiconductor para o caso da dose mais alta. Este resultado, embora seja mais qualitativo que quantitativo, está em evidente contradição com o que foi afirmado anteriormente, a partir de dados da referência [33]. Esta contradição pode ser atribuída ao tamanho dos defeitos gerados pela dose de $5 \times 10^{13} \text{ cm}^{-2}$, que muito provavelmente encontra-se abaixo do limiar de resolução da microscopia eletrônica de transmissão (técnica de análise utilizada na referência [33]) ou ainda a alguma peculiaridade no comportamento do recozimento de silício implantado com $^{12}\text{C}^+$. O presente estudo não fornece elementos para esclarecer esta dúvida.

O ajuste da tensão de limiar em transistores MOS de enriquecimento com canal N é realizado através de uma implantação de boro através do óxido de porta. Para espessuras de óxido da ordem de 1000Å, as doses habitualmente utilizadas vão de 10^{11} a $\cong 5 \times 10^{12} \text{ cm}^{-2}$. O recozimento é feito a uma temperatura de 900-1000°C, por 20-30min. A partir dos resultados deste trabalho, podemos concluir que os defeitos resultantes da implantação para ajuste da tensão de limiar em transistores MOS com ions de boro poderão ser completamente eliminados por um recozimento de 1000°C/30min.

A técnica de "gettering" por implantação iônica baseia-se na possibilidade de produzir regiões amorfas ou com alta concentração de defeitos relativamente próximas das regiões ativas dos dispositivos semicondutores[44]. Os defeitos, como discordâncias, microrachaduras ou aglomerados de defeitos pontuais, agem como sorvedouros de impurezas, especialmente metálicas, produzindo uma região superficial do cristal quase perfeita. Esta técnica é empregada principalmente quando se deseja obter altos tempos de geração de portadores minoritários.

Conforme mencionado na subsecção 4.2.2.1, a amostra C4 destinou-se a verificar o efeito de captura ("gettering") de impurezas por meio da implantação de carbono em silício. O uso da implantação de carbono como técnica de "gettering" já foi estudado anteriormente [40,41], tendo sido constatado um pronunciado efeito para implantações de alta energia (2,4MeV, 10MeV), com doses na faixa de 10^{16} cm^{-2} . O carbono realiza a captura de impurezas através de defeitos pontuais ou de pequenos aglomerados, não sendo observada a formação de defeitos estendidos para as implantações mencionadas.

O carbono foi implantado em duas regiões da amostra : numa delas através do óxido (até uma profundidade de $\cong 8000 \text{ \AA}$) e na outra a implantação foi feita nas costas da amostra (profundidade $\cong 2700 \text{ \AA}$). A dose, em ambos os casos, foi de 10^{16} cm^{-2} (suficiente para amorfizar o semiconductor). Os resultados obtidos nestas regiões serão comparados com os obtidos na região em que foi implantado argônio, cujo efeito de "gettering" já foi bem estudado.

Os resultados da região 1 de C4 indicam que a implantação de carbono através do óxido não foi eficaz na melhoria do tempo de geração. Provavelmente, a presença de defeitos residuais nas proximidades da região de depleção ($x_d \cong 3000 \text{ \AA}$) conduziu à degradação de τ_g . Na região 2 de C4, houve uma clara recuperação do tempo de geração em relação à região não-implantada*. Além disso, os valores de tempo de geração medidos nesta região apresentaram uma excelente uniformidade. Aparentemente, a eficiência da implantação de carbono para a captura de impurezas não é tão elevada quanto a de argônio. Entretanto, ficou demonstrado que, para a energia e dose empregadas, a implantação de carbono pode realmente ser usada como técnica de "gettering" em silício.

* esta região possui alguma contaminação, em vista do baixo valor do tempo de geração e do valor relativamente elevado de S.

Capítulo 5

Conclusões

Os objetivos propostos para este trabalho foram : (a) o estabelecimento de um sistema para caracterização elétrica de capacitores MOS, (b) a investigação de um processo de fabricação MOS e (c) o estudo dos efeitos da implantação de carbono sobre a estrutura MOS. Estes objetivos são "seqüenciais", isto é, o terceiro objetivo não pode ser alcançado sem que o segundo esteja satisfeito, o que por sua vez não será atingido sem o cumprimento do primeiro objetivo. Desta forma, o estabelecimento de condições que permitam a caracterização elétrica de capacitores MOS foi a primeira meta a ser realizada. Isto implicou a montagem de uma infra-estrutura composta pelos seguintes equipamentos : medidor de capacitância em alta frequência (projetado e construído no decorrer deste trabalho), placa de aquisição de dados (12 bits) e uma base para fixação e contato de amostras de silício. Além disso, foi elaborado um programa em linguagem C, para cálculo de parâmetros associados à estrutura MOS. A infra-estrutura montada teve um desempenho bastante bom, tendo permitido a realização deste trabalho. O medidor de capacitância, entretanto, poderia ser aperfeiçoado, principalmente melhorando o aterramento e "filtrando" as fontes de alimentação. O segundo objetivo demandou muito esforço e, mesmo assim, foi apenas parcialmente atingido. A principal dificuldade enfrentada no início da investigação era a impossibilidade de medir a carga móvel no óxido, o que tornava problemática a interpretação dos resultados experimentais. A partir do momento em que foi possível quantificar Q_m , ficou claro que o principal obstáculo à obtenção de bons capacitores MOS era a presença de uma elevada contaminação iônica no óxido. Acredita-se que o principal responsável por tal contaminação seja a água deionizada. O método proposto para a neutralização da carga móvel no óxido foi a oxidação em ambiente contendo cloro, o que se revelou eficaz, pois Q_m foi reduzida de 10^{12} para $5 \times 10^{10} - 2 \times 10^{11} \text{ cm}^{-2}$. O terceiro objetivo englobou tanto o estudo dos efeitos da implantação de baixas doses de carbono através do óxido, quanto a possibilidade de utilizar a implantação de carbono como técnica de "gettering" em silício. No primeiro caso, concluiu-se que, até a dose de $5 \times 10^{12} \text{ cm}^{-2}$, a implantação de carbono não resulta em defeitos residuais após um recozimento de $1000^\circ\text{C}/30\text{min}$. No segundo caso, verificou-se que a implantação de carbono realmente apresenta efeito de "gettering", quando realizada no verso da amostra.

Esta pesquisa deixou bem claro que medidas elétricas em capacitores MOS constituem uma poderosa ferramenta para investigação de defeitos gerados por implantações de baixas doses. Mesmo para uma dose tão baixa quanto $5 \times 10^{13} \text{ cm}^{-2}$, foi possível detectar a presença de defeitos residuais após o recozimento, o que provavelmente não ocorreria utilizando uma técnica de análise mais sofisticada, como TEM [33].

O presente trabalho, entretanto, apresenta questões que permanecem abertas, podendo constituir-se em objeto de futuras investigações, tais como :

- 1 – a completa eliminação (imobilização/neutralização) da carga móvel no óxido
- 2 – as condições ótimas para "gettering" de impurezas por implantação de carbono
- 3 – a otimização da etapa de recozimento para implantações de baixas doses.

Apêndice A

Construção de um filtro de umidade para gases

O filtro de umidade foi construído usando-se um material denominado "Molecular-Sieve" (peneira molecular 4Å, Art. 5708), fabricado pela empresa MERCK. Este produto está disponível sob a forma de pérolas de aproximadamente 2mm de diâmetro.

A peneira molecular deve ser passivamente ativada para capturar umidade. Esta etapa é realizada aquecendo-se o material durante diversas horas sob vácuo. O arranjo experimental utilizado está ilustrado na figura A.1. O material foi aquecido durante 14h00 (não-continuas) a uma temperatura de aproximadamente 170°C. Durante os intervalos de repouso a temperatura ambiente, o material permanecia em atmosfera inerte (Argônio a pressão atmosférica).

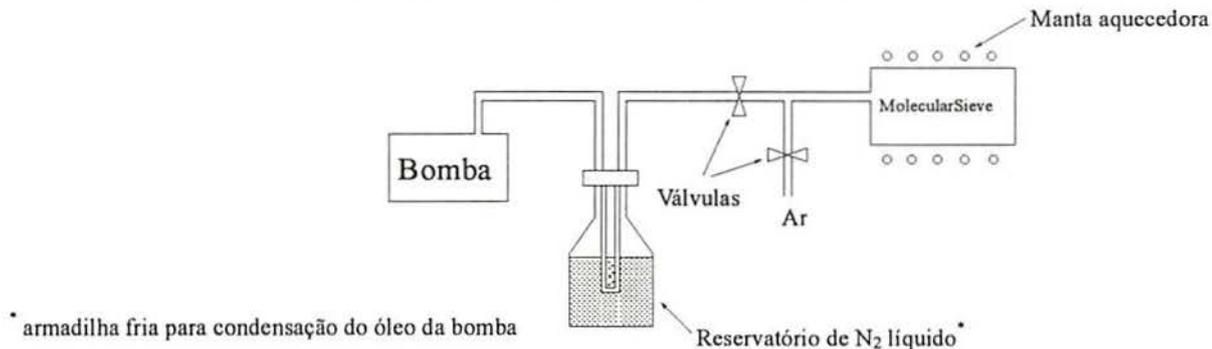


Figura A.1 - Ativação da peneira molecular

Após a ativação, a peneira molecular preencheu o filtro mostrado na figura A.2.

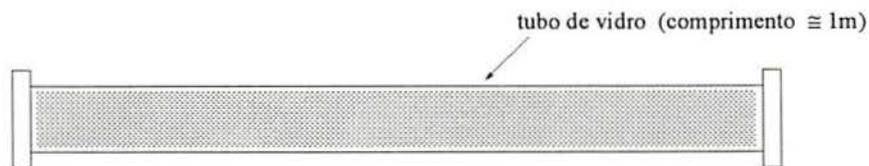


Figura A.2 - Filtro construído

Apêndice B

Programa CV.EXE

O arquivo executável CV.EXE é gerado pela compilação de 8 programas-fonte escritos em linguagem C. Neste apêndice, são apresentados dois destes programas :

- **cv_calc.c**
- **informa.c**

O programa **cv_calc.c** calcula curvas teóricas de alta e baixa frequência, ao passo que **informa.c** determina os seguintes parâmetros de estruturas MOS :

- Carga fixa de interface (Q_f)
- Tensão de faixa plana (V_{FB})
- Dopagem do substrato
- D_{it} (métodos de Terman e Quase-estático)
- τ_g (método de Zerbst)

```

/*****/
/* Nome do programa : cv_calc.c */
/* Projeto : cv.prj */
/*****/

/*****
O objetivo deste programa e' calcular a curva C-V ideal de capacitores MOS
supondo uma dopagem constante do substrato. As formulas usadas no programa
podem ser encontradas no livro :
    MOS (Metal Oxide Semiconductor) - Physics and Technology
    Autores : E H Nicollian & J R Brews
Algumas observacoes fazem-se necessarias :
    -> As formulas mencionadas acima foram usadas para calcular
        a curva de baixa frequencia e parte da curva de alta fre-
        quencia(ate inicio da inversao). Para calculo da parte fi-
        nal da curva de alta frequencia, supos-se que a variacao de
        capacitancia e' devida apenas a uma pequena variacao da
        carga da regio de deplecao e a formula para calculo da ca-
        pacitancia foi derivada da definicao de capacitancia :
            C = dQ/dV.
    -> A variavel "baixa_freq" indica o tipo de curva desejado:
        baixa_freq = 0 => Alta frequencia
        baixa_freq = 1 => Baixa frequencia
    Contudo, ao calcular a curva de alta frequencia, usam-se
    as mesmas formulas da curva de baixa frequencia ate que o
    potencial de superficie seja igual ao potencial de "bulk".
    Para indicar quando e' o momento de trocar as formulas usa-
    das, usamos as variaveis "set_aviso" e "aviso". Atraves da
    variavel "set_aviso", verifica-se se o valor do potencial
    de superficie ja atingiu o valor do potencial de "bulk".
    Quando isto ocorrer, a variavel "aviso" e' carregada com o
    valor "1" e a partir dai sao utilizadas as formulas para
    alta frequencia (CONFIRA NO PROGRAMA !!!!).
*****/
/*****
Eventualmente, os valores de capacitancia de semiconductor tornam-se nega-
tivos, embora em modulo sejam coerentes com os demais valores calculados. A
estrategia adotada neste programa tem sido usar o modulo de Cs para calculo
da capacitancia total.
*****/

#include "..\fontes\def_cv.h"

int sinal(); /* retorna sinal de um numero qualquer */
double Cs(); /* calcula capacitancia de um semiconductor */
double vs(); /* vs = Us - Ub */
double f(); /* funcao auxiliar (Newton-Raphson) */
double flinha(); /* funcao auxiliar (newton_Raphson) */
double aux_A();
double aux_B();
double aux_C();

void cv_calc(void)
{
extern float vgmax, vgmin, huge *resultado, huge *pot_de_sup, huge *Csemi;
extern double passo, Cox, Cfbs, ub, vs_var, vs_var_ant, Vg, Cs_var;
extern double calc, estimativa, xox, Nx;
extern int n_pontos, referencia, baixa_freq;
extern char tipo, c, certeza, dop_tipo;

int i, b, aviso; /* aviso = 1 -> formula de alta frequencia */
double set_aviso;
double raiz_1, raiz_2; /* raiz_1 e raiz_2 sao usadas na formula da */
/* curva de alta frequencia */

/*****Calculos iniciais*****/
Cox = eps_ox/xox; /* capacitancia do oxido */
Cfbs = ((q*(sqrt(eps_Si*Nx)))/sqrt(k2*T)); /* Cfbs */

```

```

ub = log(Nx/ni);                                     /* potencial de "bulk" */

/*****Alocação de memória para armazenar curva*****/
/* A alocação de memória para os ponteiros *resultado, *Csemi e      */
/* *pot_de_sup foi realizada no programa jan_486.c. O número máximo de */
/* pontos para a curva teórica é de 1500.                               */
/*****/

/*****Calculo da curva C-V ideal*****/

textbackground(BLACK);
textcolor(WHITE);

desenha_moldura(55, 1, 76, 3);
window(55, 1, 76, 3);
gotoxy(2, 2);
cprintf("calculando...");
apaga_cursor(32);

set_aviso = 1;
aviso = 0;      /* em principio, curva de baixa frequencia */
for(i = 0; i <= n_pontos; i++)
{
    switch(dop_tipo)
    {
        case 'P' :   Vg = vgmin + i*passo;
                     break;
        case 'N' :   Vg = vgmax - i*passo;
                     break;
    }
    if (i != 0)
        estimativa = vs_var_ant;
    else
        estimativa = 1;
    vs_var = vs(Vg, Cox, Nx, estimativa, tipo);

    if(baixa_freq == 1 || aviso == 0)
        Cs_var = Cs(Nx, Cfs, vs_var, tipo); /* curva de baixa freq. */
    else
    {
        if(baixa_freq == 0 && aviso == 1)
        {
            switch(dop_tipo)
            {
                case 'P' :   raiz_1 = q*sqrt(Nx*eps_Si);
                             raiz_2 = sqrt(fabs(2*k2*T*(vs_var - 1)));
                             Cs_var = raiz_1/raiz_2;
                             break;
                case 'N' :   raiz_1 = q*sqrt(Nx*eps_Si);
                             raiz_2 = sqrt(fabs(2*k2*T*(-1)*(vs_var + 1)));
                             Cs_var = raiz_1/raiz_2;
                             break;
            }
        }
    }
    switch(dop_tipo)
    {
        case 'P' :   resultado[i] = (fabs(Cs_var))/((fabs(Cs_var)) + Cox);
                     pot_de_sup[i] = (k2*T*vs_var)/q;      /* eV */
                     Csemi[i] = Cs_var;                  /* F/cm2 */
                     break;
        case 'N' :   b = n_pontos - i;
                     resultado[b] = (fabs(Cs_var))/((fabs(Cs_var)) + Cox);
                     pot_de_sup[b] = (k2*T*vs_var)/q;
                     Csemi[b] = Cs_var;
                     break;
    }
}
switch(dop_tipo)

```

```

    {
        case 'P' : if(vs_var > ub)
                    set_avisos = 1E-06;
                    break;
        case 'N' : if(vs_var < ((-1)*ub))
                    set_avisos = 1E-06;
                    break;
    }
    if(set_avisos <= 1E-05 && baixa_freq == 0 && avisos == 0)
        avisos = 1;

    vs_var_ant = vs_var;

    gotoxy(16, 2);
    cprintf("%d", i);
}
clrscr();
window(1, 1, 80, 25);
referencia = 0;
}

/*****
Funcao sinal() - retorna o sinal de um numero qualquer
*****/

int sinal(double n)
{
    return((fabs(n))/n);
}

/*****
Funcao Cs() - calcula capacitancia do semiconductor
Variaveis de entrada : -> Na ou Nd (=Nx)
                        -> Cfbs
                        -> vs = us - ub
                        -> tipo (p ou n)
*****/

double Cs(double Nx1, double Cfbs1, double vs1, char tipo1)
{
    double aux_1, aux_2, aux_3, aux_4, aux_5, result;
    aux_1 = Cfbs1/sqrt(2);
    aux_2 = (ni/Nx1)*(ni/Nx1);
    aux_3 = sqrt(vs1 - 1 + exp((-1)*vs1) + aux_2*exp(vs1));
    aux_4 = sqrt((-1)*(vs1 + 1) + exp(vs1) + aux_2*exp((-1)*vs1));
    if (tipo1 == 'P')
        result = ((aux_1*(1-exp((-1)*vs1)+aux_2*exp(vs1)))/aux_3);
    else
    {
        if(tipo1 == 'N')
            result = ((aux_1*(exp(vs1)-aux_2*exp((-1)*vs1)-1))/aux_4);
    }
    return(result);
}

/*****
Funcao aux_A(x,Nx,Cox) - funcao auxiliar para avaliar f(...) e flinha()
Variaveis de entrada : -> Nx
                        -> x
                        -> Cox
*****/

double aux_A(double x, double Nx, double Cox)
{
    return((sinal((-1)*x)/Cox)*sqrt(2*eps_Si*k2*T*Nx));
}

/*****

```

```

Funcao aux_B(x, Nx) - funcao auxiliar para avaliar f(...) e flinha()
  Variaveis de entrada : -> x
                        -> Nx
*****/
double aux_B(double x, double Nx)          /* F(vs, Ub) para tipo p */
{
  return(sqrt(x - 1 + exp((-1)*x) + (ni/Nx)*(ni/Nx)*exp(x)));
}

/*****
Funcao aux_C(x, Nx) - funcao auxiliar para avaliar f() e flinha()
  Variaveis de entrada : -> x
                        -> Nx
*****/
double aux_C(double x, double Nx)          /* F(vs, Ub) para tipo n */
{
  return(sqrt((-1)*(x + 1) + exp(x) + (ni/Nx)*(ni/Nx)*exp((-1)*x)));
}

/*****
Funcao f(x, Vg, Cox, Nx, tipo) - funcao usada para calcular vs atraves
                                do metodo de Newton
  Variaveis de entrada : -> vs (estimativa inicial)
                        -> Vg
                        -> Cox
                        -> tipo (p ou n)
                        -> Nx
*****/

double f(double x, double Vg, double Cox, double Nx, char tipo3)
{
  double aux_1, res;
  aux_1 = ((k2*T)/q)*x;
  if (tipo3 == 'P')
    res = (Vg + aux_A(x, Nx, Cox)*aux_B(x, Nx) - aux_1);
  else
  {
    if (tipo3 == 'N')
      res = (Vg + aux_A(x, Nx, Cox)*aux_C(x, Nx) - aux_1);
  }
  return(res);
}

/*****
Funcao flinha(x, Nx, Cox, tipo) - derivada da funcao f(x, ...) definida
                                anteriormente
  Variaveis de entrada : -> vs (estimativa)
                        -> Cox
                        -> tipo (p ou n)
                        -> Nx
*****/

double flinha(double x, double Nx, double Cox, char tipo4)
{
  double aux_1, aux_2, aux_3, aux_4, aux_5;
  aux_1 = (k2*T)/q;
  aux_2 = 1 - exp((-1)*x) + ((ni/Nx)*(ni/Nx)*exp(x));
  aux_3 = exp(x) - 1 - ((ni/Nx)*(ni/Nx)*exp((-1)*x));
  if (tipo4 == 'P')
  {
    aux_4 = (aux_A(x, Nx, Cox)*aux_2)/(2*aux_B(x, Nx));
    return(aux_4 - aux_1);
  }
  else
  {
    aux_5 = (aux_A(x, Nx, Cox)*aux_3)/(2*aux_C(x, Nx));
    return(aux_5 - aux_1);
  }
}

```

```

}
/*****
Funcao vs(Vg, Cox, ...) - calcula vs pelo metodo de Newton
Variaveis de entrada : -> Vg
                        -> Cox
                        -> estimativa inicial
                        -> tipo (p ou n)
                        -> Nx
*****/

double vs(double Vg, double Cox, double Nx, double estimativa, char tipo2)
{
    double x1 = estimativa, x1ant, delta;
    double resultado, f_var, fl_var, div;
    unsigned long int il = 1;
    do
    {
        x1ant = x1;
        f_var = f(x1ant, Vg, Cox, Nx, tipo2);
        fl_var = flinha(x1ant, Nx, Cox, tipo2);
        div = f_var/fl_var;
        x1 = x1 - div;
        delta = x1 - x1ant;
        il++;
        if(il = 2000)
            delta = 1E-07;
    } while(fabs(delta) >= 1E-05);
    resultado = x1;
    return(resultado);
}

```

```

/*****
Nome do programa : informa.c
Projeto : cv.prj
Objetivo : extrair das curvas CxV teoricas e experimentais diversos
            parametros de interesse, tais como :
            -> Qf - carga fixa do óxido
            -> Vfb - tensão de "flat-band"
            -> Dit - distribuição dos estados de interface ao longo da banda proibida
            -> tau - tempo de vida dos portadores minoritários
                    (calculado pelo "plot" de Zerbst)
*****/

#include "..\fontes\def_cv.h"

extern char getcode(void);
extern void cv_calc(void);
extern void setcursor(int start, int stop);
extern double codigo();

void DIT();
float VFB(float Tp);
double TAU();
double Csmc(float Nq, float psn, float Ta, char tds);

void extracao(void)
{
extern char dop_tipo;
extern int n_pontos, n_ptos_exper, gdriver;
extern float vgmax, vgmin, area, huge *C_exper, huge *Vg_exper, huge *resultado;
extern float huge *pot_de_sup, huge *Dit;
extern double Nff, Cox, xox, Vfb_calc, MS;

void *menu;
char azular, tecla, imprima;
char *texto[29] = { "Qf (Carga fixa de interface)",
                  "Vfb (Tensão de banda plana )",
                  "Dit (Terman / Quase-estático)",
                  "Tempo de vida ( Zerbst ) ", };

int l, cursorl = 0;
float TK;
double Cox_qf, Qf;

textcolor(WHITE); textbackground(BLACK);
window(22, 8, 52, 13); clrscr(); window(1, 1, 80, 25);
desenha_moldura(22, 8, 52, 13); window(22, 8, 52, 13);

do {
    if(gdriver == 9 || gdriver == 4 || gdriver == 3 || gdriver == 1)
    {
        textbackground(BLUE);
        textcolor(YELLOW);
    }
    else
    {
        textbackground(BLACK);
        textcolor(WHITE);
    }
    for(l = 0; l <= 3; l++)
    {
        if(l == cursorl)
        {
            if(gdriver == 9 || gdriver == 4 || gdriver == 3 || gdriver == 1)
            {
                textbackground(MAGENTA);
                textcolor(YELLOW);
            }
            else
            {

```

```

        textbackground(WHITE);
        textcolor(BLACK);
    }
}
else
{
    if(gdriver == 9 || gdriver == 4 || gdriver == 3 || gdriver == 1)
    {
        textbackground(BLUE);
        textcolor(YELLOW);
    }
    else
    {
        textbackground(BLACK);
        textcolor(WHITE);
    }
}
gotoxy(2, 2+1);
cprintf(*(texto+1));
}
tecla = getcode();
switch(tecla) {
    case DESCE : if(cursor1 == 3) cursor1 = 0; else cursor1++;
                 break;
    case SOBE  : if(cursor1 == 0) cursor1 = 3; else cursor1--;
                 break;
    case HOME  : cursor1 = 0;
                 break;
    case BOTTOM : cursor1 = 3;
                 break;
    case ENTER : switch(cursor1) {
                    case 0 : window(22, 8, 52, 13);
                             window(23, 9, 51, 12);
                             textcolor(WHITE); textbackground(BLACK);
                             clrscr();
                             gotoxy(1, 1);
                             cprintf(" T [K] = ");
                             TK = codigo();
                             Vfb_calc = VFB(TK);
                             Cox_qf = eps_ox/(xox*q);
                             Qf = (MS - Vfb_calc)*Cox_qf;
                             gotoxy(1, 1);
                             cprintf(" Qf = %.3G cm-2", Qf);
                             gotoxy(1, 2);
                             cprintf(" N = %.3G cm-3", Nff);
                             gotoxy(1, 3);
                             cprintf(" Deseja imprimir? (ESC: sai)");
                             imprima = getcode();
                             switch(imprima) {
                                 case ENTER : biosprint(1, 1, 0);
                                             fprintf(stdprn, " Qf = %G cm-2\n", Qf);
                                             fprintf(stdprn, " Vfb = %f Vn", Vfb_calc);
                                             fprintf(stdprn, " Dopagem = %G cm-3\n", Nff);
                                             break;
                                 default  : break;
                             }
                             window(23, 9, 51, 12);
                             clrscr();
                             window(22, 8, 52, 13);
                             azular = 'S';
                             break;
                    case 1 : window(23, 9, 51, 12);
                             textcolor(WHITE); textbackground(BLACK);
                             clrscr();
                             gotoxy(1, 1);
                             cprintf(" T [K] = ");
                             TK = codigo();
                             Vfb_calc = VFB(TK);

```

```

        gotoxy(1, 1);
        cprintf("Vfb = %G   ", Vfb_calc);
        getch();
        clrscr();
        window(22, 8, 52, 13);
        azular = 'S';
        break;
    case 2 : menu = malloc(128);
            gettext(40, 11, 55, 14, menu);
            DIT();
            puttext(40, 11, 55, 14, menu);
            window(22, 8, 52, 13);
            free(menu);
            azular = 'S';
            break;
    case 3 : menu = malloc(128);
            gettext(40, 11, 55, 14, menu);
            TAU();
            puttext(40, 11, 55, 14, menu);
            window(22, 8, 52, 13);
            free(menu);
            azular = 'S';
            break;
    }
    case ESC : azular = 'S';
              break;
    }
} while(azular != 'S');

textbackground(BLACK);
textcolor(WHITE);
clrscr();
window(1, 1, 80, 25);
}

/***** VFB() *****/
- Programa para calcular a tensão de "flat-band".
  O método utilizado por este programa encontra-se explicado numa
  dissertação de mestrado escrita pelo eng. Nelson Fontella Gonçalves
  em 1978( e apresentada à Escola Politécnica da USP ).
/*****/

float VFB(float Tp)
{
    extern char tipo;
    extern int n_ptos_exper, *TC;
    extern float huge *C_exper, huge *Vg_exper, area;
    extern double xox, MS, Nff, CFB; /* MS = phi_ms */
                                    /* Nff = concentracao efetiva */

    int i;
    float Eg;
    double C_ant, C_pos, Vg_ant, Vg_pos, Csi_min, C_min;
    double WF, PHI_F_ant, PHI_F_pos; /* PHI_F = (kT/q)*ln(Nff/ni) */
    double Coxx, delta, nict;

/**** Tp = temperatura ambiente em graus Kelvin *****/
    Eg = 1.165 - (5E-7*Tp*Tp);
    nict = 7.085E15*(sqrt(Tp*Tp*Tp))*(exp((-1.0*Eg)/(2*k1*Tp)));

    Coxx = (eps_ox*area)/xox; /* Coxx = capacitancia do SiO2 */
    C_min = 1; /* C_min = menor capacitancia medida */
    for(i = 0; i <= n_ptos_exper - 1; i++)
    {
        if(C_exper[i] < C_min) C_min = C_exper[i];
    }
}

```

```

Csi_min = (1/area)*((C_min * Coxx)/(Coxx - C_min));      /* min. capac. Si */
WF = eps_Si/Csi_min;
PHI_F_pos = 0.50;   /* estimativa inicial */
do {
    PHI_F_ant = PHI_F_pos;
    Nff = (4*PHI_F_ant*eps_Si)/(WF*WF*q);      /* cm-3 */
    PHI_F_pos = (k2*Tp/q)*log(Nff/nict);
} while(fabs(PHI_F_pos - PHI_F_ant) > 1E-6);

if(tipo == 'P')
    MS = (-1)*0.61 - PHI_F_pos;
else
    MS = (-1)*0.61 + PHI_F_pos;

CFB = (eps_ox*area)/(xox + (eps_ox/eps_Si)*(sqrt((k2*Tp*eps_Si)/(Nff*q*q))));
for(i = 0; i < n_ptos_exper - 1; i++)
{
    if(C_exper[i] CFB && C_exper[i+1] CFB) {
        Vg_ant = Vg_exper[i];
        Vg_pos = Vg_exper[i+1];
        C_ant = C_exper[i];
        C_pos = C_exper[i+1];
    }
}
delta = (C_ant - C_pos)/(Vg_ant - Vg_pos);
return((CFB - C_pos)/delta + Vg_pos);
}

/***** DIT() *****/
Calcula distribuição dos estados de interface ao longo da banda proibida.
Referencia : M Kuhn, Solid-State Electronics, vol. 13, pg. 873, (1970).
*****/
/*****
Obs.: Por enquanto, a constante de integração DELTA usada no método qua-
se-estático é determinada a partir da tensão de banda plana Vfb. Con-
tudo, há um erro associado a este cálculo, pois a referência para a
determinação da constante NAO é o potencial de superfície correspon-
dente a Vfb, mas o potencial referente ao valor adquirido de Vg mais
próximo de Vfb (e maior).
-> A integração necessária para o cálculo do potencial de super-
fície é realizada através da determinação de áreas de trapézios. O
sentido da integração sempre é de acumulação para inversão.
*****/

void DIT(void)
{
    extern char tipo, *nome;
    extern int n_ptos_exper, baixa_freq, n_pontos;
    extern float huge *C_exper, huge *Vg_exper, huge *Dit, huge *pot_de_sup;
    extern float huge *resultado, huge *Vg_Terman, huge *Csemi, area;
    extern double Vfb_calc, Cfs, Cox, xox, MS, Nff, CFB;

    char tq, P_ou_N;
    int i, j, jpt, k, inicio, fim, passo;
    float L, comp1, comp2, trl, TEMP; /* trl - taxa da rampa lenta */
    double delta, vs_exp, vs_teor, C_min_exp, C_min_teor, Csc, C_total;
    double tjl_a, tjl_b, tjl_c, tjl_d, Cesq, Cdir, dopagem, Vff;

    FILE *aq;

    textcolor(WHITE);      textbackground(BLACK);
    window(40, 11, 55, 14);  clrscr();
    window(1, 1, 80, 25);     desenha_moldura(40, 11, 55, 14);
    window(40, 11, 55, 14);  textbackground(LIGHTGRAY);
    textcolor(RED);          gotoxy(2, 2);
    cprintf("T");           textcolor(BLACK);

```



```

        break;
    case 'N' : P_ou_N = 'N';
               cprintf("N");
               break;
    default : break;
}
} while(P_ou_N != 'N' && P_ou_N != 'P');
gotoxy(4, 8);
setcursor(31, 32);
cprintf("Sentido da varredura :");
gotoxy(4, 9);
cprintf(" 1 - Acum. -> Inv.");
gotoxy(4, 10);
cprintf(" 2 - Inv. -> Acum.");
do {
    switch(getcode())
    {
        case '1' : k = 1;
                   inicio = 0;
                   fim = n_ptos_exper-1;
                   passo = 1;
                   gotoxy(4, 10);
                   cprintf("                ");
                   break;
        case '2' : k = 2;
                   inicio = n_ptos_exper - 1;
                   fim = 0;
                   passo = -1;
                   gotoxy(4, 9);
                   cprintf(" 2 - Inv. - Acum.");
                   gotoxy(4, 10);
                   cprintf("                ");
                   break;
        default : k = 0;
                 break;
    }
} while(k != 1 && k != 2);
tjl_a = 0; /* Integral da curva CxVg */
for(i = inicio; i <= fim-passo; i += passo)
{
    tjl_a = tjl_a + (((C_exper[i+passo]+C_exper[i])/C_exper[inicio])/2)*(Vg_exper[i+passo]-Vg_exper[i]);
    pot_de_sup[i+passo] = (Vg_exper[i+passo]-Vg_exper[inicio])-tjl_a;
    Csemi[i+passo] = Csmc(dopagem, (q/(k2*(TEMP+273)))*pot_de_sup[i+passo], TEMP+273, P_ou_N);
    Dit[i+passo] = (((C_exper[inicio]*C_exper[i+passo])/(C_exper[inicio]-C_exper[i+passo]))/(tr1*0.001*area)-
    Csemi[i+passo])/q;
}
gotoxy(4, 10);
setcursor(6, 7);
cprintf("Vfb [V] = ");
Vff = codigo();
for(i = inicio; i < fim; i += passo)
{
    if(Vg_exper[i] >= Vff && Vg_exper[i+passo] <= Vff)
    {
        delta = (-1)*pot_de_sup[i];
    }
}
gotoxy(4, 10);
cprintf("Arquivo de saída : ");
textcolor(BLACK);
scanf("%s", nome);
if((aq = fopen(nome, "wb")) == NULL)
{
    gotoxy(4, 10);
    cprintf("Impossível abrir arquivo !");
    exit(1);
}
setcursor(31, 32);
fprintf(aq, " Dit pelo Método QUASE-ESTATICO\n\r");

```



```

        if(tjl_c >= Cesq && tjl_c <= Cdir)
        {
            jpt = j;
            j = n_ptos_exper;
        }
    }
    tjl_a = (C_exper[jpt] - C_exper[jpt+1])/(Vg_exper[jpt] - Vg_exper[jpt+1]);
    Vg_Terman[k] = (resultado[k]*C_exper[0] - C_exper[jpt+1])/tjl_a + Vg_exper[jpt+1];
    gotoxy(4, 7); cprintf("Vg = %f", Vg_Terman[k]);
}
gotoxy(4, 7);
setcursor(6, 7);
cprintf("Arquivo de saida para Dit :");
gotoxy(10, 8);
scanf("%s", nome);
if((aq = fopen(nome, "wb")) == NULL)
{
    gotoxy(4, 9);
    cprintf("Impossivel abrir arquivo !");
    exit(1);
}
setcursor(31, 32);
fprintf(aq, " Dit pelo Método de TERMAN\n\r");
fprintf(aq, " ~~~~~~\n\r");
fprintf(aq, " Ordem das colunas :\n\r");
fprintf(aq, " 1 - vs [eV]\n\r");
fprintf(aq, " 2 - Dit [/eVcm2]\n\r");
fprintf(aq, " 3 - Vg [V]\n\r");
fprintf(aq, " 4 - Cs [pF]\n\r\n\r");

for(k = 0; k < n_pontos; k++)
{
    if(tipo == 'N')
        i = n_pontos - k;
    else
        i = k;
    tjl_b = (Vg_Terman[i+1] - Vg_Terman[i])/(pot_de_sup[i+1] - pot_de_sup[i]);
    tjl_d = ((C_exper[0]/area)*(tjl_b - 1) - fabs(Csemi[i]))/q; /* Dit */
    fprintf(aq, "%+6f", pot_de_sup[i]);
    putc('\t', aq);
    fprintf(aq, "%+6E", tjl_d);
    putc('\t', aq);
    fprintf(aq, "%+6f", Vg_Terman[i]);
    putc('\t', aq);
    fprintf(aq, "%+6f", Csemi[i]*area*1E12);
    putc('\n', aq); putc('\r', aq);
}
fclose(aq);
window(40, 11, 77, 21);
break;
default : break;
}
break;

case ESC : break;

}

textbackground(BLACK); clrscr();
window(1, 1, 80, 25);

}

/***** TAU() *****/
Calcula tempo de vida dos portadores minoritários através do "plot" de
ZERBST.
@ Para calcular a derivada de (1/C)^2, usarei a seguinte identidade:

```

$$-(d/dt)(1/C^2) = (2/C^3)(dC/dt)$$

@ A derivada será calculada usando um algoritmo que realiza uma interpolação linear em torno do ponto escolhido. O objetivo do algoritmo é "alisar" a curva calculada ("derivative smoothing").

@ A fim de economizar memória, os dados serão armazenados através dos seguintes ponteiros :

-> Capacitância medida - *C_exper
 -> Tempo - *Vg_exper
 -> $-(d/dt)[(C_{ox}/C)^2]$ - *resultado
 -> $(C_f/C)-1$ - *Vg_Terman

```
double TAU()
{
extern int n_ptos_exper, m;
extern float huge *C_exper, huge *Vg_exper, huge *resultado, huge *Vg_Terman, area;
/* Adquire Cxt como CxVg */
/* 2m+1 = número de pontos usados no cálculo da derivada **/
int j, k, num, nfora; /* j - índice dos pontos, k - usado no calculo da derivada */
float temp, EG; /* EG - energia da banda proibida */
double nic, Wox, Co, N, Cf, R, R1, Rmax, A, B, C, A2, B2;
double derC, incl, Yo, tau, Sef, tau_min, Sef_id;
/* nic - ni corrigido para temperatura */
/* Cf - valor final de capacitância */
/* derC - dC/dt */
/* incl - inclinação da reta calculada. Fornece Tau */
/* Yo - intersecção com eixo Y. Fornece s */

window(40, 12, 67, 20);      textbackground(LIGHTGRAY);
textcolor(WHITE);          clrscr();
window(1, 1, 80, 25);      desenha_moldura(40, 12, 67, 20);
window(40, 12, 67, 20);
gotoxy(3, 2);
cprintf("Método de ZERBST"); gotoxy(3, 3);
cprintf("~~~~~");
gotoxy(3, 4);
cprintf("Dados :");
gotoxy(3, 5);
setcursor(6, 7);
cprintf(" * T [%cC] = ", 248); temp = (codigo()+273.15;
gotoxy(3, 6);
cprintf(" * Cox [pF] = "); Co = (codigo()*1.000E-12;
gotoxy(3, 7);
cprintf(" * N [cm-3] = "); N = codigo();
gotoxy(3, 4); cprintf(" ");
gotoxy(3, 5); cprintf(" ");
gotoxy(3, 6); cprintf(" ");
gotoxy(3, 7); cprintf(" ");
gotoxy(3, 8); cprintf(" ");
gotoxy(3, 4); cprintf(" * m = ");
do {
m = codigo();
} while(m == 0);

Cf = C_exper[n_ptos_exper-1];
/* Por enquanto, Cf é o ÚLTIMO valor de capacitância medido */

/***** Cálculo de ni e Eg em função da temperatura *****/
EG = 1.165 - (5E-7*temp*temp);
nic = 7.085E15*(sqrt(temp*temp*temp))*(exp((-1.0*EG)/(2*k1*temp)));

Rmax = 0; /* Inicializa Rmax */

for(j = m; j <= n_ptos_exper-m-1; j++)
{
A = 0; B = 0; C = 0; A2 = 0;
for(k = (-1)*m; k <= m; k++)
```

```

    {
        A = A + Vg_exper[j+k];
        B = B + C_exper[j+k];
        C = C + Vg_exper[j+k]*C_exper[j+k];
        A2 = A2 + (Vg_exper[j+k]*Vg_exper[j+k]);
    }
    derC = ((2*m+1)*C - (A*B))/((2*m+1)*A2 - (A*A));
    resultado[j-m] = ((2*Co*Co)/(C_exper[j]*(C_exper[j]))*(C_exper[j]))*derC;
    Vg_Terman[j-m] = (Cf/C_exper[j]) - 1;
}

A = 0; B = 0; C = 0; A2 = 0; B2 = 0;
gotoxy(3, 5);
cprintf(" * Nfora = ");
nfora = codigo();
setcursor(31, 32);
num = n_ptos_exper-(2*m)-nfora;
for(j = 0; j < num; j++)
{
    A = A + Vg_Terman[j];
    B = B + resultado[j];
    C = C + Vg_Terman[j]*resultado[j];
    A2 = A2 + Vg_Terman[j]*Vg_Terman[j];
    B2 = B2 + resultado[j]*resultado[j];
}
incl = (num*C - (A*B))/(num*A2 - (A*A));
Yo = (B - A*incl)/num;
R1 = (A2-((A*A)/num))*(B2-((B*B)/num));
R = ((C-((A*B)/num))*(C-((A*B)/num)))/R1;
tau = (2*nic*Co)/(incl*N*Cf);
Wox = (eps_ox*area)/Co;
Sef = (Yo*Ks*Wox*N)/(2*Ko*nic);
if(R >= Rmax)
{
    Rmax = R;
    tau_min = tau;
    Sef_id = Sef;
}

gotoxy(3, 4);          cprintf("Resultados : ");
gotoxy(3, 5);          cprintf(" t = %.2f %cs", tau_min*1.00E6, 230);
gotoxy(3, 6);          cprintf(" Sef = %.3f cm/s", Sef_id);
gotoxy(3, 7);          cprintf(" r = %.3f (m = %d)", R, m);
getch();               textbackground(BLACK);
clrscr();              setcursor(31, 32);
window(1, 1, 80, 25);
return 0;
}

/***** Csmc *****/
/* Função : Csmc() */
/* Objetivo : calcula capacitância teórica de baixa freq. de semicond. */
/* Dados de entrada : */
/* -> Dopagem do substrato [cm-3] */
/* -> Potencial de superfície normalizado (vs) */
/* -> Temperatura [K] */
/* -> Tipo de dopagem (P ou N) */
/* Saída : */
/* -> Capacitância do semiconductor [F/cm2] */
/*****/

double Csmc(float Nq, float psn, float Ta, char tds)
{
    double nitt, Egff, Lde, resulta;
    double aux1, aux2;

    Egff = 1.165 - (5E-7*Ta*Ta);

```

```

nitt = 7.085E15*(sqrt(Ta*Ta*Ta))*(exp((-1.0*Egff)/(2*k1*Ta)));
Lde = sqrt((k1*Ta*eps_Si)/(q*q*Nq));

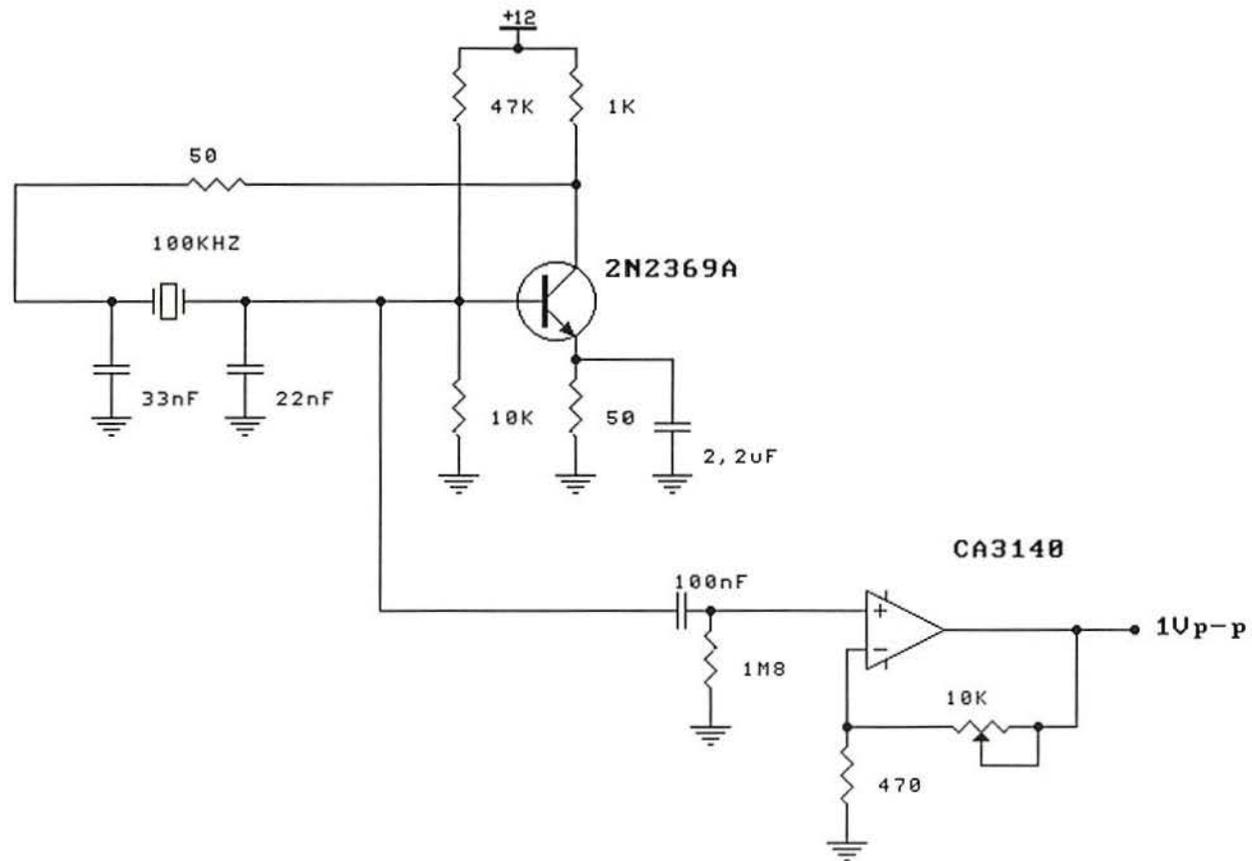
switch(tds)
{
  case 'P' : aux1 = 1-exp((-1)*psn)+((nitt/Nq)*(nitt/Nq)*exp(psn));
             aux2 = psn-1+exp((-1)*psn)+((nitt/Nq)*(nitt/Nq)*exp(psn));
             resulta = ((eps_Si/Lde)/sqrt(2))*(aux1/sqrt(aux2));
             break;
  case 'N' : aux1 = exp(psn)-((nitt/Nq)*(nitt/Nq)*exp((-1)*psn))-1;
             aux2 = ((-1)*(psn-1))+exp(psn)+((nitt/Nq)*(nitt/Nq)*exp(psn));
             resulta = ((eps_Si/Lde)/sqrt(2))*(aux1/sqrt(aux2));
             break;
}
return(resulta);
}

```

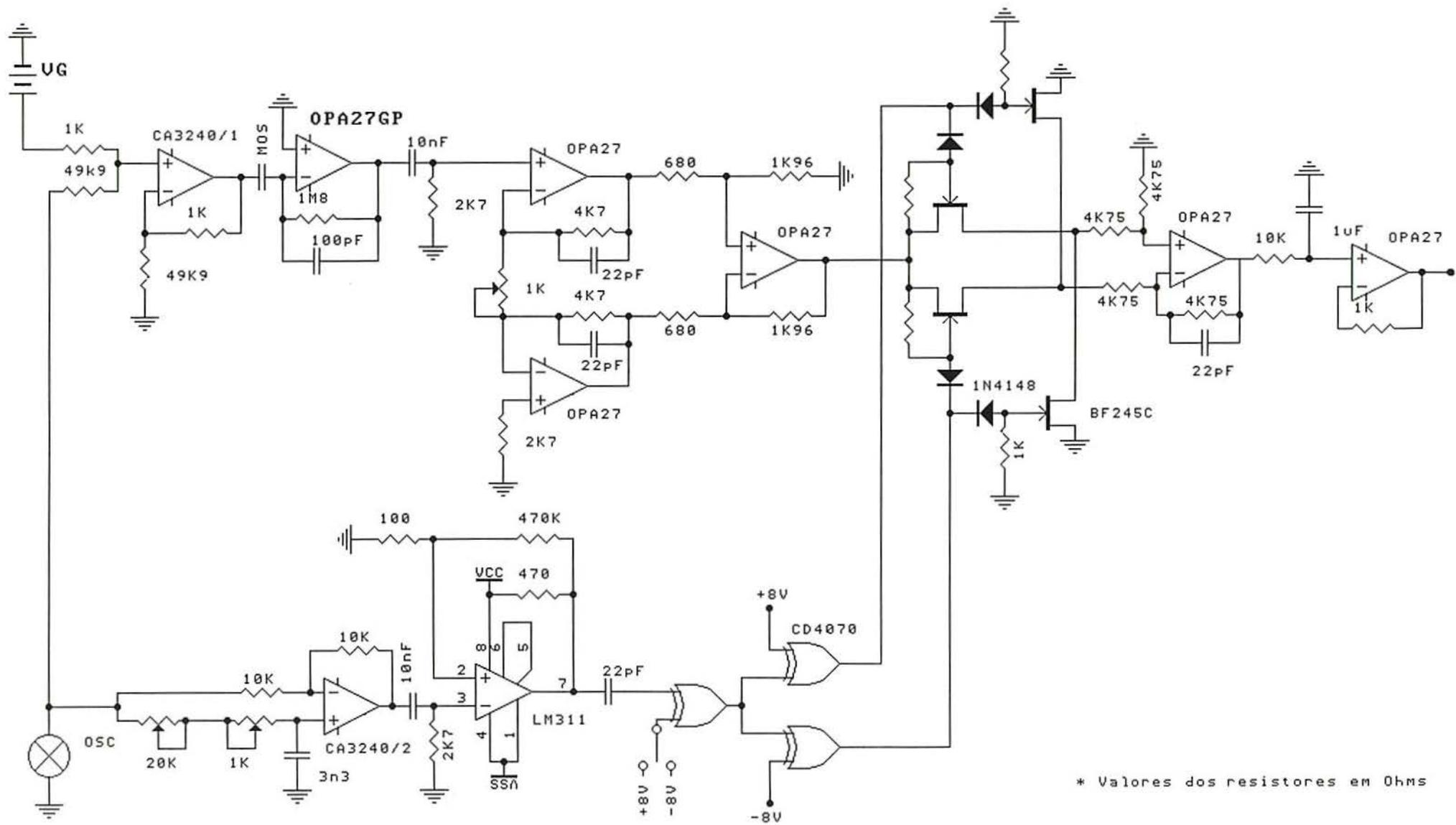
Apêndice C

Neste apêndice, estão mostrados os três principais circuitos do instrumento construído :

- Oscilador a 100kHz (referência de frequência)
- Circuito "lock-in"
- Circuito do "display"

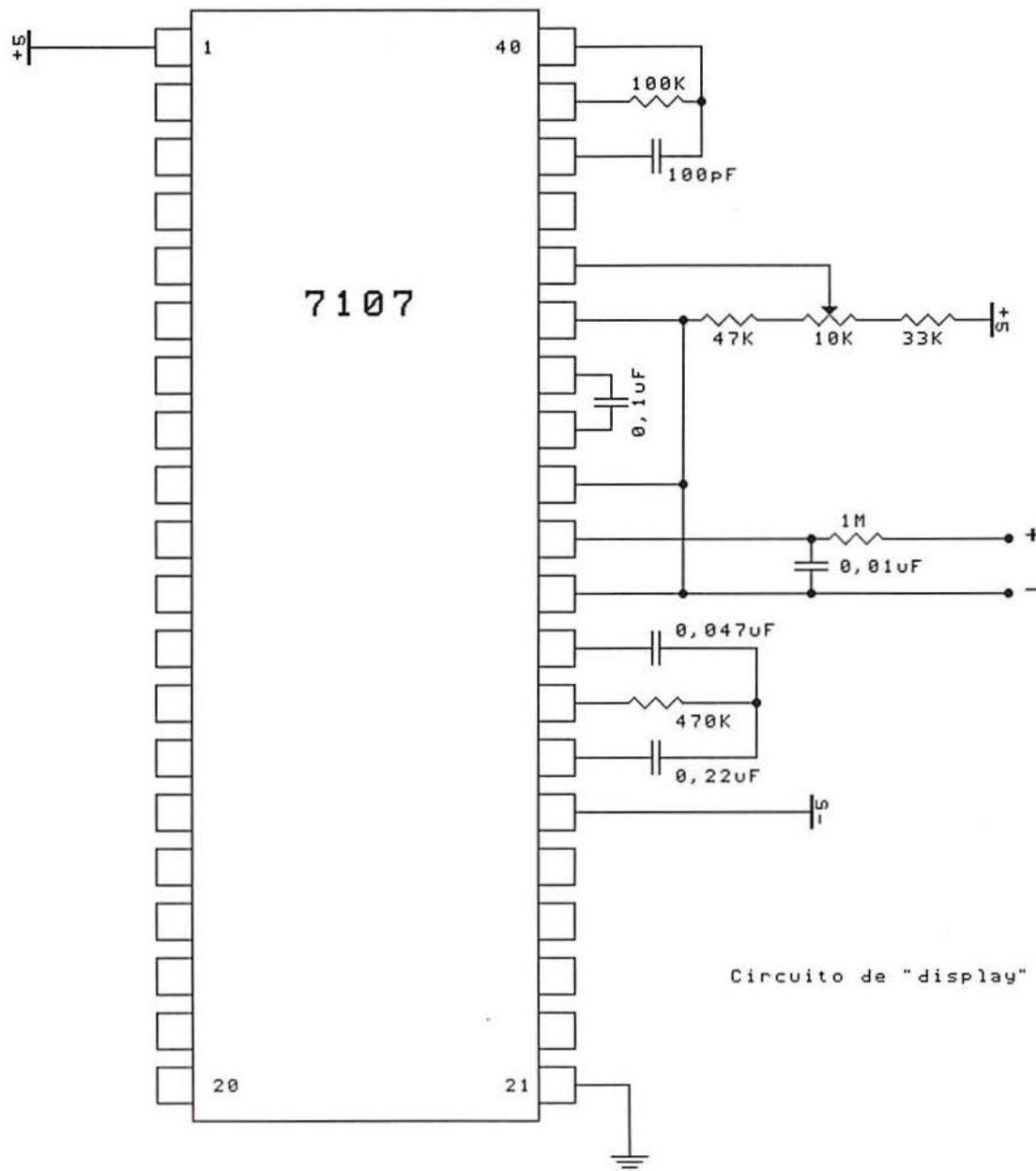


Oscilador Pierce a cristal (100kHz)



* Valores dos resistores em Ohms

VCC = +8V
 VSS = -8V
 Alimentacao CMOS = +/- 8V



Circuito de "display" do instrumento

Referências

- [1] McGuire, Gary E. (Editor), "Semiconductor Materials and Process Technology Handbook", Noyes Publications, New Jersey, USA, (1988).
- [2] Claeys, C.L., "Electrical Characterization of oxide layers for MOS structures" , Anais da 1ª Oficina Brasileira de Microeletrônica, Campinas, São Paulo, (1979).
- [3] Claeys, C. L., "Oxidation Processes and its influence on the electrical behaviour of MOS structures", Anais da 1ª Oficina Brasileira de Microeletrônica, Campinas, São Paulo, (1979).
- [4] Gonçalves, Nélon F., "Estudo teórico-experimental do sistema Si-SiO₂ utilizando capacitores MOS", Dissertação de mestrado apresentada à Escola Politécnica da USP, São Paulo, (1978).
- [5] E. H. Snow, A. S. Grove, B.E. Deal, C. T. Sah, "Ion Transport Phenomena in Insulating Films", Journal of Applied Physics, Vol. 36, 5, pg. 1664, (1965).
- [6] E. H. Nicollian & A. Goetzberger, "The Si-SiO₂ Interface - Electrical Properties as Determined by the Metal-Insulator-Silicon Conductance Technique", The Bell System Technical Journal, Vol. 46, 6, pg. 1055, (1967).
- [7] Sze, S. M., "Physics of Semiconductor Devices", Wiley, New York, (1981).
- [8] Terman, L.M., "An Investigation of Surface States at a Silicon/Silicon Oxide Interface employing Metal-Oxide-Silicon Diodes", Solid-State Electronics, Vol. 5, pg. 285, (1962).
- [9] Berglund, C. N., "Surface States at Steam-Grown Silicon-Silicon Dioxide Interfaces", IEEE Transactions on Electron Devices, Vol. ED-13, 10, pg. 701, (1966).
- [10] Kuhn, M., "A Quasi-static technique for MOS C-V and surface state measurements", Solid-State Electronics, Vol. 13, pg. 873, (1970).
- [11] J. S. Kang & D. K. Schroder, "The Pulsed MIS Capacitor", Physica Status Solidi(a), Vol. 89, pg. 13, (1985).
- [12] P. V. Gray & D. M. Brown, "Density of SiO₂-Si Interface States", Applied Physics Letters, Vol. 8, pg. 31, (1966).
- [13] E. A. Fogels & C. A. T. Salama, "Characterization of Surface States at the Si-SiO₂ Interface Using the Quasi-Static Technique", Journal of Electrochemical Society, Vol. 118, pg. 2002, (1971).
- [14] J. D. Macdougall, K. E. Manchester & P. E. Roughan, "High Value Implanted Resistors for Microcircuits", Proceedings of the IEEE, Vol. 57, pg. 1538, (1969).
- [15] R. W. Bower, H. G. Dill, K. G. Aubuchon, S. A. Thompson, IEEE Transactions on Electron Devices, Vol ED-15, pg. 757, (1968).

- [16] K. G. Aubuchon, International Conference on Properties and Use of M.I.S. Structures, Grenoble, France, (June 1969).
- [17] P. Balk & J. M. Eldridge, "Phosphosilicate Glass Stabilization of FET Devices", Proceedings of the IEEE, Vol. 57, pg. 1558, (1969).
- [18] J. R. Brews & E. H. Nicollian, "Improved MOS Capacitor Measurements Using the Q-C Method", Solid-State Electronics, Vol.27, pg. 963, (1984).
- [19] G. J. Declerck, "The role and effects of Cl in the thermal oxidation of Silicon", Summer Course 1980 : Device Impact of New Microfabrication Technologies, The Laboratory Electronics, Systems, Automation, Technology (ESAT) of the Katholieke Universiteit Leuven, Belgium.
- [20] C. L. Claeys, "Gettering : A Review", Summer Course 1980 : Device Impact of New Microfabrication Technologies, The Laboratory Electronics, Systems, Automation, Technology (ESAT) of the Katholieke Universiteit Leuven, Belgium.
- [21] Zuffo, João Antônio, "Circuitos Integrados em Média Escala e em Larga Escala", Editora Edgar Blücher Ltda, São Paulo, (1977).
- [22] J. Stephen Brugler & Paul Jespers, "Charge Pumping in MOS Devices", IEEE Transactions on Electron Devices, Vol. ED-16, pg. 297, (1969).
- [23] D. P. Blair & P. H. Sydenham, "Phase sensitive detection as a means to recover signals buried in noise", Journal of Physics E : Scientific Instruments, Vol. 8, pg. 621, (1975).
- [24] Y. J. Wong & William Ott, "Function Circuits", McGraw-Hill, pg. 42, (1976).
- [25] de Souza, J. P., "Recozimentos de defeitos introduzidos por implantação iônica em silício", Anais da IV Oficina Brasileira de Microeletrônica, Campinas, (1983).
- [26] C. L. Claeys et al., "Impact of High Temperature Processing on Bulk Defects in Czochralski Silicon", Physica 116B, pg. 148, (1983).
- [27] Tompsett, M. E., "The Quantitative Effects of Interface States on the Performance of Charge-Coupled Devices", IEEE Transactions on Electron Devices, Vol. ED-20, pg. 45, (1973).
- [28] W. Kern & D. A. Puotinen, "Cleaning Solutions based on Hydrogen Peroxide for Use in Silicon Semiconductor Technology", RCA Review, Vol. 31, pg. 187, (1970).
- [29] Engel, Paulo M., "Captura de impurezas metálicas em silício por camadas implantadas com Argônio", Dissertação de mestrado apresentada à Escola Politécnica da USP, (1981).
- [30] Grove, A. S., "Physics and Technology of Semiconductor Devices", John Wiley & Sons, (1967), pgs. 347-350.
- [31] Hofstein, S. R., "An Investigation of Instability and Charge Motion in Metal-Silicon Oxide-Silicon Structures", IEEE Transactions on Electron Devices, Vol. ED-13, pg. 222, (1966).
- [32] J.P. de Souza, H.I. Boudinov & P.F.P. Fichtner, "Enhanced damage accumulation in carbon implanted silicon", Applied Physics Letters, Vol. 64, pg. 3596, (1994).

[33] R.J. Schreutelkamp, J.S. Custer, J.R. Liefting, W. X. Lu & F.W. Saris, "Pre-amorphization damage in ion-implanted silicon", *Materials Science Reports*, Vol. 6, pg. 1, (1991).

[34] ref. [30], capítulo 5.

[35] D.K. Sadana, "Defect Structures and Electrical Behavior of Rapid Thermally Annealed Ion Implanted Silicon", 1987 Spring Meeting of the MRS Symposium on Rapid Thermal Processing of Electronic Materials, April 21-24, 1987, Anaheim, CA.

[36] J. Wang & M. Kulkarni, ECS-Meeting, Ext. Abstr. no. 532, Florida, (1980).

[37] A. Kanamori & M. Kanamori, *J. Appl. Physics*, Vol. 50, pg. 8095, (1979).

[38] J.P. de Souza & H. Boudinov, *J. Appl. Phys.*, Vol. 74, pg. 6599, (1993).

[39] J.R. Liefting, J.S. Custer, F.W. Saris, em "Phase Formation and Modification by Beam-Solid Interactions", editado por G.S. Was, L.E. Rehn & D.M. Follstaedt, vol. 235 (*Materials Research Society*, Pittsburgh, 1992), pg. 179.

[40] H. Wong, N.W. Cheung, P.K. Chu, J. Liu & J.W. Mayer, "Proximity gettering with mega-electron-volt carbon and oxygen implantations", *Appl. Phys. Lett.*, Vol. 52, pg. 1023, (1988).

[41] W. Skorupa, R. Kögler, K. Schmalz & H. Bartsch, "Proximity gettering by MeV-implantation of carbon : microstructure and carrier lifetime measurements", *Nuclear Instruments and Methods in Physics Research B55*, pg. 224, (1991).

[42] J.F. Gibbons, *Proc. IEEE*, Vol. 55, pg. 295, (1968).

[43] J.F. Ziegler, J.P. Biersack & U. Littmark, "The Stopping and Range of Ion in Solids", Vol. 1, Pergamon Press, Oxford, (1985).

[44] C.L. Claeys, "Gettering Processes for Silicon Devices", *Proc. Second Brazilian Workshop on Microelectronics*, eds. A.J. Gianola & A.P. Mammana, Campinas, pg. 83, (1981).