

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
INSTITUTO DE INFORMÁTICA
PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA

LUCAS ANDRE DE PARIS

Análise e Mitigação dos Efeitos da Eletromigração em Interconexões Metálicas de Circuitos Integrados

Dissertação apresentada como requisito parcial para a obtenção do grau de Mestre em Microeletrônica.

Orientador: Prof. Dr. Ricardo Augusto da Luz Reis

Porto Alegre
2018

CIP – CATALOGAÇÃO NA PUBLICAÇÃO

De Paris, Lucas Andre

Análise e Mitigação dos Efeitos da Eletromigração em Interconexões Metálicas de Circuitos Integrados: PGMICRO – 2018.

73 f.:il.

Orientador: Prof. Dr. Ricardo Augusto da Luz Reis

Dissertação (Mestrado) – Universidade Federal do Rio Grande do Sul. Programa de Pós-Graduação em Microeletrônica. Porto Alegre, BR – RS, 2018.

1.Eletromigração. 2.Circuitos Integrados. 3.Tempo de vida útil dos circuitos. I. Reis, Prof. Dr. Ricardo Augusto da Luz.

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Reitor: Prof. Carlos Alexandre Netto

Vice-Reitor: Prof. Rui Vicente Oppermann

Pró-Reitor de Pós-Graduação: Prof. Vladimir Pinheiro do Nascimento

Diretor do Instituto de Informática: Prof^ª. Carla Maria Dal Sasso Freitas

Coordenador do PGMICRO: Prof^ª. Fernanda Gusmão de Lima Kastensmidt

Bibliotecária-Chefe do Instituto de Informática: Beatriz Regina Bastos Haro

AGRADECIMENTOS

Agradeço a DEUS por guiar meus pensamentos e ações ao longo da jornada que me trouxe até a conclusão deste trabalho. A minha família que sempre esteve ao meu lado provendo todo apoio e suporte absolutamente necessário nesta caminhada. Ao meu orientador Ricardo pelo trabalho desempenhado.

Agradeço aos amigos pelo suporte e companheirismo.

RESUMO

A redução contínua das dimensões dos circuitos integrados e, conseqüentemente, de suas interconexões resultam em um grande desafio para a confiabilidade dos circuitos. Novos componentes de falha são esperados pelo aumento da densidade de interconexões, número de camadas e consumo de energia. Eletromigração é um processo onde, devido a interação entre elétrons e íons de metal submetidos a altas densidades de corrente provoca o transporte de partículas de um ponto a outro de uma interconexão.

Este trabalho apresenta um estudo dos efeitos da eletromigração nas interconexões de circuitos integrados digitais, visando o entendimento de seu comportamento e buscando estratégias de projeto para mitigar tais efeitos.

Foram utilizados diversos circuitos de benchmarks para os experimentos feitos neste trabalho. Estes experimentos consistem em analisar os limites de eletromigração aceitáveis para um determinado tempo de vida útil do circuito. Após esta etapa de análise, um fluxo alternativo de projeto visando a mitigação da eletromigração foi apresentado e aplicado nestas interconexões críticas.

Para aplicação do método proposto existem alguns contrapontos, intrínsecos ao projeto de circuitos digitais. Tendo em vista que a correção dos efeitos de eletromigração altera características físicas das interconexões, parâmetros como capacitância, atraso, comprimento de fio e área utilizada podem sofrer alterações e prejudicar características elétricas e de temporização dos circuitos. Além disso, o tempo necessário para aplicação do método não pode ser desconsiderado.

Como resultado deste método foi possível reduzir o impacto da eletromigração em todas as interconexões analisadas, chegando a uma redução de até 83% no fluxo de corrente elétrica, em alguns casos. Em outra perspectiva, as demais características dos circuitos tais como capacitância, área e comprimento de fio não sofreram impacto significativo após aplicação do método de correção de eletromigração. Por fim, devido a necessidade de interação com arquivos e customizações do fluxo, o tempo de execução do método envolve trabalho manual não automatizado, o que dificulta mensurar o tempo total de execução do método. Em trabalhos futuros, planeja-se a automação completa do método de mitigação dos efeitos de eletromigração.

Analysis and Mitigation of Electromigration on Metal Interconnections into Integrated Circuits

ABSTRACT

The continuous reduction of the dimensions of the integrated circuits and, consequently, their interconnections result in a great challenge for the reliability of the circuits. New fault components are expected by increasing interconnect density, number of layers, and power consumption. Electromigration is a process where, due to the interaction between electrons and metal ions subjected to high current densities causes the transport of particles from one point to another of an interconnection.

This work presents a study of the effects of electromigration in the interconnections of digital integrated circuits, aiming the understanding of its behavior and searching for design strategies to mitigate such effects.

Several benchmark circuits were used for the experiments done in this work. These experiments consist of analyzing the limits of electromigration acceptable for a certain lifetime of the circuit. After this stage of analysis, an alternative flow of project aimed at the mitigation of electromigration was presented and applied in these critical interconnections.

For application of the proposed method there are some counterpoints, intrinsic to the design of digital circuits. Considering that the correction of the effects of electromigration changes physical characteristics of the interconnections, parameters such as capacitance, delay, wire length and area used can undergo changes and impair electrical and timing characteristics of the circuits. In addition, the time required for application of the method can not be disregarded.

As a result of this method it was possible to reduce the impact of the electromigration in all analyzed interconnections, reaching a reduction of up to 83% in the electric current flow, in some cases. In another perspective, the other characteristics of the circuits such as capacitance, area, wire length did not suffer significant impact after application of the electromigration correction method. Finally, due to the need for interaction with files and customizations of the flow, the execution time of the method involves non-automated manual work, which makes it difficult to measure the total execution time of the method. In future work, it is planned to fully automate the method of mitigating the effects of electromigration.

LISTA DE FIGURAS

Figura 1 - Tipos de efeitos degenerativos observados em circuitos CMOS.....	15
Figura 2 - (a) escorregamento de átomos de metal no sentido da corrente elétrica aplicada no fio metálico, (b) provocando abertura do circuito e curto-circuito.....	16
Figura 3 - Void (circuito aberto) e hillock (curto-circuito)	16
Figura 4 - Problemas recentes: modelamento e análise de EM em fios de sinal e fios internos às células padrão	17
Figura 5 - Evolução do tempo de vida dos CIs versus o nó tecnológico	18
Figura 6 - Evolução da densidade máxima de corrente requerida pelos dispositivos (J_{max}) e a densidade máxima para o limite de tempo de vida dos CIs (JEM)	19
Figura 7 - Fluxo de projetos de circuitos integrados digitais.....	23
Figura 8 - Exemplo de microarquitetura de circuitos digitais.....	24
Figura 9 - Metodologia de verificação aplicada em projetos de circuitos digitais	25
Figura 10 - Fluxo interno de síntese lógica	27
Figura 11 - Fluxo interno de síntese física	29
Figura 12 - Modificação do leiaute interno de uma célula padrão para melhoria de seu MTTF.....	32
Figura 13 - Fluxo de identificação de fios críticos.....	34
Figura 14 - Árvore de interconexão em linha reta, com três terminais	35
Figura 15 - Diagramas de estruturas testadas no experimento. Setas indicam o fluxo de corrente	36
Figura 16 - Fluxo de roteamento dirigido ao planejamento de densidade de corrente	37
Figura 17 - Diferentes SNDRs aplicadas aos segmentos de um fio da árvore de clock	40
Figura 18 - (a) Fluxo de projeto tradicional; (b) Métodos de verificação e análise; (c) Verificação e análise específica para eletromigração	41
Figura 19 - Fio de sinal apresentando violação de densidade de corrente, dentro de uma rede de roteamento	43
Figura 20 - Fio de sinal subdividido em 3 segmentos de fio, onde serão aplicadas as SSNDRs	43
Figura 21 - Fluxo de correção de EM.....	46
Figura 22 - Comparativo de uma regra de roteamento padrão e uma SSNDR	46
Figura 23 - Comparativo de impacto no roteamento de um circuito. a) roteamento com regras padrão; b) aplicação de SSNDRs utilizando funções automáticas da ferramenta; c) aplicação de SSNDRs através de alterações manuais em arquivo DEF	48
Figura 24 - Leiaute benchmark s38417 pré otimização.....	56
Figura 25 - Leiaute benchmark s38417 pós otimização	57
Figura 26 - Demonstrativo do impacto global da aplicação do método proposto em um grupo de interconexões.....	61
Figura 27 - Corrente RMS nas interconexões antes e depois da aplicação do método de melhoria de tempo de vida	62
Figura 28 - Capacitância nas interconexões antes e depois da aplicação do método de melhoria de tempo de vida.	63
Figura 29 - Densidade de corrente nas interconexões antes e depois da aplicação do método de melhoria de tempo de vida.	64
Figura 30 - Leiaute completo do circuito netcard.....	66
Figura 31 - Detalhe do leiaute do circuito netcard apresentando as interconexões modificadas para melhoria do tempo de vida.....	67

Figura 32 - Corrente RMS nas interconexões antes e depois da aplicação do método de melhoria de tempo de vida	68
Figura 33 - Capacitância nas interconexões antes e depois da aplicação do método de melhoria de tempo de vida.	68
Figura 34 - Densidade de corrente nas interconexões antes e depois da aplicação do método de melhoria de tempo de vida.	69

LISTA DE TABELAS

Tabela 1 - Características dos benchmarks utilizados neste trabalho.	42
Tabela 2 - Melhoria da distribuição de densidade de corrente em fios críticos após a aplicação de SSNDRs	52
Tabela 3 - Comparativo entre diferentes SSNDRs e melhoria na densidade de corrente.....	58
Tabela 4 - Melhoria no tempo de vida útil de múltiplas interconexões avaliadas dentro de um mesmo circuito.	60
Tabela 5 - Melhoria dos parâmetros de tempo de vida útil para um conjunto de 10 interconexões do circuito netcard.....	65

LISTA DE ABREVIACOES E ACRONIMOS

AC	Alternate Current
AC EM	Alternated Current Electromigration
ACR	Average Current Recovery
ASIC	Application Specific Integrated Circuit
CMOS	Complementary Metal-Oxide Semiconductor
CTS	Clock Tree Synthesis
DC	Direct Current
DEF	Design Exchange Format
DFT	Design for Testability
DRC	Design Rule Check
EM	Electromigration
EMI	Electromagnetic Interference
HCI	Hot Carrier Injection
HDL	Hardware Description Language
ITRS	International Technology Roadmap for Semiconductors
LEC	Logical Equivalence Checking
LEF	Layout Exchange Format
LER	Line Edge Roughness
LIB	Library
MTTF	Mean Time to Failure
NBTI	Negative Bias Temperature Instability
NDR	Non Default Rule
PDK	Process Design Kit
RDF	Random Dopant Fluctuations
RMS	Root Mean Square
RTL	Register Transfer Level
SDC	Synopsys Design Constraint
SET	Single Event Transient
SEU	Single Event Upsets
SNDR	Smart Non Default Routing Rules
SSNDR	Special Signal Non Default Routing Rules

SUMÁRIO

1	INTRODUÇÃO	14
1.1	Eletromigração	15
1.2	Eletromigração em tecnologias avançadas	17
2	MODELAMENTO DOS EFEITOS DE ELETROMIGRAÇÃO EM FIOS DE SINAL	20
2.1	Aquecimento por efeito Joule	21
3	FLUXO DE PROJETO DE CIRCUITOS INTEGRADOS DIGITAIS.....	23
3.1	Especificação de projeto e definição de arquitetura	23
3.2	Implementação funcional.....	24
3.3	Verificação funcional	25
3.4	Síntese lógica.....	26
3.5	Síntese física.....	27
3.6	Sign-off.....	29
4	ESTADO DA ARTE	30
4.1	Mitigando os efeitos de eletromigração em diferentes estágios do fluxo de projetos de CIs	31
4.1.1	Metodologia de identificação de interconexões cruciais afetadas pela eletromigração	32
4.1.2	Modelamento analítico e caracterização dos efeitos de eletromigração	34
4.1.3	Falhas em interconexões de circuitos causada pela eletromigração	35
4.1.4	Projeto de circuitos integrados para prevenção dos efeitos de eletromigração	37
5	MÉTODO DE PROJETO PARA MITIGAÇÃO DOS EFEITOS DE ELETROMIGRAÇÃO	38
5.1	Contextualização dos efeitos de eletromigração dentro do escopo de projeto de circuitos integrados	38
5.2	Trabalhos relacionados.....	39
5.3	Aplicação do método de roteamento para mitigação dos efeitos de eletromigração	41
5.3.1	Preparação dos dados e configuração do ambiente de projeto.....	44
5.3.2	Aplicação e inserção do método proposto dentro do fluxo convencional de projeto de circuitos integrados.....	45

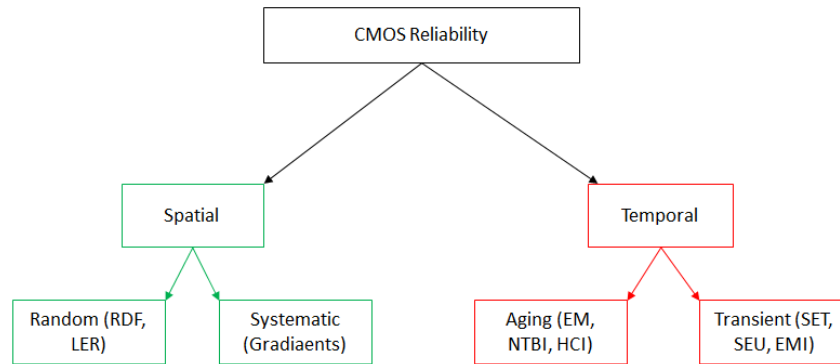
5.4	Impacto do método apresentado no tempo de vida útil dos circuitos	48
5.5	Impacto do método apresentado na área dos circuitos integrados	50
6	RESULTADOS.....	51
6.1	Impacto gerado pela aplicação do método em uma única interconexão.....	55
6.2	Impacto gerado pelo método aplicado em um grupo de interconexões	59
7	CONCLUSÕES	70
8	TRABALHOS FUTUROS.....	71
	REFERÊNCIAS.....	72

1 INTRODUÇÃO

Confiabilidade é um ponto crucial em projetos de circuitos integrados (CI), devido ao desejo de obter um produto livre de falhas operacionais ao longo de sua vida útil. No entanto, o percentual de falhas de um CI tende a aumentar a medida em que a tecnologia dos transistores diminui e sua tensão de alimentação é reduzida, levando o dispositivo a trabalhar com densidades de corrente elevadas e altas temperaturas. Como resultado, transistores e fios metálicos, utilizados para roteamento entre portas lógicas, irão sofrer uma considerável degradação comprometendo o tempo de vida do circuito (Refueling: Preventing Wire Degradation due to Electromigration, 2008) e consequentemente limitar o crescimento do desempenho do dispositivo previsto pela Lei de Moore (Moore, 1965).

Problemas de confiabilidade em circuitos CMOS podem ser categorizados em efeitos espaciais e temporais, conforme a Figura 1. Os efeitos espaciais estão bem visíveis imediatamente após o processo de fabricação e, comumente são caracterizados por defeitos aleatórios (flutuações aleatórias de dopantes (RDF), rugosidade de arestas (LER), entre outros) ou sistemáticas (por exemplo, os efeitos gradientes). Os efeitos temporais, por outro lado, são alterações que dependem das condições operacionais, tais como a tensão de operação, a temperatura, o chaveamento de transistores, a presença e a atividade de circuitos vizinhos variáveis no tempo. Efeitos temporais podem ser também efeitos de envelhecimento (por exemplo eletromigração (EM) (Posser, et al., 2017), injeção portadora quente (HCI) e instabilidade da temperatura em polarização negativa (NBTI)) e efeitos transitórios (por exemplo, evento transitório único (SET), distúrbios de evento único (SEU) e interferência eletromagnética (EMI)) (Maricau, et al., 2013). Neste trabalho, são investigados os efeitos de eletromigração, um importante efeito de envelhecimento em CIs, principalmente em tecnologias nanométricas.

Figura 1 - Tipos de efeitos degenerativos observados em circuitos CMOS



Fonte: MARICAU; GIELEN (2013), WIRTH; SILVA (2010)

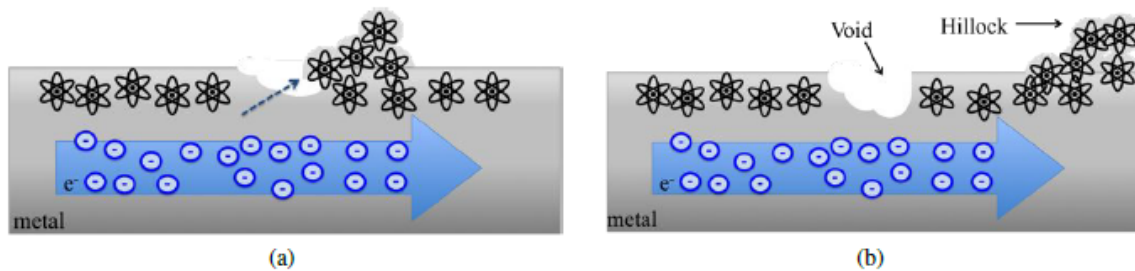
Eletromigração (EM) é um dos efeitos mais críticos no que tange a confiabilidade, (Wu, et al., 2012) provocando curto-circuito e circuito aberto em interconexões metálicas, levando a falhas das interconexões e diminuição do tempo de vida (MTTF) do CI. Particularmente em camadas de metal em cobre em nós tecnológicos de 45 nm e inferiores, a EM afeta interconexões globais (alimentação e aterramento) e locais (sinais) e é a principal fonte de falhas em fios e vias (Srinivasan, et al., 2004) em um chip, o que limita o desempenho e a densidade de corrente máxima suportada pelo metal (Geden, 2011) (Xie, et al., 2012) (Kahng, et al., 2013). A medida em que os nós tecnológicos vêm diminuindo, a relação entre a densidade de corrente suportada e a densidade de corrente necessária para os CIs vem aumentando cada vez mais. Desta forma, a preocupação com a confiabilidade devido aos efeitos de EM têm atraído mais atenção dos projetistas, fábricas, integradores e engenheiros de confiabilidade (Li, et al., 2014).

1.1 Eletromigração

Eletromigração é um efeito crescente, em fios e vias de roteamento de sinal, dentro de um chip (Lienig, 2013). Falhas de EM podem ocorrer quando uma corrente que passa através de um fio, durante um longo período de tempo e com densidade de corrente alta, provoca uma migração física de átomos no fio (Sapatnekar, 2013) (Rangarajan, et al., 2013). A temperatura e a densidade de corrente mais elevada (que aumentam a força de arrastamento) aumentam a probabilidade do deslocamento de átomos de metal (Refueling: Preventing Wire Degradation due to Electromigration, 2008). Assim, o desvio de átomos de metal, juntamente com o fluxo de elétrons, provoca degradação do metal. Esta degradação

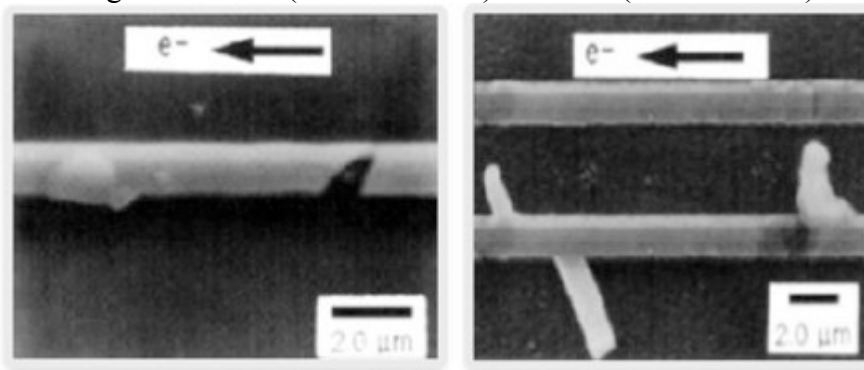
cria espaços vazios e também gera acúmulo do metal deslocado, acarretando em um curto-circuito em outro ponto do fio metálico, conforme a Figura 2 mostra. O afinamento do fio metálico aumenta a resistência deste e, finalmente, resulta em falhas de circuito aberto como o primeiro exemplo na Figura 3 apresenta.

Figura 2 - (a) escorregamento de átomos de metal no sentido da corrente elétrica aplicada no fio metálico, (b) provocando abertura do circuito e curto-circuito



Fonte: GEDEN (2011).

Figura 3 - Void (circuito aberto) e hillock (curto-circuito)

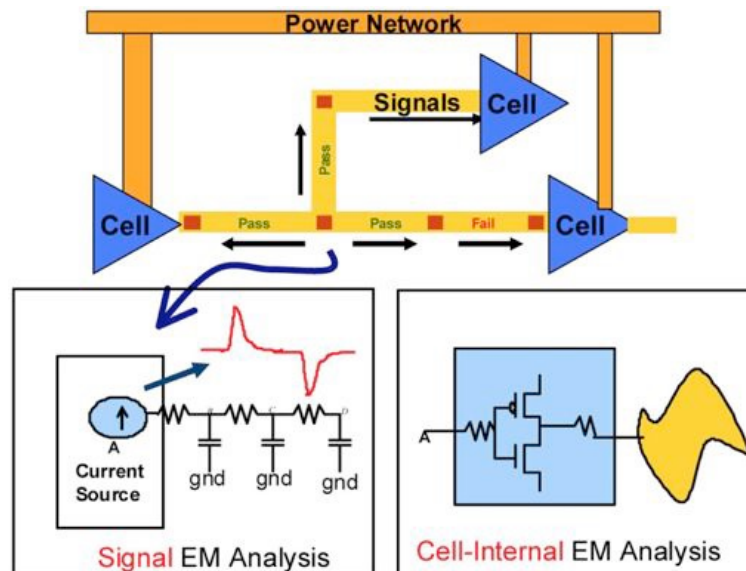


Fonte: GEDEN (2011).

Os efeitos da EM podem tornar um circuito cada vez mais lento ao longo do tempo e, no pior dos casos, pode levar à perda de uma ou mais ligações e uma falha intermitente ou permanente de todo o circuito (Xie, et al., 2012). Tradicionalmente, EM tem sido uma preocupação significativa no roteamento das redes de distribuição de energia (Xie, et al., 2012), onde a direção do fluxo de corrente é geralmente unidirecional, resultando num padrão de migração constante ao longo do tempo (Sapatnekar, 2013). Posteriormente, duas novas questões surgiram, a análise destes efeitos em um escopo de interconexões metálicas utilizadas conexão entre as células padrão de um circuito e nas interconexões internas de cada

uma das células padrão, conforme mostrado na Figura 4 mostra. Em primeiro lugar, tornou-se cada vez mais importante avaliar os efeitos de eletromigração em fios de sinal, em que a direção do fluxo de corrente é bidirecional, devido a densidades de corrente maiores e aquecimento por efeito Joule (Lee, 2012), que tem dependência exponencial da temperatura. Em segundo lugar, a análise EM tradicional tem sido centrada em camadas de metal mais elevadas. No entanto, com a diminuição das dimensões dos fios, a densidade de corrente de metal em camadas inferiores está agora na gama de efeitos visíveis de EM (Jain, et al., 2012). Essas altas densidades de corrente surgem porque os fios de interconexão locais dentro de células padrão têm dimensões menores para garantir layouts mais compactos.

Figura 4 - Problemas recentes: modelamento e análise de EM em fios de sinal e fios internos às células padrão



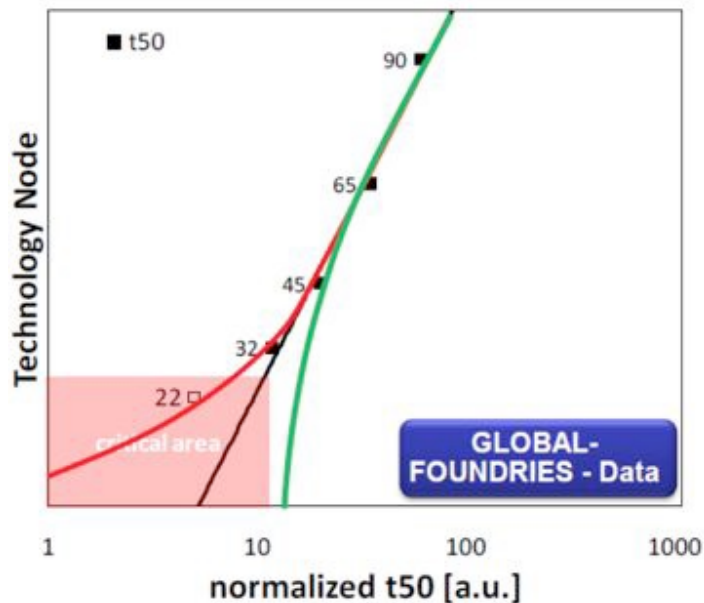
Fonte: Jens Liening (2018).

1.2 Eletromigração em tecnologias avançadas

Com a miniaturização da tecnologia, a largura dos fios seguirá diminuindo ao longo do tempo, bem como sua seção de corte transversal. Conforme apresentado em (Lienig, 2013) a área transversal das interconexões diminuiu de cerca de 1000 nm^2 em 2014 para menos de 500 nm^2 em 2018. As correntes também são reduzidas devido a tensões de alimentação mais baixas e diminuição das capacitâncias de porta. No entanto, a redução mais acentuada em área transversal (em comparação com redução de corrente) originará um

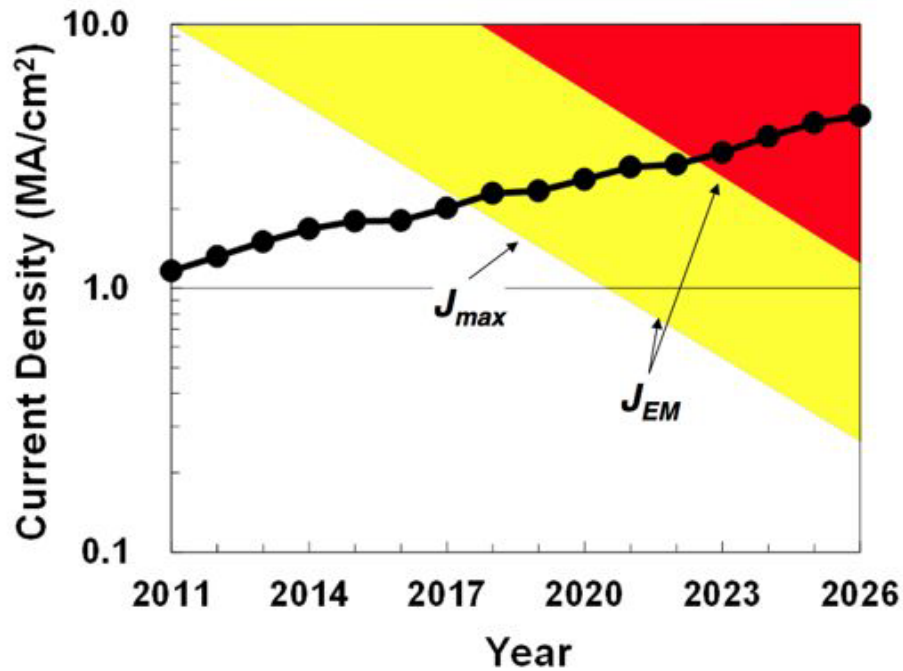
aumento das densidades de corrente, conforme a Figura 6 mostra e, conseqüentemente, diminuindo o tempo de vida pela metade a cada nova geração como a Figura 5 apresenta. De acordo com a Figura 6 do Capítulo sobre interconexões do Roteiro Internacional de Tecnologia para Semicondutores (ITRS) (ITRS, 2013), os limites de densidade máxima da corrente devem representar um barreira para o incremento da frequência a partir de 2018. Na Figura 6, J_{max} corresponde à densidade de corrente máxima vista no circuito e JEM é a densidade de corrente máxima para um dado MTTF. J_{max} aumenta com a escala, devido à redução da secção transversal de interconexão e aumento da frequência máxima de funcionamento. J_{max} é definida pela componente DC equivalente à corrente máxima esperada para um circuito digital de alto desempenho, dividida pela área da secção transversal de um fio intermediário. Ferramentas de projeto de circuitos integrados podem melhorar significativamente a robustez do leiaute gerado através da utilização de configurações otimizadas para EM, como restrições durante as etapas de síntese física, tais como roteamento. Acredita-se que esta inclusão de requisitos específicos do EM, na concepção física de um circuito, pode fornecer alívio de restrições de confiabilidade graves em futuras tecnologias (Lienig, 2013).

Figura 5 - Evolução do tempo de vida dos CIs versus o nó tecnológico



Fonte: (Courtesy of A. Aubel/ Globalfoundries) ITRS (2011).

Figura 6 - Evolução da densidade máxima de corrente requerida pelos dispositivos (J_{max}) e a densidade máxima para o limite de tempo de vida dos CIs (J_{EM})



Fonte: ITRS (2013).

O objetivo deste trabalho é aumentar o tempo de vida de um circuito integrado digital, mantendo suas especificações e atendendo às regras projeto, utilizando técnicas de roteamento detalhado das interconexões consideradas críticas afim de reduzir a densidade de corrente que flui através de tais interconexões. Esta técnica visa não somente a correção de problemas relacionados à eletromigração, como também, gerar o menor impacto possível no leiaute do circuito, uma vez que este se encontra em uma etapa final de projeto e uma grande mudança no seu roteamento pode demandar a realização de um novo roteamento total do circuito.

2 MODELAMENTO DOS EFEITOS DE ELETROMIGRAÇÃO EM FIOS DE SINAL

Eletromigração é calculada com base na equação clássica de Black (Electromigration - A brief survey and some recent results, 1969) desenvolvida pelo físico J. R. Black no final dos anos de 1960:

$$MTTF = A J^{-n} \exp\left(\frac{E_q}{k_B T_m}\right) \quad \text{Fonte: (Electromigration - A brief survey and some recent results, 1969)}$$

Onde MTTF é o tempo até a falha (tempo de vida), A é uma constante empírica que depende das propriedades do material da interconexão, J é a densidade de corrente, o expoente n é tipicamente um valor entre 1 e 2, E_q é a energia de ativação, k_B é constante de Boltzmann e T_m é a temperatura do metal. A equação de Black mostra que a densidade de corrente J e a temperatura T são fatores decisivos no processo de concepção física que afetam eletromigração. A densidade de corrente é dada por:

$$J = \frac{I_{avg}}{T_w W} \quad \text{Fonte: (Electromigration - A brief survey and some recent results, 1969)}$$

Onde W e T_w são a largura e espessura do fio e I_{avg} é a corrente média. Conforme apresentado pelo ITRS (ITRS, 2011), o tempo de vida de uma interconexão é o tempo para alcançar a espessura mínima de um fio, sem que haja interrupção do fluxo de corrente elétrica, tendo como limite o rompimento da interconexão. Como visto em (Kahng, et al., 2013), o tempo de vida de um circuito é afetado por parâmetros de projeto, como largura de fio, carga capacitiva, o tamanho do condutor e tensão de operação - uma vez que todos estes parâmetros afetam a densidade de corrente. Chaveamento, frequência e temperatura são os parâmetros de tempo de execução que também interferem no tempo de vida do CI.

Para os fios com fluxo de corrente unidirecional (por exemplo, rede de alimentação do CI), a eletromigração provoca migração unidirecional e contínua de partículas de metal. Em contraste, as correntes em fios de sinal podem fluir em ambas as direções, a medida em que as capacitâncias intrínsecas são carregadas e descarregadas.

No caso dos fios de sinal com fluxo de corrente bidirecional, o tempo médio da onda de corrente é muitas vezes próximo de zero. No entanto, mesmo nos casos em que a corrente em ambas as direções é idêntica, observou-se que os efeitos de EM são aparentes. Neste caso,

muitas vezes referido como AC EM. O movimento dos átomos sob uma direção do fluxo de corrente é parcialmente, mas não totalmente, compensado pelo “efeito de recuperação” dos átomos que movem no sentido oposto, quando a corrente é invertida. Esta recuperação parcial é capturada por uma corrente eficaz média, I_{avg} (Lee, 2012) (Jain, et al., 2012):

$$I_{avg} = I_{avg}^+ - R \cdot I_{avg}^- \quad \text{Fonte: (Lee, 2012)}$$

Onde R representa o fator de recuperação que captura o “efeito de recuperação”. I_{avg}^+ , é a maior parcela das correntes (sentido direto) e I_{avg}^- é a menor parcela das correntes (sentido oposto).

Em (Ting, et al., 1993), o modelo real de recuperação média (ACR) heurísticamente representa o grau de recuperação de danos durante impulsos de polaridade oposta através de um único parâmetro de recuperação. O coeficiente R representa o grau de recuperação dos danos e pode variar de zero a um. Com $R = 0$, qualquer dano de recuperação devido a impulsos de polaridade oposta é ignorado, e a densidade de corrente eficaz é devida exclusivamente à parcela de pulso positivo. Em $R = 1$, emparelhamento perfeito ocorre durante impulsos negativos.

Quando a subida e a descida do sinal estão em sentidos opostos, temos que:

$$I_{avg} = \frac{\max(|I_{avg}^r|, |I_{avg}^f|) - R \cdot \min(|I_{avg}^r|, |I_{avg}^f|)}{2} \quad \text{Fonte: (Ting, et al., 1993)}$$

Quando a subida e descida correntes estão no mesmo sentido, temos:

$$I_{avg} = \frac{|I_{avg}^r| + |I_{avg}^f|}{2} \quad \text{Fonte: (Ting, et al., 1993)}$$

2.1 Aquecimento por efeito Joule

O fluxo de corrente em uma interconexão resulta no aumento da temperatura do fio devido ao fenômeno conhecido como efeito Joule. Este efeito acelera o efeito de eletromigração dependente de temperatura (Jonggook, et al., 1999). Como visto na Eq. (3.1), um aumento de temperatura afeta diretamente o MTTF. A temperatura T_m em um fio é dada por:

$$T_m = T_{ref} + \Delta T_{joule} \quad \text{Fonte: (Jonggook, et al., 1999)}$$

Onde T_{ref} é a temperatura de referência do chip para análise de eletromigração e T_{joule} é a temperatura provocada por efeito Joule. Quando o chip está em repouso a variação de temperatura é dada por (Banerjee, et al., 2001):

$$\Delta T_{joule} = I_{rms}^2 R R_{\theta} \quad \text{Fonte: (Banerjee, et al., 2001)}$$

Pode-se observar que a temperatura do fio tem uma dependência quadrática inerente à corrente RMS que passa pelo fio. Onde, R é a resistividade do fio e R_{θ} é a impedância térmica do fio para o substrato, dada por:

$$R_{\theta} = \frac{t_{ins}}{K_{ins} L W_{eff}} \quad \text{Fonte: (Banerjee, et al., 2001)}$$

Onde, t_{ins} é a espessura do dielétrico e K_{ins} é a condutividade térmica para o plano do dielétrico, L é o comprimento e W_{eff} é dado por:

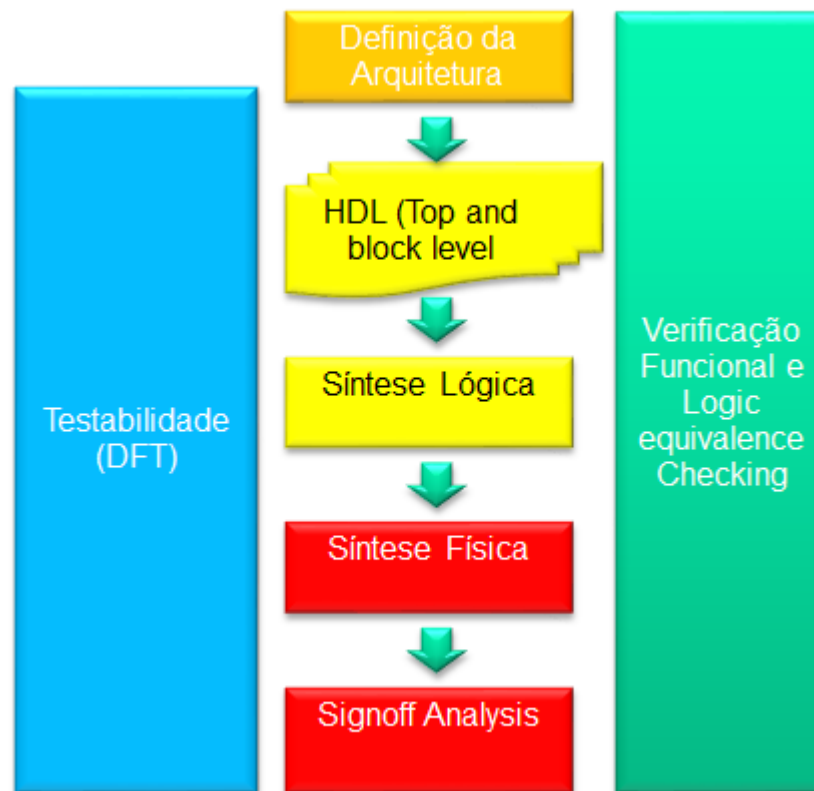
$$W_{eff} = W + 0.88 t_{ins} \quad \text{Fonte: (Banerjee, et al., 2001)}$$

Para um fio de largura W obtemos R pela extração de parasitas, usando ferramentas comerciais de projeto e usando $t_{ins} = 120\text{nm}$ (FreePDK45, 2011) e $K_{ins} = 0.07\text{W/m.K}$ (Banerjee, et al., 2001).

3 FLUXO DE PROJETO DE CIRCUITOS INTEGRADOS DIGITAIS

O fluxo de projeto de circuitos integrados digitais utilizado neste trabalho segue os padrões utilizados pela indústria de semicondutores. Este fluxo compreende a especificação do projeto, definição de arquitetura, desenvolvimento através de linguagem de descrição de hardware (HDL), verificação, síntese lógica, síntese física e sign-off. A Figura 7 mostra um diagrama do fluxo de projetos.

Figura 7 - Fluxo de projetos de circuitos integrados digitais.



Fonte: CI-Brasil (2016).

3.1 Especificação de projeto e definição de arquitetura

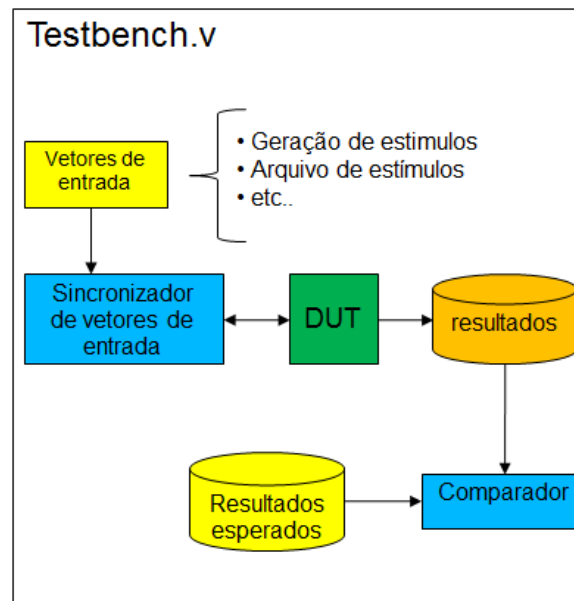
O fluxo de projeto começa com a definição escrita de suas especificações. O documento de especificação pode ser uma descrição bastante elaborada de funcionalidade, temporização, área, consumo de potência, testabilidade entre outros critérios. A especificação deve ao menos definir as características funcionais que serão implementadas no projeto.

Os sistemas integrados descritos em HDL serão interpretados pelas ferramentas de síntese e “traduzidos” em um circuito funcional, no caso de um projeto que utilize uma biblioteca de células padrão, previamente projetadas e caracterizadas.

3.3 Verificação funcional

Uma das principais metodologias de verificação funcional utilizada na indústria de semicondutores é a eRM. Esta metodologia utiliza e language, como linguagem para construção dos casos de teste. Devido à alta complexidade, ao tempo necessário para execução do fluxo completo e pelo fato de este não ser o foco deste trabalho, foi utilizada uma metodologia simplificada para verificação funcional do circuito. Esta metodologia, baseada em testbenchs possibilita uma análise funcional satisfatória, pois avalia funções elementares para garantir a usabilidade dos circuitos, além de demandar tempo e complexidade reduzidos. A Figura 9 mostra o diagrama de aplicação desta metodologia.

Figura 9 - Metodologia de verificação aplicada em projetos de circuitos digitais



Fonte: (CI-Brasil, 2016).

3.4 Síntese lógica

Em um projeto de circuitos integrados utilizando células padrão, a síntese lógica é o processo onde um circuito lógico funcional é traduzido em portas lógicas e mapeado em um determinado nó tecnológico de uma determinada fábrica, escolhida pela equipe de projeto.

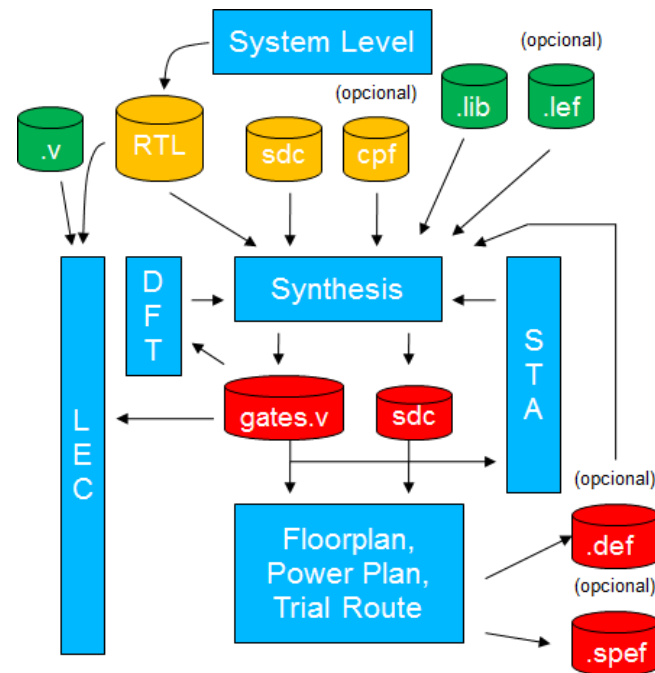
A síntese lógica depende de arquivos fornecidos pelas fábricas de circuitos integrados. Estes arquivos, ou bibliotecas, contém todas as informações físicas, caracterizações elétricas e de temporização de todo o conjunto de portas lógicas desenvolvido pela fábrica. Neste trabalho, o PDK (Process Design Kit) utilizado foi o FreePDK_45, provido pela NANGATE.

Além das definições providas pela fábrica, essa etapa demanda caracterizações específicas do projeto, como por exemplo frequência de sinal de relógio, atraso de sinal nas interfaces de entrada e capacitância vista pelas interfaces de saída do circuito. Estas definições são feitas pelo projetista e aplicadas através do arquivo SDC (Synopsys Design Constraint).

Ao final da síntese lógica, o resultado obtido será um netlist, contendo todas as portas lógicas mapeadas dentro do nó tecnológico escolhido e um arquivo SDC com seus parâmetros atualizados. A Figura 10 mostra o fluxo de síntese lógica por etapas, bem como os arquivos necessários para seu desenvolvimento.

Uma etapa posterior à de síntese lógica também foi utilizada para garantir que o netlist gerado pela ferramenta tem funcionalidade compatível com a descrita através dos arquivos de HDL. A checagem de equivalência lógica (LEC) compara a funcionalidade dos arquivos de HDL com a do netlist gerado na síntese lógica e pontua possíveis diferenças funcionais entre eles.

Figura 10 - Fluxo interno de síntese lógica



Fonte: CI-Brasil (2016).

3.5 Síntese física

A síntese física é a etapa do fluxo de projeto onde todo o leiaute, plano de alimentação, posicionamento das células padrão e roteamento do circuito são feitos. Dentro de um fluxo convencional de síntese física as seguintes etapas são executadas: planejamento, posicionamento, síntese de árvore de relógio (CTS – Clock tree synthesis), roteamento, extração de parasitas e checagem de regras de projeto (DRC – Design Rule Checking). Estas etapas do fluxo de projeto são detalhadas abaixo e apresentadas na Figura 11.

- planejamento: primeira etapa da síntese física, onde é definida a posição dos macro-blocos do circuito. As redes de alimentação e aterramento também são definidas nesta etapa;
- posicionamento: etapa onde são posicionadas as células (gates) que compõem o circuito na área definida anteriormente, com o objetivo de reduzir o comprimento dos fios e otimizar o roteamento do circuito;
- síntese de árvore de relógio: etapa de construção e balanceamento da árvore de relógio, elemento fundamental para o funcionamento de circuitos digitais síncronos;
- roteamento: realiza o roteamento de sinais entre as células, conforme a descrição das mesmas contidas no netlist circuito;

- extração de parasitas: identifica e reporta todos os componentes parasitários contidos nas interconexões dos circuitos. Via de regra, estes componentes podem ser representados na forma de resistência e capacitância. Tais elementos são indesejados, porém intrínsecos à construção dos circuitos integrados.

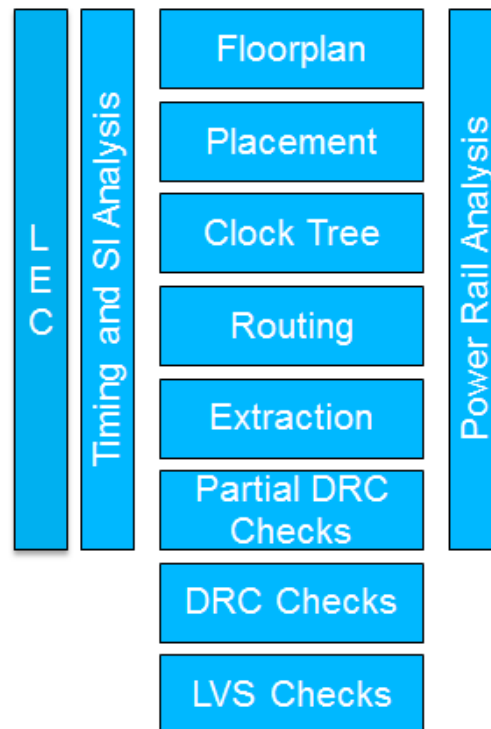
- checagem de regras de projeto: esta etapa verifica se todas as regras de fabricação dos circuitos são atendidas. Estas regras são criadas pela fábrica, afim de garantir a confecção das máscaras e a execução do processo foto litográfico.

Além das etapas descritas acima, o redimensionamento de células é utilizado em todo o fluxo de projeto para corrigir erros de temporização e para otimização. O dimensionamento de células tem como objetivo determinar o melhor tamanho para cada porta lógica do circuito, considerando a corrente necessária para o chaveamento das cargas atreladas às mesmas.

Após concluído o fluxo de projeto, as características do circuito devem ser avaliadas afim de averiguar o cumprimento das especificações de operação e desempenho do CI. Caso as especificações não sejam atingidas, é necessário corrigir os erros de projeto para que as mesmas sejam alcançadas. Uma parte importante do projeto, principalmente em tecnologias do estado da arte, é a análise de robustez através da avaliação dos efeitos de EM. A otimização do circuito, sob este ponto de vista, agrega técnicas e até mesmo etapas ao fluxo de projeto convencional. Isto para que os problemas relacionados a EM não sejam identificados somente na etapa de finalização do projeto, levando a um retrabalho maior. Neste trabalho, será explorada uma análise do efeito de EM em fios de roteamento de sinal, bem como o estudo de um fluxo de projeto voltado a correção destes efeitos, aumentando a robustez e vida útil do circuito. O capítulo 5 mostra em detalhes a proposta de fluxo a ser implementado.

Neste trabalho, todos os circuitos utilizados foram submetidos ao fluxo padrão de síntese física e seus parâmetros de funcionamento foram extraídos, em especial as violações referentes aos limites de corrente AC nos fios de sinal, objeto de estudo deste trabalho.

Figura 11 - Fluxo interno de síntese física



Fonte: CI-Brasil (2016).

3.6 Sign-off

A etapa de sign-off é a etapa onde ocorrem todas as checagens finais, necessárias para garantir o funcionamento do circuito. Temporização, alimentação, DRC, limites de corrente, LEC, dentre outras verificações são executadas garantindo que o projeto possa ser enviado para fabricação e que este funcione adequadamente após fabricado.

Após a checagem final de temporização e de violações de regras de projeto, os circuitos utilizados foram submetidos a verificações de limites de violação de eletromigração AC (AC-EM) e as interconexões que apresentaram densidade de corrente, superior à esperada, foram objeto de estudo para o desenvolvimento de uma solução para a correção destas violações, com o menor impacto possível no circuito como um todo.

4 ESTADO DA ARTE

Problemas de EM vêm sendo reconhecidos e muitos métodos para modelamento e redução de seus efeitos sendo propostos. Nesta seção serão expostos alguns trabalhos dedicados ao modelamento dos efeitos de eletromigração, bem como trabalhos com foco em soluções para problemas existentes e a utilização de estratégias de projeto para a prevenção de falhas causadas pela eletromigração.

Em projetos no estado da arte, é cada vez mais necessário considerar outros efeitos de diferentes tipos de migração, para o correto entendimento e análise do problema. Conforme visto em (Jens Liening, 2018), migrações térmicas e mecânicas não podem ser ignoradas quando analisamos a robustez das linhas metálicas dos circuitos integrados.

Tais efeitos possuem interdependência e afetam uns aos outros, tanto de forma cumulativa, quanto anulando seus efeitos. Migração térmica, ou thermomigration, refere-se ao fluxo de átomos em um condutor causado pela diferença de temperatura ao longo de toda extensão do condutor. Este efeito pode ser provocado por interferência externa ou por aquecimento devido ao efeito Joule (Jonggook, et al., 1999).

No caso da migração mecânica, ou stressmigration, refere-se à difusão atômica que tende a balancear o stress mecânico intrínseco a um determinado condutor. Há um fluxo de átomos que vai de áreas onde existem forças de compressão, direcionado para áreas do mesmo condutor, onde há forças de tensão. Essa diferença entre forças ocorre devido à própria cadeia cristalina dos átomos de metal das interconexões. Durante a formação da cadeia cristalina, alguns pontos da microestrutura ficam deficitários de átomos, criando buracos na cadeia. Estes buracos tendem a ocupar menos espaços do que um átomo, criando disparidade entre regiões de um único elemento metálico. Tal desequilíbrio, induz forças de tensão e compressão, afim de reequilibrar a cadeia cristalina do material.

Neste trabalho iremos estudar especificamente os efeitos de eletromigração. Não deixando de analisar e reportar os efeitos colaterais mais notáveis relacionados a outros tipos de migração. No entanto, migração mecânica e migração térmica não fazem parte do estudo apresentado.

4.1 Mitigando os efeitos de eletromigração em diferentes estágios do fluxo de projetos de CIs

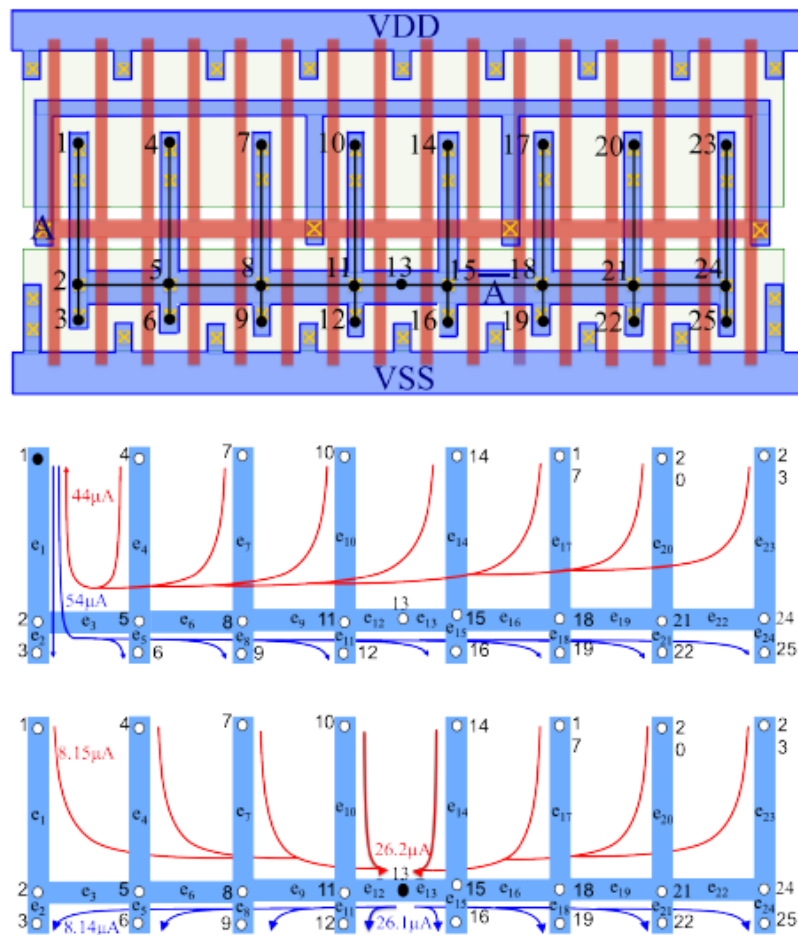
Existem duas principais metodologias utilizadas no projeto de CIs para o desenvolvimento de circuitos integrados de aplicação específica (ASIC): o projeto customizado e a utilização de células padrão (Butzen, 2012). Em uma metodologia completamente customizada, cada transistor e interconexão de um circuito são projetados individualmente. Cada fase de projeto de circuito é cuidadosamente feita para obter a melhor opção de circuito possível em termos de área, velocidade de operação e consumo de energia. Estes circuitos são alocados da maneira mais compacta possível, levando vários meses e utilizando um grande número de engenheiros para o projeto (Chen, et al., 1999), aumentando significativamente o custo do projeto final. O fluxo de síntese utilizando células padrão tem sido utilizado na indústria e na academia há um longo tempo. As células são selecionadas a partir de uma biblioteca de células previamente projetada e caracterizada. O fluxo de síntese utilizando células padrão é conhecido por ser muito confiável e previsível, uma vez que a mesma biblioteca de células pode ser utilizada em vários circuitos diferentes.

Conforme visto em (Posser, et al., 2015), o tempo de vida útil do circuito é aumentado através de modificações no leiaute das células padrão utilizadas em circuitos digitais.

Através da mudança no posicionamento do pino de saída da célula, é possível melhorar a distribuição da densidade de corrente dentro de uma célula padrão. Inicialmente as células são caracterizadas por suas correntes média e Root Mean Square (RMS) sob uma posição de referência do pino de saída. Após o projeto estar posicionado e roteado, as resistências e capacitâncias parasitas, junto com o esquemático são extraídos e analisados para o levantamento da taxa de slew, carga de saída e probabilidade de chaveamento de cada célula do circuito.

Com estas informações, é calculada a corrente RMS de cada fio interno das células, bem como o Mean Time to Failure (MTTF). Os pinos considerados críticos são todos aqueles cujo MTTF é menor. A posição destes pinos é então alterada para aquela com o melhor MTTF calculado para cada célula, conforme mostrado na Figura 12, melhorando assim o MTTF do circuito.

Figura 12 - Modificação do leiaute interno de uma célula padrão para melhoria de seu MTTF



Fonte: (Posser, et al., 2015).

4.1.1 Metodologia de identificação de interconexões cruciais afetadas pela eletromigração

Métodos tradicionais de identificação de interconexões críticas de um CI são baseados em análise da relação entre a densidade de corrente em cada camada de metal e o valor máximo permitido pela fábrica responsável pelo processo de fabricação. Quando esta relação atinge um valor maior do que 1 então o metal em avaliação é considerado crítico. Na maioria dos casos, somente os valores máximos de densidade de corrente são considerados, levando assim a uma análise balizada pelo pior caso. Desta forma, as correções feitas para o problema podem sobre-dimensionar alguns fios que não têm uma densidade de corrente tão elevada.

O trabalho apresentado por (Nunes, et al., 2016) propõe uma metodologia de onde a eletromigração ocorre de forma linear e a deterioração de alguns fios afetam o desempenho do circuito mais do que em outros fios. Esta identificação mais precisa permite o dimensionamento mais adequado dos fios que representam maior risco ao funcionamento do circuito e também permite entender como os efeitos de eletromigração afetam o sistema como um todo. Esta metodologia pode ser aplicada em ambos os métodos de projetos citados anteriormente.

Ela consiste na extração dos valores de resistência dos fios avaliados na simulação do mesmo circuito, considerando uma variação na resistência das interconexões, com base na equação abaixo:

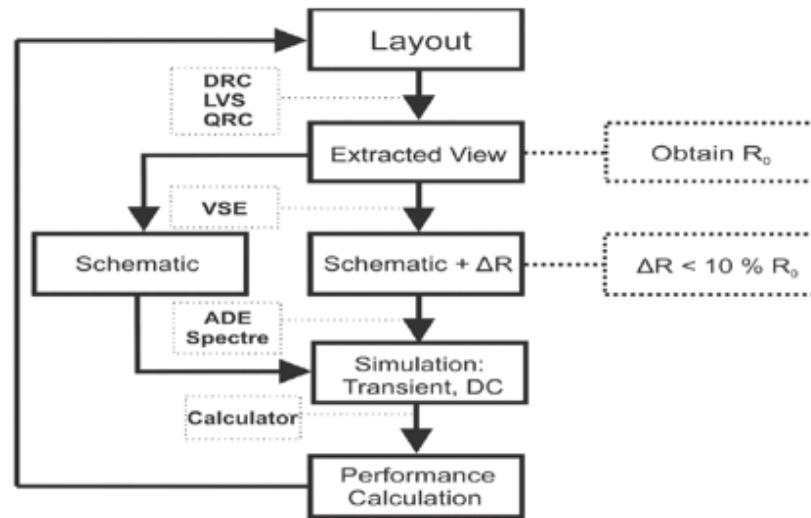
$$\Delta R = \frac{\rho_{Ta} D_{eff} |Z^*| e \rho_{Cu} I \Delta t}{A_{Ta} k T w h} \quad \text{Fonte: (Nunes, et al., 2016)}$$

onde:

Symbol	Name	Value	Unit
ρ_{Ta}	TaN Resistivity	$3.0(10)^{-6}$	$\Omega.m$
D_{eff}	Cu Effective Diffusivity	¹ $1.6(10)^{-19}$ ² $4.3(10)^{-18}$	m^2/s
$ Z^* $	Number	1	NA
e	Electron Charge	$1.6(10)^{-19}$	C
ρ_{Cu}	Cu Resistivity	$24(10)^{-9}$	$\Omega.m$
I	Current Wire	$2.3(10)^{-4}$	A
A_{Ta}	TaN Barrier Area	$7.98(10)^{-15}$	m^2
k	Boltzmann Constant	$1.38(10)^{-23}$	J/K
T	Temperature	318/353	K
w	Width	0.6	μm
h	Height	0.17	μm

Assim, o leiaute é criado e suas regras de projeto verificadas, bem como a checagem do leiaute versus o esquemático (LVS – Layout versus schematic). Em seguida, resistências e capacitâncias parasitas são extraídas para utilização na simulação do circuito. O resultado final é o cálculo dos parâmetros de desempenho (atraso, potência e frequência de operação) levando-se em conta a variação das resistências. Assim, através desta simulação, os fios críticos são identificados e seu impacto no sistema pode ser mensurado. O fluxo adotado para a identificação de fios críticos é apresentado na Figura 13.

Figura 13 - Fluxo de identificação de fios críticos



Fonte: (Nunes, et al., 2016).

4.1.2 Modelamento analítico e caracterização dos efeitos de eletromigração

Em (Chen, et al., 2016) vemos um método de modelamento analítico e a caracterização de eletromigração para árvores de interconexão de múltiplas derivações. Neste trabalho foram derivadas expressões analíticas que descrevem a evolução da tensão hidrostática em diversas árvores de interconexões: 1) árvore em linha reta com três terminais; 2) árvore em formato T com quatro terminais; e 3) árvore em formato de cruz com 5 terminais. Este método soluciona o problema da evolução da tensão em múltiplas derivações desacoplando cada segmento da árvore através de condições de borda apropriadas, considerando as interações entre diferentes derivações da árvore. Utilizando a transformada de Laplace, as soluções analíticas são obtidas para cada tipo de árvore de interconexão.

Na análise de árvore em linha reta com três terminais, a evolução da tensão induzida pela EM ainda é determinada pela equação de Korhonen (Korhonen, et al., 1993). Porém, a grande dificuldade neste caso é a solução da equação de Korhonen simultaneamente em múltiplas derivações. Uma estratégia de solução viável é dividir a árvore em segmentos singulares com dois terminais e então aplicar a equação de Korhonen para cada segmento. Nos pontos de conexão comuns entre dois segmentos o valor do stress calculado deve ser contínuo, assim como o fluxo de corrente que passa por esta junção.

Primeiramente, a interconexão de três terminais é analisada considerando-se dois segmentos com fluxo de corrente conforme mostrado na Figura 14. As densidades de corrente nos dois segmentos podem não ser as mesmas, o que será determinado pelo resto do circuito. A partir de um determinado limite de borda e uma condição inicial, pode-se utilizar a transformada de Laplace para obter a solução analítica exata para o stress nestes dois segmentos, que pode ser apresentada como uma série infinita a partir de alguma função base.

Figura 14 - Árvore de interconexão em linha reta, com três terminais



Fonte: (Chen, et al., 2016).

A metodologia apresentada neste trabalho apresentou forte compatibilidade com a análise numérica detalhada. Resultados dos experimentos executados mostram que o erro aproximado é de 4% e pode ser reduzido para menos de 0,5% em alguns casos, o que torna a análise bastante segura em uma aplicação prática.

4.1.3 Falhas em interconexões de circuitos causada pela eletromigração

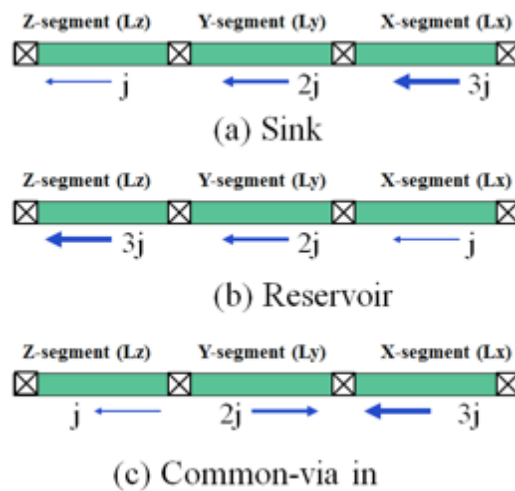
A análise de EM em interconexões extraídas a partir de um projeto real de um circuito integrado apresenta um grande desafio para prever pontos de falha, uma vez que estas interconexões podem ter muitas derivações e variação de corrente. Tipicamente, eletromigração em tais elementos multi-segmentados é avaliada a partir da quebra das estruturas em elementos singulares e isolados, e a densidade de corrente para cada segmento é estimada. No entanto, para leiautes complexos a dependência na análise de densidade de corrente, para garantir a confiabilidade, não provê uma solução completa devido ao stress mecânico associado à eletromigração. Para estruturas complexas de interconexão, a massa transportada pode se difundir livremente entre vários segmentos de fio, agregando o fator acoplamento à análise de confiabilidade por eletromigração, ou seja, o stress mecânico induzido pela EM influencia diretamente na formação dos danos à interconexão.

Em (Lin, et al., 2016), é apresentada uma combinação de estudos experimentais e modelamento físico para, de forma precisa, prever os locais de falha, bem como sua distribuição no tempo para uma condição de fluxo de corrente variável em uma interconexão

com três segmentos. A solução apresentada mostra que a densidade de corrente deve ser acrescida da análise estática de stress para garantir precisão na predição de pontos de falha e distribuição temporal das falhas.

A Figura 15 mostra um diagrama das estruturas utilizadas neste trabalho. Foram utilizadas três estruturas comuns em circuitos integrados e com características de fluxo de corrente diferente. As setas indicam a direção e intensidade do fluxo de corrente em cada um dos segmentos das estruturas.

Figura 15 - Diagramas de estruturas testadas no experimento. Setas indicam o fluxo de corrente



Fonte: (Lin, et al., 2016).

Os resultados obtidos neste trabalho estabelecem que é necessário determinar o stress mecânico entre elementos adjacentes de uma interconexão para prever com precisão a localização e a distribuição temporal das falhas causadas pela eletromigração. Os resultados apresentados pela predição através do stress mecânico foram comparados com o método convencional de análise através da corrente máxima. Esta comparação mostra que, a análise de corrente máxima superestima a distribuição temporal das falhas e, somente na estrutura sink, ela prevê o ponto de falha correto. Desta forma, o trabalho mostra que a análise adequada deve levar em consideração a tensão mecânica.

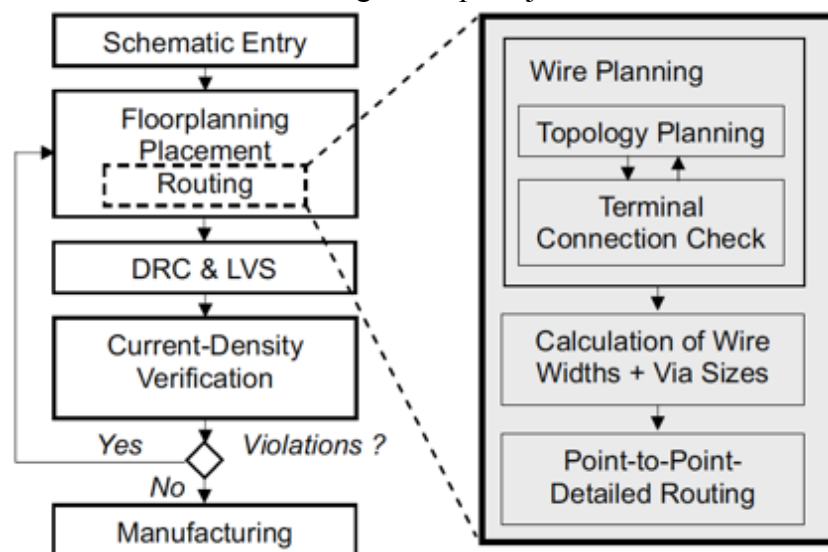
4.1.4 Projeto de circuitos integrados para prevenção dos efeitos de eletromigração

Em (Jens Lienig, 2005), os autores apresentam uma metodologia de projeto de circuitos integrados dirigida a prevenção de falhas causadas pela eletromigração, apresentando um fluxo de projeto customizado com planejamento e cálculo de restrições para o roteamento detalhado das interconexões.

A literatura apresenta diversas metodologias e estratégias de projeto para garantir o roteamento de interconexões confiáveis sob a óptica da eletromigração. Primeiramente, utilizando ferramentas de projeto, uma interconexão crítica recebe uma classificação de “corrigida” tendo a largura do fio ajustada por valores pré-determinados. Esta técnica não garante a correção para o fluxo de corrente em todos os casos e pode acarretar em sobrecongestionamento do circuito. Por exemplo, qualquer topologia de interconexão desfavorável pode acarretar em uma sobrecarga de densidade de corrente devido às dimensões pré-definidas na correção automática do roteamento.

Por conseguinte, o roteamento detalhado deve ser feito levando-se em consideração o fluxo de corrente. Portanto, o método elaborado neste trabalho apresenta um fluxo de projeto onde é efetuado o planejamento do roteamento, com base na distribuição de densidade de corrente ao longo das interconexões, conforme mostrado na Figura 16.

Figura 16 - Fluxo de roteamento dirigido ao planejamento de densidade de corrente



Fonte: (Jens Lienig, 2005).

O principal desafio de um roteamento dirigido a densidade de corrente das interconexões é a característica inerente de que as correntes dos segmentos são conhecidas somente após ser efetuado o leiaute de todo o circuito. Desta forma, um roteador dirigido a densidade de corrente deve resolver o problema de alterar as densidades de correntes em interconexões previamente roteadas a cada nova derivação subsequente do ramo principal. Em outras palavras, a sequencia de todos os elementos a ser roteados deve ser conhecida para permitir o cálculo da densidade de corrente em cada segmento, através da lei de Kirchhoff, mesmo antes do fim do roteamento do circuito.

Para endereçar este problema de forma adequada, o trabalho está concentrado na utilização de árvores de Steiner (Jens Lienig, 2005) para o roteamento dos primeiros segmentos das interconexões. Desta forma é possível calcular de forma precisa a densidade de corrente em novas ramificações derivadas do tronco principal de roteamento. Após a topologia da árvore de interconexões ser definida, a corrente obtida nos segmentos de fios é utilizada para calcular a exata largura de fio necessária para o roteamento das interconexões. Uma vez que, nesta etapa de planejamento dos fios, as correntes já foram contabilizadas, o roteamento detalhado passa a ser considerado como um simples roteamento ponto-a-ponto com larguras de fios e arranjos de vias já conhecidos.

5 MÉTODO DE PROJETO PARA MITIGAÇÃO DOS EFEITOS DE ELETROMIGRAÇÃO

5.1 Contextualização dos efeitos de eletromigração dentro do escopo de projeto de circuitos integrados

Em nós tecnológicos nanométricos os efeitos de eletromigração representam um desafio muito importante visando garantir maior tempo de vida e confiabilidade aos circuitos integrados. Problemas relacionados a eletromigração podem causar danos físicos aos circuitos integrados, reduzindo seu tempo de vida através de circuitos abertos e curto-circuito.

São conhecidas diversas estratégias para melhorar o tempo de vida dos circuitos, reduzindo os efeitos de eletromigração. Conforme visto em (Posser, et al., 2014) a mudança do posicionamento dos pinos internos das células padrão com maior densidade de corrente,

alterando seu leiaute, após o posicionamento e roteamento do circuito, apresenta bons resultados no tempo de vida total de um circuito digital complexo.

Em (Kahng, et al., 2013) uma estratégia para melhorar a performance e reduzir o consumo de potência, mantendo características como skew, slew, delay e confiabilidade em eletromigração, pela aplicação de regras não padrão de roteamento (SNDR) para árvores de relógio, ajuda a compreender os efeitos de eletromigração total em um circuito digital complexo.

Para tal, a estratégia pré-definida foi a de seguir o fluxo de projeto demonstrado no capítulo 4 e, após a finalização do projeto, analisar as interconexões críticas, ou seja, aquelas em que a densidade de corrente pode gerar uma violação de eletromigração, indicando uma possível falha em um tempo de vida menor que 10 anos. Após esta análise e identificação das interconexões críticas, o projeto deverá passar por uma etapa de correção das violações encontradas e seus parâmetros funcionais devem ser reavaliados, afim de garantir a confiabilidade do método aplicado.

5.2 Trabalhos relacionados

Conforme visto em (Kahng, et al., 2013) o objetivo de aumentar os limites de densidade de corrente nos fios de um projeto de CI, dentro da etapa de leiaute podem prover um alívio parcial nos problemas de eletromigração. O uso de ferramentas de projeto pode aumentar de maneira bastante significativa a robustez do circuito, através da consideração de restrições e configurações adequadas.

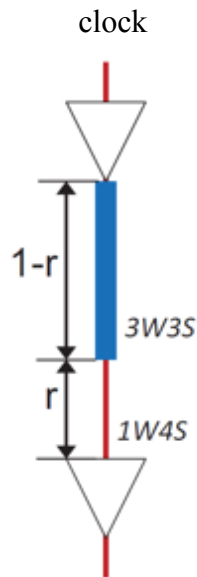
Em fluxos tradicionais de projeto, regras de roteamento não padrão (NDRs) podem ser utilizadas para melhorar o desenho da árvore de relógio, reduzindo o consumo de energia e a área, sem comprometer os limites de EM da mesma. Sendo assim, um uso diferente destas NDRs é proposto para trazer mais eficiência no projeto das árvores de relógio através da aplicação de regras de roteamento não padrão inteligentes (SNDRs) em pontos críticos específicos da árvore de relógio.

Estas SNDRs são utilizadas para redução de consumo, da árvore de relógio, sem prejuízos às restrições de tempo (slew, skew e delay) e à confiabilidade relacionada à eletromigração. Após a síntese da árvore de relógio, os fios são agrupados e as SNDRs aplicadas à cada grupo de fios. Diferentes SNDRs são aplicadas para cada segmento de um

determinado fio afim de reduzir sua capacitância e potência dinâmica, conforme é mostrado na Figura 17.

As alterações feitas, através de um arquivo DEF, são inseridas na ferramenta de projeto para extração de parasitas e análise. Se houver algum tipo de violação de regras de projeto ou prejuízo nas características do circuito, o trabalho é refeito. Caso contrário, estas alterações são adotadas no projeto.

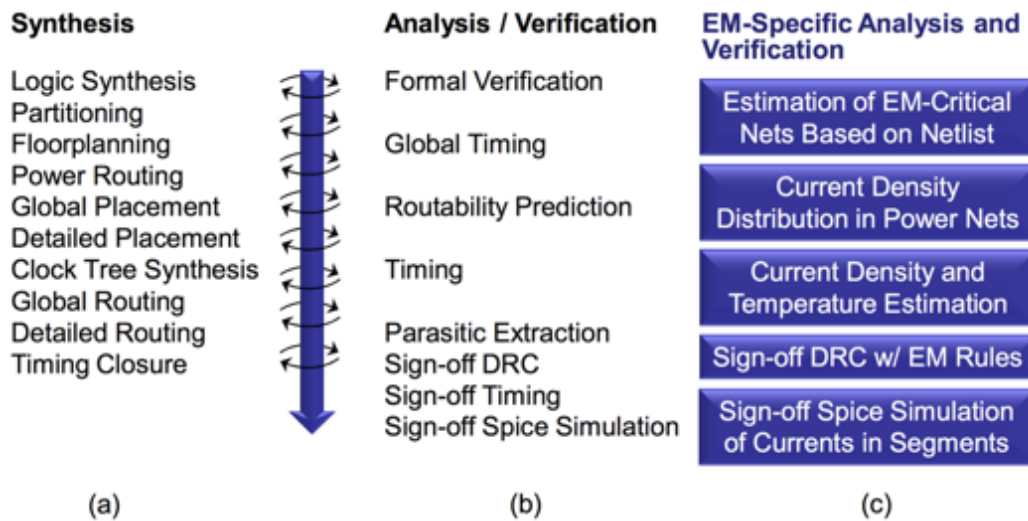
Figura 17 - Diferentes SNDRs aplicadas aos segmentos de um fio da árvore de



Fonte: (Kahng, et al., 2013).

Conforme mostrado por (Posser, et al., 2014), acredita-se que a inclusão de requerimentos específicos de eletromigração no projeto físico de CIs pode prevenir contra severos danos provocados por ela ao longo do tempo. A Figura 18(a) mostra o fluxo convencional de projeto de CIs, enquanto a Figura 18(b) apresenta a metodologia de análise e verificação para garantir o correto funcionamento e desempenho do circuito. Na Figura 18(c) vemos as atribuições específicas para análise e verificação do circuito, levando-se em consideração os efeitos de eletro migração.

Figura 18 - (a) Fluxo de projeto tradicional; (b) Métodos de verificação e análise;
(c) Verificação e análise específica para eletromigração



Fonte: (Posser, et al., 2014).

5.3 Aplicação do método de roteamento para mitigação dos efeitos de eletromigração

Neste trabalho o fluxo tradicional de síntese lógica e física foi adotado para a execução da solução proposta. Os projetos utilizados como estudo de caso são benchmarks extraídos das fontes (89, 2009) e (Cores). As características dos projetos utilizados são detalhadas na Tabela 1.

Tabela 1 - Características dos benchmarks utilizados neste trabalho.

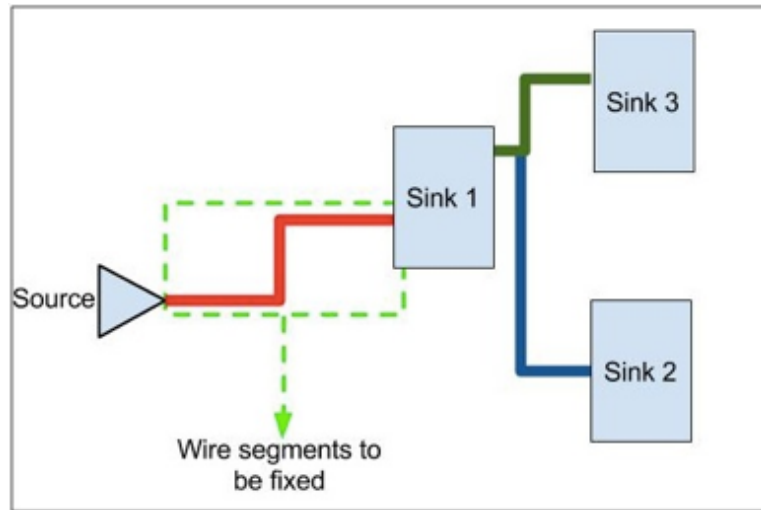
Circuito	# de células combinacionais	Período (ns)	Potência (mW)	Área do núcleo (μm^2)	Comprimento de fio total (μm)
s38417	10068	1	8,836	7959	46419,93
aes_core	27420	1	25,393	13356	206199,45
des_perf	90112	1	121,190	59206	727368,54
vga_lcd	103774	1	70,128	73450	1189099,87
wb_conmax	34562	1	14,228	18176	321431,88
b15	5129	1	11,660	7765	84270
tv80	4856	1	12,200	6426	81210
netcard	242600	1	931,195	657386	9926843
eth_mac	31131	1	121,120	80591	1328821
s38584	5038	1	20,169	10634	97414
s35932	4617	1	22,578	12213	77133
leon2	429930	1	19,16	1,09	1159634,22
leon3mp	712507	1	21,42	1,36	1227219,38
b22	44007	1	7,472	71993	373437
b14	19615	1	6,296	29325	189650
s13207	17647	1	11,483	4694	14002

Fonte: Autor.

Após a execução do fluxo completo de projeto, garantindo que não haja violações de timing e regras de projeto, uma análise da densidade do fluxo de corrente em cada um dos fios de roteamento de sinal e o cálculo do MTTF apontam os fios críticos, ou seja, aqueles cuja densidade de corrente está acima do permitido para um MTTF de 10 anos, gerando uma violação de eletromigração na ferramenta de projeto. As ferramentas utilizadas para os experimentos foram (Cadence, 2009)e (Cadence, 2015).

Após a identificação dos pontos críticos do circuito, foram criadas regras não padrão específicas para o roteamento destes fios (SSNDRs) visando aumentar o limite de densidade de corrente permitida para estes fios críticos. Um fio de cada projeto foi selecionado para exemplificar o método proposto, conforme mostrado na Figura 19.

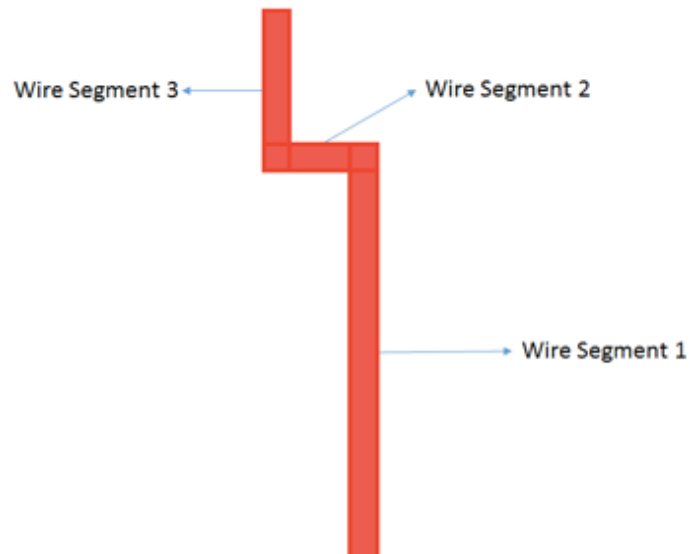
Figura 19 - Fio de sinal apresentando violação de densidade de corrente, dentro de uma rede de roteamento



Fonte: Autor.

O fio selecionado no exemplo anterior é composto por três segmentos de fios. As SSNDRs criadas foram aplicadas nestes segmentos de fio, os mais críticos, com intuito de equilibrar o fluxo de corrente em toda a rede de roteamento. A Figura 20 mostra uma visão mais detalhada do fio de sinal selecionado.

Figura 20 - Fio de sinal subdividido em 3 segmentos de fio, onde serão aplicadas as SSNDRs



Fonte: Autor.

Ao final das modificações propostas, os circuitos foram reavaliados e suas violações de temporização e de regras de projeto averiguadas novamente. Nos casos onde as

características funcionais de projeto fossem impactadas, as SSNDRs foram retrabalhadas e o ciclo se repetiu até atingir o ponto ótimo de melhorias.

5.3.1 Preparação dos dados e configuração do ambiente de projeto.

Para tornar a análise dos circuitos possível, alguns ajustes relacionados à ferramenta e à biblioteca foram necessários. Dentro do arquivo LEF, que define os parâmetros do nó tecnológico utilizado, foi necessário acrescentar o parâmetro ACCURRENTDENSITY. Este parâmetro determina o limite de densidade de corrente que deve ser observado pelas ferramentas de projeto, afim de apontar as violações de limite de corrente.

De acordo com (ITRS, 2013) os efeitos de eletromigração em fios de sinal, para o nó tecnológico escolhido, são vistos a partir de uma densidade de corrente de $1 \frac{\text{mA}}{\text{cm}^2}$ que equivale a um MTTF de 10 anos. Uma vez que, por definição de unidades de media padrão, o arquivo LEF utiliza $\frac{\text{mA}}{\mu\text{m}^2}$ como unidade de medida para definição do parâmetro ACCURRENTDENSITY, foi necessário a utilização do valor $10 \frac{\text{mA}}{\mu\text{m}^2}$.

Outra importante consideração feita neste trabalho foi com relação ao tipo de corrente analisada. Os valores de corrente gerados pela ferramenta de projeto são os de corrente RMS. A ferramenta apresenta a opção de cálculo da corrente média, além da corrente RMS. Contudo, para o cálculo da corrente média nos fios é necessário adicionar outro tipo de arquivo ao fluxo, o arquivo Technology File para extração de parasitas. Este arquivo é comumente fornecido pela fábrica responsável pelo nó tecnológico e como o PDK utilizado neste trabalho é genérico, ou seja, não está atrelado a nenhuma fábrica, não foi possível obter o Technology File. Sendo assim, todo o trabalho utiliza valores de corrente RMS, calculado pela ferramenta EDI (Cadence, 2015) através da equação abaixo:

$$I_{\text{rms}} = \text{scale} C V \sqrt{f_{\text{ref}} \left(\frac{1}{T_r} + \frac{1}{T_f} \right)}$$

Onde, I_{rms} é a corrente RMS, scale é o fator de escala para determinar a forma de onda utilizada. Foi adotado o valor 1.15, o equivalente a uma forma de onda triangular, por se assemelhar mais com a forma de onda senoidal real em um circuito. C é a capacitância extraída de cada segmento de fio, V é a tensão de alimentação do circuito, f_{ref} a frequência

de referência, definida em 50% da frequência de relógio, considerando uma atividade de chaveamento de 100%. T_r e T_f são, respectivamente, tempo de transição de subida e descida do sinal. Os parâmetros necessários para este cálculo foram obtidos através de simulação utilizando as ferramentas de projeto.

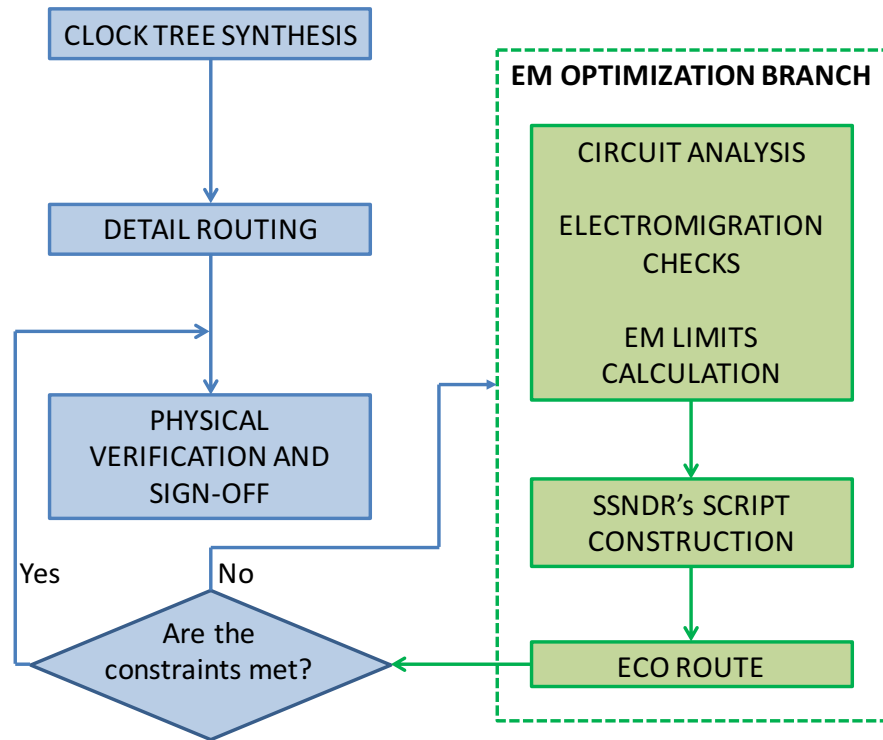
5.3.2 Aplicação e inserção do método proposto dentro do fluxo convencional de projeto de circuitos integrados

Com o objetivo de melhorar a distribuição de corrente nos fios de sinal, foram testadas algumas SSNDRs, aplicadas aos fios que apresentaram violações de EM nos circuitos projetados. Primeiramente, foi implementado o fluxo tradicional de projeto, conforme exemplificado no Capítulo 4, para todos os benchmarks usados neste trabalho. Uma vez que os caminhos críticos foram identificados, foi estabelecida uma variação do fluxo tradicional de projeto chamada de fluxo de correção de eletromigração.

Esta variação é composta por três etapas adicionais ao fluxo tradicional de projeto. Etapa AC LIMIT para identificação de violações e cálculo do limite de corrente necessário para adequação à densidade de corrente passando pelos fios críticos. A etapa NDRs DEFINITION estabelecida para a criação de regras de roteamento não padrão específicas que atendam de maneira customizada cada uma das violações. Por fim, a etapa ROUTING ECO onde é feita a aplicação das SSNDRs através de scripts executados dentro da ferramenta de projeto.

Estas etapas adicionais podem ser executadas em laço junto ao fluxo de projeto, conforme mostrado na Figura 21, corrigindo-se assim todas as violações do circuito enquanto são observadas as características de timing e regras de projeto, não prejudicando o desempenho e confiabilidade do circuito.

Figura 21 - Fluxo de correção de EM



Fonte: Autor.

A Figura 22 mostra um comparativo entre uma regra de roteamento padrão (DEFAULT RULE) e uma das SSNDRs utilizadas neste trabalho. Neste caso, a largura do fio tem sua dimensão dobrada enquanto mantém-se a mesma regra de espaçamento simples entre fios. Manter o mesmo espaçamento entre fios garante um menor impacto nas capacitâncias parasitas, o que leva a um impacto menor nas restrições de timing. Em contrapartida, isso pode dificultar o roteamento dos fios gerando violações de regras de projeto, o que inviabilizaria a fabricação do circuito.

Figura 22 - Comparativo de uma regra de roteamento padrão e uma SSNDR



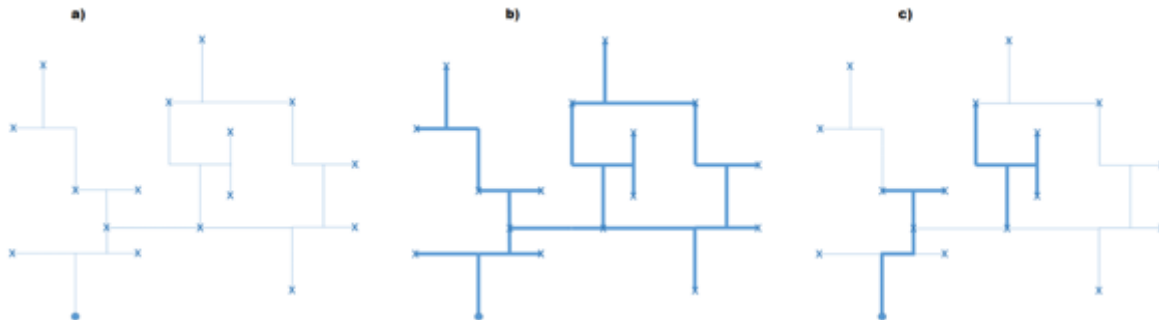
Fonte: Autor.

Através da utilização da ferramenta de roteamento e sua função automática de roteamento não é possível a aplicação de SSNDRs em segmentos específicos de uma interconexão, somente a modificação de uma árvore de interconexões inteira. Tal comportamento não é desejado para o estudo realizado neste trabalho pois isto inviabilizaria a aplicação da técnica estudada. A aplicação da SSNDR a uma árvore de interconexões inteira impossibilita o roteamento do circuito devido ao alto grau de congestionamento, também há o aumento da capacitância, resistência e comprimento de fio como fatores prejudiciais à aplicação desta técnica.

Para solucionar este problema a etapa ROUTING ECO foi executada através de alterações no arquivo DEF dos projetos, ao invés da utilização das funções automáticas de roteamento da ferramenta.

Para exemplificar de maneira mais clara, a Figura 23 mostra a diferença entre a utilização da função automática da ferramenta em comparação com a modificação manual, através do arquivo DEF. A Figura 23a mostra um trecho de roteamento utilizando regras padrão de roteamento, onde todos os segmentos de fio têm a mesma largura. A Figura 23b mostra o impacto da aplicação de SSNDRs utilizando as funções automáticas da ferramenta, ou seja, sendo representado um único fio com vários segmentos. A automatização provida pela ferramenta altera o fio como um todo e tal alteração gera um impacto maior na roteabilidade do circuito. Na Figura 23c é mostrado o impacto das modificações aplicadas somente nos segmentos de fio onde foram encontradas violações de eletromigração. Ao alterar somente os segmentos de fio com valores críticos de densidade de corrente, torna-se possível a mitigação do problema de EM com o menor impacto possível na roteabilidade do circuito.

Figura 23 - Comparativo de impacto no roteamento de um circuito. a) roteamento com regras padrão; b) aplicação de SSNDRs utilizando funções automáticas da ferramenta; c) aplicação de SSNDRs através de alterações manuais em arquivo DEF



Fonte: Autor.

5.4 Impacto do método apresentado no tempo de vida útil dos circuitos

Para determinar o tempo de vida útil de um circuito integrado, é necessário estabelecer o tempo em que uma determinada interconexão irá funcionar sem que haja uma ruptura da sua estrutura ou que esta provoque um curto-circuito. Desta forma, se uma determinada interconexão consegue suportar a densidade de corrente elétrica que passa por ela, durante 10 anos de funcionamento, temos que o tempo de vida útil desta interconexão é de 10 anos.

Dentro de um único circuito integrado existem milhões de interconexões submetidas a diferentes quantidades de densidade de corrente, ao longo do funcionamento do circuito. Tal densidade de corrente pode variar de acordo com a tensão de alimentação do circuito, o modo de operação, a temperatura a que ele está sendo submetido, dentro outros fatores. Neste espectro de possibilidades e variações, determinar com exatidão qual o tempo de vida útil de um circuito integrado passa a ser uma tarefa pouco trivial.

Cada circuito integrado projetado possui uma característica funcional única, o que pode criar uma característica de distribuição de corrente, nas suas interconexões, também única. Tal fato nos mostra que o perfil de circuito analisado pode conter mais ou menos interconexões críticas, sob o aspecto da eletromigração. Circuitos de alto desempenho, com frequências de relógio bastante elevadas são mais propensos a valores de densidades de corrente maiores, enquanto circuitos para aplicação específica que utilizam frequências de relógio menores tendem a apresentar um número menor de interconexões críticas. Desta

forma, fica o questionamento: Como atuar de forma eficaz na mitigação dos problemas relacionados à eletromigração e, conseqüentemente, garantir maior vida útil aos circuitos?

O primeiro fator relevante ao tratar do tema é a identificação dos casos críticos. Quantas interconexões tendem a violar o tempo de vida útil mínimo desejado. Quais são estas interconexões, em que ponto da interconexão reside a maior concentração de densidade de corrente e qual é o grau de violação destas interconexões. Uma vez identificadas e caracterizadas, é necessário que contextualizar o problema dentro do escopo do circuito, para que tomar a decisão adequada na mitigação do problema. É preciso entender o real impacto que uma interconexão crítica traz ao circuito como um todo, se a interconexão representa um sinal fundamental para o funcionamento do circuito, como por exemplo, sinal de relógio, reset, sinal de controle de teste ou sinal de controle de máquinas de estado, sinal de controle ou barramento de memórias. A contextualização do sinal representado nos ajuda a priorizar as interconexões que devem ser alteradas pois, no caso de falha em um sinal vital, todo o funcionamento do circuito passa a ser comprometido, assim inutilizando o mesmo. Em contrapartida, possíveis falhas em sinais que representam valores, caminhos de dados, operandos de funções aritméticas tendem a prejudicar funções lógicas e performance do circuito, mas não o inutilizam.

Temos assim um circuito integrado, diversas restrições, modos de operação, funções lógicas, milhões de interconexões, entre outras variáveis. Para que possamos garantir o tempo de vida útil do circuito como um todo, partimos da premissa de que, sempre haverá um pior caso. Sempre haverá uma interconexão com o menor tempo de vida útil previsto, sempre haverá um valor mais elevado de densidade de corrente trafegando pelo circuito. Este trabalho utiliza esta premissa na definição de qual interconexão será modificada, ou seja, a contextualização do sinal lógico envolvido combinada com a identificação do pior caso, determina qual o ponto de ação e que medidas devem ser tomadas.

Como o método proposto utiliza um valor de vida útil mínimo definido, de 10 anos, temos assim um filtro para identificar os casos críticos, ou seja, aquelas interconexões de violam este tempo de vida, pois recebem uma densidade de corrente maior do que a recomendada para 10 anos de vida útil. Estes casos são tratados como violações e, dentro das interconexões que apresentam violações, aquela com o menor tempo de vida útil é escolhida para receber as modificações necessárias para se adequar ao tempo de vida útil desejado. Tal

estratégia, garante que somente as interconexões que necessitam sofrerem alterações, causando menor impacto em restrições, como por exemplo, elementos parasitas e também permite que o tempo de vida útil de todas as interconexões esteja dentro do limite mínimo desejado, garantindo a robustez do circuito como um todo.

5.5 Impacto do método apresentado na área dos circuitos integrados

Além dos problemas relacionados a confiabilidade e robustez que permeiam o projeto de circuitos integrados, a área de silício utilizada também é um ponto de grande preocupação em circuitos no estado da arte. Com o aumento exponencial do número de transistores dentro de um circuito e as restrições de área cada vez mais rígidas, principalmente em circuitos para dispositivos portáteis, também aumenta o número de interconexões nos circuitos.

Atualmente, o roteamento dos circuitos integrados tem sido uma tarefa complexa, que consome muitos recursos computacionais e tempo. Isto pois, não se trata somente de encontrar rotas para criar as interconexões, mas é necessário que a ferramenta preze por manter as restrições de temporização do projeto, não violar as regras de projeto, evitar curto-circuito e ainda prevenir problemas relacionados à eletromigração. Em situações de alta complexidade, a necessidade de garantir todos os pré-requisitos pode demandar o aumento da área do circuito, afim de garantir a total integridade dos sinais. Eletromigração é um dos itens avaliados quando tratamos da integridade de um sinal digital pois, a alta densidade de corrente passando por um semiconductor pode, além de causar falhas mecânicas, gerar ruídos espúrios que afetem a funcionalidade de interconexões adjacentes.

Desta forma, em uma situação específica, o método apresentado neste trabalho pode também beneficiar o projeto sob o aspecto de área. Tal benefício se dá pois, em caso de necessidade do aumento de área para garantia da integridade dos sinais, o método apresentado pode substituir esta necessidade. Ao invés de aumentar a área do circuito, pode-se manter as dimensões originais e aplicar o método proposto para obter maior equilíbrio em pontos críticos, onde a densidade de corrente é elevada. Isso possibilita que o circuito ocupe menos área de silício e pode representar até mesmo a possibilidade alocação de mais circuitos por lâmina.

6 RESULTADOS

Para execução deste trabalho foram utilizados circuitos de benchmarks (89, 2009), que são descritos na Tabela 1. Os circuitos foram selecionados como objetivo de avaliar o comportamento dos efeitos de eletromigração em diferentes características de área, potência dissipada e comprimento total de fio. Para demonstrar o impacto provocado pela eletromigração nestes circuitos, foram selecionados três segmentos de fio de cada um deles. Os segmentos de fio analisados foram os que apresentaram o maior grau de violação, ou seja, a maior relação entre densidade de corrente fluindo no fio com o limite de corrente permitido. Uma similaridade entre todos os casos estudados foi que os segmentos que apresentaram maior grau de violação estavam localizados próximos de fontes geradoras de sinal, ou seja, os pinos de saída das portas lógicas.

A regra de roteamento padrão utiliza a largura mínima permitida em um nó tecnológico, para uma determinada camada de metal e estabelece o mesmo valor para a regra de distanciamento mínimo entre dois fios. Foram utilizadas duas regras de roteamento não padrão durante os experimentos, tais regras nomeadas como 2W1S e 3W1S. A regra 2W1S, representa um fio roteado com duas vezes a sua largura mínima e sua regra de espaçamento mínimo permanece inalterada, enquanto a regra de roteamento 3W1S utiliza um fio com três vezes a sua largura mínima e espaçamento com valor padrão. A regra 2W1S mostrou maior eficiência nos resultados apresentados, principalmente avaliando-se a relação entre a melhoria sobre os efeitos de EM com a roteabilidade do circuito, enquanto a regra 3W1S mostrou maior ganho com relação a EM porém, em alguns casos tornou o circuito não roteável devido à violações de regras de projeto.

Os resultados obtidos, sob o aspecto de EM, são apresentados na Fonte: Autor. Foram extraídos dos fios os valores de corrente RMS, capacitância e largura do fio. Com estes parâmetros foi possível calcular o valor da densidade de corrente que atravessa os segmentos de um fio. Pode-se observar através dos resultados que a mudança na largura dos segmentos de fio e a não alteração do espaçamento entre fios pouco afeta a capacitância dos segmentos analisados, isso porque a capacitância parasita dos fios é principalmente afetada pelo espaçamento entre fios paralelos. Como o espaçamento não foi alterado, e a rota dos fios mantida o valor da capacitância sofre alterações mínimas. Já o alargamento dos fios metálicos

tem um impacto significativo na distribuição do fluxo de densidade de corrente elétrica, variando de 33% até 83%, conforme apresentado na Tabela 2.

Tabela 2 - Melhoria da distribuição de densidade de corrente em fios críticos após a aplicação de SSNDRs

Benchmark s38417									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,269	0,008	0,034	27,419	0,269	0,008	0,068	13,728	49,93%
Segmento 2	0,283	0,009	0,034	28,881	0,284	0,009	0,068	14,456	49,95%
Segmento 3	0,283	0,008	0,034	27,300	0,268	0,008	0,068	13,668	49,93%
Benchmark aes_core									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,172	0,020	0,034	17,541	0,172	0,020	0,068	8,771	50,00%
Segmento 2	0,171	0,020	0,034	17,519	0,171	0,019	0,068	8,747	50,01%
Segmento 3	0,171	0,020	0,034	17,513	0,170	0,019	0,068	8,741	50,01%
Benchmark des_perf									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,642	0,032	0,068	16,374	0,560	0,028	0,205	9,516	41,88%
Segmento 2	0,740	0,037	0,068	18,868	0,737	0,036	0,205	12,528	33,61%
Segmento 3	0,385	0,020	0,068	9,820	0,383	0,019	0,205	6,520	33,61%
Benchmark vga_lcd									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,276	0,007	0,034	28,181	0,277	0,007	0,068	14,143	49,82%
Segmento 2	0,249	0,007	0,034	25,442	0,250	0,007	0,068	12,744	49,90%
Segmento 3	0,266	0,007	0,034	27,138	0,267	0,007	0,068	13,594	49,91%
Benchmark wb_conmax									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,207	0,049	0,034	21,099	0,207	0,049	0,068	10,549	50,00%
Segmento 2	0,204	0,048	0,034	20,840	0,204	0,048	0,068	10,420	50,00%
Segmento 3	0,201	0,047	0,034	20,574	0,201	0,047	0,068	10,287	50,00%

Benchmark b15									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,201	0,013	0,034	20,516	0,197	0,013	0,102	6,706	67,31%
Segmento 2	0,199	0,013	0,034	20,267	0,197	0,013	0,102	6,706	66,91%
Segmento 3	0,199	0,013	0,034	21,826	0,194	0,013	0,205	3,548	83,74%

Benchmark tv80									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,462	0,021	0,034	47,107	0,477	0,022	0,102	16,233	65,54%
Segmento 2	0,457	0,021	0,034	46,659	0,463	0,021	0,102	15,736	66,28%
Segmento 3	0,456	0,021	0,034	46,509	0,456	0,021	0,102	15,503	66,67%

Benchmark netcard									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,248	0,371	0,034	25,346	0,248	0,372	0,068	12,673	50,00%
Segmento 2	0,249	0,372	0,034	25,396	0,249	0,372	0,068	12,698	50,00%
Segmento 3	0,248	0,371	0,034	25,296	0,248	0,371	0,068	12,673	49,90%

Benchmark eth_mac									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,212	0,109	0,034	21,611	0,210	0,108	0,102	7,154	66,90%
Segmento 2	0,196	0,101	0,034	20,018	0,197	0,101	0,102	6,689	66,58%
Segmento 3	0,211	0,108	0,034	21,512	0,211	0,108	0,102	7,187	66,59%

Benchmark s38584									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,198	0,071	0,034	20,217	0,198	0,071	0,068	10,109	50,00%
Segmento 2	0,198	0,071	0,034	20,217	0,198	0,071	0,102	6,739	66,67%
Segmento 3	0,196	0,070	0,034	19,968	0,198	0,070	0,068	10,109	49,38%

Benchmark s35932									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,187	0,076	0,034	19,121	0,187	0,076	0,068	9,560	50,00%
Segmento 2	0,187	0,075	0,034	19,121	0,186	0,075	0,068	9,535	50,13%
Segmento 3	0,187	0,075	0,034	19,121	0,186	0,075	0,068	9,535	50,13%

Benchmark leon2									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,134	0,08	0,034	21,223	0,133	0,08	0,068	11,158	52,57%
Segmento 2	0,133	0,08	0,034	21,367	0,133	0,08	0,068	11,243	52,61%
Segmento 3	0,133	0,08	0,034	21,228	0,132	0,08	0,068	11,243	52,96%

Benchmark leon3mp									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,156	0,11	0,034	23,145	0,156	0,11	0,068	15,978	30,96%
Segmento 2	0,158	0,11	0,034	23,221	0,157	0,11	0,068	16,189	30,28%
Segmento 3	0,157	0,12	0,034	23,187	0,157	0,11	0,068	15,068	35,01%

Benchmark b22									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,220	0,069	0,034	18,775	0,221	0,70	0,068	9,588	48,93%
Segmento 2	0,221	0,070	0,034	18,456	0,221	0,70	0,068	9,60	47,98%
Segmento 3	0,221	0,070	0,034	18,450	0,221	0,70	0,068	9,537	48,30%

Benchmark b14									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,115	0,11	0,034	20,623	0,115	0,12	0,068	10,478	49,19%
Segmento 2	0,115	0,11	0,034	20,512	0,115	0,11	0,068	11,021	46,27%
Segmento 3	0,113	0,11	0,034	20,615	0,115	0,11	0,068	11,074	46,28%

Benchmark s13207									
Segmento de fio	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	C (pF)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Segmento 1	0,276	0,09	0,034	29,156	0,276	0,09	0,068	16,127	44,68%
Segmento 2	0,282	0,09	0,034	28,994	0,280	0,09	0,068	16,038	44,68%
Segmento 3	0,273	0,10	0,034	28,990	0,273	0,09	0,068	15,997	44,81%

Fonte: Autor

Para exemplificar os resultados obtidos, faremos uma análise detalhada sobre o benchmark s38417. Todos os experimentos foram executados utilizando o PDK genérico NANGATE de 45nm, bem como a mesma infraestrutura e recursos computacionais, conforme mostrado abaixo:

Ferramenta: Cadence Innovus(TM) Implementation System.
 Version: v16.17-s018_1, built Thu Aug 31 09:57:10 PDT 2017
 Especificações do Servidor: x86_64 w/Linux 2.6.32-696.3.2.el6.x86_64;
 4cores*16cpus*Intel(R) Xeon(R) CPU L5520 @ 2.27GHz 8192KB
 Sistema Operacional: Red Hat Enterprise Linux Server release 6.9 (Santiago)

6.1 Impacto gerado pela aplicação do método em uma única interconexão.

Após o circuito ser completamente roteado, uma análise dos limites de densidade de corrente é feita, afim de identificar os pontos críticos do circuito. Tais pontos serão o objeto de aplicação do método para correção das suas respectivas violações. O leiaute dos três segmentos de fio estudados neste exemplo é mostrado na Figura 24. Nela vemos os três segmentos de fio interligados, sendo dois deles (cor vermelha) na camada de metal 2 e o terceiro (cor verde) na camada de metal 3.

Nestes segmentos de fio será aplicada a SSNDR 2W1S, onde a largura do fio é aumentada em duas vezes, mas sua restrição de espaçamento mínimo para fios adjacentes numa mesma camada de metal permanece com valor padrão. Desta forma teremos aumento do limite de densidade de corrente máxima permitida nos segmentos sem grande impacto nas demais características elétricas e no leiaute do circuito.

constantes verificações de DRC, afim de identificar possíveis violações de regras de projeto ao fim de cada iteração.

Outro ponto é que a melhoria na densidade de corrente não é diretamente proporcional ao aumento da largura do fio. Isto significa que, não necessariamente, dobrar a largura de um fio reflita em reduzir pela metade a densidade de corrente que atravessa o condutor. Para este exemplo, vamos analisar quatro diferentes resultados da Tabela 3. Faremos um comparativo entre o segmento de fio 3 dos benchmarks tv80, netcard, des_perf e b15. Vamos observar os valores de corrente, largura do segmento e melhoria de densidade de corrente obtidos antes e após a otimização executada.

Tabela 3 - Comparativo entre diferentes SSNDRs e melhoria na densidade de corrente.

Benchmark	Pre otimização			Pós otimização			
	Irms (μA)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	W (μm)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Melhoria de densidade
tv80	0,456	0,034	46,509	0,456	0,102	15,503	66,67%
netcard	0,248	0,034	25,296	0,248	0,068	12,673	49,90%
des_perf	0,385	0,068	9,820	0,383	0,205	6,520	33,61%
b15	0,199	0,034	21,826	0,194	0,205	3,548	83,74%

Fonte: Autor.

Ao observarmos o primeiro benchmark, tv80, vemos que o fator de multiplicação aplicado na largura do segmento de fio foi de 3 vezes, resultando em 66% de melhoria na densidade de corrente, o que mostra um comportamento bastante linear no que diz respeito à relação entre o aumento da largura do fio e a queda para um terço do valor de densidade de corrente. Para o benchmark netcard podemos observar um comportamento bastante semelhante, onde a largura do fio sendo dobrada resultou em uma redução pela metade no valor de densidade de corrente.

Por outro lado, o benchmark des_perf mostra que, utilizando um fator de multiplicação de 3 vezes a largura original o ganho em densidade de corrente é de apenas 33%. Isto é devido ao valor de densidade de corrente original ser relativamente pequeno, se comparado aos demais. Para valores de densidade de corrente menores, o ganho ao aplicar este método também será menor, pois sempre haverá densidade de corrente fluindo por um condutor. Este valor nunca chegará a zero.

Por fim, o benchmark b15 apresenta um comportamento diferente dos demais. Neste caso temos aplicado um fator de multiplicação de 4 vezes a largura original e um ganho de

83% na densidade de corrente do segmento. Isto se deve ao segmento estar localizado próximo à fonte geradora do sinal. Quanto mais próximo da fonte geradora de sinal estiver o segmento, maior será a densidade que fluirá por tal segmento. Sendo assim, otimizações de eletromigração tendem a surtir maior efeito em segmentos próximos ao pino de saída das portas lógicas. Contrapondo isto, as regiões mais próximas as fontes geradoras de sinal tendem a ser as mais congestionadas do circuito, muitas vezes inviabilizando a aplicação de otimizações.

6.2 Impacto gerado pelo método aplicado em um grupo de interconexões

Afim de avaliar o comportamento do método aplicado em um escopo maior, dentro do projeto, o experimento foi aplicado a um grupo de interconexões de um mesmo circuito. O principal objetivo deste é entender o comportamento e os impactos do método em uma gama maior de interconexões e, para tal, as dez interconexões mais críticas do benchmark s38417 sofreram alterações.

As interconexões selecionadas seguiram os critérios apresentados no item 5.4 deste trabalho. A Tabela 4 apresenta valores médios para cada uma das interconexões submetidas ao experimento, ou seja, cada interconexão teve 3 segmentos de fios alterados e para fins de simplificação da apresentação dos resultados, os valores da Tabela 4 são valores médios dos três segmentos de fio combinados.

Todas as interconexões submetidas a este experimento pertencem ao mesmo sub-bloco lógico do circuito, permitindo que façamos uma análise do ganho em tempo de vida útil geral desta porção do circuito. Com isso, podemos criar modelos escalonados de aplicação do método e calcular o ganho estimado em tempo de vida para circuitos ou blocos lógicos maiores. Através dos resultados obtidos para o conjunto de interconexões selecionado é possível identificar o percentual médio de melhoria no tempo de vida útil das mesmas. Sendo assim podemos calcular qual será o percentual de melhoria no tempo de vida do bloco lógico ao qual pertencem estas interconexões e, conseqüentemente, podemos escalar o método para circuitos maiores e de maior complexidade. Para o conjunto de interconexões avaliado, foi obtido um percentual médio de melhoria no tempo de vida útil de 51,70%.

Outro fator importante a ser analisado é o impacto do método nas restrições do projeto. Como podemos ver através da Tabela 4, os valores de capacitância, principal

componente que afeta os atrasos de sinal nas interconexões, pouco sofreu com a aplicação do método. O comprimento dos fios manteve-se o mesmo e a área do circuito também não sofreu alteração. Isso acontece devido a não alteração de rotas complexas, a aplicação de regras não padrão em segmentos de fio específicos e a criação de regras não padrão customizadas para cada um dos segmentos de fio alterados.

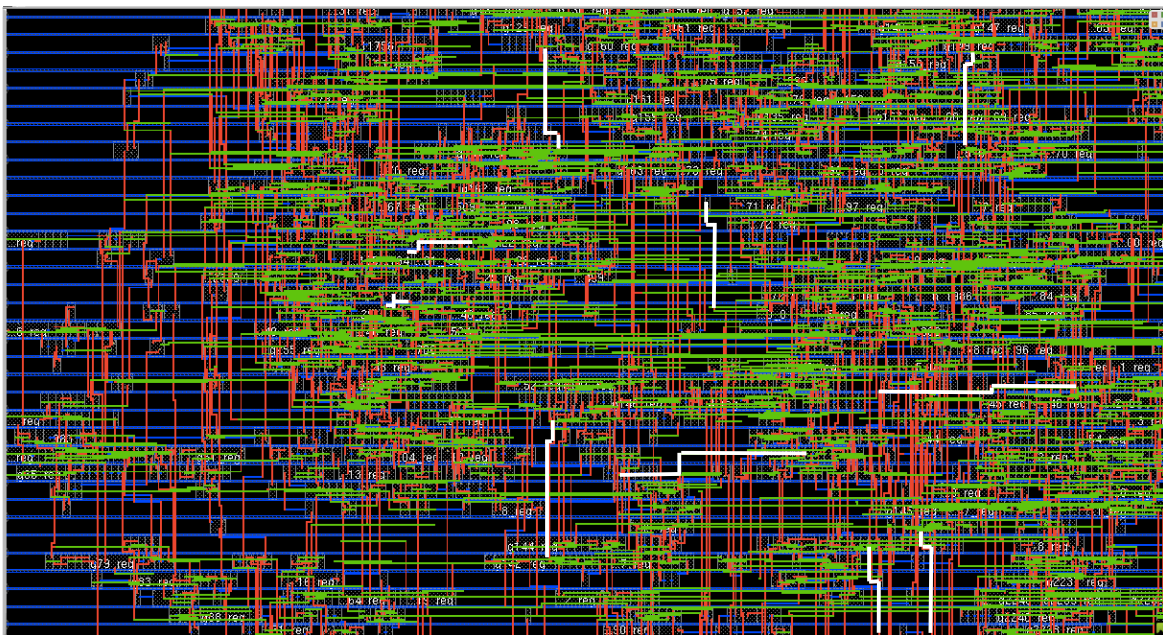
Tabela 4 - Melhoria no tempo de vida útil de múltiplas interconexões avaliadas dentro de um mesmo circuito.

Benchmark s38417	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μ A)	W (μ m)	C (pF)	J ($\frac{mA}{\mu m^2}$)	Irms (μ A)	W (μ m)	C (pF)	J ($\frac{mA}{\mu m^2}$)	
Interconexão 1	0,426	0,034	0,010	36,509	0,426	0,068	0,011	15,503	42,46%
Interconexão 2	0,248	0,034	0,009	25,296	0,248	0,068	0,008	12,673	50,09%
Interconexão 3	0,385	0,034	0,014	29,720	0,383	0,068	0,014	14,764	49,67%
Interconexão 4	0,199	0,034	0,020	21,826	0,194	0,068	0,019	11,956	54,77%
Interconexão 5	0,213	0,034	0,017	22,265	0,212	0,068	0,017	12,479	56,04%
Interconexão 6	0,213	0,034	0,013	22,498	0,213	0,068	0,013	10,986	48,83%
Interconexão 7	0,354	0,034	0,014	27,157	0,352	0,068	0,012	16,264	59,88%
Interconexão 8	0,321	0,034	0,017	24,023	0,320	0,068	0,017	13,233	55,08%
Interconexão 9	0,394	0,034	0,021	30,293	0,393	0,068	0,021	14,892	49,15%
Interconexão 10	0,368	0,034	0,018	28,723	0,368	0,068	0,019	14,681	51,11%

Fonte: Autor.

Conforme apresentado na Figura 26, podemos visualizar o escopo das interconexões alteradas. Dentro de um leiaute com centenas de interconexões, são mostrados os segmentos de cada uma das interconexões que sofreram modificações. A Figura mostra os segmentos que sofreram alteração, dentro de um bloco lógico específico, exemplificando a representatividade das modificações em meio a uma quantidade maior de interconexões. É importante notar que cada uma das interconexões teve o método aplicado de forma individual, o que eleva o tempo de execução do método e, portanto, a aplicação em maior escala é apresentada somente para o benchmark s38417. Com a finalidade de mitigar este problema, a automatização do método é proposta em trabalhos futuros.

Figura 26 - Demonstrativo do impacto global da aplicação do método proposto em um grupo de interconexões



Fonte: Autor.

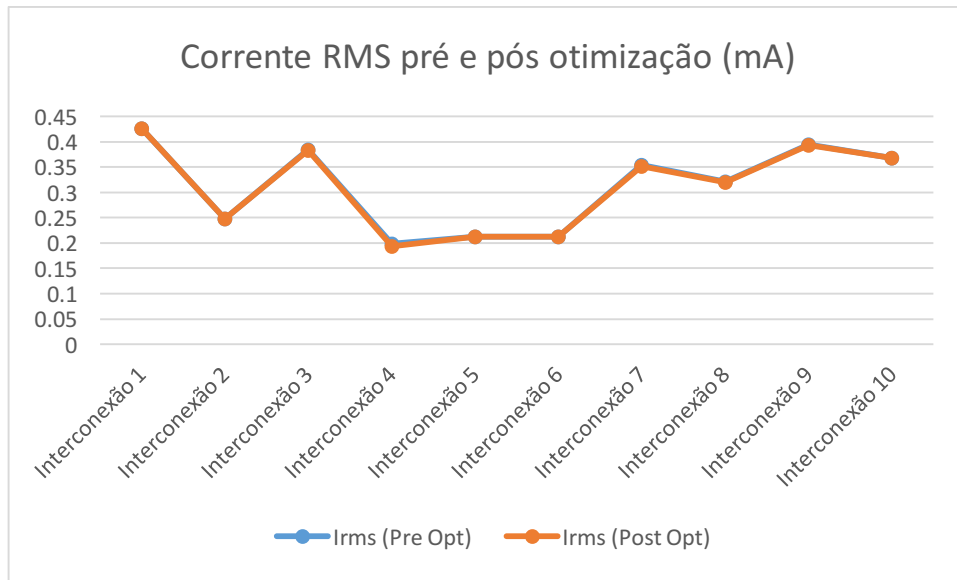
Na Figura 26 podemos ver destacados em branco os segmentos de fios que sofreram alteração pela aplicação do método proposto. A imagem mostra as interconexões modificadas dentro de um escopo maior do projeto. Todas as interconexões fazem parte de um mesmo bloco lógico do circuito e foram selecionadas de acordo com a estratégia explanada no item 5.4 deste trabalho.

Podemos observar pela Figura 26 que, em comparação com a quantidade de interconexões contidas neste bloco, o número de interconexões modificadas representa um percentual bastante pequeno, sendo assim possível manter as características elétricas e de temporização do circuito e garantir uma melhoria geral no tempo de vida de aproximadamente 51%. Também é possível concluir que não há necessidade de aumento da área do bloco, bem como não há alteração significativa no comprimento dos fios envolvidos.

A Figura 27 mostra em um gráfico a diferença entre a corrente RMS medida em cada uma das interconexões antes de depois da aplicação do método proposto. Nesta figura temos em azul os valores de corrente antes da aplicação do método e, em laranja os valores após a aplicação do método. Como podemos notar, há uma diferença quase desprezível entre os

valores de corrente RMS que fluem pelas interconexões, o que indica pouca variação na resistência elétrica dos fios mesmo após serem modificados.

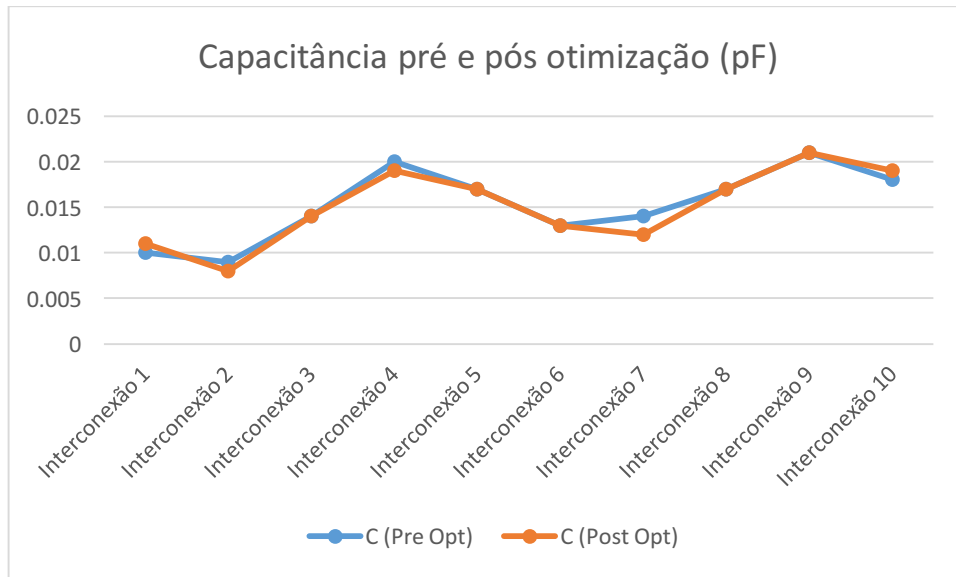
Figura 27 - Corrente RMS nas interconexões antes e depois da aplicação do método de melhoria de tempo de vida



Fonte: Autor.

A Figura 28 apresenta os valores de capacitância das interconexões afetadas pela aplicação do método. Como podemos notar, há uma pequena diferença nos valores de capacitância após as modificações feitas nas interconexões. A capacitância das interconexões é um dos fatores mais significantes no que diz respeito ao atraso na transição de um sinal. Esta pequena diferença na capacitância das interconexões modificadas demonstra que o método pouco influencia em restrições temporais do circuito.

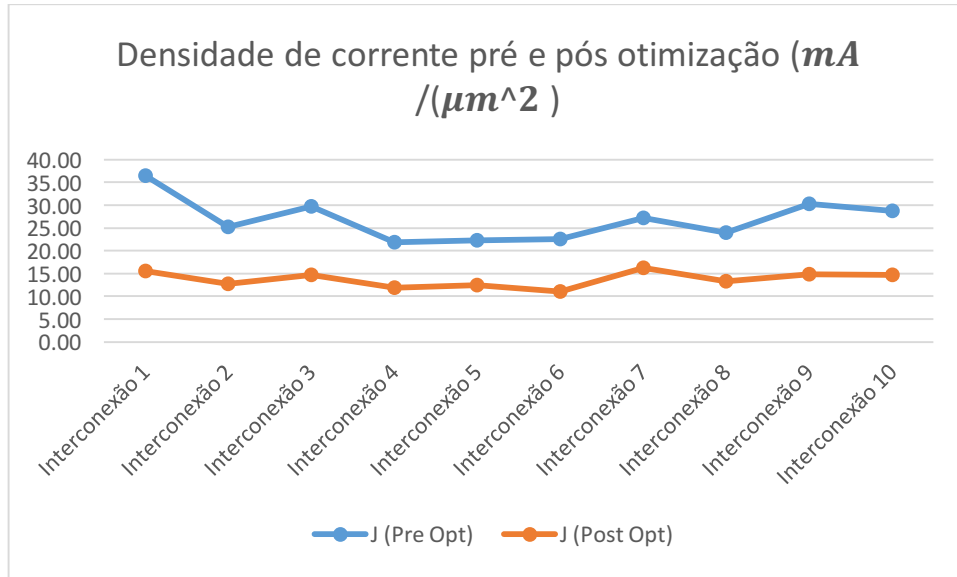
Figura 28 - Capacitância nas interconexões antes e depois da aplicação do método de melhoria de tempo de vida.



Fonte: Autor.

Por fim, a Figura 29 apresenta os valores de densidade de corrente medidos antes e após a aplicação do método. Neste caso podemos notar uma grande diferença nos valores medidos. Esta diferença bastante significativa se deve ao fato de aumentarmos a área de secção transversal das interconexões, permitindo que praticamente a mesma quantia de corrente elétrica possa fluir em uma área maior. Com a diminuição dos valores de densidade de corrente fluindo pelas interconexões podemos garantir a mitigação dos efeitos de eletromigração e, conseqüentemente, o aumento do tempo de vida útil das mesmas.

Figura 29 - Densidade de corrente nas interconexões antes e depois da aplicação do método de melhoria de tempo de vida.



Fonte: Autor.

Da mesma forma como executado para o circuito s38417, experimentos adicionais foram aplicados ao circuito netcard. Estes experimentos levaram em consideração um escopo ainda maior, englobando o leiaute completo do circuito, conforme pode ser visto na Figura 30. Foram selecionadas 10 interconexões, onde 3 segmentos de fio de cada sofreram modificações, afim de demonstrar a melhoria no tempo de vida do circuito.

Tabela 5 - Melhoria dos parâmetros de tempo de vida útil para um conjunto de 10 interconexões do circuito netcard.

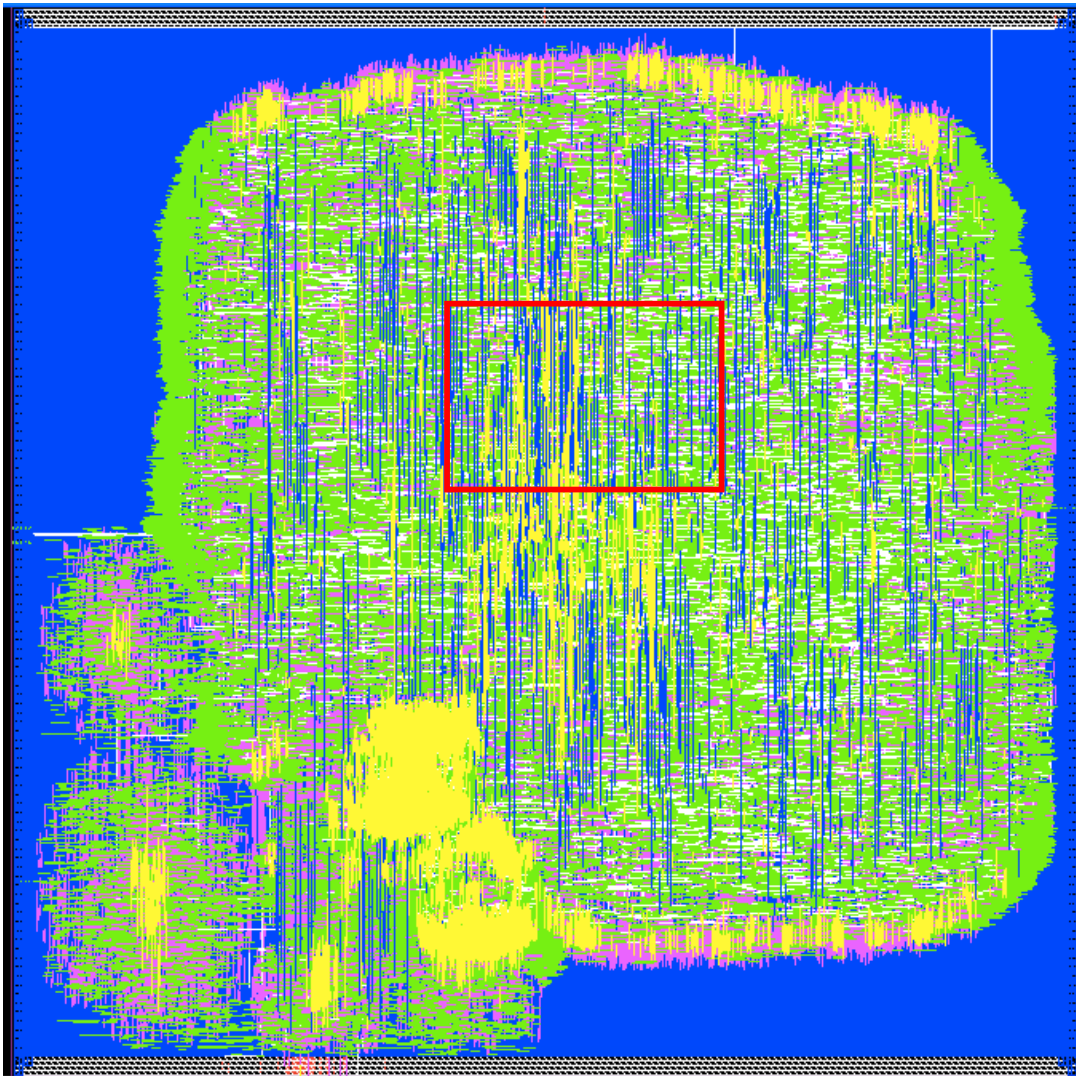
Benchmark netcard	Pre otimização				Pós otimização				Melhoria de densidade
	Irms (μA)	W (μm)	C (pF)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	Irms (μA)	W (μm)	C (pF)	J ($\frac{\text{mA}}{\mu\text{m}^2}$)	
Interconexão 1	0,248	0,034	0,371	25,344	0,248	0,068	0,370	12,671	49,99%
Interconexão 2	0,252	0,034	0,372	25,423	0,251	0,068	0,372	13,031	51,25%
Interconexão 3	0,245	0,034	0,371	25,287	0,243	0,068	0,371	12,719	50,29%
Interconexão 4	0,248	0,034	0,370	25,350	0,249	0,068	0,371	12,057	47,56%
Interconexão 5	0,301	0,034	0,377	26,283	0,299	0,068	0,375	12,326	46,89%
Interconexão 6	0,248	0,034	0,381	25,348	0,247	0,068	0,380	11,837	46,69%
Interconexão 7	0,263	0,034	0,368	25,794	0,263	0,068	0,369	12,942	50,17%
Interconexão 8	0,282	0,034	0,370	25,985	0,282	0,068	0,370	13,509	51,98%
Interconexão 9	0,250	0,034	0,372	25,415	0,248	0,068	0,372	12,478	49,09%
Interconexão 10	0,291	0,034	0,371	26,078	0,291	0,068	0,372	13,825	53,01%

Fonte: Autor.

A Tabela 5 mostra a mudança nos valores de corrente elétrica, densidade de corrente e capacitância após a aplicação do método de melhoria para o tempo de vida útil das interconexões. Com estes resultados, podemos perceber um comportamento bastante semelhante ao do circuito s38417, onde foi possível obter aumento do tempo de vida das interconexões sem afetar as demais características elétricas das mesmas. Sendo assim, restrições temporais e de área não são afetadas, o que permite que o circuito continue funcionando mesmo após a aplicação do método.

A Figura 30 destaca, em vermelho, a região do circuito onde as interconexões modificadas estão localizadas. É importante notar que esta é uma região bastante densa do circuito e, portanto, apresenta maior dificuldade na aplicação do método. Apesar disto, foi possível aplicar modificações dobrando a largura dos segmentos de fios selecionados sem violar regras de projeto e restrições temporais do circuito.

Figura 30 - Leiaute completo do circuito netcard

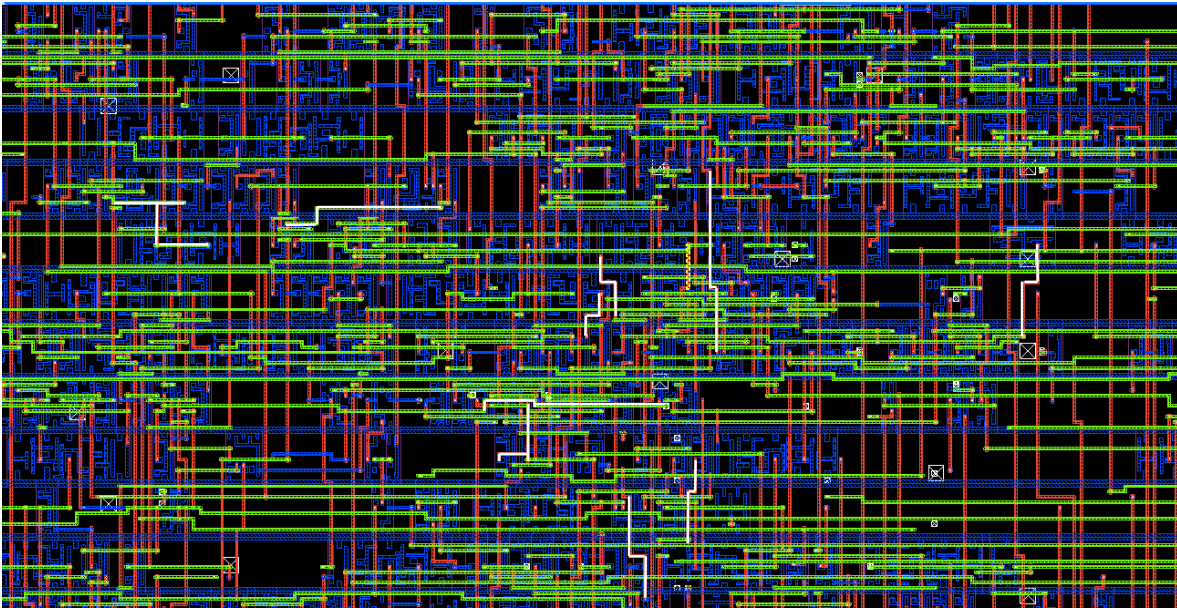


Fonte: Autor.

Assim como nos resultados apresentados anteriormente, um conjunto de interconexões limitado foi selecionado para aplicação do método, de acordo com os critérios expostos no item 5.4 deste trabalho. Apesar de os circuitos apresentarem mais do que 10 interconexões críticas, a estratégia adotada, utilizando um conjunto limitado de interconexões, torna possível a comprovação da eficácia do método proposto e reduz o tempo necessário para a coleta de dados. A automatização do método deverá ser explorada em trabalhos futuros.

A Figura 31 mostra, uma visão detalhada do leiaute completo do circuito netcard, no local onde foram feitas alterações de interconexões. Os fios destacados na cor branca mostram a localização exata das interconexões modificadas.

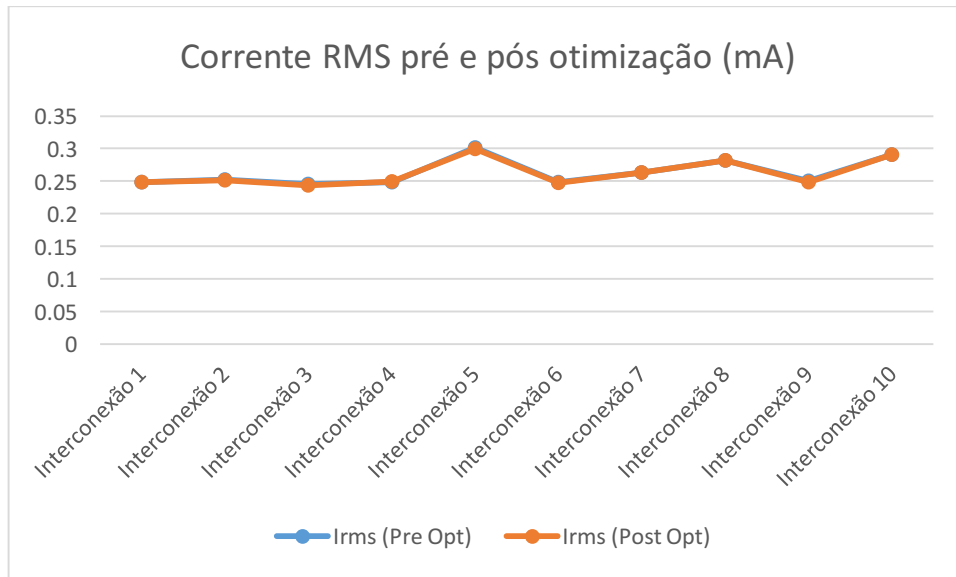
Figura 31 - Detalhe do leiaute do circuito netcard apresentando as interconexões modificadas para melhoria do tempo de vida



Fonte: Autor.

A Figura 32 apresenta o gráfico da diferença na corrente RMS medida em cada uma das interconexões antes de depois da aplicação do método proposto. Como podemos notar há uma diferença quase desprezível entre os valores de corrente RMS que fluem pelas interconexões, o que indica pouca variação na resistência elétrica dos fios mesmo após serem modificados.

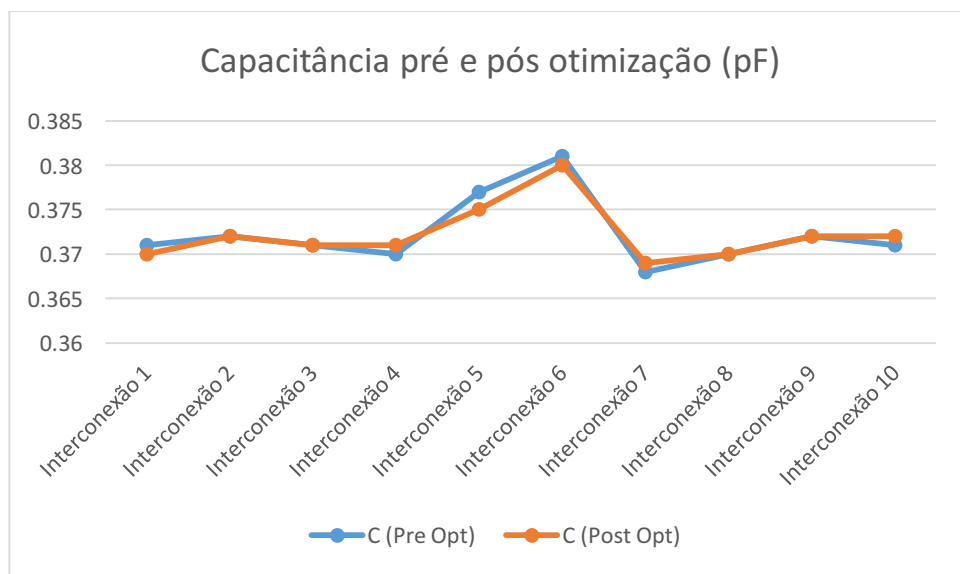
Figura 32 - Corrente RMS nas interconexões antes e depois da aplicação do método de melhoria de tempo de vida



Fonte: Autor.

A Figura 33 apresenta os valores de capacitância das interconexões afetadas pela aplicação do método. A pequena diferença nos valores de capacitância após as modificações feitas nas interconexões demonstra que o método pouco influencia em restrições temporais do circuito, mesmo quando aplicado em um escopo ainda maior.

Figura 33 - Capacitância nas interconexões antes e depois da aplicação do método de melhoria de tempo de vida.

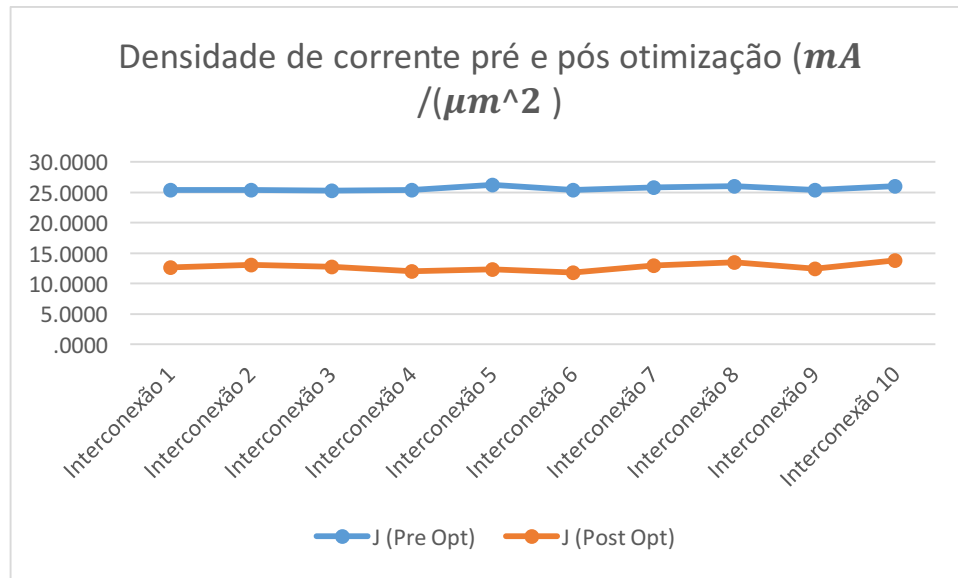


Fonte: Autor.

Na Figura 34 temos os valores de densidade de corrente medidos antes e após a aplicação do método. Assim como no circuito s38417, foi obtida a melhoria na distribuição

da densidade de corrente nas interconexões que, por consequência, aumenta o tempo de vida útil das mesmas.

Figura 34 - Densidade de corrente nas interconexões antes e depois da aplicação do método de melhoria de tempo de vida.



Fonte: Autor.

Os resultados dos experimentos mostram que o método de aumento do tempo de vida das interconexões críticas de um circuito consegue atingir níveis significativos de eficácia, com pouca interferência nos demais parâmetros de funcionamento do circuito. Também foi possível obter maior entendimento do comportamento e da operacionalidade deste método em diferentes escopos, partindo de análises locais até análises de circuitos inteiros.

Os resultados mostram que existe espaço para o aperfeiçoamento do método, uma vez que se torna pouco prático, do ponto de vista operacional, a carga de trabalhos manuais para aplicação do método e a automatização do fluxo de otimização pode proporcionar a aplicação em larga escala do método. Esta automatização é proposta pelo autor em seus trabalhos futuros, onde um algoritmo está sendo desenvolvido para calcular qual regra de roteamento não padrão se adequa à necessidade de cada uma das interconexões críticas e, em seguida as modificações e análises são executadas automaticamente, através de rotinas feitas em linguagem tcl.

7 CONCLUSÕES

Este trabalho trata da mitigação de problemas relacionados aos efeitos de eletromigração em interconexões de sinal de um circuito integrado digital. Tais efeitos podem causar falhas estruturais em um circuito devido à movimentação dos átomos de metal provocada pelo efeito Joule, diretamente relacionado a densidade de corrente que flui pelo metal. A movimentação dos átomos de metal pode provocar curto circuito ou abertura de circuito, levando o circuito a uma falha estrutural ou até mesmo funcional.

Como forma de prevenção a estes efeitos, um novo método de projeto, juntamente com regras não padrão de roteamento foram propostas. A aplicação das SSNDRs pode solucionar o problema dos efeitos de EM enquanto o novo fluxo de projeto ajuda na automação do processo de correção das violações de EM encontradas.

Para o estudo foi utilizado o PDK Free_PDK45nm da NANGATE. Este PDK descreve um nó tecnológico de 45 nm genérico, ou seja, não passível de fabricação. Como os efeitos de eletromigração em fios de sinal podem ser observados a partir de nós tecnológicos de 45 nm e pela facilidade de acesso, este PDK foi selecionado.

Os resultados apresentados no Capítulo 6 mostram que o método proposto, juntamente com as SSNDRs, teve um impacto significativo na melhoria da densidade de corrente que flui pelos fios críticos dos circuitos testados. Com melhorias percentuais que variam de 33% a 83%, pode-se concluir que o tempo de vida de um circuito digital, usualmente de 10 anos, pode ter sua validade comprometida e a técnica utilizada não somente previne contra falhas, mas também pode aumentar o tempo de vida do circuito, se aplicada em interconexões não tão críticas.

8 TRABALHOS FUTUROS

A automatização completa do fluxo de correção de EM também serve como motivador para trabalhos futuros. Tal automação pode acelerar o processo de correção, fazendo com que este possa ser considerado em um ambiente de projetos comerciais e já vem sendo estudada pelo autor deste trabalho. Uma estratégia englobando um algoritmo de programação linear que calcula qual regra de roteamento não padrão deve ser aplicada em cada uma das interconexões combinada a rotinas construídas em linguagem tcl que executam as tarefas de modificação e análise pós aplicação do método já está sendo testada, porém ainda não há resultados satisfatórios que justifiquem sua apresentação.

A aplicação desta técnica em projetos que utilizam transistores FinFET é um dos desafios propostos. Devido a diferença na construção destes transistores, suas características elétricas podem apresentar variações que não são previstas nas tecnologias planares. Isto cria um amplo campo para análise, pesquisa e inovação. Desta forma, os estudos voltados a eletromigração apresentam um grande desafio, afim de se entender seus efeitos e seu comportamento em tecnologia FinFET.

O método apresentado neste trabalho pode trazer um efeito paralelo benéfico aos projetos de circuitos integrados. Muitos projetos têm sua área de silício aumentada devido aos problemas funcionais causados pela eletromigração. Outro desafio futuro é baseado no estudo do impacto que a aplicação da técnica proposta neste trabalho pode apresentar na economia de área de silício. Tendo em vista que esta técnica melhora a distribuição de corrente nos fios de roteamento de sinais, circuitos integrados poderiam ter uma densidade de roteamento ainda maior, ocupando uma área menor e com os efeitos de eletromigração sendo mitigados.

A fabricação e teste em silício para validação do método torna-se o próximo passo deste trabalho. Todos os estudos realizados apresentaram resultados satisfatórios em simulação. Contudo, para garantir a validação do método, a prototipação de circuitos integrados com e sem a aplicação da técnica para teste em bancada e comparação de resultados trará uma aproximação mais realista da eficácia da técnica proposta.

REFERÊNCIAS

- 89, ISCAS. 2009.** ISCAS 89 Benchmark Circuits. 2009. Disponível em: <<http://courses.ece.illinois.edu/ece543/iscas89.html>>. Acesso em: jul, 2009.
- Abella, J., et al. 2008.** Refueling: Preventing Wire Degradation due to Electromigration. **IEEE Micro**, New York, Vol. 28, n. 6, pp. 37-46, november 2008.
- Banerjee, K. e Mehrotra, A. 2001.** Global (interconnect) warming. **IEEE Circuits and Devices Magazine**, Chicago, Vol. 17, n. 5, pp. 16-32, september de 2001.
- Black, J. R. 1969.** Electromigration - A brief survey and some recent results. **IEEE Transactions on Electron Devices**, New York, Vol. 16, n. 4, pp. 338-347, april 1969.
- Butzen, Paulo Francisco. 2012.** Aging aware design techniques and CMOS gate degradation estimative. Departamento de Microeletrônica, Universidade Federal do Rio Grande do Sul. Porto Alegre, RS - Brazil : s.n., 2012. PhD Thesis.
- Cadence. 2015.** Encounter Digital Implementation System User Guide. [Online] 2015. [Citado em: 24 de July de 2016.] <http://www.cadence.com/products/di/edisystem/pages/default.aspx>.
- Cadence. 2009.** RTL Compiler. [Online] 2009. [Citado em: 24 de July de 2016.] <http://www.cadence.com>.
- Chen, C. P., Chu, C. C.-N. e Wong, D. F. 1999.** Fast and exact simultaneous gate and wire sizing by Lagrangian relaxation. In: IEEE/ACM International Conference on Computer-Aided Design, 1998, San Jose, CA. **Proceedings...** San Jose, CA: IEEE, 1998. p.101-105.
- Chen, Hai-Bao e Tan, Sheldon. 2016.** Analytical Modeling and Characterization of Electromigration Effects for Multibranch Interconnect Trees. **IEEE Transactions On Computer-Aided Design Of Integrated Circuits And Systems**, La Jolla, CA, Vol. 35, n. 11, pp. 1811-1824, november 2016.
- Cores, Open.** Open Cores. [Online] [Citado em: 14 de February de 2015.] <http://opencores.org>.
- FreePDK45. 2011.** FreePDK45 process design kit. [Online] 2011. [Citado em: 12 de January de 2015.] <http://www.eda.ncsu.edu/wiki/FreePDK45:Contents>.
- Geden, Bradley. 2011.** Understand and avoid electromigration (EM) & IR-drop in custom IP blocks. Nov de 2011.
- ITRS. 2011.** International Technology Roadmap for Semiconductors. [Online] 2011. [Citado em: 16 de February de 2015.] <http://www.itrs.net/reports.html>.
- ITRS. 2013.** International Technology Roadmap for Semiconductors. [Online] 2013. [Citado em: 20 de February de 2015.] <http://www.itrs2.net/reports.html>.

Jain, P. e Jain, A. 2012. Accurate Current Estimation for Interconnect Reliability Analysis. **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, Durham, NC, Vol. 20, n. 9, pp. 1634-1644, september 2012.

Jens Lienig, Göran Jerke. 2005. Embedded Tutorial: Electromigration-Aware Physical Design of Integrated Circuits. In: 18th International Conference on VLSI Design held jointly with 4th International Conference on Embedded Systems Design, 2005, Kolkata, India. **Proceedings...** Kolkata, India. IEEE, 2005. p. 77-82.

Jens Liening, Matthias Thiele. 2018. Fundamentals of Electromigration-Aware Integrated Circuit Design. Dresden : Springer, 2018.

Jonggook, Kim, Tyree, V. C. e Crowell, C. R. 1999. Temperature gradient effects in electromigration using an extended transition probability model and temperature gradient free tests. I. Transition probability model. In: IEEE International Integrated Reliability Workshop, 1999, Lake Tahoe, CA. **Proceedings...** Lake Tahoe, CA. IEEE, 1999. p. 24-40.

Kahng, A. B. 2011. VLSI Physical Design: From Graph Partitioning to Timing Closure. s.l. : Springer, 2011. ISBN: 9789048195916.

Kahng, A. B., Nath, S. e Rosing, T. S. 2013. On potential design impacts of electromigration awareness. In: 18th Asia and South Pacific Design Automation Conference (ASP-DAC), 2013, Yokohama, Japan. **Proceedings...** Yokohama, Japan. IEEE, 2013. p. 527-532.

Kahng, Andrew B., Kang, Seokhyeong e Lee, Hyein. 2013. Smart Non-default Routing for Clock Power Reduction. In: 2013 50th ACM/EDAC/IEEE Design Automation Conference (DAC), 2013, Austin, TX. **Proceedings...** Austin, TX. IEEE, 2013. p. 91:1--91:7.

Korhonen, M.A., et al. Stress evolution due to electromigration in confined metal lines. **Journal of Applied Physics**, New York, Vol. 73, n. 8, pp. 3790–3799, december 2012.

Lee, John Hyung. 2012. Implications of Modern Semiconductor Technologies on Gate Sizing. University of California Los Angeles. s.l. : <https://escholarship.org/uc/item/56s9b2tm>, 2012. Ph.D. Thesis.

Lee, K.-D. 2012. Electromigration Recovery and Short Lead Effect under Bipolar- and Unipolar-Pulse Current. In: IEEE International Reliability Physics Symposium (IRPS), 2012, Anaheim, CA. **Proceedings...** Anaheim, CA. IEEE, 2012. p. 6.B.3.1--6.B.3.4.

Li, Baozhen, et al. 2014. Electromigration challenges for advanced on-chip Cu interconnects. **Microelectronics Reliability**, Albany, NY, Vol. 54, n. 4, pp. 712-724, april 2014.

Lienig, J. 2013. Electromigration and its impact on physical design in future technologies. In: ACM International symposium on Physical Design, 2013, Stateline, NV. **Proceedings...** Stateline, NV. IEEE, 2013. p. 33-40.

Lin, M.H. e Oates, A.S. 2016. Electromigration Failure of Circuit Interconnects. In: IEEE International Reliability Physics Symposium (IRPS), 2016, Pasadena, CA. **Proceedings...** Pasadena, CA. IEEE, 2016, p. 5B-2-1 - 5B-2-8.

Maricau, Elie e Gielen, Georges. 2013. Analog IC Reliability in Nanometer CMOS. [S.I.] : Springer, 2013.

Moore, Gordon E. 1965. Cramming more components onto integrated circuits. **IEEE Solid-State Circuits Society Newsletter**, [S.I.], Vol. 11, n. 3, pp. 33-35, september 2006.

Nunes, R. e de Orio, R. 2016. A Methodology to Identify Critical Interconnects Affected by Electromigration. In: 31st Symposium on Microelectronics Technology and Devices (SBMicro), 2016, Belo Horizonte, MG. **Anais...** Belo Horizonte, MG: IEEE, 2016. p. 4.

Posser, Gracieli, et al. 2014. A Systematic Approach for Analyzing and Optimizing Cell-Internal Signal Electromigration. In: IEEE/ACM International Conference on Computer-Aided Design (ICCAD), San Jose, CA. **Proceedings...** San Jose, CA: IEEE, 2014. p. 486-491.

Posser, Gracieli, et al. 2014. Analyzing the Electromigration Effects on Different Metal Layers and Different Wire Lengths. In: 21st IEEE International Conference on Electronics, Circuits and Systems (ICECS), Marseille, France. **Proceedings...** Marseille, France: IEEE, 2014. p. 682-685.

Posser, Gracieli, et al. 2015. Reducing the Signal Electromigration Effects on Different Logic Gates by Cell Layout Optimization. In: 2015 IEEE 6th Latin American Symposium on Circuits & Systems (LASCAS), Montevideo, Uruguay. **Proceedings...** Montevideo, Uruguay: IEEE, 2015. p. 1-4.

Posser, Gracieli, Sapatnekar, Sachin S. e Reis, Ricardo. Electromigration Inside Logic Cells - Modeling, Analyzing and Mitigating Signal Electromigration in NanoCMOS. [S.I.]: Springer, 2017.

Rangarajan, Geetha e Deng, James. 2013. Addressing signal electromigration (EM) in today's complex digital designs. [Online] 2013. [Citado em: 15 de fevereiro de 2015.] https://www.eetimes.com/document.asp?doc_id=1280370.

Sapatnekar, S. S. 2013. What happens when circuits grow old: Aging issues in CMOS design. In: International Symposium on VLSI Technology, Systems and Application, 2013, Hsinchu, Taiwan. **Proceedings...** Hsinchu, Taiwan: IEEE, 2013. p. 1-2.

Srinivasan, Jayanth, et al. The Case for Lifetime Reliability-Aware Microprocessors. In: 31st Annual International Symposium On Computer Architecture, Munchen, Germany. **Proceedings...** Munchen, Germany: IEEE, 2004. p. 276.

Ting, L. M., et al. 1993. AC electromigration characterization and modeling of multilayered interconnects. In: 31st Annual Proceedings Reliability Physics, Atlanta, GA. **Proceedings...** Atlanta, GA: IEEE, 1993. pp. 311-316.

Wu, Kai-Chiang, et al. Mitigating lifetime underestimation: A system-level approach considering temperature variations and correlations between failure mechanisms. In: 2012 Design, Automation & Test in Europe Conference & Exhibition (DATE), Dresden, Germany. **Proceedings...** Dresden, Germany: IEEE , 2012, pp. 1269-1274.

Xie, J., Narayanan, V. e Xie, Y. 2012. Mitigating electromigration of power supply networks using bidirectional current stress. In: Great Lakes Symposium On VLSI, Salt Lake City, UT. **Proceedings...** Salt Lake City, UT: IEEE, 2012. pp. 299-302.