

THESE

présentée à

L'INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

pour obtenir le titre de

Docteur Ingénieur
Informatique (option microélectronique)

par

Ricardo Augusto DA LUZ REIS

TESS

EVALUATEUR TOPOLOGIQUE PREDICTIF
POUR LA GENERATION AUTOMATIQUE
DES PLANS DE MASSE DE CIRCUITS VLSI.

Soutenue le 11 janvier 1983 devant la Commission d'Examen:

Monsieur F. ANCEAU : *Président*

Messieurs J. BOREL
J. FREHEL
P. GENTIL
J. LARDY
J. LAZZARI

Examineurs

UFRGS

INSTITUTO DE INFORMÁTICA
BIBLIOTECA



UFRGS

SABi



05225454

Année universitaire 1982-1983

Président : Daniel BLOCH

Vice-Présidents : René CARRE
Hervé CHERADAME
Marcel IVANES

PROFESSEURS DES UNIVERSITÉS

ANCEAU François	I.N.S.I.M.A.G
BARRAUD Alain	E.N.S.I.E.G
BAUDELET Bernard	E.N.S.I.E.G
BESSON Jean	E.N.S.E.E.G
BLIMAN Samuel	E.N.S.E.R.G
BLOCH Daniel	E.N.S.I.E.G
BOIS Philippe	E.N.S.H.G
BONNETAIN Lucien	E.N.S.E.E.G
BONNIER Etienne	E.N.S.E.E.G
BOUVARD Maurice	I.N.S.H.G
BRISSONNI AU Pierre	E.N.S.I.E.G
BUYLE-BODIN Maurice	E.N.S.E.R.G
CAVAIGNAC Jean-François	E.N.S.I.E.G
CHARTIER Germain	E.N.S.I.E.G
CHENEVIER Pierre	E.N.S.E.R.G
CHERADAME Hervé	H.C.P.P
CHERUY Ariette	E.N.S.I.E.G
CHIAVERINA Jean	H.C.P.P
COHEN Joseph	E.N.S.E.R.G
COMES André	E.N.S.E.R.G
DURAND Francis	E.N.S.E.E.G
DURAND Jean-Louis	E.N.S.I.E.G
FELICI Noël	E.N.S.I.E.G
FOULARD Claude	E.N.S.I.F.G
GENTIL Pierre	E.N.S.E.R.G
GUERIN Bernard	E.N.S.E.R.G
GUYOT Pierre	E.N.S.E.E.G
IVANES Marcel	E.N.S.I.E.G
JAUSSAUD Pierre	E.N.S.I.E.G
JOUBERT Jean-Claude	E.N.S.I.E.G
JOURDAIN Geneviève	E.N.S.I.E.G
LACOURE Jean-Louis	E.N.S.I.E.G
LATOURDE Jean-Claude	E.N.S.I.N.A.G
LESTEUR Marcel	E.N.S.H.G
LESPINARD Georges	E.N.S.H.G
LONGUEUE Jean-Pierre	E.N.S.I.E.G
MAZARE Guy	E.N.S.I.M.A.G
MOREAU René	E.N.S.H.G
MORET Roger	E.N.S.I.E.G
MOUSTIERE Jacques	E.N.S.I.M.A.G
PARLAUD Jean-Charles	E.N.S.E.F.G

PAUTHENET René	E.N.S.I.E.G
PERRET René	E.N.S.I.E.G
PERRET Robert	E.N.S.I.E.G
PIAU Jean-Michel	E.N.S.H.G
POLOUJADOFF Michel	E.N.S.I.E.G
POUPOT Christian	E.N.S.E.R.G
RAMEAU Jean-Jacques	E.N.S.E.E.G
RENAUD Maurice	M.C.P.P
ROBERT André	M.C.P.P
ROBERT Francois	E.N.S.I.M.A.G
SABONNADIERE Jean-Claude	E.N.S.I.E.G
SAUCIER Gabrielle	E.N.S.I.M.A.G
SCHLENKER Claire	E.N.S.I.E.G
SCHLENKER Michel	E.N.S.I.E.G
SERMET Pierre	E.N.S.E.R.G
SOUQUET Jean-Louis	E.N.S.E.E.G
SILVY Jacques	M.C.P.P
SOHN Jean-Claude	E.N.S.E.E.G
VEILLON Gérard	E.N.S.I.M.A.G
ZADWORYN François	E.N.S.E.R.G

PROFESSEURS ASSOCIES

ANTONIA Robert	E.N.S.H.G
BASTIN Georges	E.N.S.H.G
CARREAU Pierre	E.N.S.H.G
GANDINI Alessandro	M.C.P.P
HAYASHI Hirashi	E.N.S.I.E.G
NOWACKI Krzysztof	E.N.S.H.G
PAPATRIANTAFILLOU Costas	E.N.S.E.R.G
SILVESTER Peter	E.N.S.I.E.G

PROFESSEURS E.N.S MINES DE SAINT ETIENNE

RIEU Jean
SOUSTELLE Michel

CHERCHEURS DU C.N.R.S

FRUCHART Robert	Directeur de recherche
VACHAUD Georges	Directeur de recherche
ALLIBERT Colette	Maître de recherche
ALLIBERT Michel	Maître de recherche
ANSARA Ibrahim	Maître de recherche
ARMAND Michel	Maître de recherche
BINDER Gilbert	
CARRE René	Maître de recherche

CHERCHEURS DU C.N.R.S. (Suite)

DAVID René	Maître de recherche
DEPORTE Jacques	
DRIOT Jean	Maître de recherche
GIGNOUX Damien	
GIVORD Dominique	
GUEIN Pierre	
HOPFINGER Paul	Maître de recherche
KAMAHINDOS Georges	Maître de recherche
KLEITZ Michel	Maître de recherche
LAMDAU Jean-Dore	Maître de recherche
LASJAUNIAS J.C.	
MIRREI Jean	Maître de recherche
MONTIER Jacques	Maître de recherche
PIAO Ronique	
PORTSEIL Jean-Louis	
THOUINET Jean-Louis	
VERDILLON André	Maître de recherche

CHERCHEURS DU MINISTRE DE LA RECHERCHE ET DE LA TECHNOLOGIE

(Directeurs et Maîtres de recherche - E.N.S Mines de St Etienne)

LESBAIS Pierre	Directeur de recherche
BISCARDI Michel	Maître de recherche
KOBYANSKI André	Maître de recherche
LE COZI Jean	Maître de recherche
LALAUZE René	Maître de recherche
LANCELLOTTI Francis	Maître de recherche
HIEVENOT François	Maître de recherche
TRAN BINH Cuoh	Maître de recherche

PERSONNALITES HABILITEES A DIRIGER DES TRAVAUX DE RECHERCHE

(Décision du Conseil Scientifique)

I. N. S. E. T. G.

BERNARD Claude	JUDD Jean-Charles
BONNET Roland	HALBI JAC Yves (CING)
CAHILLI Marcel	HARLIN-GARIN Régina
CHAFFLON Catherine	NGUYEN THONG Bernadette
CHAFFLON Christian	RAVAINE Denis
COULON Michel	SAINFORT (CING)
DIARD Jean-Paul	SARRAZIN Pierre
EUSTATHIOPOULOS Nicolas	SIBON Jean-Paul
FOSTER Panayotis	TOUZAIN Philippe
GALLER Alain	URBAIN Georges (Laboratoire des ultra- refractaires, ODEURO)
HAMROU Abdelkader	

PERSONNALITES HABILEES A DIRIGER DES TRAVAUX DE RECHERCHE (Suite)(Décision du Conseil Scientifique)E.N.S.M Saint Etienne

GUILHOT Bernard
 THOMAS Gérard
 DRIVER Julian

E.N.S.E.R.G

BARIBAUD Michel
 BOREL Joseph
 CHOVEL Alain
 CHEIKKIAN Alain
 DOLMAZON Jean-Marc
 HERAULT Jeanny
 MONLOR Christian

E.N.S.I.E.G

BORNARD Guy
 DESCHIZEAUX Pierre
 GLANGEAUD François
 KOFFMAN Walter
 LEJEUNE Gérard
 MAZUER Jean
 PERARD Jacques
 REINISCH Raymond

E.N.S.H.G

ALEMANY Antoine
 BOIS Daniel
 DARVE Félix
 MICHEL Jean-Marie
 OBLED Charles
 ROWE Alain
 VAUCLIN Michel
 WACK Bernard

E.N.S.I.M.A.G

BERT Didier
 CALMET Jacques
 COURTIN Jacques
 COURTOIS Bernard
 DELLA DORA Jean
 FONLUPT Jean
 SIFAKIS Joseph

UER M.C.P.P

CHARUEL Robert

C.F.N.G

LADRI Jean
COEHR Philippe (1111)
DELMAY Jean-Marie (511)
DUPUY Michel (1111)
JOUVE Robert (1111)
NICOLAU Yves (1111)
NIFFENCKER Hervé
PERRAUD Paul
PEUZIN Jean-Claude (1111)
TAIEB Maurice
VINCLONDON Marc

Laboratoires extérieurs : C.N.E.T

DEMOUIN Eric
DEVINE R.A.B
GLRIER Roland
MERCKEL Gérard
PAULAU Yves

INSA de LYON

GAUBERT C

.....

*à Lucia et à Mariana,
à mes parents.*

Je tiens à remercier,

- Monsieur François ANCEAU, Professeur à l'Institut National Polytechnique de Grenoble, qui a bien voulu m'accepter au sein de l'Equipe de Recherche en Architecture des Ordinateurs, et qui a bien voulu me faire l'honneur de présider le jury de cette thèse. Monsieur F. ANCEAU est aussi à l'origine de l'idée de base de ce document.

- les rapporteurs extérieurs de cette thèse: Monsieur J. LARDY, Responsable de l'Equipe de Conception au CNET, Meylan et Monsieur J. LAZZARI, Directeur du Service MSC au LETI-CENG, qui ont bien voulu juger mon travail et faire partie du jury. Qu'ils sachent que leur contribution a été appréciée, aussi comme leur gentillesse.

- Messieurs J. BOREL, Directeur du Département de Recherche et Développement à la Société EFCIS, J. FREHEL, Directeur du Service CSAO à la Société THOMSON St. Egrève et P. GENTIL, Professeur à l'Institut National Polytechnique de Grenoble et Directeur du Centre Interuniversitaire de Microélectronique, qui ont bien voulu accepter de participer au jury de cette thèse, malgré leurs nombreuses occupations.

- Messieurs Alain GUYOT et Iping SUPRIANA pour leur travaux d'implémentation de l'éditeur graphique FLOPE.

- tous mes collègues, membres de l'Equipe de Recherche en Architecture des Ordinateurs, avec qui j'ai eu des échanges fructueux.

- Monsieur Eytan ZYSMAN, pour sa patience à réviser le français de ce texte.

- Monsieur Jean-Pierre SCHOELLKOPF pour avoir implementé le système d'édition de texte, qui a été utilisé dans ce document.

- Madame Hélène DIAZ qui a assuré l'entrée de cet thèse dans l'éditeur de texte, pour sa gentillesse permanente.

- le Service de Reprographie de l'IMAG; D. IGLESIAS ainsi que C. ANGUILLE, C. LABORIE, J.M. MOLLIER, P. MOUNET. La présentation de cette thèse est le reflet de leur compétence et de leur gentillesse.

- l'Universidade Federal do Rio Grande do Sul, Porto Alegre (BRASIL), et plus particulièrement Monsieur Daltro José NUNES, Ex-Coordenateur du Curso de Pos-Graduação em Ciência da Computação, qui est à l'origine de ma venue en France.

- le CNPq (Conselho Nacional de Desenvolvimento Científico e Tecnológico) et la CAPES (Coordenação de Aperfeiçoamento do Pessoal de Ensino Superior), pour leur soutien financier.

RESUME

La prédiction de l'organisation topologique du plan de masse d'un circuit VLSI complexe est très importante pour sa conception. Cette thèse présente une étude sur les propriétés statistiques des dessins des masques des principaux blocs constituant un circuit intégré. Un outil prototype d'évaluation topologique est également présenté. Cet outil donne une évaluation de la forme et de la taille de ces blocs, à partir de leurs spécifications fonctionnelles. Il est composé par un ensemble de sous-programmes d'évaluation spécialisés pour les différents types de blocs fonctionnels qui peuvent constituer un circuit VLSI.

MOTS-CLES:

CAO, VLSI, METHODOLOGIE DESCENDANTE, PLAN DE MASSE, EVALUATION PREDICTIVE, TOPOLOGIE, OPTIMISATION.

ABSTRACT

The prediction of the floor plan topological organization in the design process of a complex VLSI circuit is very important. This thesis presents a study about statistical properties of the main blocks that compose an integrated circuit. A prototype tool for topological evaluation is also presented. This tool provides an evaluation of the shape and size of these blocks from their functional specifications. It is composed of a set of evaluation routines specialized for the different functional blocks which may constitute a VLSI circuit.

KEYWORDS:

CAD, VLSI, TOP-DOWN METHODOLOGY, FLOOR-PLAN, PREDICTIVE EVALUATION, TOPOLOGICAL OPTIMIZATION.

RESUMO

A predição da organização topológica do plano de massa de um circuito VLSI complexo é de muita importância em seu projeto. Esta tese apresenta um estudo sobre as propriedades estatísticas dos desenhos dos principais blocos que constituem um circuito integrado. Uma ferramenta prototipo de avaliação topológica é igualmente apresentada. Esta ferramenta fornece uma avaliação da forma e do tamanho destes blocos, a partir de suas especificações funcionais. Ela é composta de um conjunto de rotinas de avaliação especializadas nos diferentes tipos de blocos funcionais que podem constituir um circuito VLSI.

PALAVRAS-CHAVE:

PAC, VLSI, METODOLOGIA DESCENDENTE, PLANO DE MASSA, AVALIAÇÃO PREDICTIVA, OTIMIZAÇÃO TOPOLOGICA.

LISTE DES ABBREVIATIONS

CAO	- conception assistée par ordinateur.
DX	- dimension dans la direction x.
DY	- dimension dans la direction y.
E/S	- entrée/sortie.
K	- coefficient d'optimisation.
L	- longueur d'une bande donnée en nombre de pas de poly.
LB	- largeur d'une bande.
LNB	- longueur d'une bande (en microns).
NB	- nombre de bits.
NE	- nombre d'entrées.
NI	- nombre de lignes internes d'une bande.
NM	- nombre de mots.
NME	- nombre de monômes.
NN	- nombre de niveaux de la matrice "ou" d'une PLA.
NS	- nombre de sorties.
NT	- nombre de transistors.
PE	- pas entre les entrées d'un plan mémoire.
PLA	- matrice logique programmable (Programmable Logic Array).
PM	- pas de métal.
PME	- moyenne entre le pas de métal et le pas de poly.
PP	- pas de poly.
PS	- pas entre les sorties d'un plan mémoire.
RAM	- mémoire vive (Random Access Memory).
RH	- rappel de masse.
ROM	- mémoire morte (Read Only Memory).
SHT	- surface moyenne par transistor.
ST	- surface totale.
STB	- surface totale par bit.
T	- transparence en nombre de canaux libres.
TDM	- taux de duplication de monômes.
TN	- probabilité de transparence d'une bande.

TOS - taux d'optimisation de surface (%).
TR - taux de remplissage d'un plan mémoire.
TRN - taux de réduction du nombre de niveaux.
UAL - unité arithmétique et logique.
VLSI - intégration à haute échelle.

TABLE DES MATIERES

I - INTRODUCTION.....	27
1.1. L'environnement de TESS.....	28
1.2. La réalisation de l'étude.....	29
1.3. L'outil prototype.....	31
1.4. Plan de l'ouvrage.....	31
II - METHODOLOGIE	
11.1. Introduction.....	35
11.2. Optimisation topologique.....	36
11.2.1. L'importance de la forme des blocs.....	36
11.2.2. Le problème des interconnexions.....	37
11.3. Stratégie d'utilisation des couches d'interconnexions.....	41
11.3.1. Nappes croisées d'informations.....	42
11.4. Organisation en bandes des blocs en logique aléatoire.....	43
11.5. Le processus de conception d'un circuit complexe..	45
11.6. Architecture externe et architecture interne.....	47
11.6.1. Architecture externe.....	47
11.6.2. Architecture interne.....	47
11.6.3. Topologie de microprocesseurs réels.....	49
III - L'EVALUATEUR TOPOLOGIQUE.....	57
111.1. La structure de données.....	61
111.2. Le prototype NHOS.....	63
111.3. Statistique en temps réel.....	66
111.4. Evaluation électrique.....	67
IV - MODULE D'EVALUATION DE ROM.....	73
114.1. Introduction.....	73
114.2. Evaluation de surface.....	74

IV.2.1. Evaluation de surface en fonction de PE et de PS.....	77
IV.2.1.1. calcul des dimensions du décodeur.....	79
IV.2.1.2. calcul des dimensions du multiplexeur.....	79
IV.2.1.3. calcul des dimensions du plan mémoire.....	80
IV.2.1.4. calcul des dimensions totales d'un bloc ROM.....	81
IV.2.2. Détermination de PE et de PS en fonction du pas de poly et du pas de métal.....	84
IV.2.3. Variation de forme d'une ROM en fonction de son organisation interne.....	88
IV.3. Calcul de surface en fonction du pas moyen.....	91
IV.4. Variation de surface en fonction de la variation des règles de dessin.....	94
IV.5. Variation de surface en fonction de la variation de la largeur.....	96
IV.6. Le sousprogramme d'évaluation.....	98
V - MODULE D'EVALUATION DES PLAS.....	101
V.1. Evaluation de surface des PLAs classiques.....	102
V.1.1. PLA classique.....	102
V.1.2. Evaluation de surface d'un point PLA.....	106
V.1.3. Evaluation de surface du bloc PLA.....	106
V.2. Evaluation de la surface de PLAs optimisés.....	108
V.2.1. Optimisation sans duplication de monômes.....	108
V.2.2. Optimisation avec duplication de monômes.....	112
V.2.3. Comparaison entre les méthodes d'optimisation sans et avec duplication de monômes.....	116
V.2.4. Evaluation de surface.....	116
V.2.4.1. PLAs sans duplication de monômes.....	118
V.2.4.2. PLAs avec duplication de monômes.....	118
V.3. Le sousprogramme d'évaluation.....	120

VI - EVALUATION DE BLOCS EN LOGIQUE ALEATOIRE.....	123
VI.1. Introduction.....	123
VI.2. Structure en bandes.....	125
VI.2.1. largeur d'une bande.....	132
VI.3. La transparence d'une bande.....	134
VI.4. L'étude statistique.....	137
VI.4.1. statistique sur la surface moyenne par transistor.....	137
VI.4.2. statistique sur le nombre de lignes internes par bande.....	139
VI.4.3. statistique sur la transparence verticale.....	143
VI.4.4. statistique sur la transparence horizontale.....	145
VI.4.4.1. transparence moyenne d'une cellule.....	146
VI.4.4.2. probabilité d'utilisation des lignes dans une bande.....	150
VI.5. Le module d'évaluation.....	154
VI.5.1. évaluation de surface.....	154
VI.5.2. évaluation de la forme.....	156
VI.6. Le sousprogramme d'évaluation.....	157
VII - CONSIDERATIONS SUR L'EVALUATION DE LA SURFACE DE REGISTRES ET MEMOIRES RAM STATIQUES.....	161
VII.1. Le point mémoire.....	162
VII.1.1. point mémoire de quelques microprocesseurs.....	164
VII.1.2. dimensions des points mémoire en fonction du pas de poly et du pas de métal.....	169
VII.1.2.1. largeur d'une cellule en fonction du pas de poly.....	171
VII.1.2.2. largeur d'une cellule en fonction du pas de métal.....	173
VII.1.2.3. surface en fonction du produit PP x PH.....	176

VII.2. Etude de la déformabilité d'un point de registre.	178
VII.2.1. le registre de base.....	179
VII.2.2. introduction de contraintes topologiques	180
VII.2.3. courbe de la déformabilité d'un point de registre.....	181
VIII - FLOPE: EDITEUR GRAPHIQUE DE PLAN DE MASSE.....	185
VIII.1. Visualisation du circuit.....	186
VIII.2. Manipulation de la structure du circuit.....	189
VIII.3. Manipulation topologique des blocs.....	191
IX - CONCLUSION.....	195
X - ANNEXES.....	199
ANNEXE 1 : STATISTIQUES SUR LES BLOCS EN LOGIQUE ALEATOIRE....	199
1.1. INTEL 8085.....	199
1.1.1. statistique sur le nombre de lignes par bande....	203
1.1.2. statistique sur la surface moyenne par transistor.	206
1.1.3. statistique sur la transparence verticale.....	208
1.2. INTEL 8748.....	209
1.2.1. statistique sur le nombre de lignes par bande....	213
1.2.2. statistique sur la surface moyenne par transistor.	206
1.3. MOTOROLA 6800.....	219
1.3.1. statistique sur le nombre de lignes par bande....	223
1.3.2. statistique sur la surface moyenne par transistor.	225
1.3.3. statistique sur la transparence horizontale.....	227
1.4. MOTOROLA 6809.....	237
1.4.1. statistique sur le nombre de lignes par bande....	241
1.4.2. statistique sur la surface moyenne par transistor.	243
1.5. ZILOG Z80.....	245
1.5.1. statistique sur le nombre de lignes par bande....	249

1.5.2. statistique sur la surface moyenne par transistor.	253
1.5.3. statistique sur la transparence verticale.....	258
1.6. Z110G Z8000.....	259
1.6.1. statistique sur le nombre de lignes par bande....	263
1.6.2. statistique sur la surface moyenne par transistor.	268
1.6.3. statistique sur la transparence verticale.....	272
1.6.4. statistique sur la transparence horizontale.....	273
ANNEXE 2 - DEFORMABILITE D'UN POINT DE REGISTRE.....	289
ANNEXE 3 - POINT MEMOIRE D'UNE ROM.....	295
3.1. résumé des principales règles de dessin NMOS..	295
3.2. les règles de dessin NMOS utilisées dans un point mémoire ROM.....	296
ANNEXE 4 - EVOLUTION DU PAS MOYEN EN FONCTION DE LA DIMENSION NOMINALE.....	299
ANNEXE 5 - COMPARAISON DE SURFACE ENTRE LE 68000 ET LE Z8000..	303
ANNEXE 6 - EDITEUR GRAPHIQUE DE PLAN DE MASSE LISTE DE COMMANDES.....	307
ANNEXE 7 - EXEMPLE D'UTILISATION DU SYSTEME TESS-FLOPE.....	313
ANNEXE 8 - ROUTINES D'EVALUATION.....	329
XI - REFERENCES.....	341

LISTE DES FIGURES

I.1.	Définition de pas de métal et pas de poly.....	30
II.1.	Exemple des contraintes dimensionnelles.....	37
II.2.	Exemple d'optimisation de surface par un bon placement des connexions.....	38
II.3.	Optimisation de surface par le placement des interconnexions sur les portes logiques.....	40
II.4.	Cellule registre dessinée en utilisant une bande ou deux bandes.....	44
II.5.	Photo NEC 8080.....	50
II.6.	Photo Texas 7000.....	51
III.1.	Evaluateur topologique pour circuits VLSI.....	58
III.2.	Organigramme de l'évaluateur topologique.....	59
III.3.	Description arborescente.....	62
III.4.	Rapport entre pas de poly et pas de métal.....	64
III.5.	Environnement de l'évaluateur électrique.....	67
III.6.	Les modules d'évaluation.....	68
III.7.	Fluxogramme simplifié de la procédure d'évaluation topologique et électrique d'un circuit VLSI.....	70
IV.1.	Schéma simplifié d'un bloc ROM de 16 mots de 2 bits...	73
IV.2.	Photo d'un point mémoire ROM.....	76
IV.3.	Point mémoire d'une ROM (PE est le pas d'entrée et PS le pas de sortie).....	78
IV.4.	Dimensions externes et internes d'un bloc ROM.....	78
IV.5.	Variation de surface par bit en fonction de son organisation.....	83
IV.6.	Courbe PS/Pas de métal en fonction du pas de métal....	86

IV.7.	Courbe PE/Pas de poly en fonction du pas de poly.....	87
IV.8.	Variation de la forme en fonction de l'organisation pour une ROM de 256 mots de 4 bits.....	89
IV.9.	Variation de la forme en fonction de l'organisation pour une ROM de 512 mots de 16 bits.....	90
IV.10.	Rapport entre la moyenne des dimensions de PS et de PE et le pas moyen.....	93
IV.11.	Variation de surface en fonction de la variation des règles de dessin.....	95
IV.12.	Variation de surface par bit en fonction de son organisation et de sa dimension.....	97
V.1.	Schéma simplifié d'un PLA classique.....	102
V.2.	Photo d'un PLA.....	103
V.3.	Dessin d'un point PLA.....	104
V.4.	Photo d'un point PLA.....	105
V.5.	Dimensions externes d'un PLA.....	106
V.6.	Rapport entre le taux de réduction du nombre de niveaux et le taux de remplissage (PLA optimisé sans duplication de monômes).....	111
V.7.	Rapport entre le taux de réduction du nombre de niveaux et le taux de remplissage (PLA optimisé avec duplication de monômes).....	115
VI.1.	Division d'un bloc logique aléatoire en deux sousblocs	124
VI.2.	Concept de bande.....	126
VI.3.	Photo d'une bande.....	127
VI.4.	Disposition parallèle des bandes.....	128
VI.5.	Photo d'un ensemble de bandes.....	129
VI.6.	Disposition du réseau d'alimentation.....	130
VI.7.	Photo d'une distribution de la masse.....	131
VI.8.	Une cellule non-ET avec différentes transparences horizontales.....	136
VI.9.	Amplitude de la variation du nombre de lignes internes par bande.....	140

VI.10. Rapport entre le nombre moyen de lignes par bande et la complexité du circuit.....	142
VI.11. Distribution de l'utilisation des lignes internes des cellules du Z8000.....	147
VI.12. Distribution de l'utilisation des lignes internes des cellules du MC 6800.....	149
VI.13. Probabilité de transparence en fonction de la longueur de la bande (Z8000).....	151
VI.14. Probabilité de transparence en fonction de la longueur de la bande (6800).....	153
VII.1. Schéma d'une cellule mémoire classique à 6 transistors	163
VII.2. Point mémoire Z80.....	164
VII.3. Point mémoire NS 8070.....	165
VII.4. Point mémoire I 8085.....	166
VII.5. Point mémoire Z 8000.....	167
VII.6. Point mémoire 68000.....	168
VII.7. Largeur d'un point mémoire en fonction du pas de poly.	172
VII.8. Hauteur d'un point mémoire en fonction du pas de métal	175
VII.9. Surface d'un point mémoire en fonction du produit pas de métal x pas de poly.....	177
VII.10. Registre statique à 6 transistors.....	178
VII.11. Registre type à 6 transistors.....	179
VII.12. Déformabilité d'un registre à 6 transistors.....	182

LISTE DES FIGURES DES ANNEXES

X.1.1.	Photo du I 8085.....	200
X.1.2.	Plan de masse du I 8085.....	201
X.1.3.	Photo d'une tranche de la partie en logique aléatoire du 8085.....	202
X.1.4.	Distribution du nombre de lignes internes par bande...	205
X.1.5.	Photo du I8748.....	210
X.1.6.	Plan de masse du I8748.....	211
X.1.7.	Photo d'une tranche en logique aléatoire du I8748.....	212
X.1.8.	Distribution du nombre de lignes par bande.....	214
X.1.9.	Dimensions des zones de la statistique.....	215
X.1.10.	Photo du MC 6800.....	220
X.1.11.	Plan de masse du MC 6800.....	221
X.1.12.	Tranche de la partie controle du 6800 (logique aléatoire).....	222
X.1.13.	Distribution du nombre de lignes par bande.....	224
X.1.14.	Distribution du nombre de canaux occupés en fonction du nombre de cellules, pour un NL = 10 lignes.....	232
X.1.15.	" , pour un NL = 7 lignes.....	232
X.1.16.	" , pour un NL = 5 lignes.....	233
X.1.17.	Probabilité de transparence en fonction de la longueur de la bande, pour NL = 10.....	234
X.1.18.	Probabilité de transparence en fonction de la longueur de la bande, pour NL = 7.....	235
X.1.19.	Probabilité de transparence en fonction de la longueur de la bande, pour NL = 5.....	236
X.1.20.	Photo du MC 6809.....	238
X.1.21.	Topologie du MC 6809.....	239
X.1.22.	Tranche de la partie contrôle du 6800, en logique aléatoire.....	240
X.1.23.	Distribution du nombre de lignes par bande.....	242
X.1.24.	Photo du Z80.....	246
X.1.25.	Topologie du Z80.....	247
X.1.26.	Tranche de l'unité d'exécution d'instructions du Z80, en logique aléatoire.....	248

X.1.27.	Distribution du nombre de lignes par bande.....	252
X.1.28.	Dimensions des zones des statistiques.....	253
X.1.29.	Photo du Z8000.....	260
X.1.30.	Topologie générale du Z8000.....	261
X.1.31.	Tranche de l'unité d'exécution d'instructions du Z8000, en logique aléatoire.....	262
X.1.32.	Distribution du nombre de lignes par bande.....	267
X.1.33.	Dimensions des zones des statistiques.....	268
X.1.34.	Distribution du nombre de canaux occupés, pour NL = 12	282
X.1.35.	" " , pour NL = 9	282
X.1.36.	" " , pour NL = 7	283
X.1.37.	Probabilité de transparence en fonction de la longueur de la bande, pour NL = 12.....	284
X.1.38.	" " , pour NL = 9.....	285
X.1.39.	" " , pour NL = 7.....	286
X.1.40.	" " , pour NL = 5.....	287
X.2.1.	Registre dessiné sous une bande de 4 lignes internes..	291
X.2.2.	" " 5 " ..	291
X.2.3.	" " 7 " ..	292
X.2.4.	" " 10 " ..	292
X.2.5.	" " 2 " ..	293
X.2.6.	" " 1 " ..	293
X.3.1.	Point mémoire ROM NMOS.....	296
X.3.2.	Pas moyen en fonction de la dimension nominale du jeu de règles de dessin.....	297
X.7.1.	Description arborescente du circuit.....	315
X.7.2.	Figures des étapes d'assemblage d'un plan de masse à (hardcopies).....	318
X.7.11.		327

GUIDE DE LECTURE RAPIDE

Pour une lecture rapide, on présente ici une liste des titres plus importants.

I - INTRODUCTION

- I.1. L'environnement de TESS
- I.2. La réalisation de l'étude
- I.3. L'outil prototype

II - METHODOLOGIE

- II.1. Introduction
- II.2.1. L'importance de la forme des blocs
- II.2.2. Le problème des interconnexions
- II.4. Organisation en bandes des blocs en logique aléatoire
- II.5. Le processus de conception d'un circuit complexe

III - L'EVALUATEUR TOPOLOGIQUE

- III.2. Le prototype NMOS
- III.3. Statistique en temps réel
- III.4. Evaluation électrique

IV - MODULE D'EVALUATION DE ROM

- IV.2.1. Figure IV.5.
- IV.4. Variation de surface en fonction de la variation des règles de dessin
- IV.5. Variation de surface en fonction de la variation de la largeur

V - MODULE D'EVALUATION DES PLAS

- V.2. Evaluation de la surface de PLAs optimisés

VI - EVALUATION DE BLOCS EN LOGIQUE ALEATOIRE

(chapitre entier)

VII - CONSIDERATIONS SUR L'EVALUATION DE LA SURFACE DE
REGISTRES ET MEMOIRES RAM STATIQUES.

VII.1.2.1. largeur d'une cellule en
fonction du pas de poly

VII.1.2.2. largeur d'une cellule en
fonction du pas de métal

VII.2. Etude de la déformabilité d'un registre

IX - CONCLUSION

X.7 - ANNEXE 7 - Exemple d'utilisation du système TESS-FLOPE.

I - INTRODUCTION

Le savoir-faire existant aujourd'hui dans la technologie de fabrication des circuits intégrés, permet d'envisager la conception de circuits d'une complexité de l'ordre de un million de transistors. Cette complexité demande un changement dans la méthodologie de conception.

La méthodologie ascendante basée sur l'assemblage de transistors et de portes, jusqu'à obtenir le circuit complet, devient inapplicable. La méthodologie descendante basée sur la planification du plan de masse d'un circuit est la solution qui doit être employée. La construction du plan de masse est possible par l'évaluation prédictive de la surface des blocs fonctionnels qui le constituent.

Le plan de masse servira de structure d'évaluation et de gestion pendant la conception du circuit, où toutes les modifications effectuées seront reportées.

La conception de chaque bloc fonctionnel peut être ainsi partagée par différents concepteurs qui doivent respecter le plan de masse établi. La planification du plan de masse indique aussi quels sont les blocs nécessitant une optimisation plus importante, due à des contraintes topologiques plus sévères.

La recherche d'une optimisation globale de la surface est importante dans la mesure où une économie de surface conduit à une meilleure productivité.

L'architecture externe d'un circuit (la fonction de ce circuit) peut être implémentée par différentes architectures internes. Une aide importante dans la recherche d'une architecture interne plus intéressante, est obtenue par

UFRGS

INSTITUTO DE INFORMÁTICA

BIBLIOTECA

l'étude du plan de masse de plusieurs solutions possibles.

Notre étude consiste en la recherche de moyens pour effectuer une évaluation prédictive de la surface d'un circuit intégré, à partir de sa description à haut niveau. Donc, une recherche de moyens pour obtenir le plan de masse d'un circuit, avant la conception détaillée de ses blocs fonctionnels. Cette étude a été accompagnée du développement d'un outil d'évaluation topologique et d'un éditeur graphique (FLOPE) associé, implémentée par M. SUPRIANA [GUY 82].

1.1. L'ENVIRONNEMENT DE TESS

TESS, un évaluateur topologique pour circuits VLSI, fait partie d'un ensemble de projets groupés sous le nom de projet CAPRI, qui concerne un compilateur de silicium, en développement dans l'équipe de recherche en ARCHITECTURE DES ORDINATEURS, les autres projets faisant partie de CAPRI sont les suivants:

- langage IRENE (description à haut niveau),
- conception automatique de parties opératives,
- PAOLA, optimisation de grands PLAs,
- conception de parties contrôle.

Un autre ensemble de projets est regroupé sous le nom de LUCIE, outil de dessin de masques de circuits intégrés pour la recherche et l'enseignement:

- LUCIEN, extension du langage orienté vers un outil de structuration graphique,
- LUSTICK, dessin symbolique squelettisé,
- extracteur de schéma électrique,
- vérificateur des règles technologiques.

1.2. LA REALISATION DE L'ETUDE

Comme point de départ de l'étude, nous avons effectué une recherche bibliographique, mais aucun article sur le sujet n'a été trouvé. Aujourd'hui même, nous n'avons aucune notice sur d'autres recherches portant sur le même thème.

Les microphotographies de plusieurs microprocesseurs disponibles ont été notre matériel de recherche. Comme première étape de recherche, plusieurs études statistiques ont été effectuées sur ces microphotographies, ou directement sous microscope optique, avec l'aide d'un micromètre.

Les résultats de l'étude statistique ont permis l'obtention de formules d'évaluation de la surface pour quelques blocs fonctionnels: mémoires mortes (ROM), PLA, logique aléatoire et mémoires vives statiques (RAM). La méthodologie de travail appliquée dans l'étude de ces blocs, servira dans la recherche des formules d'évaluation pour d'autres blocs fonctionnels.

La diversité des règles de dessin employées dans la conception des microprocesseurs disponibles a compliqué les comparaisons de surface entre les circuits. La considération de toutes les règles de dessin mesurées au microscope, dans la comparaison des statistiques effectuées sur les circuits, allait nous demander un temps de travail énorme, prohibitif, pour obtenir les statistiques désirées. Le nombre de variables considérées auraient elles aussi beaucoup compliqué le dégagement de résultats utiles pour l'obtention des formules d'évaluation de surface.

Nous avons donc recherché un moyen pour pouvoir comparer facilement les surfaces de ces circuits.

L'observation des topologies de plusieurs microprocesseurs nous a montré qu'on peut considérer un circuit comme étant le

croisement de deux nappes de communication: une en métal et l'autre en silicium polycristallin (poly).

L'utilisation du pas de métal et du pas de silicium polycristallin (pas de poly) (figure I.1) tenant compte de la dimension des contacts comme unités de mesure été envisagée. La validité de ce choix a été prouvée par les résultats obtenus et qui sont présentés dans cet ouvrage. Le pas de métal et le pas de poly constituent donc un point-clef dans l'étude statistique. Ils permettent aussi d'analyser l'évolution de la technologie NMOS-DMOS.

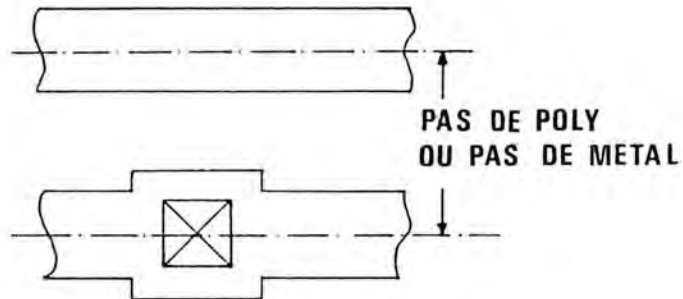


Figure I.1. - Pas de métal et pas de poly.

1.3. L'OUTIL PROTOTYPE

L'outil prototype développé présente une structure modulaire, avec des modules d'évaluation spécifiques pour chaque type de bloc fonctionnel pouvant participer à un circuit intégré. L'inclusion de nouveaux modules d'évaluation reste toujours ouverte.

L'utilisateur fournit à l'évaluateur les données nécessaires à l'évaluation de chaque bloc et le module correspondant à celui-ci donne comme réponse une évaluation de surface. L'utilisateur peut donc poser des contraintes topologiques et l'évaluateur donne une nouvelle évaluation respectant les contraintes posées.

La modification de la forme d'un bloc est possible, soit par la modification de son organisation interne, soit par la modification topologique (donc de la forme) de ses cellules de base.

1.4. PLAN DE L'OUVRAGE

Cet ouvrage est divisé en deux parties: le texte proprement dit (chapitres I à IX) et les annexes (chapitre X). Cette division est faite pour permettre une lecture plus facile.

La partie texte contient une description de la méthodologie associée, un résumé des résultats obtenus et l'analyse de ceux-ci. La partie annexe contient, principalement, les résultats détaillés de l'étude statistique réalisée.

Le chapitre II parle de la méthodologie descendante, basée sur l'utilisation d'une évaluation topologique permettant d'obtenir une planification du plan de masse d'un circuit.

Le chapitre III contient la description générale de l'évaluateur topologique et des extensions à développer: évaluation électrique et évaluation des connexions.

Le chapitre IV décrit le module d'évaluation des mémoires mortes (ROM).

Le chapitre V analyse les PLAs.

Le chapitre VI présente l'étude des blocs fonctionnels en logique aléatoire. Cette étude a été la plus complexe et la plus intéressante grâce aux résultats dégagés.

Le chapitre VII présente une étude sur les points de mémoires statiques et une autre étude sur la déformabilité d'un point registre.

Le chapitre VIII décrit l'éditeur graphique du plan de masse qui permet la manipulation et la construction d'un plan de masse sur un écran graphique.

Le chapitre IX résume nos conclusions.

L'annexe 1 présente, de façon détaillée, les statistiques effectuées sur les parties en logique aléatoire de plusieurs microprocesseurs. L'annexe 2 montre la déformabilité d'un point registre. Le dessin d'un point mémoire morte (ROM) est présenté dans l'annexe 3, avec l'indication des règles de dessin utilisées, pour quatre technologies NMOS. L'annexe 4 présente l'évolution du pas moyen en fonction de la dimension nominale.

L'annexe 5 donne une comparaison de surface entre les microprocesseurs Z8000 et 68000. La description des commandes existantes de l'éditeur de plan de masse est faite dans l'annexe 6. L'annexe 7 présente un exemple d'utilisation de l'évaluateur topologique. Finalement, l'annexe 8 présente les routines d'évaluation implémentées.

II-METHODOLOGIE

II.1 - INTRODUCTION

L'objectif de la conception d'un circuit intégré VLSI est de dessiner les masques qui seront utilisés pour sa réalisation. L'augmentation de la densité d'intégration, synonyme d'un bon rendement de production, conduit à l'utilisation d'une méthodologie de conception basée sur une étude topologique du circuit.

La conception d'un circuit intégré peut être faite en utilisant soit une approche ascendante, soit une approche descendante. Dans le premier cas, la conception de chaque bloc fonctionnel est faite de manière indépendante, du point de vue topologique. Par conséquent, l'assemblage des divers blocs fonctionnels, qui constituent un circuit, présente des problèmes topologiques et donne comme résultat une perte considérable de surface. Plus le circuit est complexe et constitué par un grand nombre de blocs, plus ce problème est important. La solution présentée ici est l'utilisation d'une démarche descendante guidée dans laquelle la définition de la structure topologique (métrique) se construit de manière parallèle grâce à des procédures d'évaluation. Le dessin du plan de masse constitue donc la première étape. Ce plan de masse sert de structure de gestion de la conception du circuit.

La variété des architectures internes possible pour la

réalisation d'un circuit donné pose le problème de savoir laquelle choisir. L'utilisation d'un outil d'évaluation topologique constitue une aide très importante pour effectuer ce choix.

Avec l'évaluateur topologique, on peut étudier de façon très rapide les plans de masse correspondants à diverses architectures internes possibles. La surface obtenue pour chaque solution et l'évaluation électrique de ces performances constituent des données très importantes pour le choix.

II.2 - OPTIMISATION TOPOLOGIQUE

La surface perdue entre les blocs fonctionnels doit être réduite au maximum. Ce but est obtenu par l'ajustement de la forme de chaque bloc à la place qui lui est destinée. Cette déformabilité d'un bloc par rapport aux contraintes dimensionnelles correspond au balayage des différentes solutions possibles pour sa réalisation.

II.2.1. L'importance de la forme des blocs

Il est préférable de dessiner un bloc en cherchant sa bonne imbrication dans le plan de masse plutôt que de chercher à obtenir sa surface minimale. La figure II.1 montre un circuit hypothétique où dans un cas (figure II.1.a) le bloc A occupe une surface minimale tandis que dans l'autre cas (figure II.1.b) sa surface est plus importante mais sa forme améliore l'imbrication. Le premier cas conduit à une surface totale supérieure parce que le bloc s'imbrique mal avec les blocs voisins. L'optimisation isolée de chaque bloc ne conduit pas obligatoirement à l'optimisation de la surface totale du circuit.

La surface occupée par les connexions dans un circuit intégré est souvent égale ou supérieure à la surface occupée par les blocs fonctionnels. L'approche classique, constituée par le placement et la connexion, des blocs fonctionnels conçus et optimisés séparément, donne évidemment comme résultat une surface du circuit équivalente à la somme des surfaces des connexions et des portes logiques.

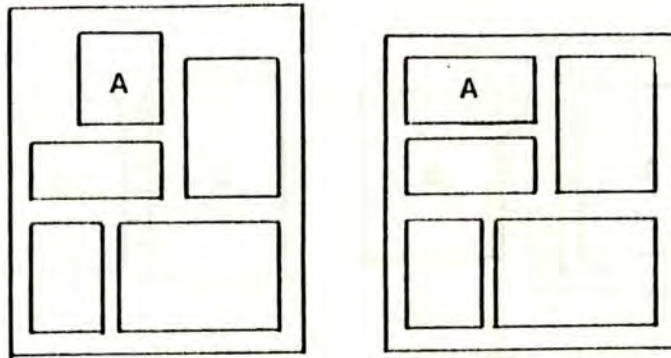


Figure 11.1. - Exemple des contraintes dimensionnelles

11.2.2. Le problème des interconnexions

Des remarques précédentes, il est important d'avoir le plus possible d'interconnexions directes entre les blocs, ou superposées à ceux-ci, pour réduire la surface perdue par les interconnexions. Il faut donc réaliser un compromis entre la réduction de la surface d'un bloc fonctionnel et la réduction de la surface de ses interconnexions avec les autres blocs.

La figure II.2 nous montre un exemple hypothétique, où dans le premier cas (figure II.2.a) le bloc A occupe moins de surface que dans le deuxième cas (figure II.2.b), mais où la surface perdue par les interconnexions entre le bloc A et le bloc B est plus grande, ce qui conduit à une surface totale du circuit (blocs et interconnexions) plus grande.

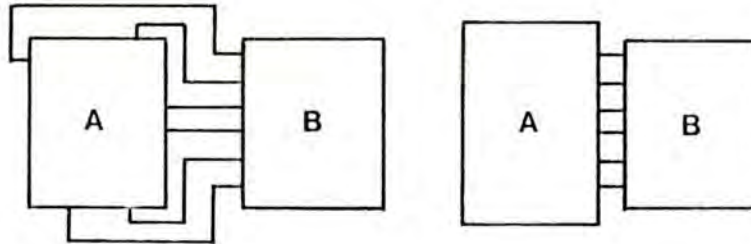


Figure II.2

L'observation des règles suivantes conduit à une meilleure optimisation en surface des circuits:

- a- Suppression des zones de connexions pures par l'utilisation de connexions directes entre les blocs et par la prise en compte de cette contrainte dans la conception de ces blocs.

- b- Superposition des connexions et des portes logiques. L'existence de plusieurs couches conductrices permet le dessin des portes sous les connexions.

c- Utilisation de la transparence des blocs. Il est souvent préférable de passer les connexions sur les blocs que de les contourner. Chaque bloc est caractérisé par des coefficients de transparence horizontale et verticale, qui indiquent la quantité de connexions qui peuvent le traverser dans ces deux directions.

L'application de ces règles suggère la possibilité de caractériser la perte de qualité de la conception d'un circuit intégré par le pourcentage de la surface utilisée seulement pour le passage des interconnexions sans aucun transistor sous ces interconnexions.

La figure II.3 montre un exemple de réduction de la surface totale (portes logiques et connexions), par le placement des connexions sur les portes logiques. Il montre une porte NON-ET à trois entrées et trois lignes d'interconnexions. Dans le premier cas (figure II.3.a), la brique NON-ET est dessinée sur une bande de 4 lignes et les interconnexions passent à l'extérieur de cette bande. Dans le second cas (figure II.3.b), les interconnexions sont placées sur la bande, provoquant son élargissement à 7 lignes ce qui donne plus de place pour implanter la porte NON-ET. La hauteur totale (H) de l'ensemble (portes + connexions) est la même dans les deux cas, mais la largeur (L) est plus petite dans le dernier cas.

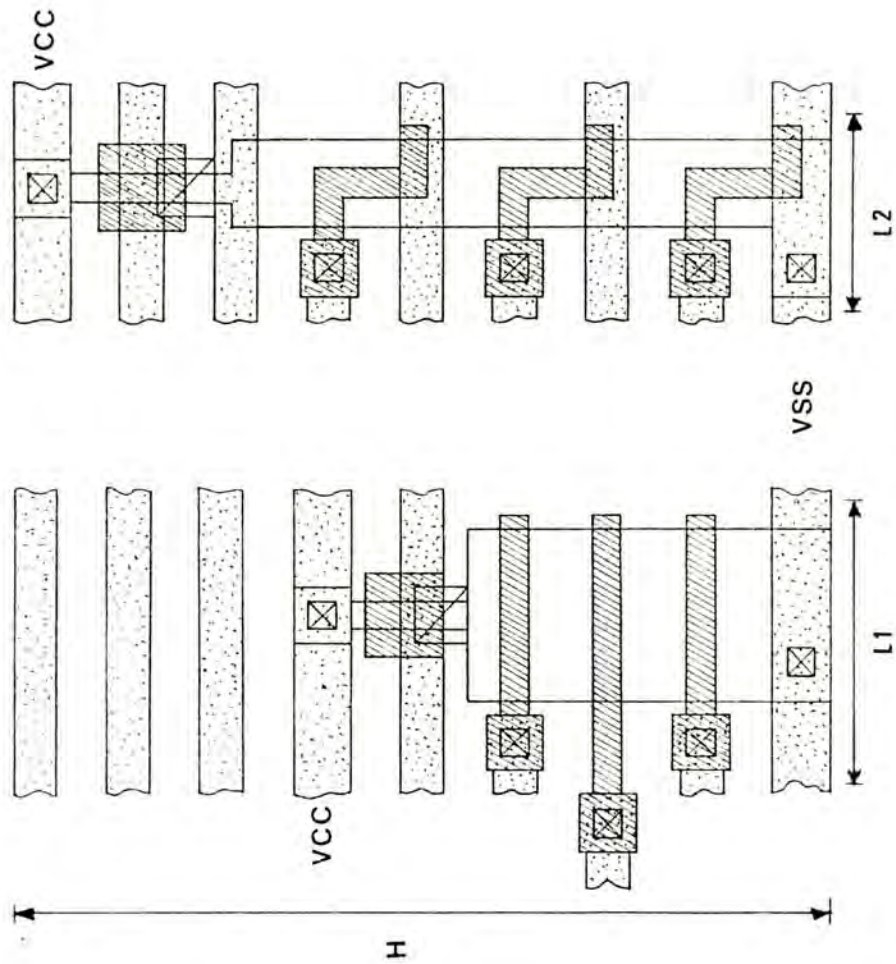


Figure II.3 - Optimisation en surface par le placement des interconnexions sur les portes logiques.

11.3 - STRATEGIE D'UTILISATION DES COUCHES D'INTERCONNEXIONS

L'utilisation des règles décrites ci-dessus montre que le dessin et l'optimisation des couches d'interconnexions doivent être faits avant ceux des portes logiques, bien que dans la pratique il faille faire le contraire. En réalité, l'application de cette stratégie est quelquefois affectée par des problèmes liés au fait que la réalisation des portes logiques peut demander l'utilisation locale de couches supérieures, prévues comme couches d'interconnexions [ANC 828].

Ces problèmes peuvent se présenter dans les cas suivants:

a- Technologie grille aluminium (aujourd'hui dépassée),

b- Utilisation de ponts métalliques (butting contacts), dans quelques technologies, pour l'implémentation des connexions entre les couches profondes (par exemple, dans la technologie CMOS des ponts métalliques sont utilisés pour connecter la diffusion p⁺ et le silicium polycristallin n).

c- Problèmes topologiques pouvant demander l'utilisation d'un nombre plus grand de couches conductrices pour la réalisation des cellules que celles qui leur ont été réservées. Dans ce cas, quelques connexions locales de portes logiques doivent utiliser les couches supérieures.

Les perturbations dans les couches supérieures peuvent être prévues dans l'allocation des lignes d'interconnexions, par la réservation de places libres dans ces nappes. Mais il arrive quelquefois que ces perturbations soient si importantes, que la stratégie de superposition d'interconnexions et de portes logiques devient impossible à utiliser.

L'allocation des différentes couches conductrices doit être faite en accord avec leurs caractéristiques électriques. Les meilleures, du point de vue résistance-capacitance, seront utilisées par les connexions les plus longues. Toutefois les lignes d'alimentation utilisent les couches métalliques, avec quelques exceptions.

11.3.1. Nappes croisées d'informations

Dans presque tous les cas, les différents blocs peuvent être vus comme une zone de croisement de deux flux d'informations (par exemple, flux de données et flux de commandes). Ceci peut être réalisés physiquement par deux couches d'interconnexions perpendiculaires entre elles qui utilisent les deux meilleures couches conductrices.

La couche métallique doit être utilisée pour l'implémentation de la couche d'interconnexion la plus dense et la plus longue, et pour le réseau d'alimentation. La couche en silicium polycristallin doit être partagée entre les grilles des portes logiques et la deuxième couche d'interconnexions.

L'orientation des couches d'interconnexions et l'allocation des couches conductrices doivent être faites pour tout le circuit (à partir d'informations fournies par le plan de masse) et doivent être les mêmes pour la surface la plus grande possible.

II.4 - L'ORGANISATION EN BANDES DES BLOCS EN LOGIQUE ALEATOIRE

L'application des principes exposés ci-dessus et le fait que les lignes d'alimentation sont normalement réalisées comme deux peignes imbriqués, amène à utiliser une technique d'implantation en bandes [BIA 81] [FIL 81]. Une définition formalisée d'une structure en bandes est présentée dans le chapitre VI.2.

Dans cette approche, les lignes métalliques sont implantées parallèlement, avec un pas minimum, entre les dents des peignes d'alimentation (le pas de ces lignes permet seulement l'utilisation de contacts alternés).

La couche métallique présente des espaces libres qui sont réservés pour la réalisation des connexions locales. Le niveau d'interconnexions qui utilise la couche de silicium polycristallin sera perpendiculaire à la couche métallique. Les transistors sont réalisés sous les lignes métalliques en utilisant les couches de diffusion et de silicium polycristallin.

Le dessin des cellules (par exemple, une cellule registre) peut être fait en utilisant une ou deux bandes en accord avec les contraintes topologiques de ces cellules (figure II.4).

Comme dans la gestion des couches d'interconnexions, les bandes doivent être les plus longues possible et doivent s'étendre sur le plus grand nombre possible de blocs.

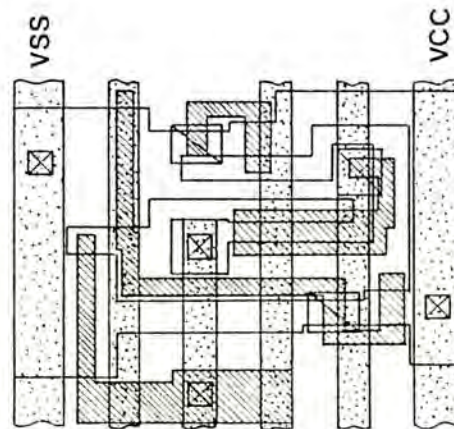
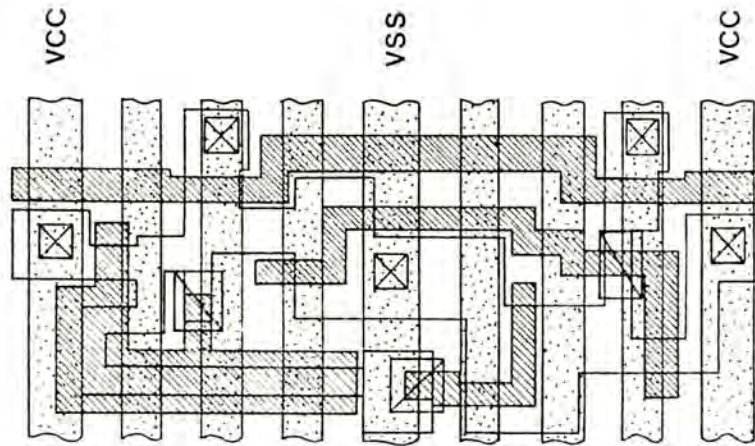


Figure II.4 - Cellule registre dessinée en utilisant une bande (figure II.4.a) ou deux bandes (figure II.4.b) [SUZ 81].

11.5 - LE PROCESSUS DE CONCEPTION D'UN CIRCUIT COMPLEXE

La démarche descendante qui est présentée ici, pour la conception générale des circuits complexes, est décomposée selon les étapes suivantes [ANC 82B]:

a- une étape de conception architecturale, à partir des spécifications fonctionnelles et qui produit comme résultat une description détaillée de la structure et du comportement du circuit.

b- une étape d'évaluation topologique qui permet de construire le plan de masse du futur circuit. Ce plan de masse décrit la forme et la taille des blocs, leurs interconnexions et les contraintes topologiques auxquelles ils sont soumis. Le plan de masse doit être considéré comme une information topologique de haut niveau. Dans le cas d'un système intégré de CAO, il est utilisé pour définir l'organisation de la base de données, qui sera utilisée pour la gestion de la conception du circuit complet.

c- une étape de conception logique et électrique qui fournit le schéma logique et électrique de chaque bloc. La taille des transistors est calculée à partir de l'évaluation des longueurs des connexions dans le plan de masse.

d- décomposition du projet par conception indépendante de chaque bloc. Le plan de masse, les schémas électriques et logiques fournissent les spécifications de conception pour chaque bloc. Ils forment aussi une structure de gestion de données pour la conception, où toutes les modifications sont reportées.

e- assemblage final des blocs en accord avec les indications du plan de masse.

11.6 - ARCHITECTURE EXTERNE ET ARCHITECTURE INTERNE

Un circuit du type microprocesseur présente à la fois une architecture externe et une architecture interne.

11.6.1. Architecture externe

Elle représente l'architecture virtuelle du circuit, l'architecture considérée du point de vue utilisateur. Elle est définie par le jeu d'instructions et par le comportement externe du circuit.

Pour réaliser une même architecture externe, il existe plusieurs architectures internes possibles.

11.6.2. Architecture interne

L'architecture interne est l'architecture réelle du circuit, sa réalisation physique et son choix dépendent de la technologie disponible ainsi que des facteurs économiques.

Pour une même architecture externe, le choix de l'architecture interne dépend des facteurs suivants:

- surface désirée,
- temps de transit des portes,
- performance désirée,
- coût de conception,
- facilité de test,
- facilité d'évolution de l'architecture (facilité d'implémentation des modifications).

L'architecture interne d'un circuit est divisée en deux parties: partie opérative et partie contrôle. Pour chacune de ces parties, nous avons un choix considérable d'options architecturales.

La partie opérative peut être conçue en utilisant l'approche "bits slice" [SUZ 81], où une tranche de partie opérative d'un bit est dessinée ; cette tranche est ensuite répétée un nombre de fois égal au nombre de bits désirés. On peut aussi utiliser l'approche UAL implémentée par PLA [HOE 82].

Pour la partie contrôle, le choix est plus important. On peut, d'une part, choisir entre une partie contrôle à un niveau d'interprétation ou à plusieurs niveaux d'interprétation ; d'autre part, il existe plusieurs possibilités d'implémentation, par exemple:

- partie contrôle câblée,
- partie contrôle à PLA unique,
- partie contrôle à plusieurs PLAs avec extraction de propriétés,
- partie contrôle à plusieurs PLAs avec extraction de paramètres,
- partie contrôle avec générateur de temps,
- partie contrôle microprogrammée horizontalement,
- partie contrôle microprogrammée verticalement,
- partie contrôle microprogrammée paramétrée avec séquenceur câblé,
- partie contrôle microprogrammée paramétrée avec séquenceur à PLA.

Toutes ces architectures de parties contrôle sont décrites dans [OBR 82].

L'observation des architectures internes de divers microprocesseurs du marché nous montre une variété très importante de solutions. On observe aussi que cette variété de

solutions est présente surtout dans le cas de parties contrôle.

II.6.3. Topologie de microprocesseurs réels

La topologie des divers microprocesseurs existants a évolué de manière significative depuis une topologie anarchique jusqu'à une topologie très structurée, avec une nette identification des blocs fonctionnels. Les figures II.5 et II.6 nous montrent deux photos de microprocesseurs: la première (NEC 8080) montre une topologie plutôt irrégulière, la seconde (TEXAS 7000) montre une topologie très régulière. On observe également une évolution vers l'utilisation de blocs fonctionnels les plus réguliers possible, soit du point de vue forme (rectangulaires), soit du point de vue structure interne (ROM, PLAs, ...).

La conception de circuits plus complexes et performantes, avec un jeu d'instructions plus important, entraîne une augmentation de surface plus importante pour la partie contrôle que pour la partie opérative. En d'autres termes, la surface occupée par la partie contrôle devient plus importante que la surface occupée par la partie opérative. Le rapport entre la surface occupée par les parties opératives et la surface occupée par les parties contrôle de divers microprocesseurs est montrée dans le tableau II.1.

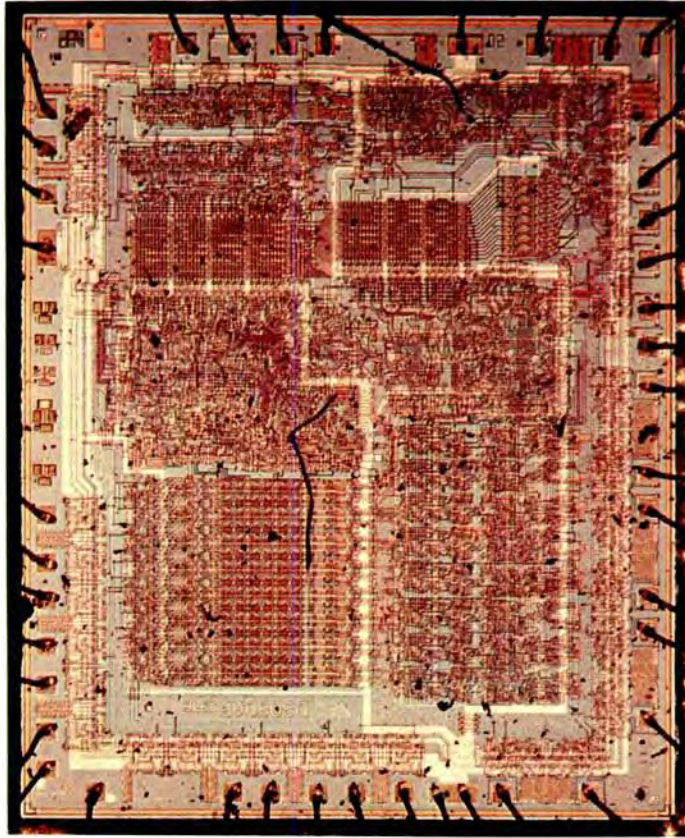


Figure II.5- Photographie du microprocesseur NEC8080.

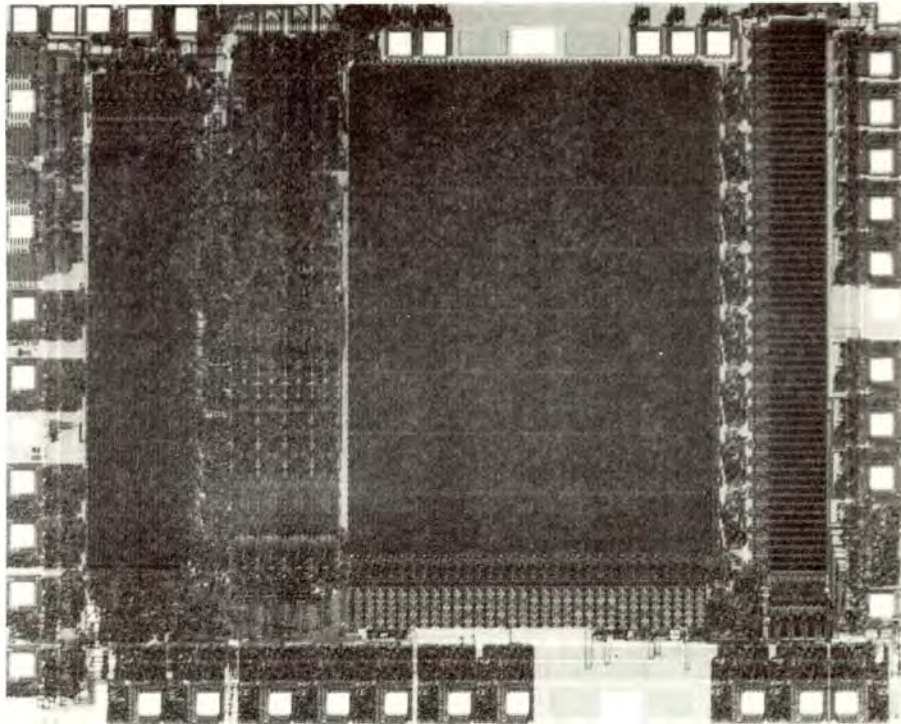


Figure II.6- Photographie du microprocesseur TEXAS 7000.

MICROPROCESSEUR		SURFACE PO (%)	SURFACE PC (%)
8 BITS	I8080	50	50
	SC/MP	40	60
	CP1600	60	40
	I8085	40	60
	Z80	35	65
	INS8070	30	70 **
	MC6809	25	75
	TI7000	50	50 **
16 bits	HPMC2	60	40
	M68000	30	70
	Z8000	25	80

* Valeurs approximatives

** Hors ROM et RAM internes

Tableau II.1.

On observe aussi une nette progression dans le sens de réduire l'espace perdu avec des connexions pures (sans transistors en dessous). Un exemple important de ce type d'approche est l'"architecture en bandes" du microprocesseur TEXAS 7000 (voir figure II.6).

L'utilisation de structures régulières du type ROM, PLA devient de plus en plus fréquente. Ceci a pour conséquence la facilité de modification du circuit, soit pour la correction des erreurs d'implémentation, soit pour l'évolution du circuit, comme l'addition de nouvelles instructions. Un aspect très intéressant de l'utilisation des structures du type ROM et PLA est la possibilité de faire plusieurs versions du même circuit, pour des applications différentes, en modifiant seulement le contenu de ses structures, donc de fabriquer des circuits dédiés à une application.

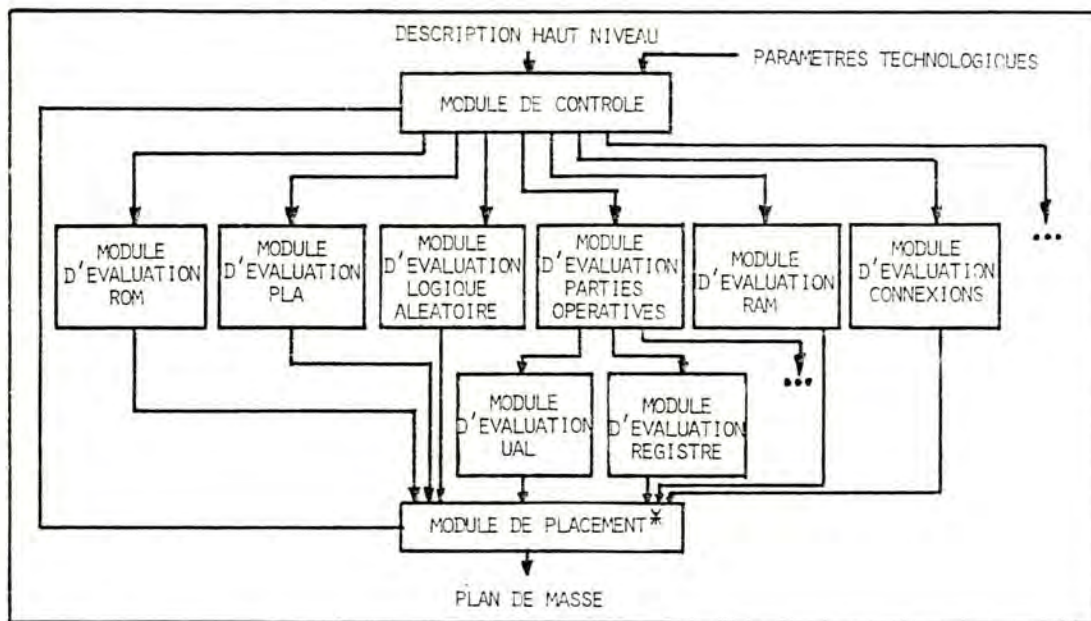
III - L'EVALUATEUR TOPOLOGIQUE

La méthodologie présentée est basée sur la possibilité d'évaluer a priori la topologie d'un circuit intégré, avant le dessin détaillé des blocs. L'outil que nous présentons se décompose en un ensemble de modules d'évaluation issus de ce travail et d'un système graphique développé par I. SUPRIANA, qui réalise l'interface avec l'utilisateur. Les modules utilisent les résultats statistiques obtenus par l'observation microphotographique de plusieurs pastilles. L'objectif de ce système, est d'aider le concepteur à établir:

- l'organisation des principaux blocs du circuit (plan de masse),
- la forme et la taille de chaque bloc,
- les principales interconnexions entre blocs,
- les principales interconnexions qui traversent les blocs,
- l'organisation des bandes des blocs en logique aléatoire,
- l'organisation interne et les techniques d'optimisation qui seront utilisées pour chaque bloc.

L'évaluation topologique est faite par un outil de CAO qui propose un plan de masse du circuit, à partir de sa description de haut niveau et de deux paramètres technologiques seulement: le pas de métal et le pas de silicium polycristallin (définis dans la figure I.1). L'évaluateur topologique est composé d'un module de contrôle et d'un ensemble de routines d'évaluation de surface, de forme et des connexions pour les principaux blocs qui constituent un circuit VLSI (figure III.1). L'évaluateur travaille dans un mode interactif et l'utilisateur a un accès direct aux modules d'évaluation. Il définit les blocs fonctionnels qui constituent le circuit (type, complexité, contraintes dimensionnelles...).

Figure III.1 - Evalueateur topologique pour circuits VLSI



* FLOPE : EDITEUR GRAPHIQUE

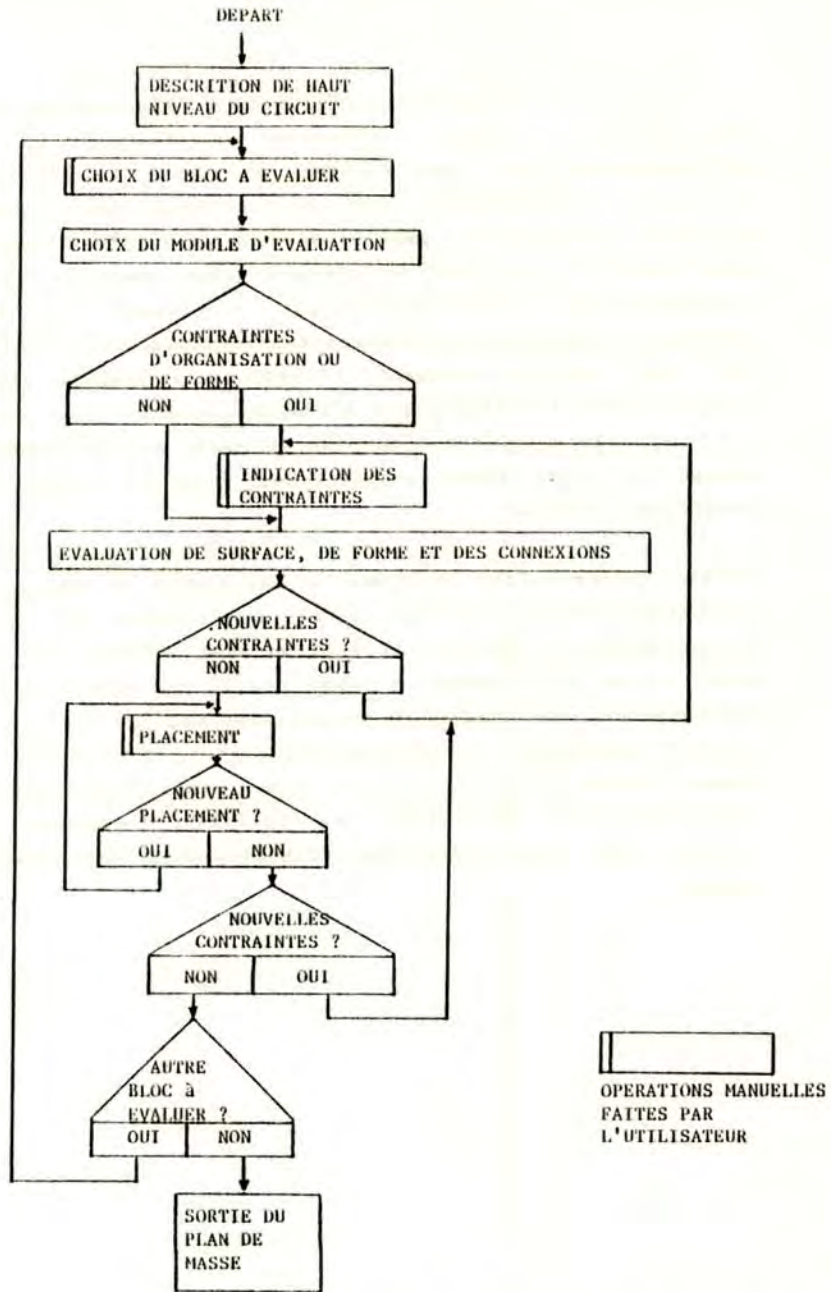


FIGURE III.2 : Organigramme de l'évaluateur topologique

Pour chaque bloc, l'évaluateur calcule l'organisation interne qui donne la surface minimale et fournit sa forme correspondante. Dans une version ultérieure il doit donner aussi des informations sur la position des connexions externes. Les résultats générés par chaque module d'évaluation sont soumis à l'utilisateur qui peut alors manipuler le bloc (représenté par un rectangle) par un éditeur graphique et imposer de nouvelles contraintes topologiques, pour ajuster le bloc dans son environnement. L'utilisateur compose ainsi le plan de masse du circuit par l'assemblage des blocs. Le choix de la structure interne d'un bloc est fait automatiquement et dépend de trois facteurs: surface, forme et position des connexions externes.

Un bloc pouvant être vu comme le croisement de deux couches d'interconnexions, une en métal et l'autre en silicium polycristallin, (chapitre II.3.1) on peut utiliser les pas de métal et de polycristallin comme unités de mesure pour les évaluations ; la validité de ce principe est confirmée par les mesures effectuées sur microphotographies de circuits. Pour chaque module d'évaluation, une étude statistique spécifique est faite pour déterminer les formules d'évaluation, en fonction des deux paramètres technologiques mentionnés ci-dessus.

III.1. La structure de données

Un bloc fonctionnel qui fait partie d'un circuit peut être divisé en plusieurs sous-blocs, et ainsi de suite. Ceci conduit naturellement à l'utilisation d'une structure de données hiérarchisée par l'évaluateur.

La racine de l'arbre d'un circuit est le circuit lui-même. La figure III.3 nous montre un exemple d'une description arborescente possible du microprocesseur Z8000. Il s'agit d'une description arborescente simplifiée, où seulement les principaux blocs et sous-blocs sont cités et où seulement quelques branches sont développées.

Dans le module d'édition graphique, des commandes sont implémentées pour permettre la construction de l'arbre par l'utilisateur ainsi que pour permettre d'effectuer les modifications nécessaires. Le module d'édition graphique est présenté dans le chapitre VIII.

.

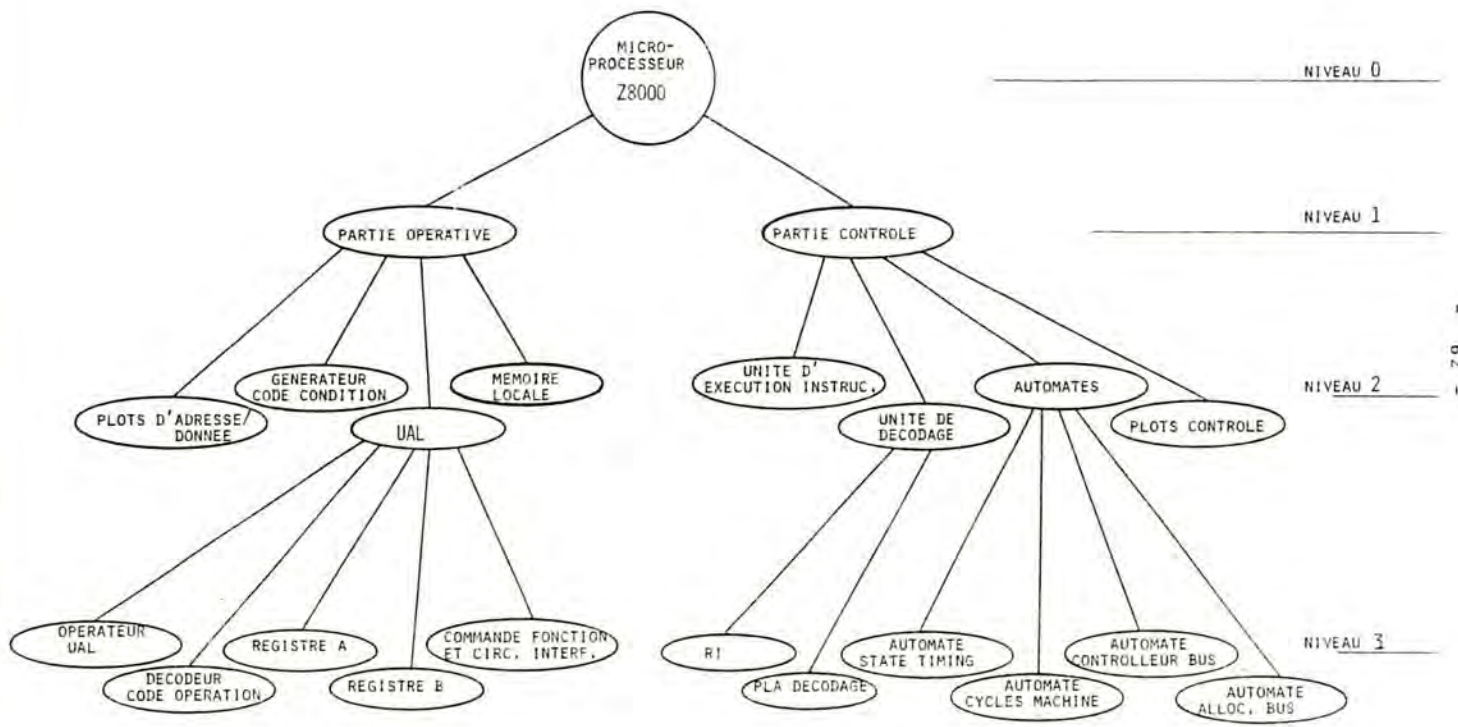


FIGURE III.3 - Description arborescente simplifi e du Z8000.

III.2. Le prototype NMOS

L'évaluateur topologique prototype décrit dans cet ouvrage est fait pour travailler avec des circuits réalisés en technologie NMOS. On entend ici par technologie NMOS, non seulement la technologie NMOS "traditionnelle" avec grilles 5-6 micr. en silicium polycristallin, mais aussi toutes ses évolutions (HMOS, HMOS2, etc...). Les formules d'évaluation que nous souhaitons déduire, doivent donc prendre en compte l'évolution de la technologie. Ceci a été réalisé par l'utilisation du pas de poly et du pas de métal comme paramètres technologiques dans ces formules d'évaluation.

Dans l'évolution réelle de la technologie nMOS nous observons une réduction plus rapide du pas de poly par rapport à celle du pas de métal. Ceci est clair si nous observons la figure III.4 qui représente le rapport entre le pas de poly et le pas de métal pour divers microprocesseurs réels. Dans cette figure, nous présentons aussi une courbe correspondant à une technologie NMOS avec règles de dessin du type lambda [CON 80]. Nous constatons que l'inclinaison des courbes lambda et celle correspondant aux technologies réelles sont différentes en raison de la réduction plus rapide du pas de poly par rapport à la réduction du pas de métal.

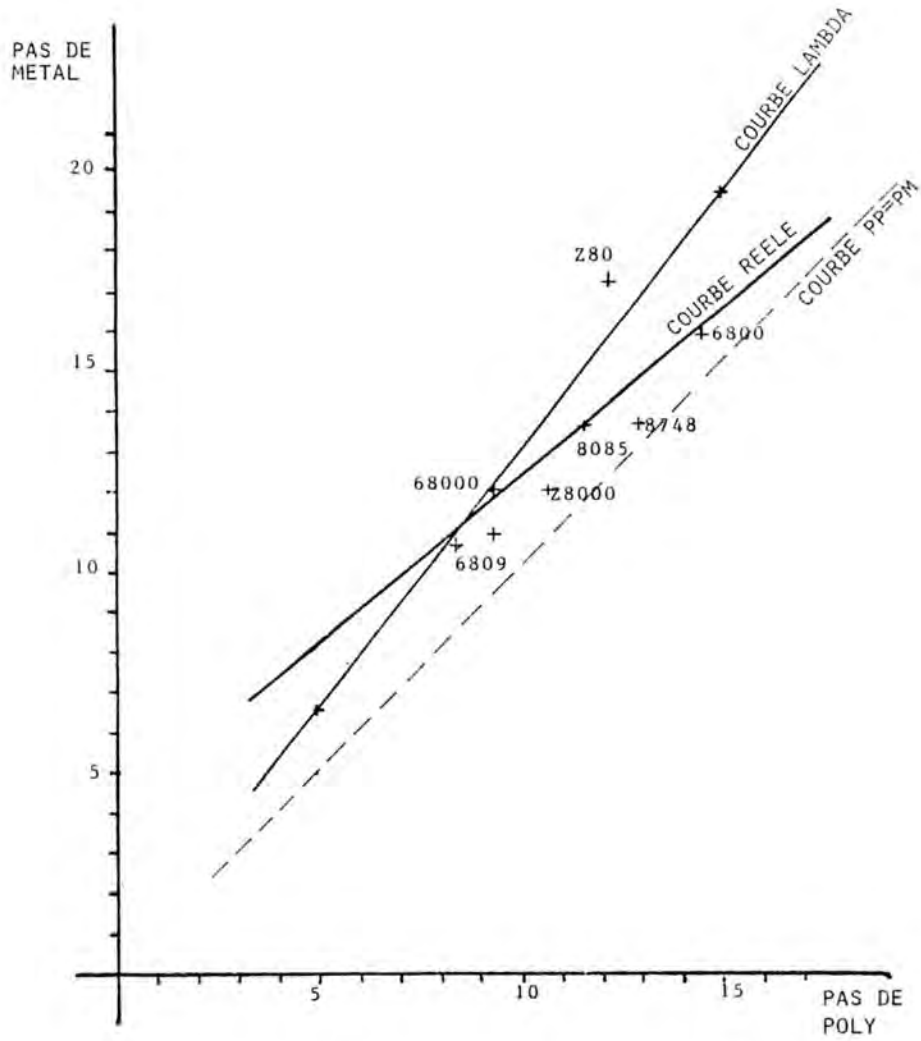


Figure III.4 - Rapport entre PAS POLY et PAS METAL.

On constate aussi une réduction plus importante de la largeur des lignes (métal ou poly) que de leur espacement.

Le progrès des technologies réelles de circuits intégrés, du point de vue réduction des dimensions du circuit, est obtenu par la réduction d'une règle de dessin à la fois.

L'utilisation de règles de dessin du type lambda ne permet pas la prise en compte des réductions des motifs permise par l'évolution de la technologie. Par contre, l'utilisation de règles de dessin du type lambda permet la réutilisation des blocs et des cellules déjà dessinés quand une réduction de la technologie est effectuée. Ceci n'est pas possible si l'on utilise les règles de dessin réelles.

L'utilisateur doit alors faire le choix entre l'utilisation de règles lambda ou l'utilisation de règles micron en fonction de divers facteurs comme: performance désirée, coût de conception, coût de fabrication, nombre de circuits à fabriquer, etc...

Les modules d'évaluation qui seront présentés dans les prochains chapitres ont été développés pour une technologie NMOS avec règles de dessin au micron. Une version plus simple, découlant de la première, peut être développée pour une technologie NMOS avec règles de dessin du type lambda.

III.3. Statistique en temps réel

L'évaluateur topologique développé ici est un prototype qui sert à toutes les technologies NMOS. Il est évidemment possible de faire un programme d'évaluation plus spécifique (donc plus précis) pour une technologie particulière. La meilleure façon d'obtenir des données pour le développement d'un évaluateur dédié est de faire une statistique en temps réel pendant la conception de circuits réalisés avec cette technologie. Ceci peut conduire à des formules d'évaluation de haute précision et sans perdre de temps avec des statistiques faites à la main comme dans notre prototype.

III.4. Evaluation électrique

Une excellente solution topologique qui conduit à une surface minimale pour le circuit, peut conduire à des performances électriques non acceptables pour l'application souhaitée.

L'élaboration d'un évaluateur électrique serait alors envisagée. Les données nécessaires pour effectuer l'évaluation seraient extraites des résultats fournis par l'évaluateur topologique et d'un fichier de paramètres technologiques (figure III.5).

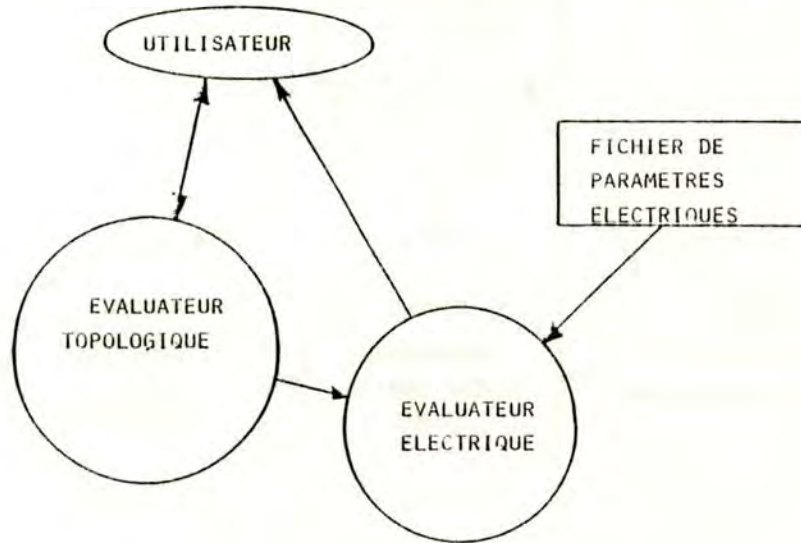


Figure III.5. - Environnement de l'évaluateur électrique

L'évaluateur électrique serait divisé en plusieurs modules d'évaluation, avec des fonctions différentes (figure III.6):

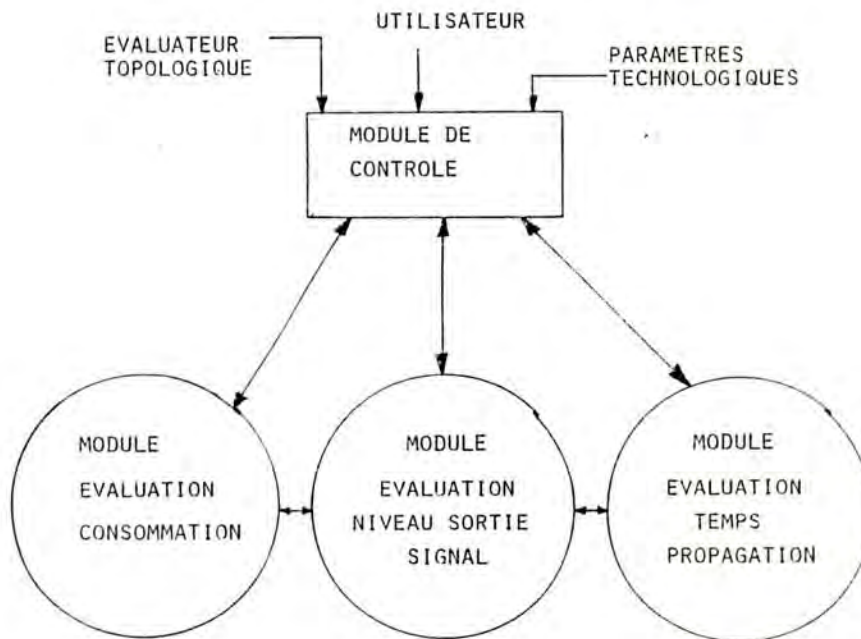


Figure III.6. - Les modules d'évaluation

- Module d'évaluation de la consommation,
- Module d'évaluation du niveau de sortie de signal
- Module d'évaluation du temps de propagation.

Les résultats obtenus par l'évaluation électrique serviraient à valider la solution topologique obtenue avec l'évaluateur topologique.

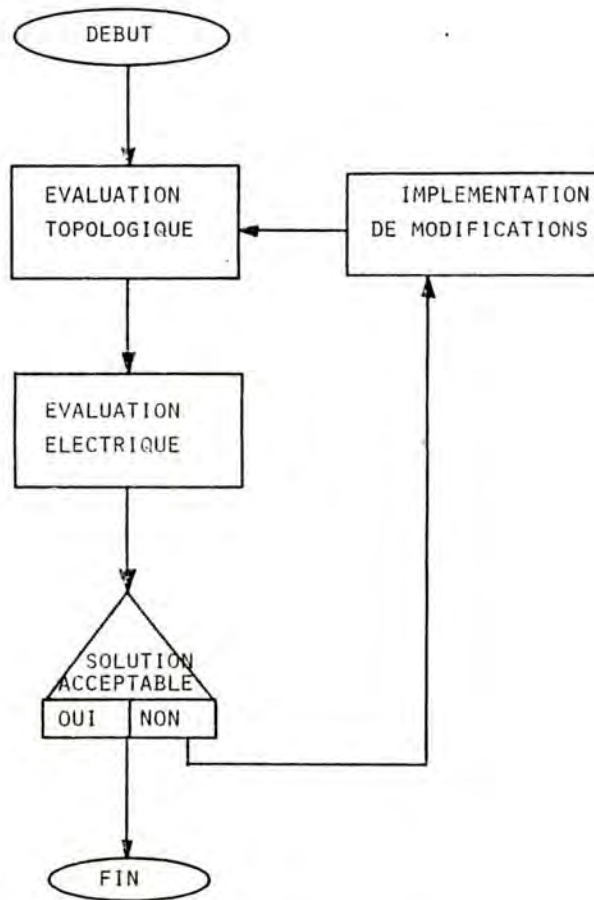


Figure III.7 - Organigramme simplifié de la procédure d'évaluation topologique et électrique d'un circuit VLSI.

IV - MODULE D'EVALUATION DE ROM

IV.1. INTRODUCTION

Un bloc mémoire morte, ROM, est composé de trois parties: un décodeur d'adresses d'entrée, un multiplexeur de données de sortie et le plan mémoire proprement dit, comme le montre la figure IV.1.

Soit NE le nombre de lignes qui sortent du décodeur et entrent dans la ROM et NS le nombre de lignes qui sortent de la ROM vers le multiplexeur des bits de données, pour donner un bit de sortie.

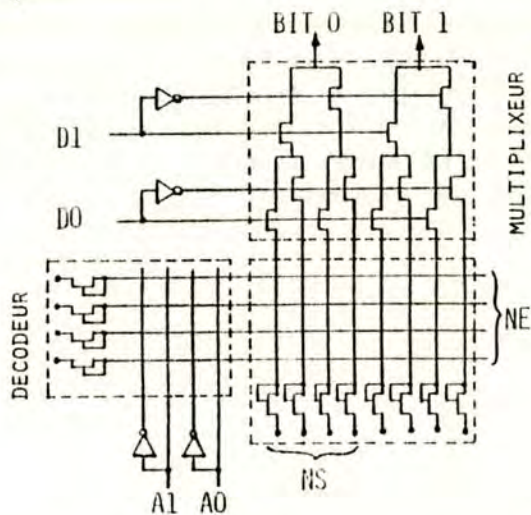


Figure IV.1 - Schéma simplifié d'un bloc ROM de 16 mots de 2 bits.

Le nombre de mots (NM) et le nombre de bits par mot (NB) représentent les données du problème. Les valeurs des pas de silicium polycristallin (pas de poly) et de métal (pas de métal) représentent les paramètres de la technologie utilisée.

.IV.2. EVALUATION DE SURFACE

Deux facteurs peuvent changer la surface et la forme d'un bloc ROM. Le premier facteur est la variation de l'organisation interne et le deuxième est le changement des paramètres technologiques.

L'étude de l'évaluation des structures ROM est divisée en deux parties. Dans une première partie on étudie la variation de la surface et de la forme en fonction de la variation des dimensions d'une cellule de la matrice mémoire (point mémoire). Dans une seconde partie on étudie la variation des dimensions de cette cellule en fonction du pas de poly et du pas de métal. Naturellement, dans le calcul d'évaluation, les dimensions du point mémoire sont évaluées en premier lieu. Celles-ci sont définies dans la figure IV.3 où PE est le pas d'entrée et PS le pas de sortie.

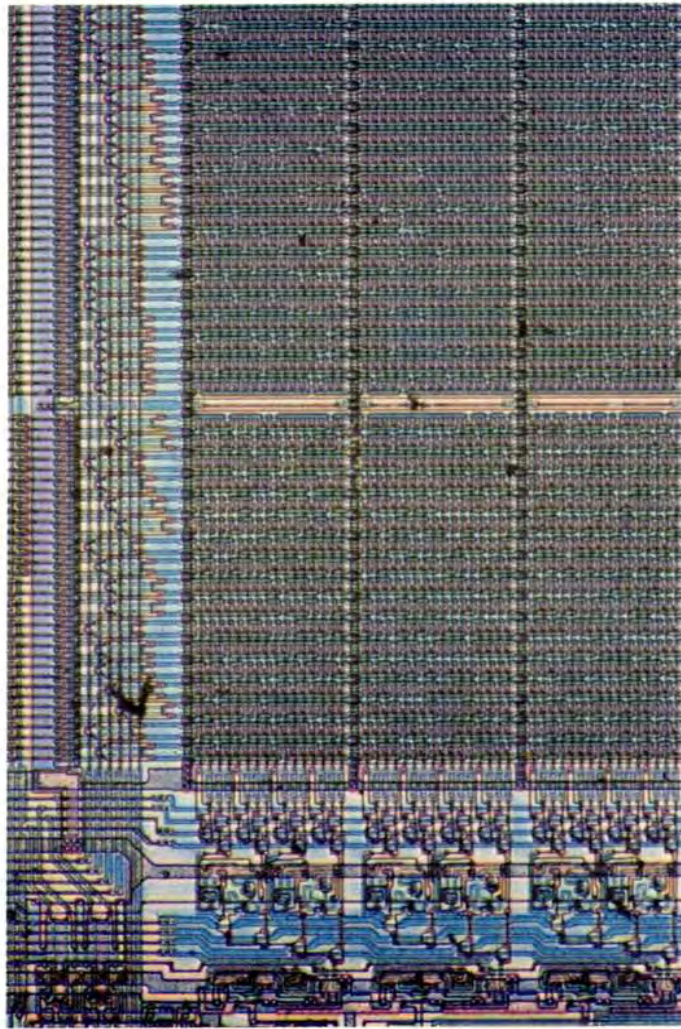


Figure IV.1B - Photographie d'une partie d'une ROM (MC 68000).

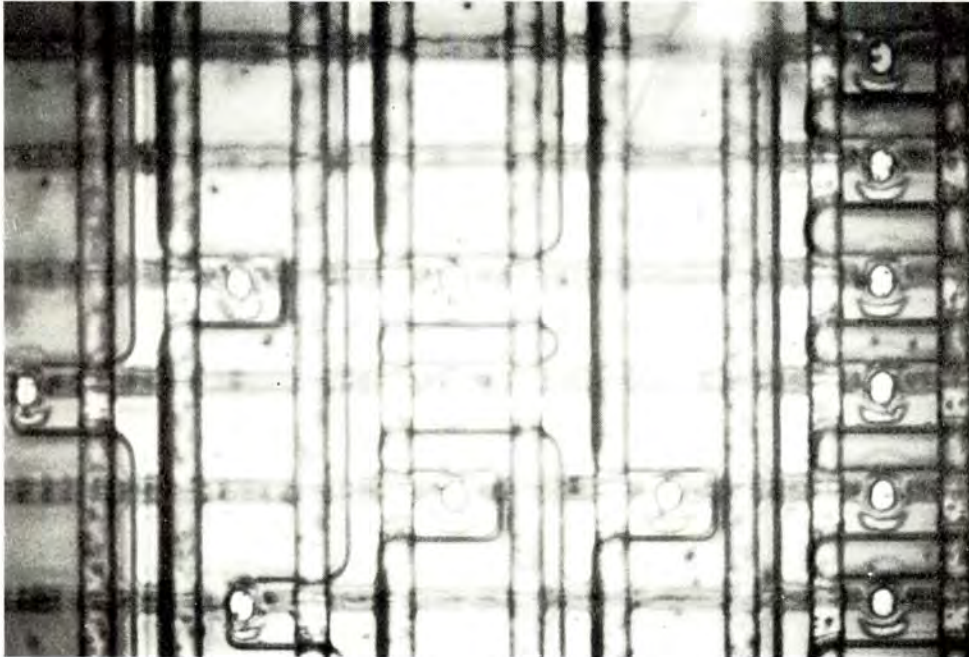


Figure IV.2 - Photographie d'un point mémoire ROM (MC 68000).

IV.2.1. Evaluation de surface en fonction de PE et de PS

Les différentes organisations d'une mémoire ROM peuvent être vues comme les diverses relations possibles entre NS et NE. Comme $NM = NS \cdot NE$ (NM - nombre de mots), nous pouvons définir une organisation à partir de NS ou de NE (pour NM constant). Dans la suite, nous utiliserons NS pour caractériser l'organisation choisie.

La façon d'organiser les mots d'une mémoire ROM a une influence sur la taille du décodeur et du multiplexeur. Par conséquent, sur la surface totale du bloc mémoire qui peut ainsi varier. On remarque que la surface du plan mémoire reste toujours constante quand on effectue un changement d'organisation interne parce que le nombre de bits reste constant.

Les dimensions des différentes parties (sous-blocs) d'un bloc mémoire ROM (figure IV.4) sont calculées, en fonction de PE et de PS, par des formules simples. Ces formules ont été déduites en fonction des observations des différentes organisations internes et en fonction des mesures effectuées sur des microphotographies de circuits intégrés.

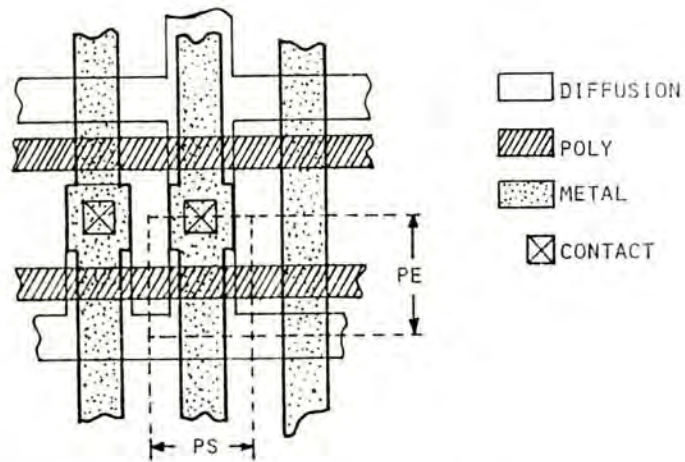


Figure IV.3 - Point mémoire d'une ROM (PE est le pas d'entrée et PS le pas de sortie)

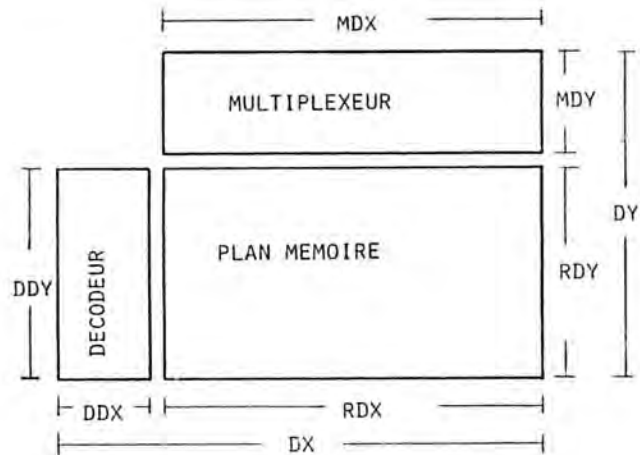


Figure IV.4 - Dimensions externes et internes d'un bloc ROM.

IV.2.1.1. Calcul des dimensions du décodeur

La dimension x du décodeur de la ROM (DDX) est évalué par la formule suivante :

$$DDX = PE.(2 \text{ LOG2 } NE + 4) \quad (IV.1)$$

où le facteur LOG2 NE indique le nombre de lignes nécessaires pour le code d'adresse ligne. Ce facteur est multiplié par 2, parce que le décodeur ligne contient les lignes d'adresse directes et complémentées. Le facteur 4 correspond à la taille moyenne des transistors de charge.

La dimension Y du décodeur de la ROM (DDY) est évaluée par la formule suivante :

$$DDY = PS.(NE + RM') \quad (IV.2)$$

où les rappels de masse (RM') sont calculés par

$$RM' = \lfloor 0,1.NE \rfloor \quad (IV.3)$$

REMARQUE: On considère ici, un rappel de masse à chaque dix lignes. La modification de ce rapport se fait via celle du facteur 0,1.

IV.2.1.2. Calcul des dimensions du multiplexeur

La dimension x du multiplexeur (MDX) est évaluée par la formule suivante :

$$MDX = NS.NB.PS \quad (IV.4)$$

La dimension y du multiplexeur (MDY) est évaluée par la

formule suivante:

$$\text{MDY} = 2,5 \cdot \text{PE} \cdot \text{LOG2 NS} \quad (\text{IV.5})$$

où le facteur LOG2 NS indique le nombre de lignes du code d'adresse colonne.

Le facteur 2,5 est dû , en partie, à l'existence dans le décodeur colonne de lignes directes et complémentées (facteur égal à 2) ainsi qu'à la taille plus importante des transistors de multiplexage par rapport aux transistors du plan mémoire.

IV.2.1.3. Calcul des dimensions du plan mémoire

La dimension x du plan mémoire (RDX) est évaluée par la formule suivante :

$$\text{RDX} = (\text{NS} \cdot \text{NB} + \text{RM}) \cdot \text{PS} \quad (\text{IV.6})$$

où les rappels de masse (RM) sont calculés par :

$$\text{RM} = \lfloor 0,1 \cdot \text{NS} \cdot \text{NB} \rfloor \quad (\text{IV.7})$$

La dimension y du plan mémoire (RDY) est évaluée par la formule suivante:

$$\text{RDY} = (\text{NE} + 4) \cdot \text{PE} \quad (\text{IV.8})$$

où le facteur 4 correspond à la taille des transistors de charge.

IV.2.1.4. Calcul des dimensions totales d'un bloc ROM

La surface totale de la ROM (ST) est donnée par la somme des surfaces des trois parties:

$$ST = SKOM + SMUX + SDEC \quad (IV.9)$$

La surface par bit (STB) est donnée par:

$$STB = ST/B \quad (IV.10)$$

où B est le nombre total de bits de la mémoire:

$$B = NB.NM$$

La substitution des équations (IV.1) à (IV.9) dans (IV.10) donne :

$$STB = K1.PS.PE \quad (IV.11)$$

où:

$$K1 = [K2(NE+4+2,5 \text{ LOG}2)+(NE+ \lfloor 0,1 \text{ NE} \rfloor)(2 \text{ LOG}2 \text{ NE}+4)]/B \quad (IV.12)$$

et où:

$$K2 = NB.NS + \lfloor 0,1 \text{ NB.NS} \rfloor \quad (IV.13)$$

$$RDX = K2.PS \quad (IV.14)$$

La forme externe du bloc ROM est donnée par:

- Dimension X du bloc ROM (DX):

$$DX = \max(RDX,MDX) + DDX \quad (IV.15)$$

La fonction $\max(RDX,MDX)$ prendra, soit la valeur de RDX si RDX

\geq MDX, soit la valeur de MDX si $RDX < MDX$.

$$DX = \begin{cases} K2.PS + PE.(2 \text{ LOG2 } NE + 4) & \text{si } RDX \geq MDX \quad (IV.15A) \\ NS.NB.PS + PE.(2 \text{ LOG2 } NE + 4) & \text{si } RDX < MDX \quad (IV.15B) \end{cases}$$

REMARQUE: Dans la pratique on a généralement $RDX \geq MDX$.

- Dimension Y du bloc ROM (DY):

$$DY = \max(RDY, DDY) + MDY \quad (IV.16)$$

La fonction $\max(RDY, DDY)$ prendra, soit la valeur de RDY si $RDY \geq DDY$, soit la valeur de DDY si $RDY < DDY$.

$$DY = \begin{cases} (NE + 4 + 2,5 \text{ LOG2 } NS)PE & \text{si } RDY \geq DDY \quad (IV.16A) \\ (NE + \lceil 0,1 NE \rceil)PS + (2,5 \text{ LOG2 } NS)PS & \text{si } RDY < DDY \quad (IV.16B) \end{cases}$$

REMARQUE: Dans le cas où NS et NE ne sont pas des puissances de deux (pas utilisé dans la pratique), les expressions LOG2 NS et LOG2 NE sont calculées en prenant pour les valeurs de NS et de NE la puissance de deux immédiatement supérieure.

5

Le calcul de la surface par bit (STB), pour les différentes organisations, conduit à des valeurs différentes, comme le montre la figure IV.5. A chaque point de la courbe correspond une organisation différente. Par exemple, le point A correspond à une surface par bit de 240 micr.2 (technologie nMOS 3.5 micr.) pour une organisation NS=8 et le point B (organisation NS=18) à une surface par bit de 262 micr.2.

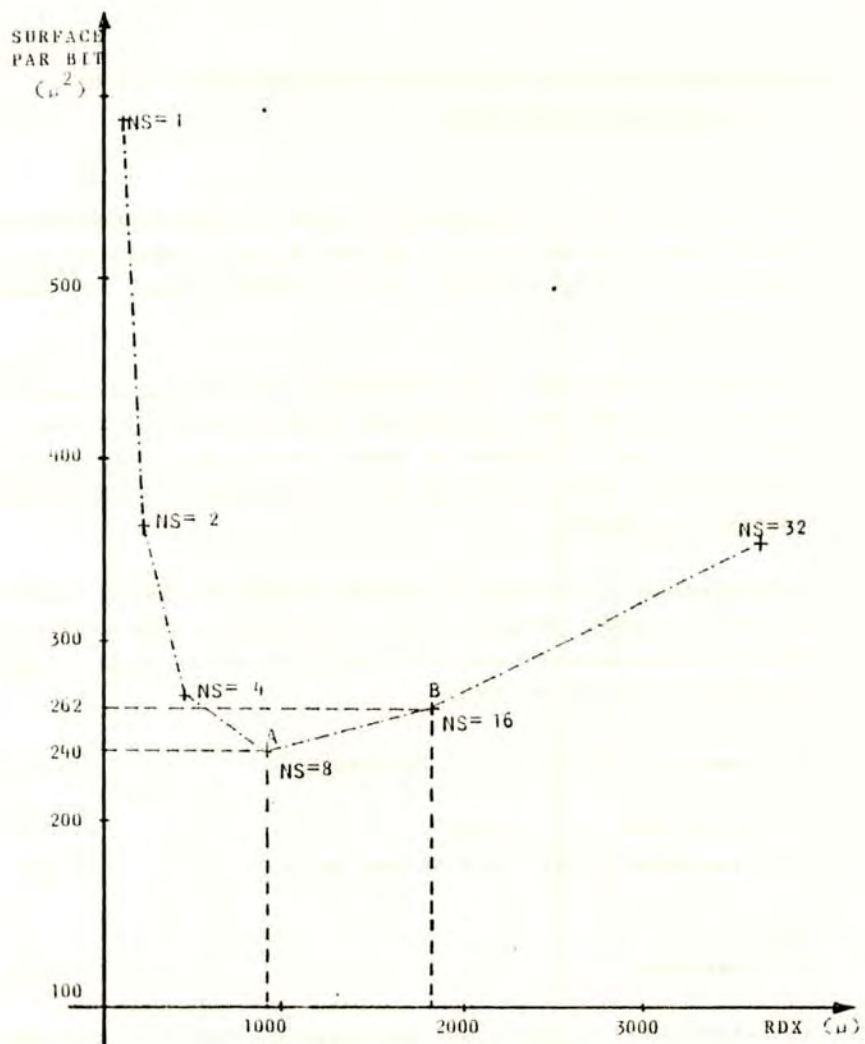


Figure IV.5 - Variation de surface par bit (STB) d'une ROM en fonction de son organisation, pour une mémoire de 512 mots de 4 bits (technologie nMOS 3,5 micr).

VI.2.2.DETERMINATION DE PE ET DE PS EN FONCTION DU PAS DE
POLY ET DU PAS DE METAL

Les paramètres technologiques d'entrée du module d'évaluation de ROM sont les pas de poly et pas de métal définis dans le chapitre I. PE et PS sont calculés dans le module d'évaluation.

Le tableau IV.1 donne les valeurs de PE, PS, pas de métal et pas de poly pour les technologies nMOS 6 micr., 3,5 micr., 2 micr. et 1 micr. Les pas de métal et de poly relatifs à la technologie 1 micr. sont obtenus par extrapolation des règles de dessin [MAR 80].

En analysant les relations entre PE et pas de poly et entre PS et pas de métal (figures IV.6 et IV.7), on en déduit les équations suivantes, pour le calcul de PE et de PS en fonction des pas de poly et de métal:

$$PE = \text{pas poly} (1.56 - 0.010 \text{ pas poly}) \quad (IV.17)$$

si pas de métal > 8 microns

$$PS = \text{pas métal} (0.88 + 0.0148 \text{ pas métal}) \quad (IV.18)$$

sinon

$$PS = \text{pas métal} \quad (IV.19)$$

Le calcul de PE et de PS par les formules (IV.17) et (IV.18 ou IV.19), respectivement donne les résultats montrés dans le tableau IV.2. La précision sur le calcul de PS est de l'ordre de +/-1,3% et de +/-1,6% sur PE, pour les technologies nMOS citées.

On voit que la précision de l'évaluation en partant des

paramètres technologiques pas de métal et pas de poly est très satisfaisante.

Techno.	pas de PS	pas de PE	PS /	PE /
NMOS	métal	poly	pas de métal	pas de poly
6	17	19	1.117	1.429
3.5	11.5	12	1.043	1.450
2	7	7	1.000	1.500
1*	5	5	1.000	1.550

* règles de conception extrapolées

Tableau IV.1

Technologie	PS	précision	PE	précision
NMOS	calculé	delta %	calculé	delta %
6 micr.	19,237	1,25	19,88	- 0,60
3,5 micr.	12,077	0,64	12,19	1,58
2 micr.	7,0	0,0	7,55	0,67
1 micr.	5,0	0,0	4,21	- 0,94

Tableau IV.2

Si on analyse les expressions (IV.15) et (IV.16) en fonction des précisions d'évaluation indiquées dans le tableau IV.2, on peut dire que la précision de DX est de plus de 1,6% et que la précision de DY est de 1,3% si on prend la formule (IV.16A) et de plus de 1,6% si on prend la formule (IV.16B).

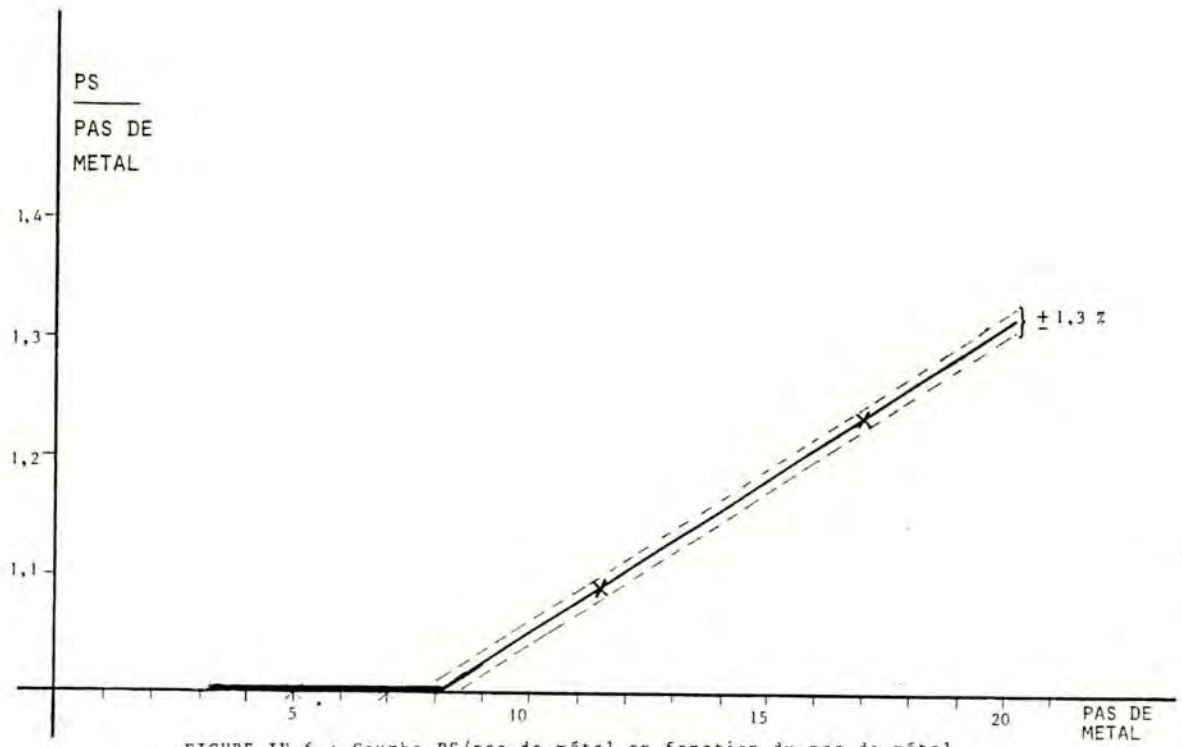


FIGURE IV.6 : Courbe PS/pas de métal en fonction du pas de métal

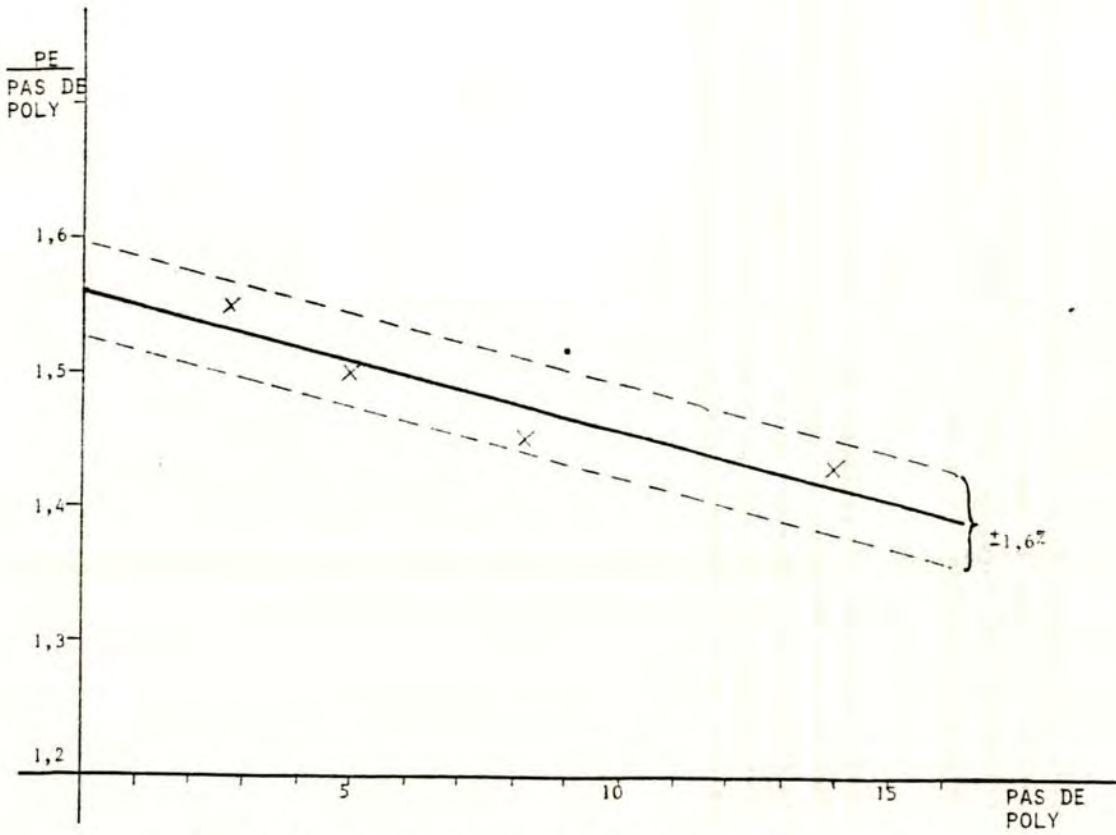


FIGURE IV.7 : Courbe PE/pas de poly en fonction du pas de poly

IV.2.3. Exemple de variation de forme d'une mémoire morte en fonction de son organisation interne

Dans le chapitre IV.2, les formules (IV.6) et (IV.8) nous donnent la forme interne du plan de mémoire (RDX et RDY), tandis que les formules (IV.15) et (IV.16) donnent la forme externe du bloc ROM (DX et DY).

Comme exemple de la variation de la forme d'un bloc ROM en fonction des différentes organisations, le cas d'une mémoire de 256 mots de 4 bits est montré dans la figure IV.8 et le cas d'une mémoire de 512 mots de 16 bits, dans la figure IV.9. Les valeurs ont été calculées pour une technologie nMOS 3,5 micr.

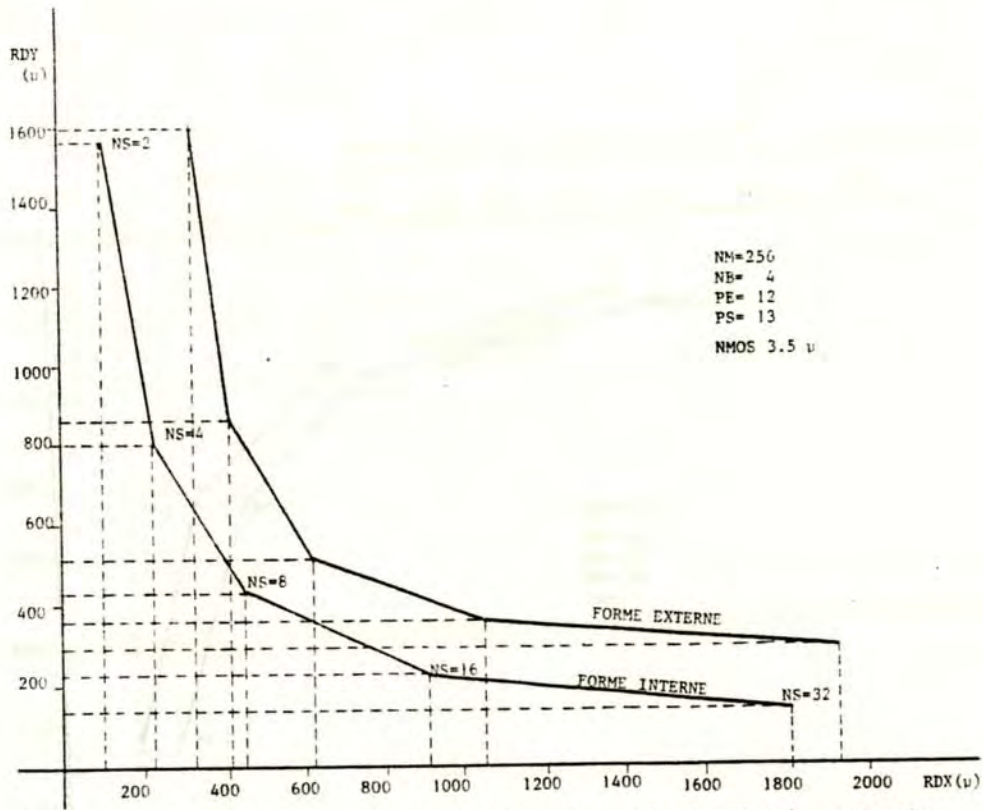


FIGURE IV.8 : Variation de forme en fonction de l'organisation pour une ROM de 256 mots de 4 bits.

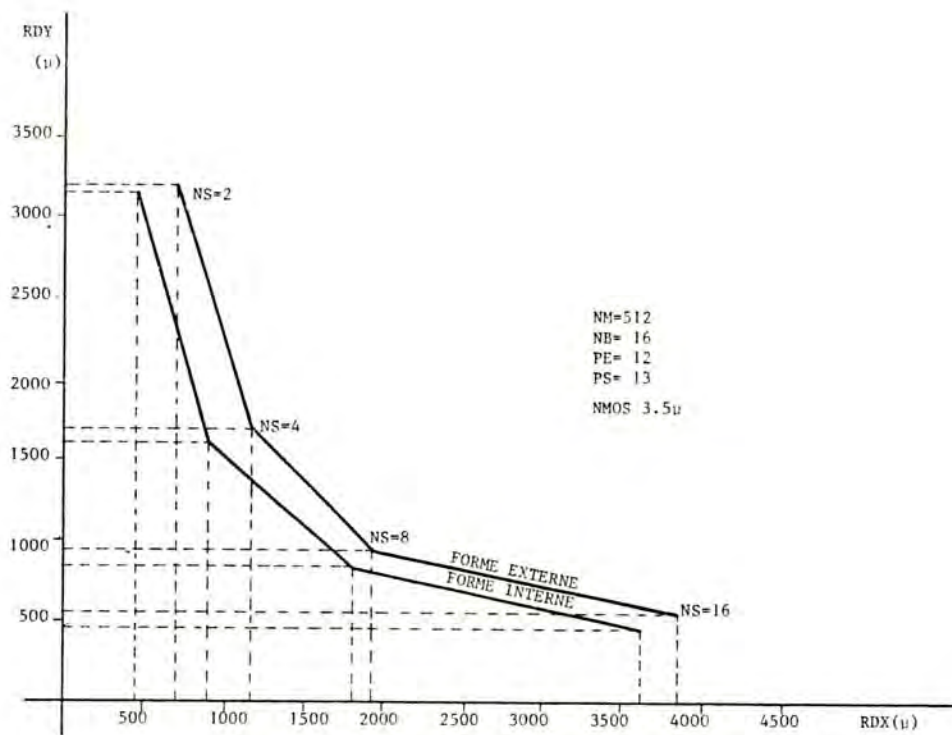


FIGURE IV.9 : Variation de la forme en fonction de l'organisation pour une ROM de 512 mots de 16 bits

IV.3. CALCUL DE SURFACE EN FONCTION DU PAS MOYEN

Nous montrons dans ce chapitre que nous pouvons également calculer la surface d'un point mémoire ROM en fonction du pas moyen (PME) entre le pas de métal et le pas de silicium polycristallin, et ceci avec une bonne approximation:

$$PME = \frac{PAS\ DE\ METAL + PAS\ DE\ POLY}{2} \quad (IV.20)$$

La figure IV.10 et le tableau IV.3 nous montrent la relation entre les dimensions PS et PE (MPSE) et le pas moyen (PME), pour les technologies NMOS 6 micr., 3,5 micr., 2 micr. et 1 micr.

A partir de ces données on peut déterminer une formule pour le calcul approximatif de la dimension moyenne entre PS et PE (MPSE) en fonction du pas moyen (PME):

$$MPSE = 1,176 + 0,0052.PME \quad (IV.21)$$

La surface d'un point mémoire (SPM) sera calculée par la formule:

$$SPM = (PM(1,176 + 0,0052.PME))^2 \quad (IV.22)$$

Le tableau IV.4 compare les valeurs des surfaces du point mémoire calculées à partir de PS et de PE (surface réelle) avec les valeurs de surface calculées par l'équation (IV.22). Nous pouvons vérifier que la précision du calcul est satisfaisante (de l'ordre de +/-2%).

technologie NMOS	MPSE	PME	MPSE/PME
6 micr.	19,5	15,5	1,258
3,5 micr.	12,0	9,875	1,22
2 micr.	7,25	6,0	1,21
1 micr.	4,625	3,875	1,19

Tableau IV.3

technologie NMOS	surface effective point ROM micr. ²	SPM micr. ²	delta %
6 micr.	380	379,4	0,158
3,5 micr.	144	146,9	2,014
2 micr.	52,5	52,46	-0,076
1 micr.	21,25	21,48	1,082

Tableau IV.4

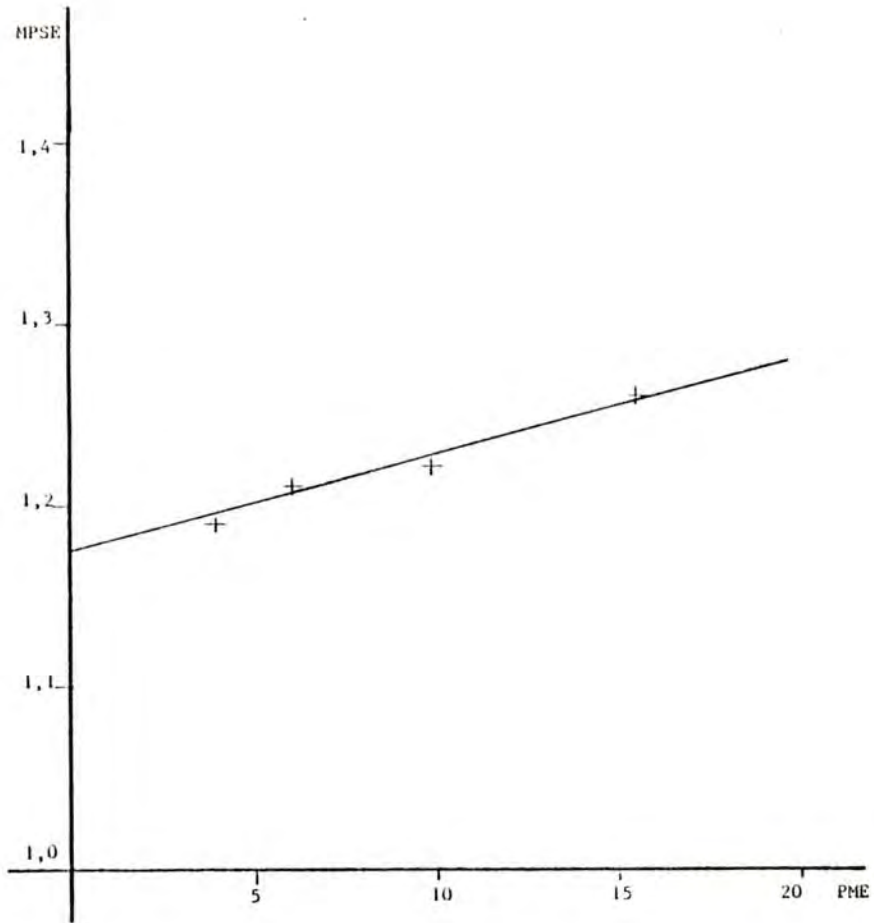


Figure IV.10 - Rapport entre la moyenne des dimensions de PS et de PE et le pas moyen.

IV.4. VARIATION DE LA SURFACE D'UNE MEMOIRE MORTE EN FONCTION
DE LA VARIATION DES REGLES DE DESSIN

L'évaluation de la surface par bit en fonction de l'organisation interne de la ROM est obtenue par la formule (IV.11). L'évolution de la technologie NMOS conduit évidemment à des variations des valeurs de PS et de PE, lesquelles peuvent être calculées par les formules (IV.15) et (IV.16). L'exécution de ces formules, en utilisant des règles de dessin nMOS différentes, nous permet l'obtention de courbes qui montrent la réduction de surface en fonction de la réduction des règles de dessin.

La figure IV.11 présente un exemple où sont tracées les courbes correspondant à différentes organisations internes d'une mémoire ROM de 512 mots de 8 bits. Sur chaque courbe sont montrés les points correspondant à quatre règles de dessin: 6 micr., 3,5 micr., 2 micr. et 1 micr.

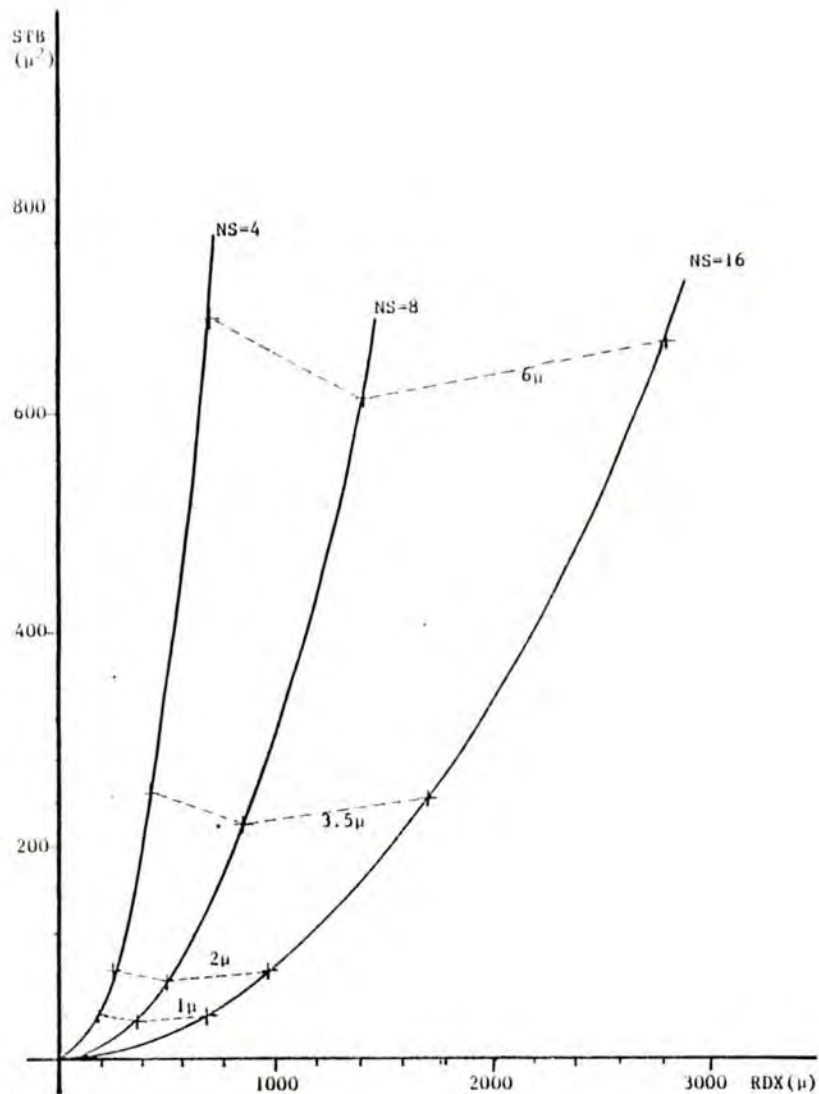


Figure IV.11 - Variation de surface en fonction de la variation des règles de dessin, pour une mémoire ROM de 512 mots de 8 bits.

IV.5. VARIATION DE SURFACE EN FONCTION DE LA VARIATION DE RDX

Une structure du type ROM est normalement non transparente. Ceci peut poser des problèmes dans l'implantation d'un circuit VLSI. La solution utilisée est la création d'une transparence par le simple déplacement des lignes de la mémoire, comme on observe dans le décodeur d'instructions du microprocesseur Z8000 [REI 80].

Un changement d'organisation interne est intéressant quand l'augmentation du bloc, due à des déplacements de lignes de mémoire, est importante.

L'augmentation de la dimension RDX de la valeur delta X entraîne une variation linéaire de STB par rapport à cette dimension RDX ainsi que le montre la figure IV.12, pour une mémoire de 256 mots de 4 bits.

Par exemple, pour l'organisation NS = 8, la droite A donne STB, en fonction de différentes valeurs de RDX. Nous pouvons vérifier, par exemple, que si RDX est supérieur à 910 micr., l'organisation NS = 16, représentée par la droite B, donne une surface par bit inférieure.

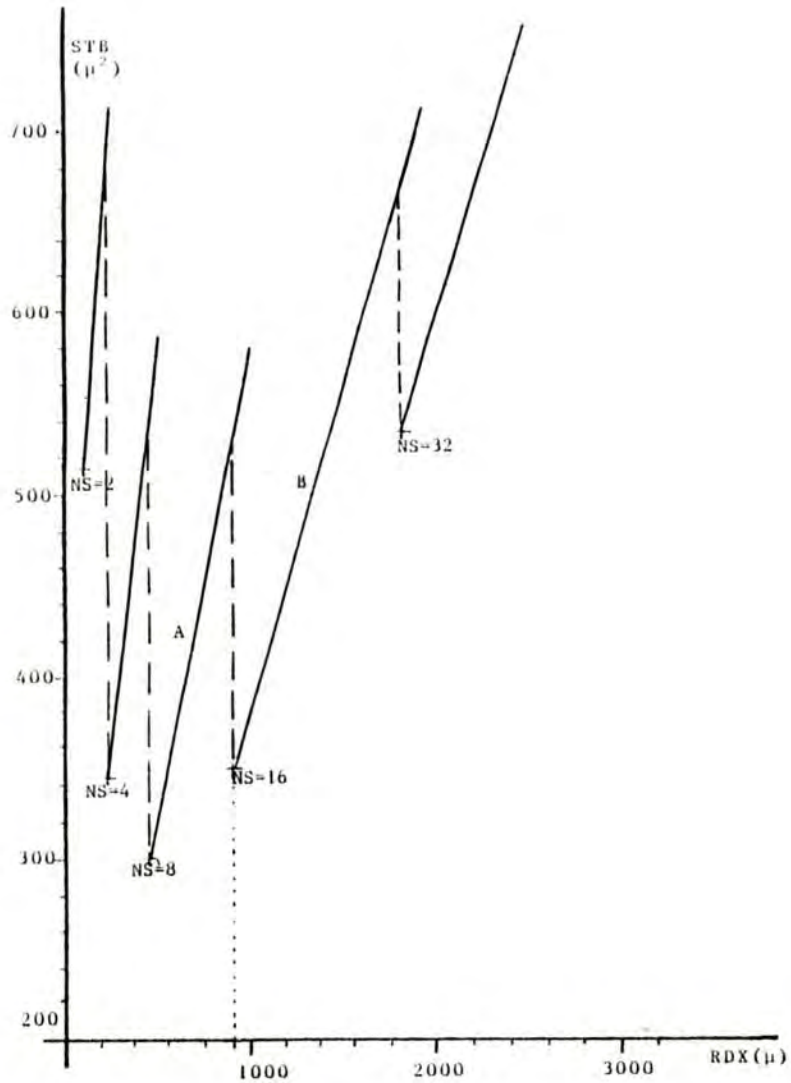


Figure IV.12 - Variation de la surface par bit (STB) en fonction de l'organisation et de la variation de RDX, pour une mémoire ROM de 256 mots de 4 bits (nMOS 3,5 micr.)

IV.6. SOUSPROGRAMME D'EVALUATION DE ROM

Le sousprogramme d'évaluation est un programme simple qui utilise les formules d'évaluation étudiées dans les chapitres IV.1 et IV.2. Dans l'annexe 8 nous donnons le texte de ce sousprogramme. L'utilisateur doit indiquer les données suivantes en entrée:

- pas de métal) issus du fichier de paramètres
- pas de poly) technologiques
- nombre de mots
- nombre de bits par mot.

Le programme choisit l'organisation qui conduit à une surface minimale du bloc ROM.

Ses sorties sont:

- l'organisation choisie
- les dimensions du bloc ROM (DX et DY)
- sa surface par bit
- sa surface totale.

Le programme demande ensuite s'il y a des contraintes de forme imposées par l'utilisateur. En cas de réponse positive, il refait le calcul et choisit une nouvelle organisation qui les satisfait.

V - MODULE D'EVALUATION DES PLAS

L'évaluation de la surface d'un PLA est effectuée en deux parties. Dans la première partie on effectue une évaluation de la surface du PLA par rapport à sa structure classique (PLA classique). Dans la deuxième partie, on prend en compte l'utilisation du programme d'optimisation topologique de PLAs, PAOLA [CHU 82], [PER 80].

Les résultats obtenus par l'utilisation de ce programme d'optimisation topologique constituent des données statistiques pour l'obtention des formules d'optimisation. Ces formules peuvent ensuite être utilisées pour prédire la surface d'un PLA obtenu par l'utilisation du programme d'optimisation PAOLA.

V.1. - EVALUATION EN SURFACE DES PLAS CLASSIQUES

V.1.1. - PLA classique

Un bloc PLA (Programmable Logic Array) est composé de deux parties (deux matrices) : une matrice "ET" et une matrice "OU". Un PLA est dit classique quand il est dans sa forme topologique originale, sans avoir reçu aucun type d'optimisation topologique. La figure V.1 montre le schéma simplifié d'un PLA classique.

Soit NE le nombre d'entrées de la matrice ET, NME le nombre de monômes, et NN le nombre de niveaux (égal au nombre de sorties dans le PLA classique).

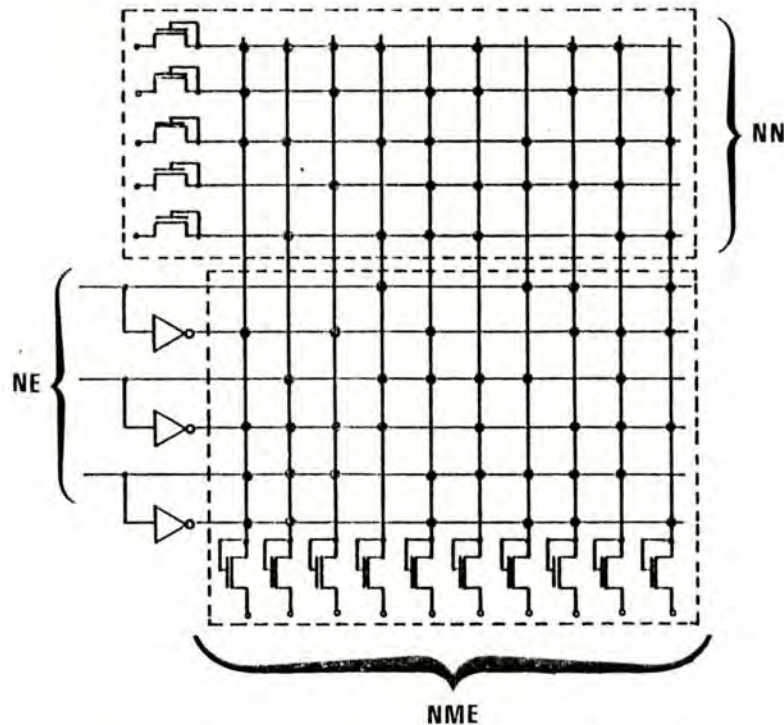


FIGURE V.1 - Schéma simplifié d'un PLA classique.

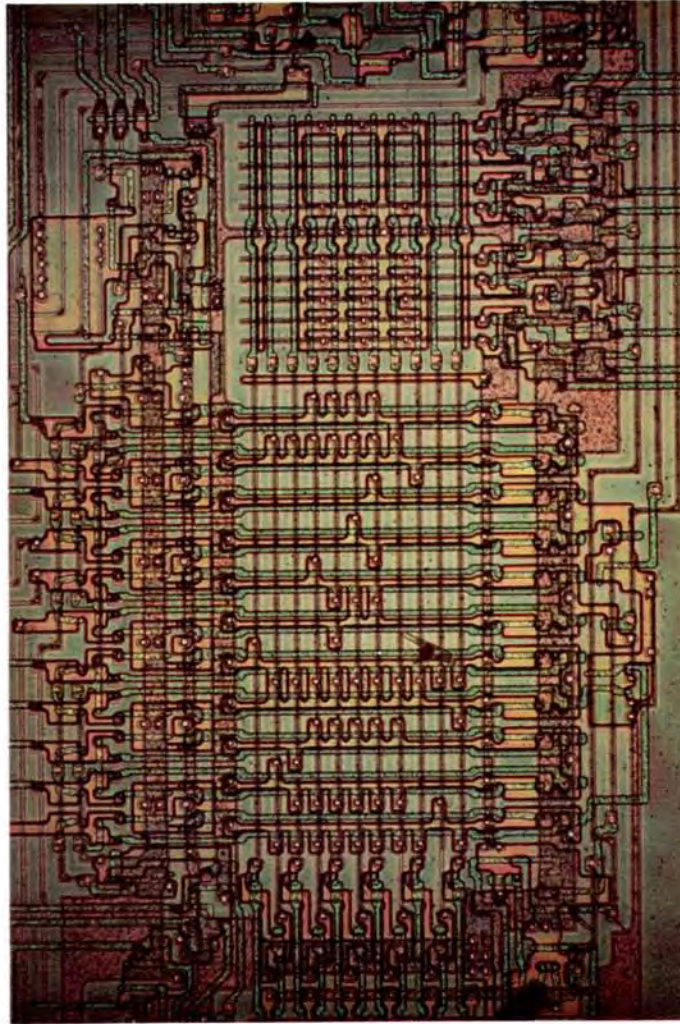


Figure V.2 - Photographie d'un PLA (MC 68000)

Le point d'une matrice ET d'un PLA est identique à un double point de ROM (figures V.3 et V.4).

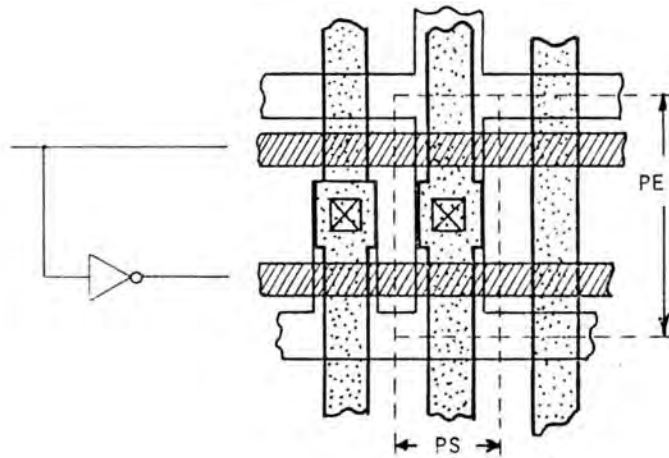


FIGURE V.3 - Dessin d'un point PLA



Figure V.4 - Photographie d'un point PLA.(28000)

V.1.2 - Evaluation de surface d'un point PLA

Comme dans le cas d'une ROM, PE et PS sont calculés en fonction du pas de poly et du pas de métal. L'unique différence est due au fait que le pas d'entrée (PE) d'un point PLA de la matrice ET est le double du pas d'entrée d'un point ROM (chapitre IV.2.2).

$$PE = 2.PAS POLY (1,56 - 0,010 PAS POLY) \quad (V.1)$$

$$PS = PAS METAL (0,88 + 0,0148 PAS METAL) \quad \text{si } pm \geq 8 \text{ micr.} \quad (V.2)$$

$$PS = PAS METAL \quad \text{si } pm < 8 \text{ micr.} \quad (V.3)$$

V.1.3. Evaluation de la surface d'un PLA classique

L'évaluation de la surface d'un PLA est faite en utilisant des formules du même type que celles utilisées pour l'évaluation d'une ROM. Soit DETX et DETY les dimensions de la matrice ET, et soit DOUX et DOUY les dimensions de la matrice OU (figure V.5).

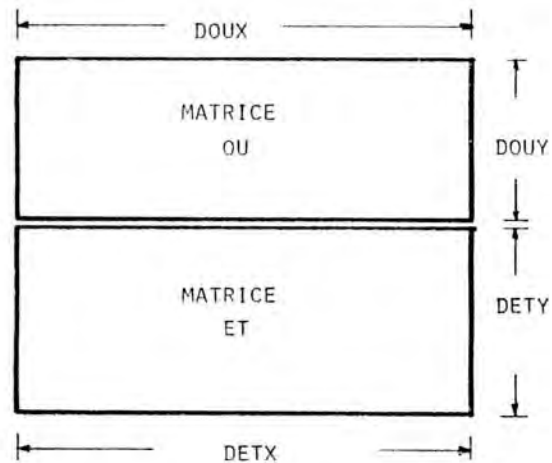


Figure V.5 - Dimensions externes du PLA.

Les dimensions des deux matrices sont évaluées par les formules suivantes :

MATRICE "ET" :

$$DETX := (NME + \lfloor NME/M \rfloor) . PS \quad (V.4)$$

où M indique la fréquence de rappels de masse, en nombre de lignes d'un rappel de masse au suivant.

$$DETY := (NE+2)PE \quad (V.5)$$

où le facteur "2" correspond à la taille moyenne des transistors de charge.

MATRICE "OU" :

$$DOOX := DETX + 4 . PS \quad (V.6)$$

où le facteur "4" correspond à la taille moyenne des transistors de charge.

$$DOOY := (NN + \lfloor NN/M \rfloor) . PS \quad (V.7)$$

Soit SMET la surface de la matrice ET et SMOU la surface de la matrice "OU" :

$$SMET := (NME + \lfloor NME/M \rfloor) . PS . (NE+2)PE \quad (V.8)$$

$$SMOU := (NME + \lfloor NME/M \rfloor + 4) . PS . (NN + \lfloor NN/M \rfloor) . PS \quad (V.9)$$

La surface totale du PLA (ST) est alors donnée par :

$$ST := SMET + SMOU \quad (V.10)$$

V.2 - L'EVALUATION DE LA SURFACE DE PLAS OPTIMISES

L'utilisation du programme d'optimisation topologique PAOLA décrit dans [PER 80] et [CHU 82] permet de réduire considérablement la surface de la deuxième matrice d'un PLA (matrice "OU"). Notre objectif est d'obtenir des formules d'évaluation prédictives des résultats de l'exécution du programme d'optimisation. Les résultats obtenus par l'utilisation de ce programme sont montrés dans [PER 80] et [CHU 82] et constituent des données dans la recherche de formules d'évaluation. Les tableaux V.1, V.2 et V.3 nous rappellent ces données. L'optimisation réalisé par PAOLA peut se faire avec ou sans allongement du PLA par duplication de certain monômes.

V.2.1. Optimisation sans duplication des monômes

Le tableau V.1 nous montre les résultats obtenus dans l'optimisation de la deuxième matrice, sans avoir dupliqué de monômes, ce qui veut dire sans augmenter la surface de la première matrice (matrice "ET").

Le taux de remplissage (TR) est défini comme le taux entre le nombre de transistors effectifs de la matrice et le nombre de points de la matrice.

$$TR = \frac{\text{nombre de transistors}}{\text{nombre total de points}}$$

On définit comme taux d'optimisation de surface (TOS), le rapport entre la surface du PLA optimisé et la surface du PLA classique.

$$\text{TOS} = \frac{\text{surface PLA optimisée}}{\text{surface PLA classique}}$$

Le taux de réduction du nombre de niveaux (TRN) est défini comme le rapport entre le nombre de niveaux de la deuxième matrice après l'optimisation et le nombre de niveaux avant l'optimisation.

$$\text{TRN} = \frac{\text{NN après optimisation}}{\text{NN avant optimisation}}$$

On observe que TRN est identique à TOS puisque que le nombre de monômes n'est pas modifié.

L'analyse de ce tableau nous montre que le résultat d'optimisation de la matrice 00 est plus significatif quand le taux de remplissage est plus bas et vice-versa. Ceci est très évident par l'observation de la figure V.6 qui montre, est représenté, sous forme graphique, le rapport entre le taux de réduction du nombre de niveaux et le taux de remplissage de la matrice 00.

		PLA1	PLA2	PLA3	PLA4	PLA5
		SC-MP	MC2	Z80		SIEMENS
	NME	65	108	75	131	147
PLA	NN	46	40	45	57	38
CLASSIQUE	SURFACE*	2990	4320	3375	7467	5586
	TR	10.5%	3.2%	8.9%	6.9%	24.8%
	NME	65	108	75	131	147
PLA	NN	28	14	26	34	30
OPTIMISEE	TRN	60.9%	35%	57,8%	59.65%	78.9%
SANS	SURFACE*	1820	1512	1590	4454	4410
DUPLICATION						
DE						
MONOMES						

* Surface donnée en nombre de points.

Tableau V.1 - Statistique sur l'optimisation de PLAs sans duplication de monômes

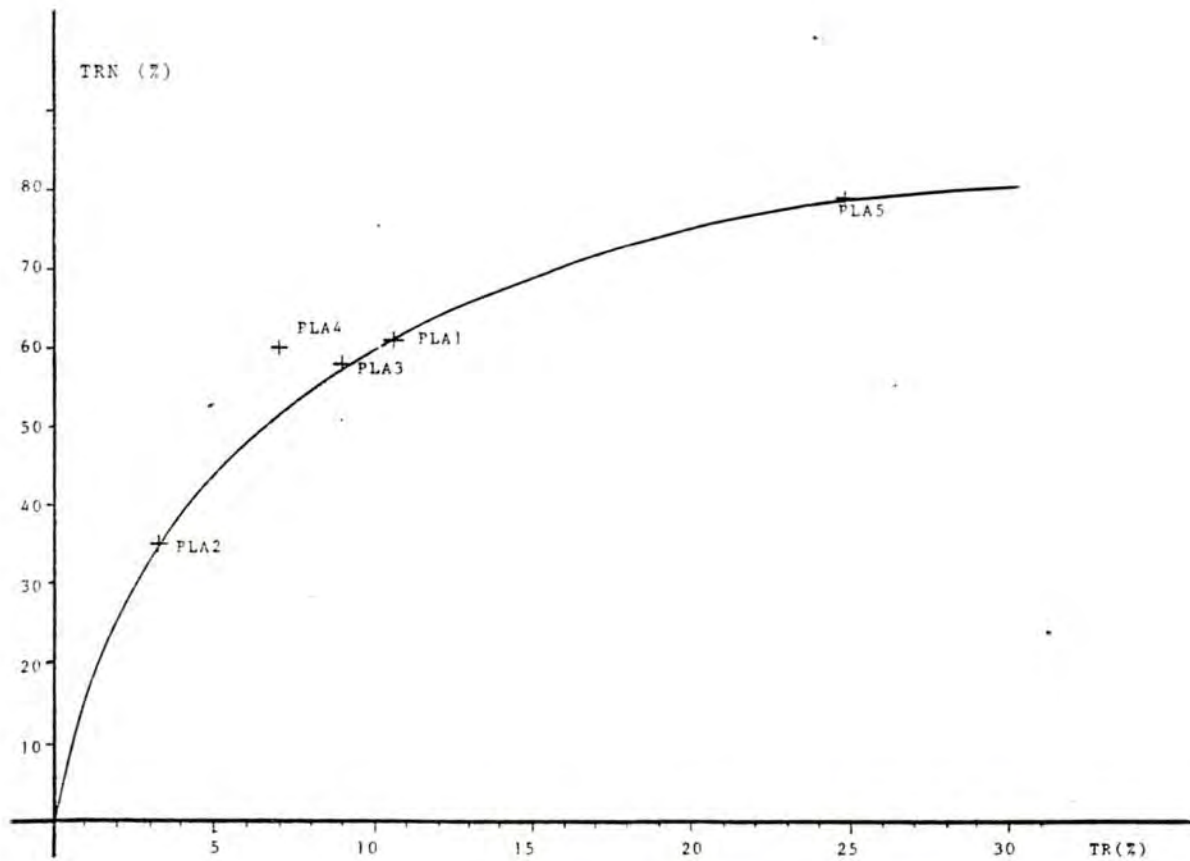


FIGURE V.6 - Rapport entre le taux de réduction du nombre de niveaux et le taux de remplissage (PLA optimisé sans duplication de monômes).

La courbe qui relie les points correspondants à chaque PLA peut être traduite par une fonction inverse de la fonction logarithmique se présente sous la forme suivante:

$$f(x) = \frac{\ln x}{b} - \frac{\ln a}{b}$$

Les coefficients a et b sont calculés par la résolution du système de deux équations ci-dessous, qui correspond aux PLA2 et PLA5.

$$\ln 3,2 = \ln a + 35 b$$

$$\ln 24,8 = \ln a + 79 b$$

On obtient comme résultat:

$$a = 0,628$$

et

$$b = 0,0465$$

La courbe résultante est représentée par la fonction suivante:

$$TRN = \frac{\ln TR}{0,0465} + 10,01 \quad (V.11)$$

La prédiction de l'optimisation qui peut être obtenue par l'utilisation des programmes d'optimisation topologique, sans duplication de monôme, est donc approchée par cette formule.

V.2.2. Optimisation avec duplication de monômes

Les résultats obtenus par l'utilisation des programmes

d'optimisation, avec duplication de monômes, sont montrés dans le tableau V.2. Les optimisations obtenues sont plus importantes que celles obtenues sans duplication de monômes, avec l'exception du PLA5. On doit tenir compte de ce que l'augmentation du nombre de monômes entraîne une augmentation en surface de la première matrice.

La figure V.7 présente le rapport entre le taux d'optimisation (TOS) et le taux de remplissage (TR) des matrices OU. Comme dans le cas précédent, (sans duplication de monômes), on obtient une courbe traduite par une fonction logarithmique:

$$f(x) = \frac{\ln x}{b} - \frac{\ln a}{b}$$

où

$$a = 2,3$$

et

$$b = 0,033$$

La courbe est donc représentée par la fonction suivante:

$$\text{TRN} = \frac{\ln \text{TR}}{0,033} - 25,22 \quad (\text{V.12})$$

REMARQUE: Il faudrait tourner davantage PAOLA, en utilisant différents taux de duplication de monômes (TDM) pour vérifier le rapport entre TRN et TDM.

		PLA1	PLA2	PLA3	PLA4	PLA5
		SC-MP	MC2	Z80		SIEMENS
PLA CLASSIQUE	NME	65	108	75	131	147
	NN	46	40	45	57	38
	SURFACE*	2990	4320	3375	7467	5586
	TR	10.5%	3.2%	8.9%	6.9%	24.8%
PLA OPTIMISEE AVEC DUPLICATION	NME	78 (+13)	131 (+23)	88 (+13)	160 (+29)	205 (+58)
	NN	23 (-23)	3 (-37)	18 (-27)	24 (-33)	27 (-11)
DE MONOMES	TRN	50%	7,5%	40%	42%	71%
	SURFACE*	1794	393	1584	3840	5535
	TOS	60%	9%	46,9%	51,4%	99,09%
AUGMENTATION						
DU NME		20%	21.3%	17.3%	22,1%	39.5%

* Surface donnée en nombre de points mémoire

Tableau V.2 - Statistique sur l'optimisation de PLAs avec duplication de monômes.

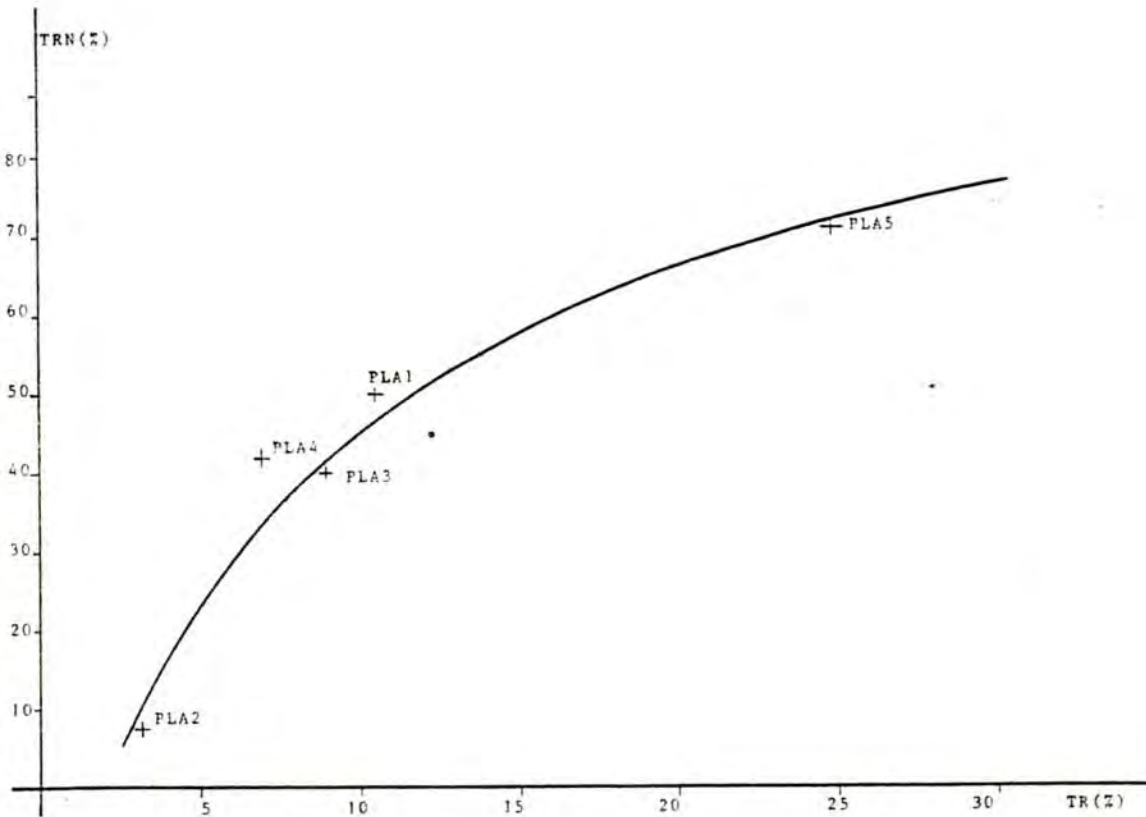


FIGURE V.7 - Rapport entre le taux de réduction du nombre de niveaux et le taux de remplissage (PLA optimisé avec duplication de monômes).

Cette courbe représente une approximation de l'évolution du rapport entre le taux de réduction du nombre de niveaux (TRN) et le taux de remplissage de la matrice OU.

On utilise cette courbe pour prédire les résultats qui peuvent être obtenus par l'utilisation du programme d'optimisation topologique PAOLA, avec duplication de monômes.

V.2.3. Comparaison entre les méthodes d'optimisation sans et avec duplication de monômes

Comme il a déjà été vu, la méthode d'optimisation sans duplication de monômes, conduit à une réduction du nombre de niveaux de la deuxième matrice, donc réduit la hauteur du PLA et ne modifie pas sa longueur.

Par contre, l'optimisation avec duplication de monômes conduit à une réduction plus importante du nombre de niveaux de la deuxième matrice, au prix d'une augmentation de la longueur du PLA.

Le tableau V.3 fait la comparaison entre les surfaces obtenues avec et sans duplication de monômes. On vérifie que, sauf pour le PLA2, l'optimisation sans duplication de monômes conduit à une surface plus petite. Mais cela ne signifie pas que la non duplication de monômes soit la meilleure solution parce que d'autres facteurs entrent dans ce choix.

L'un de ces facteurs est la forme du bloc par rapport à l'espace qui lui est destiné et par rapport aux blocs voisins. Un autre facteur très important est la connexion du PLA avec ses blocs voisins. Ceci amène à opter, généralement, pour une optimisation avec duplication de monômes, parce que l'augmentation en longueur du PLA simplifie le problème de connexion de ses sorties.

		PLA1	PLA2	PLA3	PLA4	PLA5
		SC-MP	MC2	280		SIEMENS
	2 x NE	34	26	20	28	16
PLA						
CLASSIQUE	SURFACE ET	2210	2808	1500	3668	2352
	SURFACE OU	2290	4320	3375	7467	5586
	SURFACE					
	ET + OU	5200	7128	4875	11135	7938
	SURFACE ET	2210	2808	1500	3668	2352
PLA	SURFACE OU	1820	1512	1590	4454	4410
OPTIMISEE						
SANS	SURFACE					
DUPLICATION	ET + OU	4030	43220	3090	8120	6762
DE						
HONOHES	TOS	77,5%	60,6%	63,4%	72,9%	85,2%
	SURFACE ET	2652	3406	1760	4480	3280
PLA	SURFACE OU	1794	393	1584	3840	5535
OPTIMISEE						
AVEC	SURFACE					
DUPLICATION	ET + OU	4446	3799	3344	8320	8815
DE						
HONOHES	TOS	85,5%	53,3%	68,6%	74,7%	111%

Tableau V.3 - Comparaison des optimisations en surface.

V.2.4. L'évaluation de surface

L'évaluation de la surface de PLAs optimisés est faite en utilisant des formules semblables à celles utilisées pour faire l'évaluation des PLAs classiques (formules V.4 et V.10), mais qui prennent en compte les résultats de l'utilisation des programmes d'optimisation.

V.2.4.1. L'évaluation de PLAs optimisés sans duplication de monômes

Dans ce cas, les formules d'évaluation utilisées sont les formules V.4 à V.10, sauf les formules V.7 (calcul de DOUY) et V.9 (calcul de SMOU) qui sont modifiées par l'introduction du facteur TRN (taux de réduction du nombre de niveaux), calculé par la formule V.11.

Ces formules prennent alors la forme suivante:

$$\text{DOUY} := (\text{TRN} \cdot \text{NN} + \lfloor \text{TRN} \cdot \text{NN} / \text{M} \rfloor) \cdot \text{PS} \quad (\text{V.13})$$

$$\text{SMOU} := (\text{NME} + \lfloor \text{NME} / \text{M} \rfloor + 4) (\text{TRN} \cdot \text{NN} + \lfloor \text{TRN} \cdot \text{NN} / \text{M} \rfloor) \cdot \text{PS}^2 \quad (\text{V.14})$$

V.2.4.2. L'évaluation de PLAs optimisés avec duplication de monômes

Pour cette évaluation, on utilise aussi les formules V.4 et V.10, mais les formules V.4, V.7, V.8 et V.9 seront modifiées et prendront les formes suivantes:

$$\text{DETX} := (\text{TDM} \cdot \text{NME} + \lfloor \text{TDM} \cdot \text{NME} / \text{M} \rfloor) \cdot \text{PS} \quad (\text{V.15})$$

où TDM est le taux de duplication de monômes.

REMARQUE :

Une duplication de monômes de 20% donne un TDM égal à 1,20.

$$\text{DOUY} := (\text{TRN.NN} + |\text{TRN.NN/M}|) . \text{PS} \quad (\text{V.13})$$

où TRN est calculé par la formule V.12.

$$\text{SMET} := (\text{TDM.NME} + |\text{TDM.NME/M}|) . \text{PS} . (\text{NE} + 2) \text{PE} \quad (\text{V.16})$$

$$\text{SMOU} := (\text{TDM.NME} + |\text{TDM.NME/M}| + 4) (\text{TRN.NN} + |\text{TRN.NN/M}|) . \text{PS}^2 \quad (\text{V.17})$$

V.3. LE SOUSPROGRAMME D'EVALUATION

Les paramètres d'entrée du programme d'évaluation des PLAs sont les suivants:

- le nombre d'entrées (NE),
- le nombre de monômes (NME),
- le nombre de sorties (NS).

Les paramètres technologiques: pas de poly et pas de métal, sont pris à partir d'un fichier technologique commun à tous les modules d'évaluation.

L'évaluation de la forme et de la surface du PLA est fournie comme résultat.

Le programme peut faire l'évaluation à partir du PLA classique ou à partir du PLA déjà optimisé.

Dans le cas où les paramètres du PLA classique sont donnés comme entrée, le programme évalue la surface pour les deux possibilités d'optimisation: avec et sans duplication de monômes. Il présente comme premier résultat la solution correspondant à la surface la plus réduite. L'utilisateur peut alors demander pour obtenir l'autre solution qui sera ensuite affichée.

VI - L'EVALUATION DE BLOCS FONCTIONNELS EN LOGIQUE ALEATOIRE

VI.1. INTRODUCTION

Les blocs fonctionnels en logique aléatoire sont les plus difficiles à évaluer à cause de la nature des éléments qui les constituent (réseaux de portes diverses et leurs interconnexions) . De tous les blocs qui constituent un circuit, intégré, ce sont aussi les plus déformables. De ce fait ils sont généralement les derniers à être dessinés en remplissant les espaces vides provenant d'une déformabilité plus faible des autres blocs fonctionnels. En fonction de l'espace existant on peut diviser un bloc de logique aléatoire en plusieurs sous-blocs (figure VI. 1) bien que cette facilité topologique simplifie l'implantation du circuit, l'évaluation prédictive en devient plus compliquée.

La forme d'un bloc de logique aléatoire est donc directement dépendante de la topologie des autres blocs . Cela veut dire que les blocs les plus "durs" imposent des contraintes aux blocs les plus "mous".

Pour obtenir le module d'évaluation de la logique aléatoire, on a d'abord fait une analyse topologique de ce type de blocs, suivie d'une étude statistique, et à partir des résultats obtenus on a recherché des formules d'évaluation prédictive satisfaisantes.

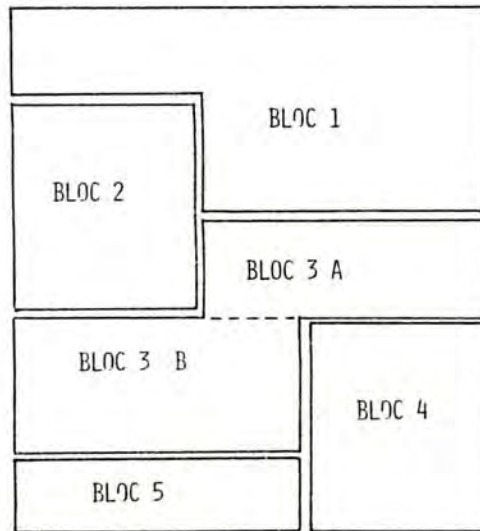


Figure VI.1 : Division d'un bloc "logique aléatoire" en deux sous-blocs.

L'observation de divers circuits intégrés existants nous a montré clairement que les parties en logique aléatoire présentent une forme structurale en bandes, comme le montrent les photos présentées dans la suite et dans les annexes.

VI.2. - LA STRUCTURE EN BANDES

Une bande (figures VI.2 et VI.3) est définie comme une région délimitée par deux lignes parallèles d'alimentation en métal: une ligne de VCC et une ligne de masse. Entre les deux lignes d'alimentation on trouve un nombre variable de lignes internes en métal, qui servent soit de connexions locales au bloc fonctionnel, soit de connexions externes au bloc (canaux de connexions).

Ces lignes internes sont disposées parallèlement aux lignes d'alimentation, à une distance conforme à la règle technologique donnant le pas de métal.

Les bandes sont disposées parallèlement les unes aux autres comme le montre les figures VI.4 et VI.5.

Les lignes d'alimentation sont reliées entre elles en formant une structure d'alimentation ayant la forme de deux peignes imbriqués comme le montre les figure VI.6 et VI.7.

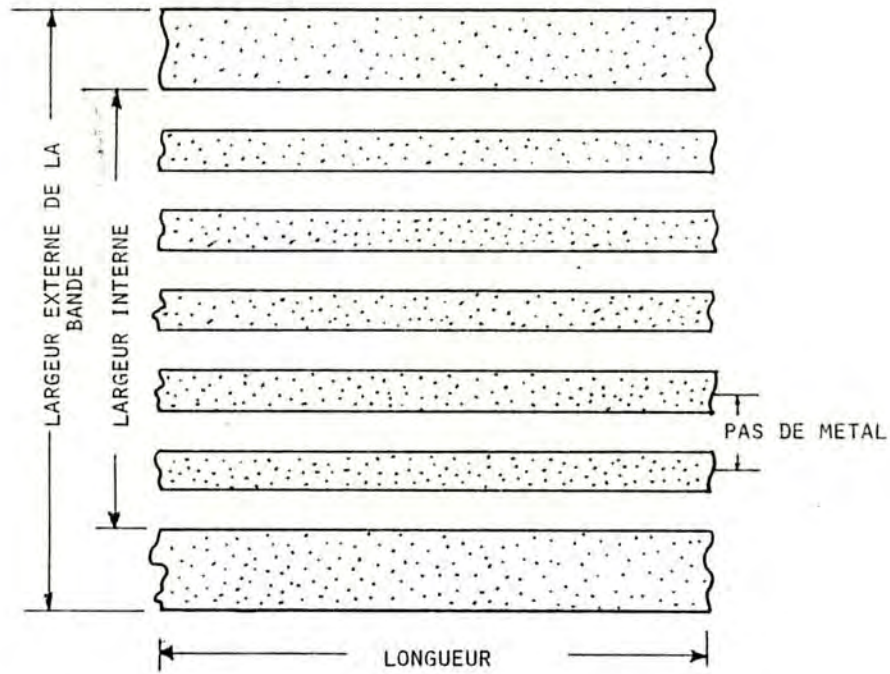


Figure VI.2 : Concept de bande

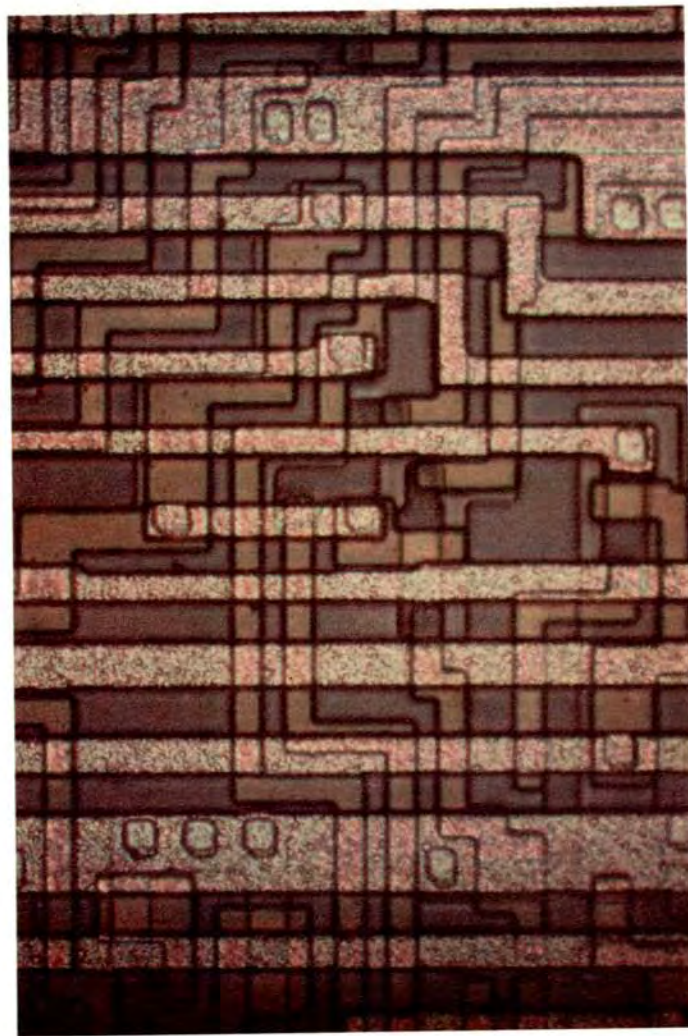


Figure VI.3 : Photo d'une bande (MC 6802)

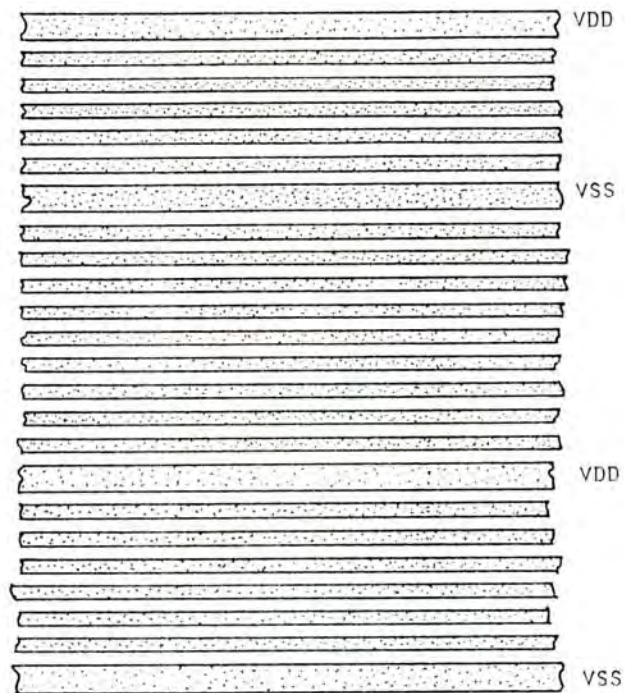


Figure VI.4 : Disposition parallèle des bandes

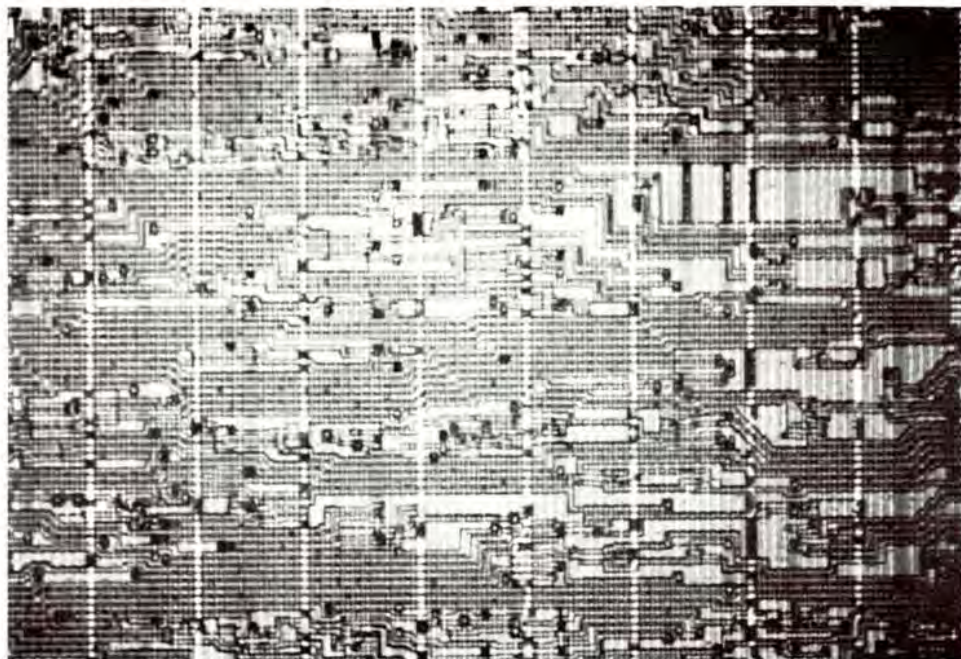


Figure VI.5 : Photo d'un ensemble de bandes (MC 6809)

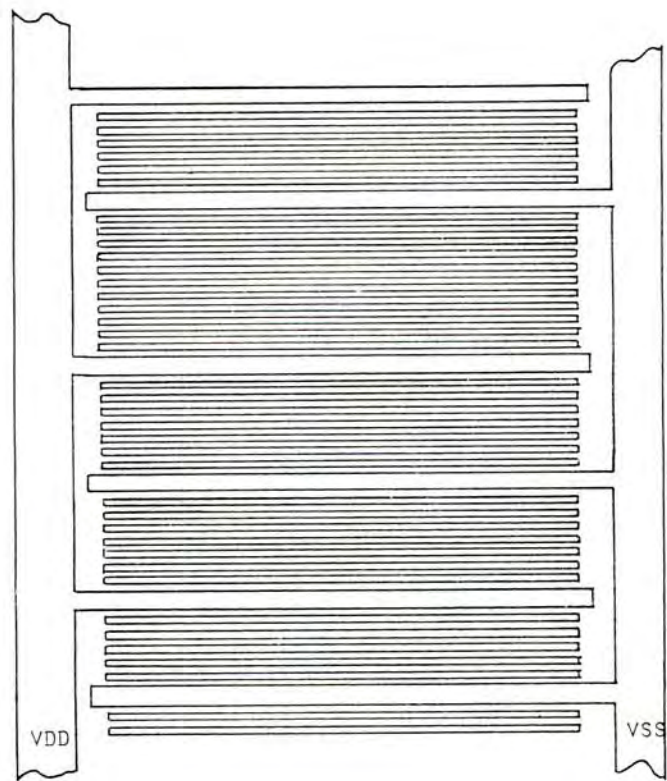


Figure VI.6 : Reseaux d'alimentation

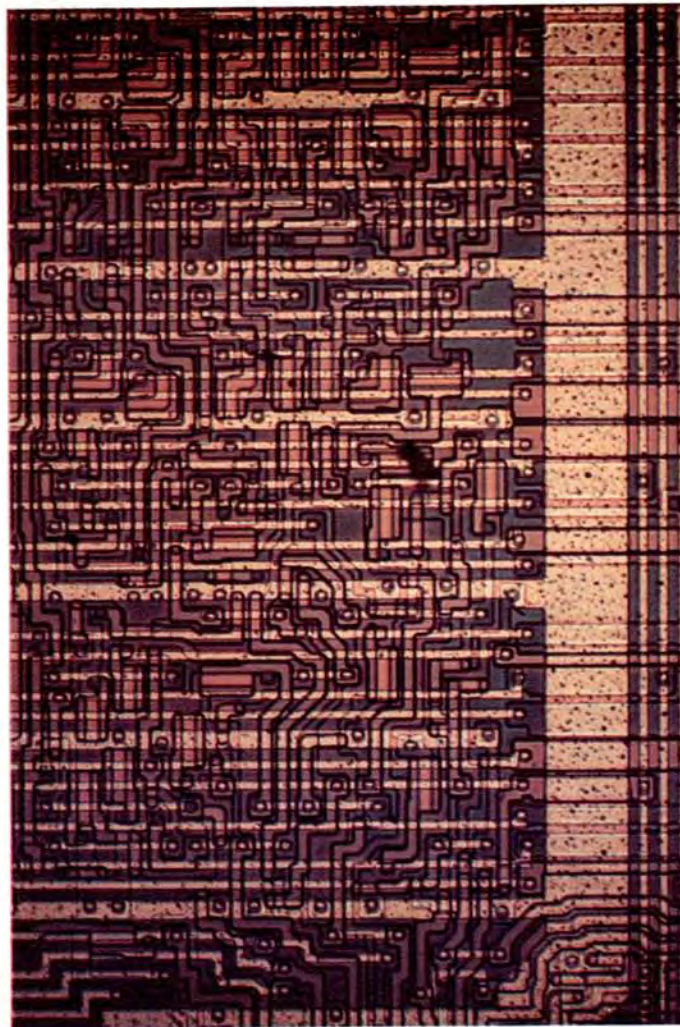


Figure VI.7 : Photo d'une distribution des alimentations
(TMS 7000)

La largeur des lignes d'alimentation est déterminée d'après leur longueur (par simulation électrique ou calcul des résistances). Elle est en moyenne égale à un pas de métal.

Dans ce cas, la largeur physique d'une bande (direction Y) peut être évaluée par la formule:

$$LB = (NL+2).PAS \text{ DE METAL} + 0.5 \text{ PAS DE METAL}$$

où le facteur "2" correspond à la largeur moyenne des deux lignes d'alimentation et le facteur "0.5" à la distance entre la dernière ligne interne et une ligne d'alimentation, soit:

$$LB = (NL+2.5).PAS \text{ DE METAL} \quad (VI.1)$$

où

LB = largeur de la bande

NL = nombre de lignes internes

Pour une série de bandes mises les unes à côté des autres, la formule (VI.1) générale est la suivante:

$$\sum_{l=n}^i LB_i = \left(\sum_{l=n}^i (NL_i + 1.5).PAS \text{ DE METAL} \right) + PAS \text{ DE METAL} \quad (VI.2)$$

La formule (VI.2) a ses coefficients modifiés par rapport à ceux de la formule (VI.1) à cause de la superposition des lignes d'alimentation entre deux bandes.

Les observations au microscope ont montré que dans la direction des bandes, leur longueur peut être caractérisée par

les lignes de poly qui sont, soit des connexions, soit des grilles de transistors. On utilise donc comme unité de mesure dans cette direction (direction X) le pas de poly.

Un point très important est que les portes logiques sont dessinées sous les lignes métalliques, c'est-à-dire sous les connexions, et vice-versa.

La technique classique de placement des blocs fonctionnels d'un circuit qui consiste à laisser des espaces vides (canaux d'interconnexion) pour permettre le passage des interconnexions entre les blocs, est ainsi évitée dans une direction puisque les connexions interblocs peuvent passer au dessus des blocs fonctionnels (sur les portes logiques). De ce fait, cette technique réduit, de manière importante, la surface du circuit dessiné.

VI.3. LA TRANSPARENCE D'UNE BANDE

On définit la transparence d'une cellule (ou d'un bloc), dans une direction, par le rapport entre le nombre de connexions externes à cette cellule (ou bloc) qui peuvent la traverser dans cette direction et le nombre de lignes internes constituant des connexions locales.

REMARQUE: Dans toute notre analyse on appellera transparence horizontale la transparence dans la direction pas de métal, donc la transparence à des lignes horizontales (métalliques). Cette convention est due à notre "point de vue" des circuits. La transparence verticale est donc la transparence dans la direction pas de poly (transparence à des lignes verticales).

Si on considère l'exemple d'une cellule NON-ET. On sait que cette cellule peut être dessinée de plusieurs manières. Dans la figure VI.8 on a dessiné cette cellule de quatre manières, en conservant toujours la même forme pour les transistors signaux et les grilles qui arrivent en métal, à exception de la première figure où l'on considère que les grilles arrivent en poly.

L'analyse de la transparence dans la direction Y (direction pas de métal) donne les résultats suivants: dans le premier cas (figure VI.8.A), la transparence est de 100%, parce que toutes les lignes internes sont disponibles pour les connexions externes ; dans le deuxième cas (figure VI.8.B), la transparence est de 50% parce que sur les 4 lignes internes existantes 2 sont disponibles pour des connexions externes (canaux de connexions). Dans le troisième cas (figure VI.8.C), comme la sortie est prise en métal, la transparence est

réduite à 25%. Dans le quatrième cas (figure VI.8.D) la transparence est nulle.

Une analyse similaire peut être faite pour calculer la transparence dans l'autre direction, caractérisée par le pas de poly. Dans ce cas, on évalue le pourcentage de la surface utilisée pour le dessin effectif de la porte par rapport au nombre de canaux de connexion dans cette direction, le tout mesuré en nombre de pas de poly. Dans l'exemple (figure VI.8) la transparence dans la direction X est zéro dans les quatre cas. Plus tard, (chapitre VI.5), il sera donné une statistique sur la transparence verticale de quelques microprocesseurs.

REMARQUE

Quand la transparence dans une direction est faible, la majorité des interconnexions doivent utiliser des canaux de connexion pour se véhiculer.

Quand la transparence est forte, la majorité des interconnexions peuvent se placer sur les bandes, donc au dessus les circuits actifs.

TRANSPARENCE :
100 %

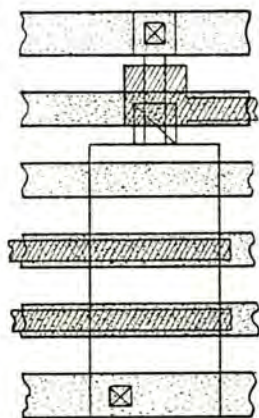


FIG. 8A

TRANSPARENCE :
50 %

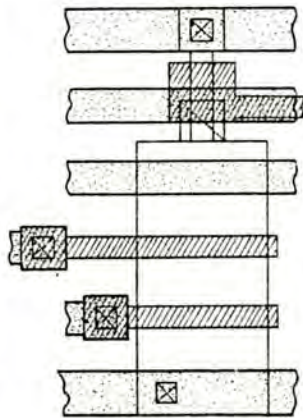


FIG. 8B

TRANSPARENCE :
25 %

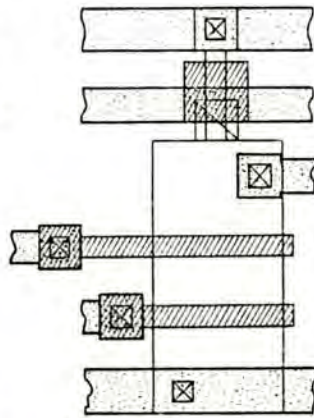


FIG. 8C

TRANSPARENCE :
0 %

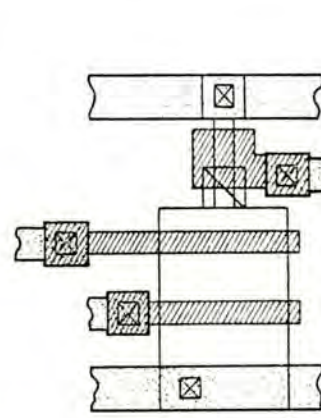


FIG. 8D

FIGURE VI.8 : Une cellule NON-ET avec différentes transparences horizontales

VI.4. L'ETUDE STATISTIQUE

Pour obtenir les données nécessaires au développement d'un module d'évaluation des blocs en logique aléatoire, plusieurs statistiques ont été faites sur des microprocesseurs réels:

- statistique sur la surface moyenne par transistor,
- statistique sur le nombre de lignes internes par bande,
- statistique sur la transparence verticale des bandes.
- statistique sur la transparence horizontale des bandes.

VI.4.1. - STATISTIQUE SUR LA SURFACE MOYENNE PAR TRANSISTOR

La surface totale d'un bloc en logique aléatoire est divisée en trois parties:

- surface occupée par les transistors,
- surface occupée par des interconnexions,
- surface vide distribuée par le bloc.

L'observation des plans de masse de plusieurs microprocesseurs montre que la densité moyenne en transistors des blocs en logique aléatoire peut être considérée en utilisant comme unité le produit entre les pas de métal et de poly.

Les surfaces totales des blocs en logique aléatoire sont mesurées en fonction du pas de métal et du pas de poly. Ces mesures sont faites généralement sur un microscope optique avec l'aide d'un micromètre, ou sur des photos à grande échelle.

De la même manière, on a compté le nombre de transistors de ces blocs. Le comptage des transistors de charge et des transistors de signal est fait de façon indépendante pour permettre l'établissement d'une statistique sur le nombre

moyen de transistors par porte logique.

Les résultats de ces statistiques sont utilisés pour calculer la surface moyenne par transistor en terme de produit pas de métal x pas de poly.

Les résultats de plusieurs mesures sur des microprocesseurs sont donnés dans l'annexe 1 et un résumé est présenté dans le tableau 1.

MICRO	FABRICANT	NOMBRE MOYEN DE TRANSISTORS PAR PORTE	SURFACE MOYENNE D'UN TRANSISTOR (*)
8085	INTEL	2.5	13.33
8748	INTEL	2.2	15.00
280	ZILOG	2.3	12.25
6800	MOTOROLA	3.4	12.45
28000	ZILOG	2.74	13.60

(*) donnée en nombre de produits pas de poly x pas de métal (pour les blocs de logique aléatoire).

TABLEAU VI.1

La valeur moyenne obtenue entre les divers microprocesseurs est d'environ 13 pas de métal x pas de poly par transistor.

REMARQUE: Dans le cas de blocs denses, la densité d'intégration peut **localement** monter à 4 pas de métal x pas de poly par transistor.

VI.4.2. STATISTIQUE SUR LE NOMBRE DE LIGNES INTERNES PAR BANDE

Un problème important est de savoir comment déterminer le nombre idéal, de lignes internes de chaque bande pour la conception d'un circuit déterminé. Une statistique sur le nombre de lignes internes par bande, de blocs de logique aléatoire de microprocesseurs réels, constitue une donnée importante dans cette recherche.

L'étude statistique détaillée qui a été faite est présentée dans l'annexe 1 et un résumé est donné dans le tableau VI.2. Les données de ce tableau sont mises sous une forme graphique dans la figure VI.9.

		MICROPROCESSEUR	VARIATION DE NL	NL MOYEN
8 bits	8085	INTEL	4 à 15	6
	8748	INTEL	4 à 11	8
	280	ZILOG	2 à 17	5
	6800	MOTOROLA	3 à 10	5
	6809	MOTOROLA	5 à 17	9
16 bits	28000	ZILOG	3 à 22	12

TABEAU VI.2

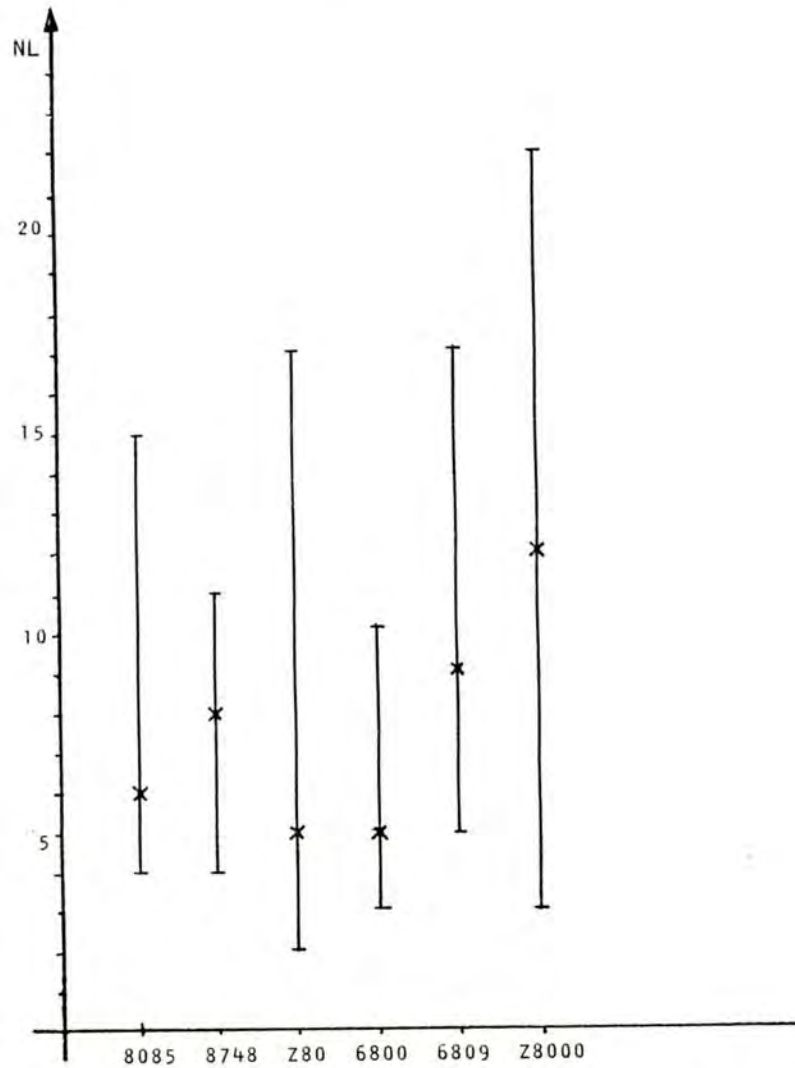


Figure VI.9: Amplitude de variation du nombre de lignes internes par bande. La croix indique le nombre moyen de lignes internes par bande pour chaque microprocesseur.

L'amplitude de variation du nombre de lignes internes par bande est très large (3 à 22 lignes par bande). On voit que, pour les microprocesseurs 8 bits étudiés, le nombre moyen de lignes internes par bande se situe entre 5 et 9 lignes, et cela donne une moyenne totale de 7 lignes par bande. Une vérification importante est que près de 50% de la longueur totale des bandes d'un circuit est constituée seulement par deux nombres différents de lignes par bande (voir annexe 1). Autrement dit, pour la majorité du circuit il n'est utilisé que deux largeurs de bandes différentes. On appelle longueur totale des bandes d'un circuit, la somme des longueurs de bandes existant dans le circuit. On exprime ceci par l'expression suivante:

$$LNTB = \sum_{i=1}^n LNB_i \quad (VI.3)$$

où

LNTB = longueur totale des bandes du circuit

LNB_i = longueur de la bande i

On peut dire aussi que le nombre moyen de lignes par bande varie en fonction de la complexité du circuit. Le nombre moyen de lignes par bande est plus grand dans les circuits plus complexes, comme on devait l'espérer. Le rapport entre le nombre moyen de lignes par bande et la complexité du circuit est montré dans la figure VI.10 pour quelques microprocesseurs.

On doit remarquer que le 18748 est un microordinateur monoboitier et son nombre élevé de transistors est due à l'existence d'une mémoire ROM interne.

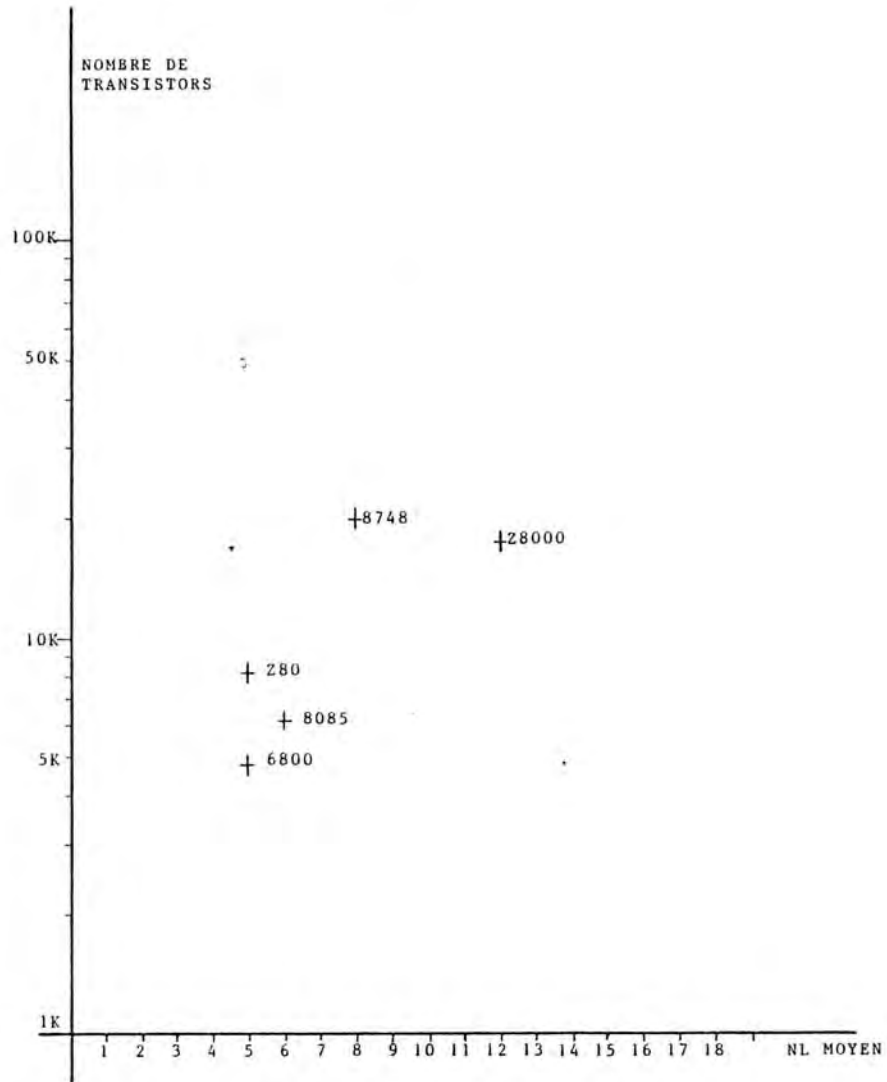


Figure VI.10: Rapport entre le nombre moyen de lignes par bande et la complexité du circuit.

VI.4.3. STATISTIQUE SUR LA TRANSPARENCE VERTICALE

La transparence verticale d'une bande est perçue comme le nombre de lignes verticales (connexions) en silicium polycristallin ou en diffusion qui peuvent traverser cette bande dans le sens vertical. On parle ici de "lignes qui peuvent traverser" parce que, en plus des lignes verticales existantes (canaux occupés), on prend en compte les canaux verticaux vides.

La transparence est mesurée en termes de pourcentages de surface occupée par les canaux d'interconnexion (occupés ou non).

Une idée relative de la transparence des circuits existants est donnée par une statistique qui présente un comptage du nombre de lignes qui traversent effectivement les bandes. Le nombre des canaux vides n'a pas été compté.

Les résultats détaillés de cette étude, en ce qui concerne les microprocesseurs 18085, Z80, Z8000, sont présentés dans l'annexe I et un résumé est donné dans le tableau ci-après.

MICRO FABRICANT		TRANSPARENCE	SURFACE OCCUPEE	(1)+(2)
		% (1)	E/S % (2)	
8085	INTEL	8.6	16.9	25.5
Z80	ZILOG	9.29	20.95	30.24
Z8000	INTEL	15.92	25.10	41.02

TABIEAU VI.3.

Les microprocesseurs Z80 et Z8000 sont conçus avec la même méthodologie et le même type d'architecture interne et de topologie (voir annexe 1). La différence qui existe entre les valeurs de transparence de leurs bandes est due essentiellement à la différence de complexité de leurs parties contrôle, avec un nombre de connexions beaucoup plus important dans le cas du Z8000.

VI.4.4. STATISTIQUES SUR LA TRANSPARENCE HORIZONTALE

Ce chapitre présente une étude statistique sur la transparence horizontale des circuits de microprocesseurs. Le concept de transparence horizontale a déjà été présenté dans le chapitre VI.3. Les lignes internes d'une bande, de lignes métalliques, constituent la nappe de connexions la plus importante d'un circuit. Plusieurs "classes" de connexions sont réalisées en utilisant ces lignes métalliques:

- connexions internes (locales) à une cellule,
- connexions entre cellules voisines,
- connexions internes à un groupe de cellules,
- raccordement entre deux connexions réalisées en silicium polycristallin ou en diffusion.

La transparence horizontale peut être aussi divisée en plusieurs "classes":

- transparence d'une cellule,
- transparence d'un groupe de cellules,
- transparence globale d'une bande.

Ces trois classes de transparence sont étudiées sous la forme de deux paramètres statistiques:

- le premier montre la transparence moyenne d'une cellule (porte) pour les microprocesseurs 28000 et 6800.
- le deuxième donne la probabilité d'utilisation des lignes internes d'une bande en fonction de la longueur de celle-ci, longueur qui est mesurée en nombre de pas de poly.

VI.4.4.1. - Transparence moyenne d'une cellule

Cette statistique a été effectuée de la façon suivante: nous avons d'abord choisi, au hasard, plusieurs groupes de cellules sur des bandes différentes, avec un nombre de lignes internes (NL) différent. La transparence de chaque cellule a été mesurée. Les transparences moyennes pour chaque groupe de cellules ayant le même nombre de lignes ont ensuite été obtenues. En considérant le nombre moyen de lignes internes par bande des zones analysées, on obtient aussi une transparence moyenne globale de la zone étudiée.

Une première étude statistique a été effectuée sur les zones en logique aléatoire du microprocesseur 28000. Un résumé des résultats obtenus est présenté dans le tableau VI.4 et dans la figure VI.11. Les résultats détaillés sont présentés dans l'annexe 1.

NL	NOMBRE MOYEN DE CANAUX OCCUPES	TRANSPARENCE %
12	3,64	70
9	2,86	68
7	2,41	66
5	1,67	67
MOYENNE		
9,36	2,98	68

Tableau VI.4 - Transparence des cellules du 28000

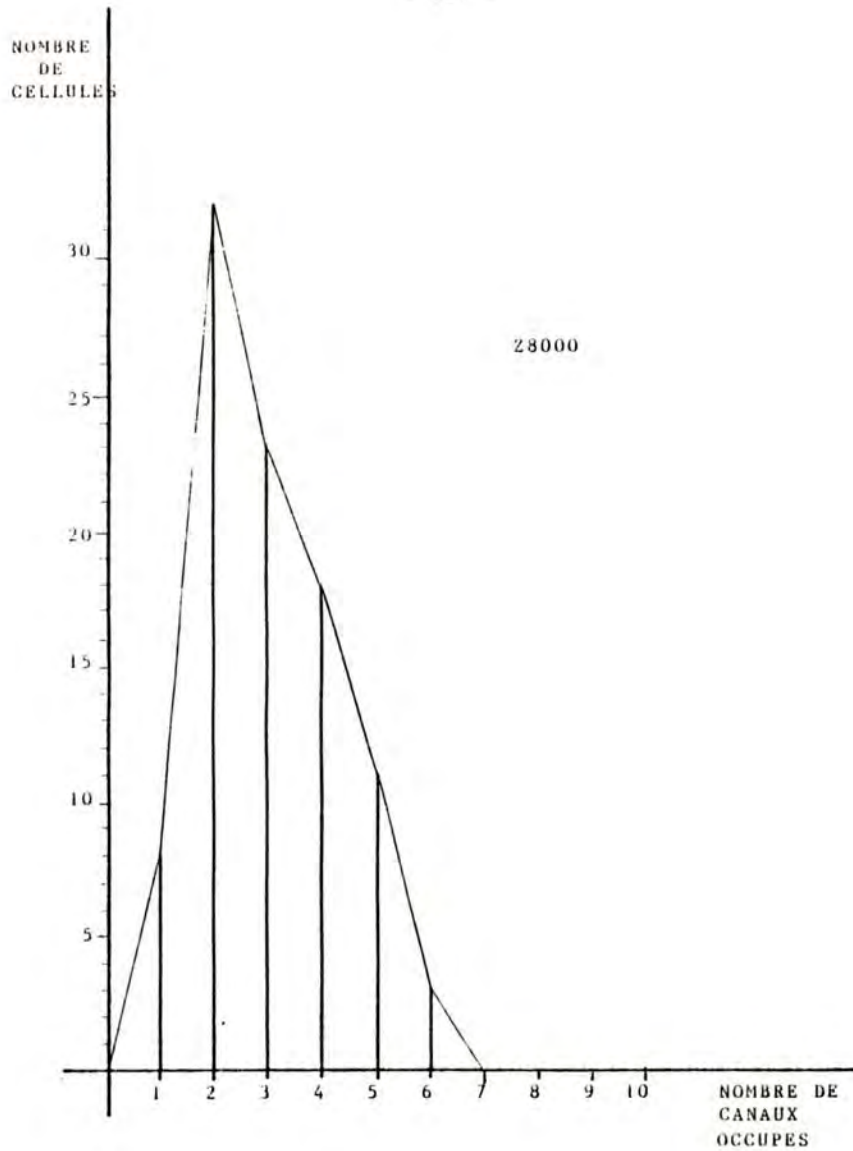


Figure VI.11 - Distribution de l'utilisation des lignes internes de cellules du 28000.

On observe que même en variant le nombre de lignes internes par bande, on rencontre une transparence pratiquement constante, équivalente aux deux tiers du nombre de lignes.

Une deuxième statistique, cette fois sur le microprocesseur 6800, a été effectuée. Le résumé des résultats est présenté dans le tableau VI.5 et dans la figure VI.12. Les résultats détaillés figurent dans l'annexe 1.

NL	NOMBRE MOYEN DE CANAUX OCCUPES	TRANSPARENCE %
10	3,71	63
7	1,63	77
5	1,59	68
MOYENNE:		
7,34	2,32	68

Tableau VI.5 - Transparence de cellules du 6800.

On observe que la transparence moyenne est semblable à celle obtenue pour le 28000 (en réalité identique). Il est légitime de penser qu'un résultat du même ordre serait obtenu par l'analyse d'autres circuits.

Ceci nous permet de conclure que prévoir une transparence d'environ 70% dans la conception d'une cellule ne représente pas une mauvaise option.

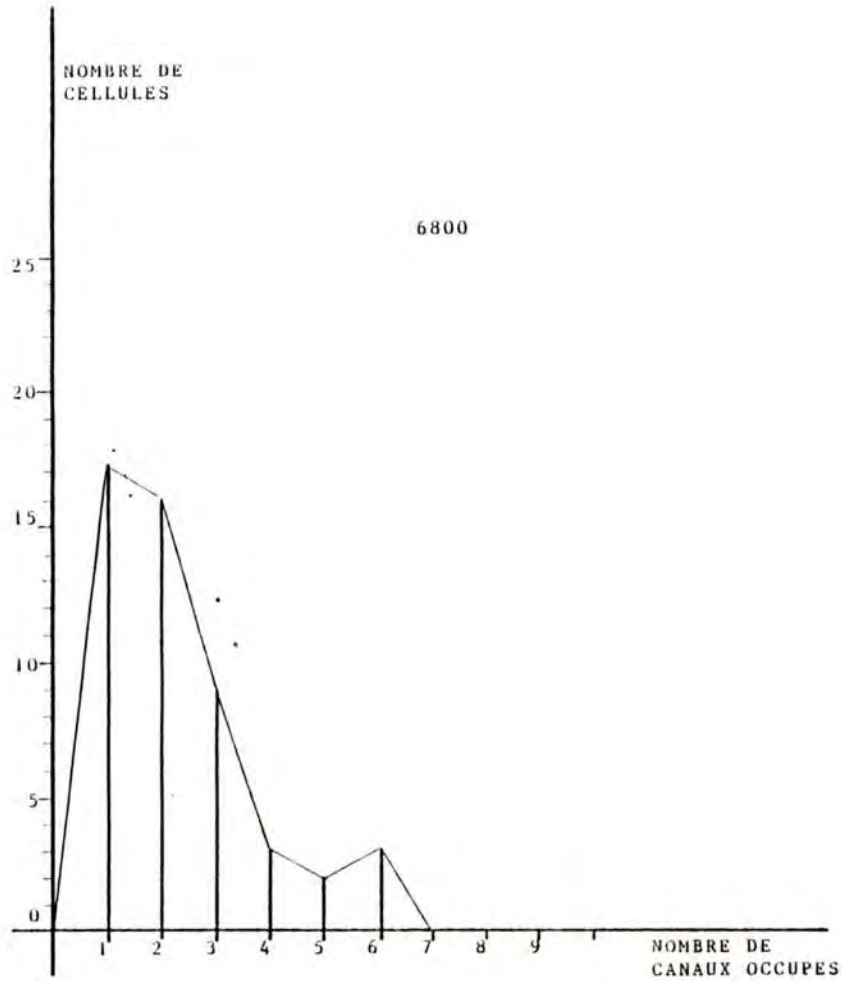


Figure VI.12 - Distribution de l'utilisation des lignes internes de cellules du MC 6800.

VI.4.4.2 - Probabilité d'utilisation des lignes dans une bande

La transparence d'un groupe de cellules voisines dans une bande est analysée ici, ainsi que la transparence globale de la bande.

La statistique effectuée nous donne le nombre nécessaire de cellules dans une bande pour avoir une utilisation de toutes les lignes de cette bande, et obtenir ainsi une transparence nulle de ce groupe de cellules.

Au départ, une statistique sur les bandes du Z8000 a été effectuée, les résultats détaillés sont présentés dans l'annexe 1. La courbe de la transparence obtenue (dans les zones étudiées) en fonction de la longueur du groupe de cellules donnée en nombre de pas de poly, est présentée dans la figure VI.13, pour divers nombres de lignes internes par bande (NL). La transparence sur la courbe est donnée en nombre de lignes disponibles.

On observe que la loi de probabilité obtenue est du type exponentiel dont la distribution est donnée par l'équation suivante:

$$T = NL \cdot e^{-\frac{L}{20}} \quad (VI.4)$$

où:

T = transparence en nombre de pistes disponibles

NL = nombre de lignes de la bande

L = longueur de la bande donnée en nombre de pas de poly.

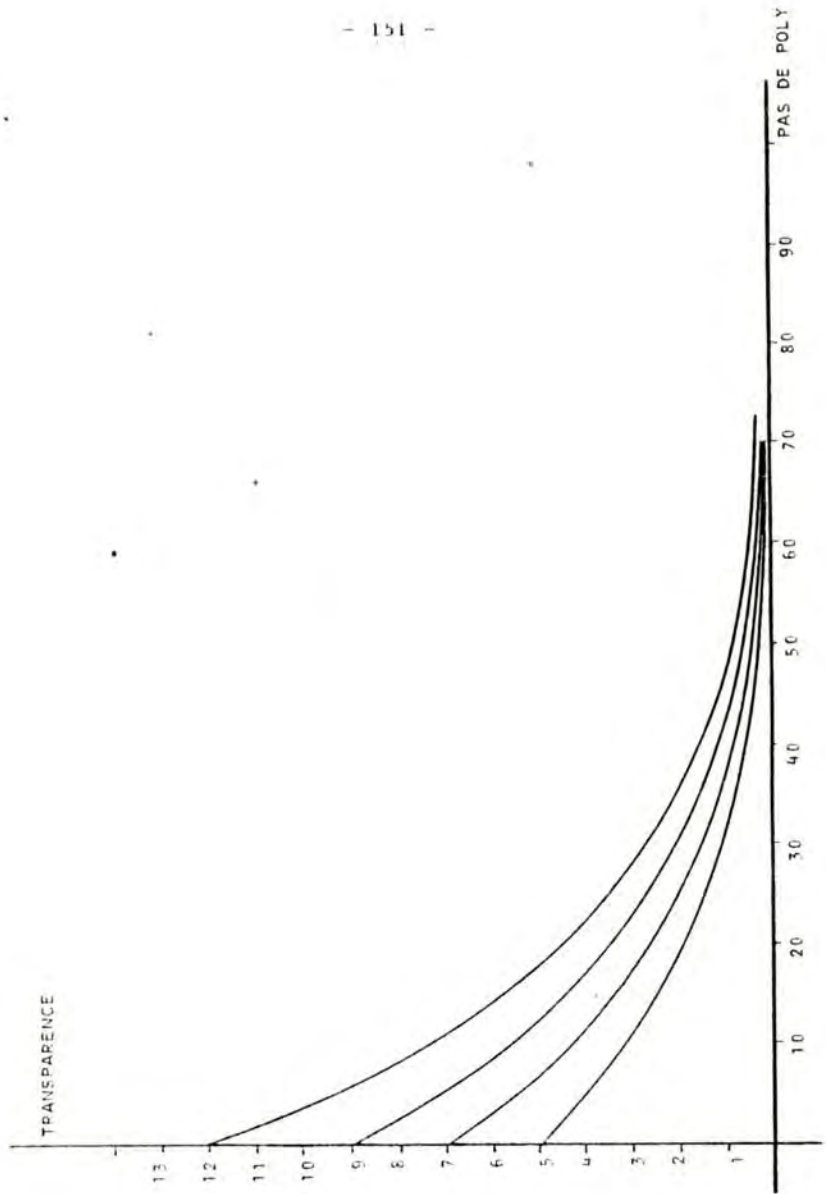


Figure VI.13 - Probabilité de transparence en fonction de la longueur de la bande (28000).

La probabilité de transparence horizontale normalisée, est donnée par:

$$TN = \frac{L}{e^{20}} \quad (VI.5)$$

sans distinction du nombre de lignes par bande.

La probabilité de transparence, normalisée, est évidemment indépendante du nombre de lignes par bande. Mais, par contre, le résultat d'un tirage entier, en nombre de lignes disponibles, est dépendante du nombre de lignes par bande.

L'exemple suivant est très significatif: |

Supposons une probabilité de transparence calculée de 10%. Si NL est égal à 10 lignes, la probabilité de transparence T, en nombre de lignes disponibles, est égale à 1. Donc si on fait un tirage, la probabilité d'avoir une ligne de transparence est très significatif. Si NL est égal à 4 lignes, la probabilité de transparence T devient 0,4, donc si on fait un tirage, il est fort possible de n'avoir aucune ligne libre.

Une statistique a été faite pour le 6800 (annexe 1). On observe que les courbes de probabilité obtenues avec le 28000 sont toujours valables.

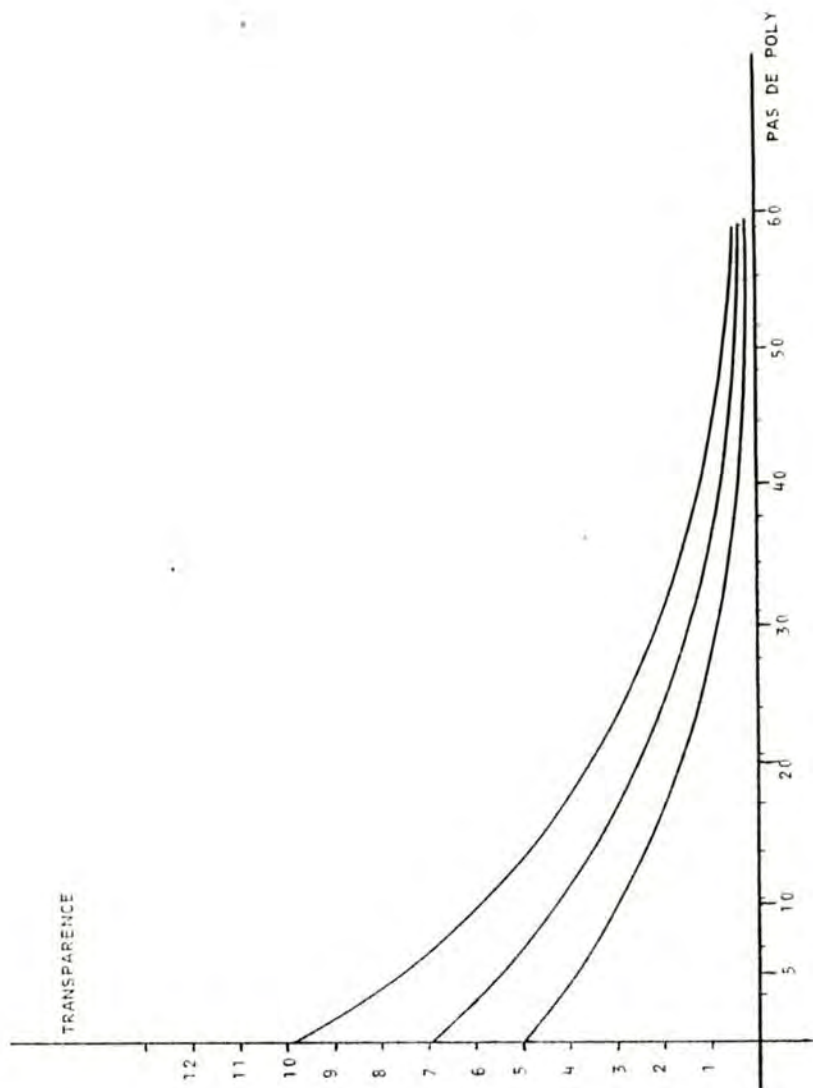


Figure VI.14 - Probabilité de transparence en fonction de la longueur de la bande (6800).

VI.5. LE MODULE D'EVALUATION

L'évaluation d'un bloc en logique aléatoire est faite en deux étapes:

- d'abord une évaluation de la surface par rapport au nombre de transistors,
- puis une évaluation de la forme du bloc en considérant une implantation sur bandes.

VI.5.1. EVALUATION DE SURFACE

Le résultat de la statistique sur la surface moyenne par transistor nous donne une valeur de 13 pas de métal x pas de poly par transistor, pour les divers microprocesseurs consultés (chapitre VI.4.1).

Pour notre démarche nous allons utiliser cette valeur pour évaluer la surface d'un bloc de logique aléatoire à partir du nombre de ses transistors. On utilise la relation suivante pour faire l'évaluation:

$$\text{SURFACE BLOC} = \text{NT} \times 13 \times \text{pas de poly} \times \text{pas de métal} \quad (\text{VI.6})$$

où NT = nombre de transistors du bloc.

A partir du tableau VI.1. on peut calculer l'écart existant entre cette évaluation et les valeurs réelles mesurées pour chaque microprocesseur. Si on présente cet écart sous la forme d'un coefficient k inséré dans la relation (VI.6) on obtient par exemple, k égal à 1,025 pour le microprocesseur INTEL 8085 et k égal à 0,942 pour le ZILOG Z80.

En fonction de la surface disponible pour le dessin d'un bloc, on peut prendre plus ou moins de soins dans son optimisation.

Le coefficient k , que l'on appellera coefficient d'optimisation, servira à l'utilisateur comme paramètre d'optimisation. Alors, le concepteur peut être prévenu à l'avance, par l'étude de la valeur choisie comme coefficient k , s'il doit réaliser la conception détaillée du bloc d'une façon optimisée ou non.

La relation (1) prend alors la forme suivante:

$$\text{SURFACE BLOC} = NT \times 13 \times k \times \text{pas de poly} \times \text{pas de métal}$$

Cette relation simple sera donc utilisée pour déterminer la surface d'un bloc en logique aléatoire, à partir de son nombre de transistors.

Le coefficient k sera aussi déterminé en fonction de l'efficacité de l'outil de CAO utilisé pour l'implantation automatique de la logique aléatoire.

Donc, d'après les mesures la valeur de K se situe dans l'intervalle suivant:

$K = 0,9$ - CONCEPTION TRES OPTIMISEE

$K = 1,1$ - CONCEPTION LACHE

VI.5.2. EVALUATION DE LA FORME

Après avoir évalué la surface du bloc, on passe à une deuxième étape d'évaluation constituée par une évaluation de la forme du bloc.

On utilise comme données pour l'évaluation les résultats statistiques sur le nombre moyen de lignes internes par bande (NL), donc de 7 lignes par bande (chapitre VI.4.2). La largeur de bande (LB) est donnée par la formule (VI.1) :

$$LB = (NL + 2,5) \cdot \text{PAS DE METAL}$$

Donc la largeur moyenne de bande sera de 9.5 pas de métal.

Dans le processus d'évaluation, une dimension est donnée en nombre de bandes tandis que la largeur de bande est donnée en pas de métal. L'autre dimension est donnée en nombre de pas de poly.

Une forme proche d'un rectangle, avec un rapport 2x3 est présentée comme résultat initial. L'utilisateur peut poser des contraintes dimensionnelles (DX ou DY) et le programme recalcule une nouvelle forme qui respecte ces contraintes.

VI.6. LE SOUSPROGRAMME D'EVALUATION DE LOGIQUE ALEATOIRE

Ce sousprogramme utilise les formules d'évaluation obtenues à partir de l'étude statistique. Il demande le nombre de transistors du bloc et donne comme réponse une évaluation de la surface, de la dimension X, de la dimension Y et du nombre de bandes du bloc. Pour cette évaluation initiale, on considère, par défaut, à 7 le nombre de lignes par bande.

Ensuite l'utilisateur peut utiliser une liste de commandes pour modifier la structure du bloc et les paramètres d'évaluation, il peut aussi imposer des contraintes topologiques.

La liste des commandes est la suivante:

Commande X:

Cette commande indique que l'utilisateur veut poser une contrainte dans la direction X, et le programme demande ensuite la valeur maximale acceptée dans cette direction.

Commande Y:

Similaire à la commande X, mais par rapport à la direction Y.

Commande K:

Cette commande permet de modifier le coefficient d'optimisation KOP qui est égal à 1 par défaut. La fonction de ce coefficient est expliquée dans le chapitre se rapportant à l'évaluation de surface.

Commande L:

Avec cette commande on peut modifier le nombre de lignes internes par bande, qui est égal à 7, par défaut. L'utilisateur peut ainsi déterminer une transparence horizontale plus grande ou plus petite.

Commande O:

Utilisée pour afficher les résultats courants.

Commande F:

Commande pour sortir du module d'évaluation.

Le programme d'évaluation est présenté dans l'annexe 8.

VII - CONSIDERATIONS SUR L'EVALUATION DE SURFACE DE
REGISTRES ET MEMOIRES RAM STATIQUES

Le stockage d'informations dans un circuit est fait en utilisant plusieurs types d'organes. Ceci est surtout dépendant:

- du temps de stockage désiré,
- du temps d'accès à l'information,
- de la fréquence de ces accès.

Les organes de stockage statique d'informations les plus utilisés dans les circuits intégrés sont les suivants:

- mémoire locale,
- mémoire interne,
- registres isolés.

La mémoire locale est composée généralement de quelques dizaines de registres et représente un élément de la partie opérative.

Les mémoires internes sont des mémoires RAM statiques qui sont mises à l'intérieur de la pastille, à côté du processeur, dans certains circuits intégrés (microordinateurs monoboîtiers).

Les registres isolés sont implantés en plusieurs points du circuit où il est nécessaire de stocker des données et de les consulter fréquemment.

Chacun de ces circuits présente donc des caractéristiques différentes, du point de vue fonctionnel et du point de vue de leur implémentation physique.

Ceci nous amène à effectuer des études spécifiques sur chacun des circuits de mémorisation cités. On présente dans ce chapitre des études partielles effectuées sur les mémoires

locales, sur les mémoires internes et sur les registres de quelques microprocesseurs. Il reste donc à faire une étude complète pour aboutir à un programme d'évaluation.

VII.1. Le point mémoire

Dans l'étude des mémoires ROM, il a été vu que le changement de la forme du bloc pouvait être effectué dans le cadre d'un changement d'organisation interne. Il a aussi été vu que le point mémoire est toujours identique pour une même technologie. Dans le cas de mémoires RAM ceci n'est plus vrai, et la modification du dessin du point mémoire peut provoquer une variation importante de la forme du bloc. Une étude de la "déformabilité" d'un point mémoire est donnée dans le chapitre suivant.

Un détail très important dans la conception d'une mémoire locale est que généralement l'organisation du bus de la partie opérative vient déterminer la hauteur des cellules de mémoire locale. Donc, l'organisation interne de la mémoire locale est liée à l'organisation de toute la partie opérative. Les cellules mémoire sont donc dessinées après la détermination de la structure de ce bus interne.

Les parties opératives sont de plus en plus souvent construites sous forme de structures bit-slice [SUZ 81] et ceci renforce l'importance des décisions à prendre au sujet du bus interne.

La figure VII.1 nous montre une cellule mémoire classique avec un bus bifilaire différentiel.

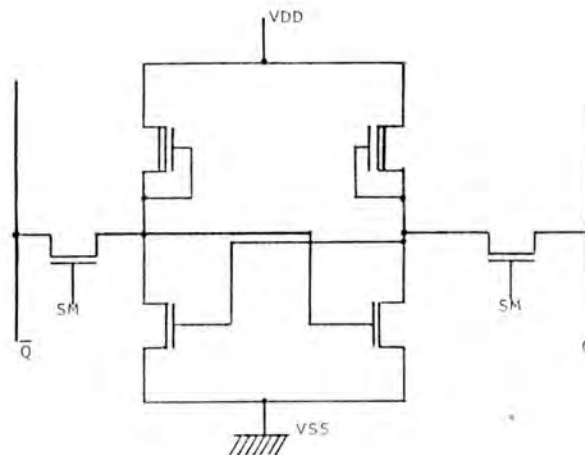


Figure VII.1 - Schéma d'une cellule mémoire classique à 6 transistors.

L'observation de microprocesseurs réels nous montre que cette structure est la plus employée. Les variations structurelles observées se situent surtout au niveau de l'organisation du bus (double ou simple, généralement bifilaires différentiels et de l'accès à celui-ci (simple ou double accès). Les photos présentées dans les pages suivantes nous montrent des points mémoire de quelques microprocesseurs.

VII.1.1. Les points mémoire RAM de quelques microprocesseurs

- LE POINT MEMOIRE DU Z80

Point mémoire classique avec bus bifilaire différentiel.

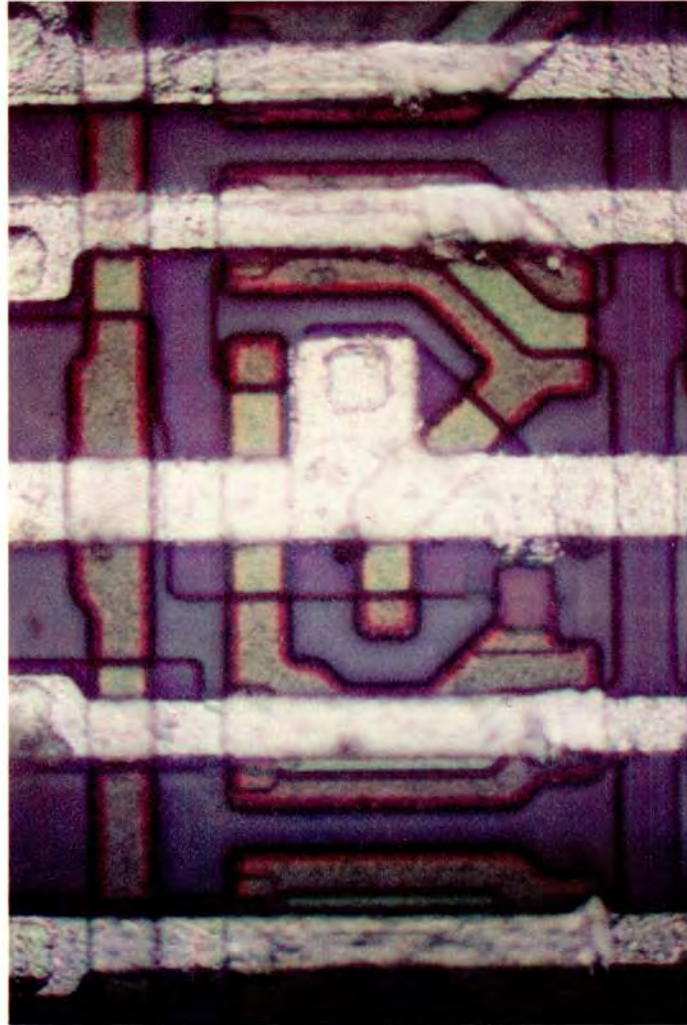


Figure VII.2 - Point mémoire RAM Z80.

- LE POINT MEMOIRE DU NS 8070

Point mémoire classique avec bus bifilaire différentiel.

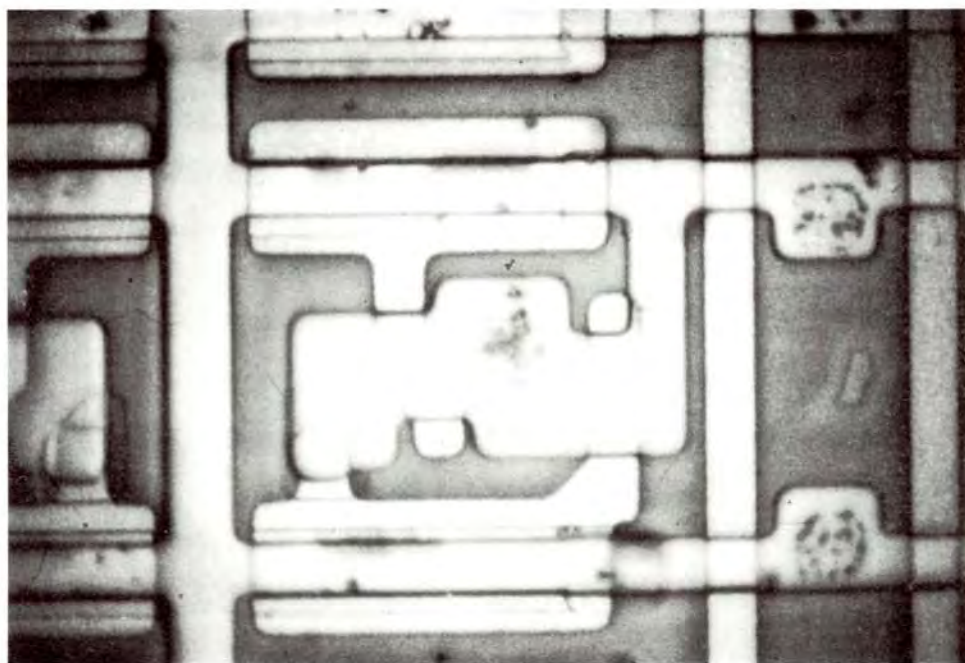


Figure VII.3 - Point mémoire NS 8070.

- LE POINT RAM DU I 8085

Point mémoire classique avec bus bifilaire différentiel.

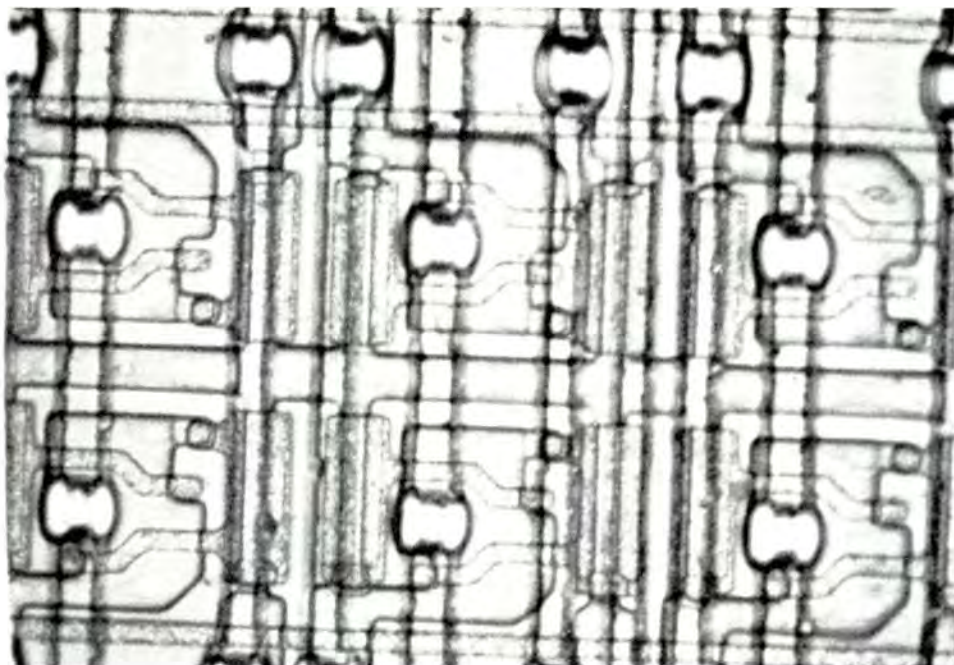


Figure VII.4 - Point mémoire I8085.

- LE POINT MEMOIRE Z8000

Point mémoire avec double bus différentiel mais à simple accès.

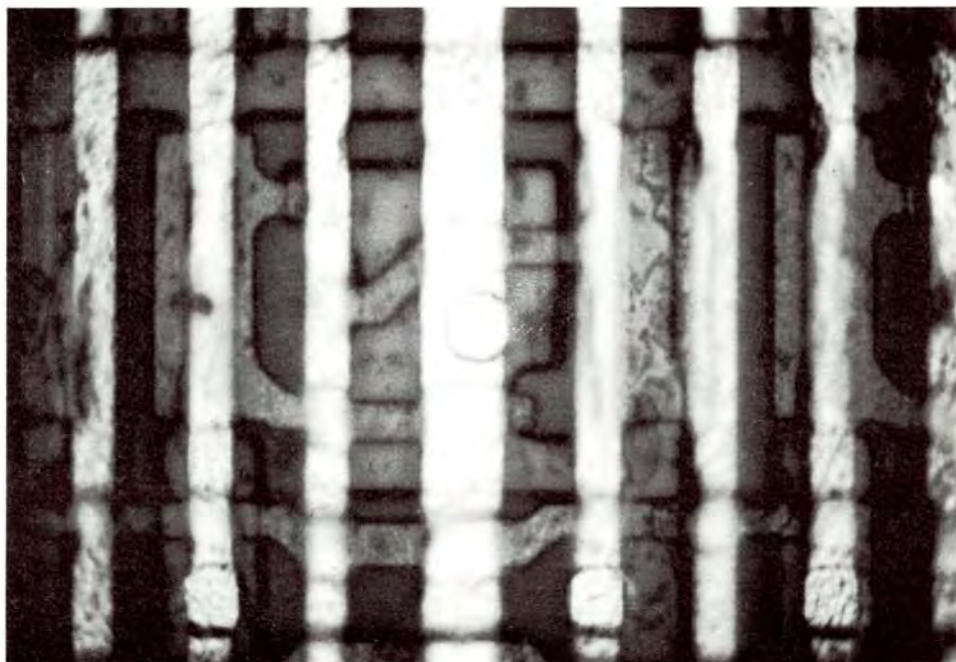


Figure VII.5 - Point mémoire RAM Z8000.

- LE POINT MEMOIRE M68000

Point mémoire avec double bus différentiel et à double accès.

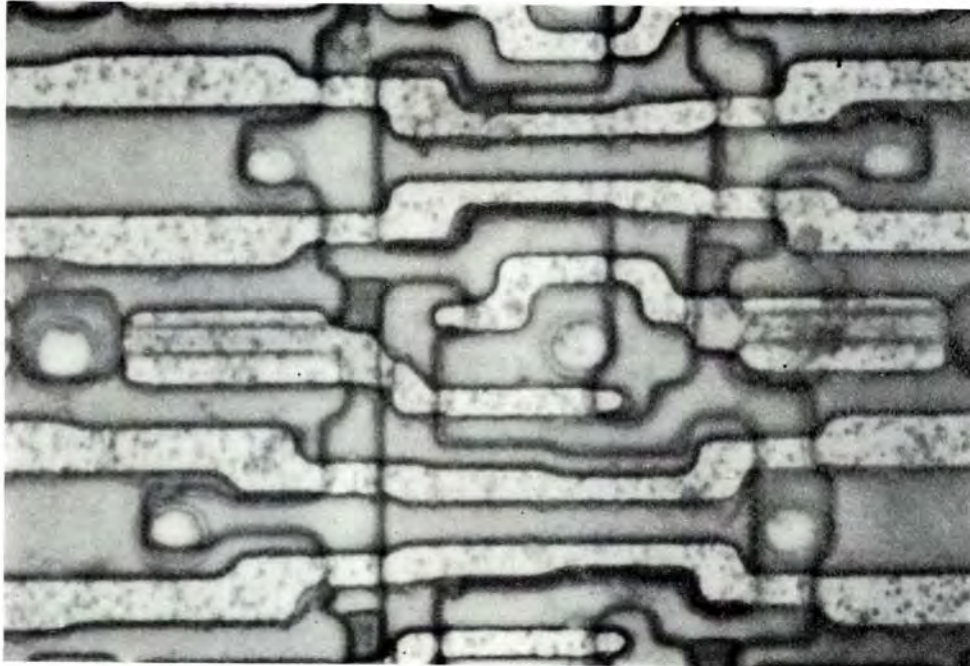


Figure VII.6 - Point mémoire RAM 68000.

VII.1.2. Les dimensions des points mémoire en fonction du pas de poly
et du pas de métal

Pour permettre une comparaison de forme et de surface entre les divers points mémoire présentés, les dimensions de ces derniers ont été évaluées en fonction du pas de poly et du pas de métal.

La hauteur du point mémoire (DY) est mesurée en fonction du pas de métal et la largeur (DX) est mesurée en fonction du pas de poly.

Ces mesures sont reportées dans le tableau VII.1, pour des points mémoire issus de mémoires locales et de mémoires internes. Les quatre premiers points font partie de mémoires internes (MC 6801, MC 6802, NS 8070, I 8748) et les quatre autres font partie de mémoires locales (Z 80, I 8085, Z 8000, MC 68000). On constate tout de suite que les points des mémoires internes sont plus optimisés et compactés que ceux des mémoires locales. Ceci est aussi montré dans la figure VII.9.

	MICRO	PAS METAL	PAS POLY	DY/ PAS METAL	DX/ PAS POLY	SURFACE PMXPP
	NS 8070	15	12,5	3,87	5,28	20,43
MEMOIRES	I 8748	13,5	13,75	3,70	5,38	19,91
INTERNES	MC 6801	11	9,75	3,59	4,26	15,29
	MC 6802	14,75	11,75	4,27	4,60	19,64
	Z 80	17	12,25	4,24	5,31	22,51
MEMOIRES	I 8085	13,5	11,75	5,33	5,45	29,05
LOCALES	Z 8000	12	11	5,25	4,82	25,31
	MC 68000	12	9,25	7,83	3,89	30,46

Tableau VII.1

Remarque:

L'évaluation des dimensions des points mémoire constitue une difficulté due à la variété de leurs structures internes.

Cet effet apparaît surtout dans le cas des mémoires locales (mémoires issues de parties opératives).

L'analyse d'autres points mémoire devra permettre l'obtention de formules d'évaluation plus précises que celles qui sont données ici à titre indicatif.

VII.1.2.1. Largeur d'une cellule en fonction du pas de poly

La figure VII.7 nous montre, sous forme graphique, les relations entre les largeurs (DX) des points et les pas de poly. Une droite permet de diviser l'ensemble de ces points en ceux "optimisés" (issus de mémoires internes), en bas, et ceux qui le sont moins (issus de mémoires locales), en dessus.

Les cellules des mémoires locales se placent au-dessous de la droite, à l'exception de la cellule du 68000. Ceci s'explique par le fait que le 68000 a un double bus complété qui provoque son allongement dans la direction y (hauteur), associé à une légère contraction dans la direction x.

L'équation de cette droite est la suivante:

$$DX = PP.(0,314 PP + 1,25) \quad (VII.1)$$

Comme il l'a déjà été énoncé, cette formule nous donne une idée de la largeur moyenne des points mémoire. Pour obtenir des évaluations précises, il est nécessaire d'effectuer une analyse d'un nombre plus important de points mémoire (plusieurs pour chaque type de structure interne). Ceci devrait conduire à l'obtention de deux équations d'évaluation, une pour les cellules des mémoires locales et une autre pour les cellules des mémoires internes.

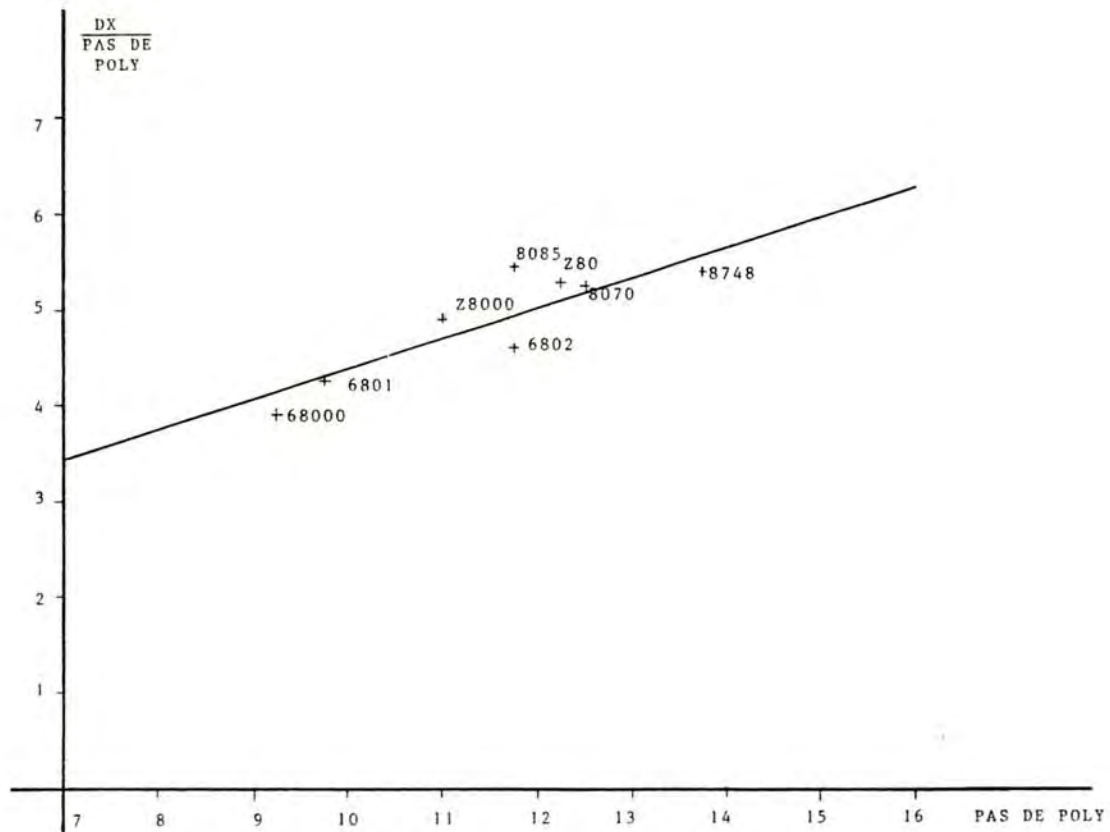


FIGURE VII.7 - Largeur d'un point mémoire en fonction du pas de poly

VII.1.2.2. Hauteur en fonction du pas de métal

La figure VII.8 nous montre, sous forme graphique, les relations entre les hauteurs (DY) des cellules mémoire et le pas de métal. On observe de grands écarts dans ce rapport pour les cellules des microprocesseurs MC 68000, Z 8000 et 6801.

Ceci est dû aux différentes structures de bus des parties opératives de ces microprocesseurs (voir figures VII.5 et VII.6) qui obligent le passage d'un nombre différent de lignes de métal sur la cellule, par exemple, 8 (donc une de VCC) pour le 68000, 5 pour le Z 8000 et 4 (donc une de VCC) pour le 6801.

Si on ramène les hauteurs de ces cellules à un nombre de passages en métal équivalents, donc en considérant une structure de bus semblable, on obtient les points 1, 2 et 3 sur la figure VII.8, pour le 68000, le Z 8000 et le 8085 respectivement. On vérifie alors que tous les points se retrouvent autour de la droite.

L'équation de cette droite est la suivante:

$$DY = PM (0,09 PM + 2,8) \quad (VII.2)$$

Le DY calculé ici correspond à un point mémoire à simple accès. Pour avoir le DY correspondant à l'utilisation du double bus ou du double accès, il doit être multiplié par les coefficients suivants:

K1 : coefficient pour les points mémoire avec double bus et double accès (cas du 68000).

3
K1 = -
8

K2 : coefficient pour les points mémoire avec double bus mais simple accès (cas du Z8000).

3
K2 = -
5

K3 : coefficient pour le cas du 8085, qui présente une transparence d'une ligne pour chaque deux points mémoire.

6
K3 = -
7

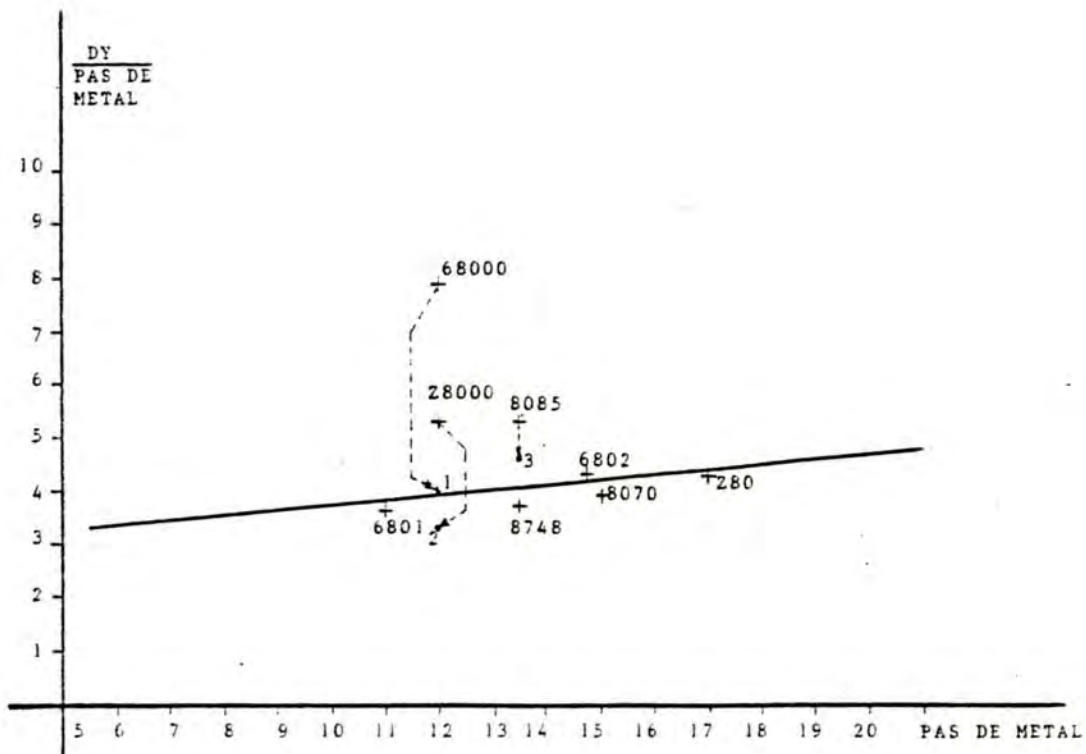


FIGURE VII.8 - Hauteur d'un point mémoire en fonction du pas de métal.

VII.1.2.3. Surface en fonction du produit PP x PM

La figure VII.9 nous montre également que de façon statistique, les points mémoire des mémoires locales sont moins optimisées, donc moins compacts, que les points des mémoires internes.

L'évaluation de surface d'un point mémoire est obtenue par le produit $DX \times DY$.

L'évaluation de surface du plan mémoire RAM sera donnée par le produit entre la surface du point mémoire, le nombre de bits par mot et le nombre de mots.

Pour avoir une évaluation d'un bloc RAM complet, avec ses décodeurs et multiplexeurs s'il les a (les mémoires locales n'ont pas de multiplexeurs), il sera nécessaire d'effectuer, d'abord, une étude détaillée de ces deux éléments (décodeurs et multiplexeurs), aussi comme des circuits de précharge et des amplificateurs.

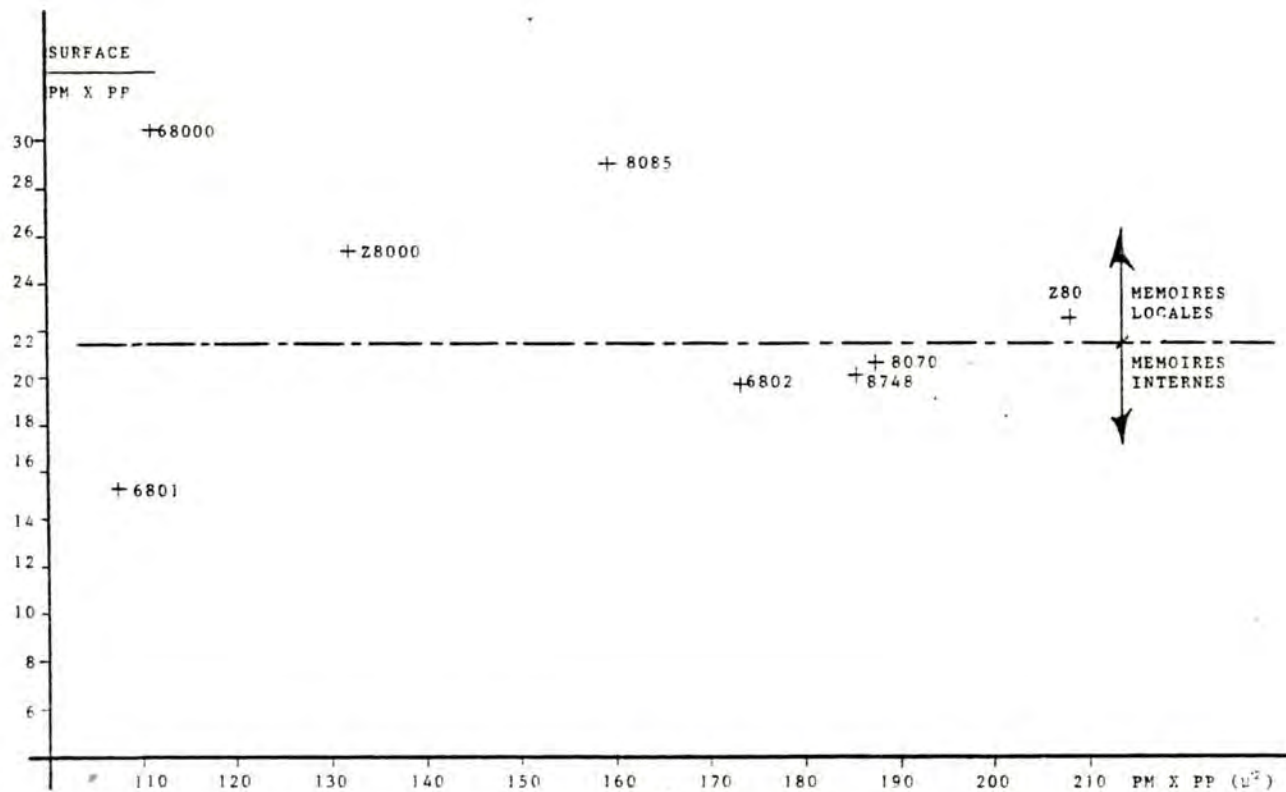


FIGURE VII.9 - Surface d'un point mémoire en fonction du produit pas de métal x pas de poly.

VII.2. ETUDE DE LA DEFORMABILITE D'UN POINT DE REGISTRE

Cette étude relative à un point de registre statique à 6 transistors (figure VII.10) a été développée, pour l'essentiel, par M. MEYET [MEY 82] à partir d'un point de registre du type de celui utilisé à l'intérieur des microprocesseurs. Ces points de registres sont utilisés de façon isolée (comme bascules) ou regroupés.

	T1	T2	T3	T4	T5	T6
GEOMETRIE DES TRANSISTORS	-----					
W	2	2	10	22	2	2
L	4	2	2	2	22	2

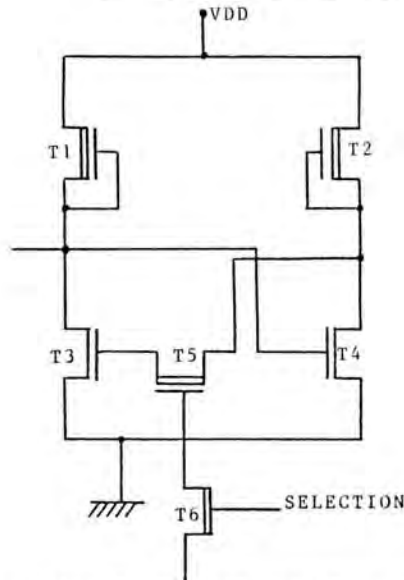


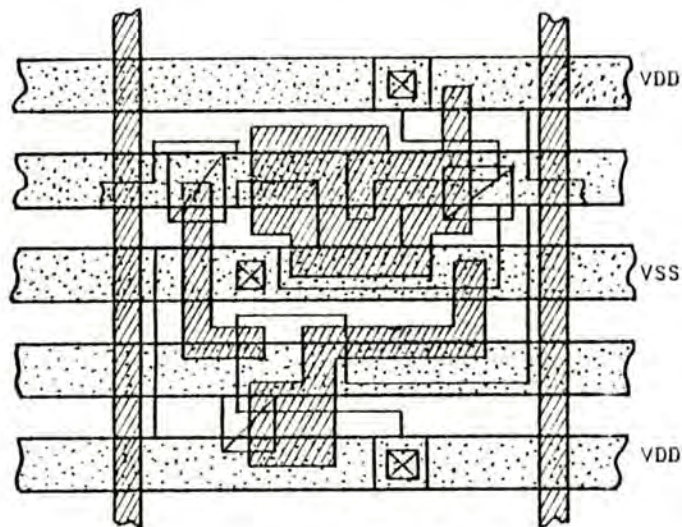
Figure VII.10 - Point de registre statique à 6 transistors.

Le registre type sera dessiné en fonction des contraintes dimensionnelles posées dans les deux dimensions, dans le but d'observer l'évolution de sa topologie.

VII.2.1. Le registre de base

Le registre de base (figures VII.10 et VII.11) est dessiné en utilisant les règles de dessin du type MEAD/CONWAY étendues, décrites dans [GUY 81]. Cette cellule de base, dessinée sous une bande de 5 lignes (2 lignes de VCC, plus 3 lignes internes, dont une de masse), présente une transparence horizontale de deux lignes, soit 66%.

Sa surface est de 868 lambdas carrés, avec une hauteur $DY = 28$ lambdas et une largeur $DX = 31$ lambdas. Ce registre sera identifié par la lettre "A".



$$\begin{aligned}DY &= 28 \lambda \\DX &= 31 \lambda \\S &= 868 \lambda^2 \\S/TRANS. &= 148 \lambda^2\end{aligned}$$

Figure VII.11 - Registre type

VII.2.2. Introduction de contraintes topologiques

La cellule de base est étirée, soit dans une direction soit dans l'autre, en fonction des contraintes dimensionnelles posées. Pour redessiner la cellule, certaines règles ont été respectées:

- la structure d'alimentation est non modifiable,
- la taille des transistors est toujours constante (W et L constantes),
- les entrées et sorties doivent utiliser toujours le même type de connexion: métal, polysilicon ou diffusion,
- le changement de hauteur (DY), en augmentation ou en diminution, sera toujours effectué pour un nombre entier de pas de métal.

Il est évident qu'une augmentation de la hauteur (DY) entraîne une diminution de la largeur (DX) alors qu'une diminution de la hauteur entraînera une augmentation de la largeur. Néanmoins il y a une limite dans laquelle l'augmentation de la hauteur ne permet pas une diminution de la largeur et vice-versa. Ceci sera montré par la suite.

L'étirement de la cellule dans une ou l'autre direction produit une augmentation graduelle de sa surface.

Les différents dessins de cette cellule, en fonction des contraintes appliquées, sont présentés dans l'annexe 2.

VII.2.3. Courbe de déformabilité du point de registre

La représentation graphique des dimensions des différents dessins donne comme résultat la courbe de déformabilité du registre (figure VII.12). Cette courbe est tangente à une hyperbole autour du point de surface minimale, mais elle s'écarte ensuite de l'hyperbole pour devenir une droite à partir des points limites d'étirement et de compression.

On observe aussi que la courbe est légèrement dissymétrique par rapport aux deux axes (X et Y). Ceci doit être la conséquence de la différence de valeurs entre le pas de poly et le pas de métal. Or, il est connu que la hauteur minimale du registre dépend du pas de métal et que la largeur minimale dépend du pas de poly.

Dans [MEY 82] la courbe est représentée par les équations suivantes:

$$DX = 16 \quad \text{pour } DY > 77$$

$$DX = \frac{870}{Y} + \frac{Y}{13} - 1,9 \quad \text{pour } 77 > DY > 30$$

$$DY = \frac{870}{X} + \frac{X}{13,8} - 2,2 \quad \text{pour } 83 > DX > 30$$

$$DY = 14 \quad \text{pour } DX > 83$$

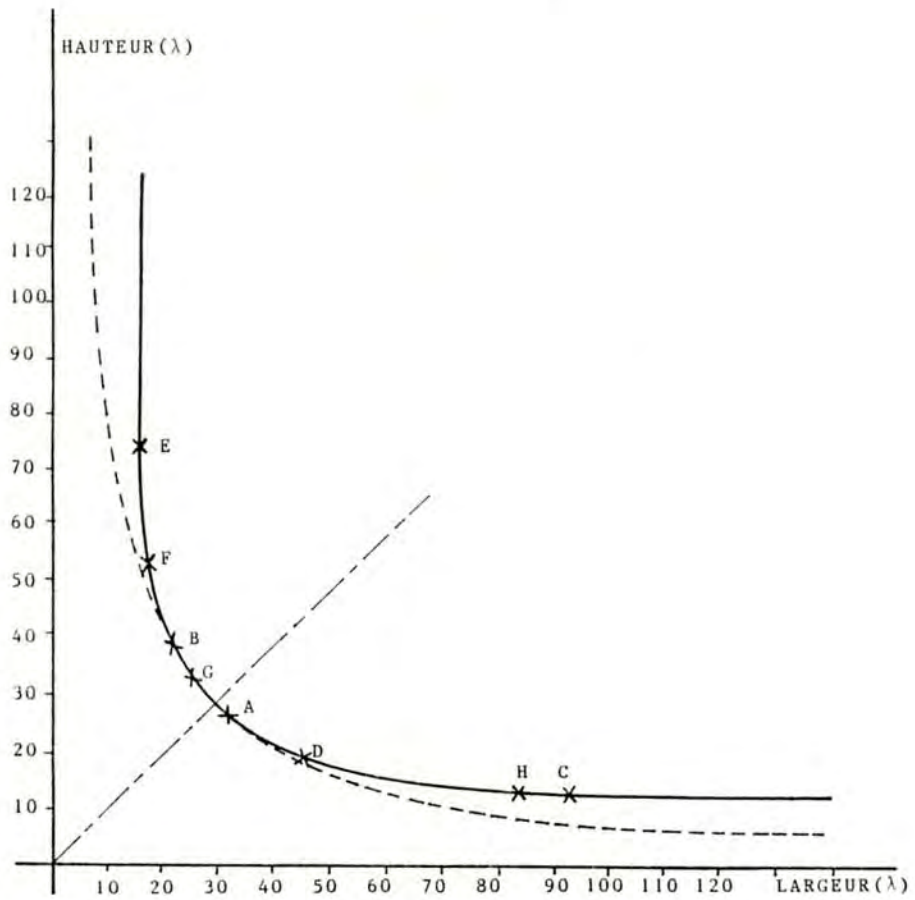


Figure VII.12 : Deformabilité d'un point de registre à 6 transistors.

VIII - FLOPE: EDITEUR GRAPHIQUE DE PLAN DE MASSE

L'implémentation de l'éditeur graphique de plan de masse a été effectuée en deux phases:

Dans la première phase, il a été considéré comme un module de placement inséré dans l'évaluateur topologique. sa première fonction était de dessiner sur un terminal graphique, les rectangles correspondants aux blocs évalués, sa deuxième fonction était de manipuler graphiquement ses blocs en exécutant des fonctions du type rotation, translation, etc... Sa troisième fonction était de manipuler la description arborescente du circuit, par l'insertion et par l'élimination de blocs, sur ordre de l'utilisateur. Cette première version a été implémentée par M.SUPRIANA et est décrite dans [SUP 82].

Dans une deuxième phase, l'éditeur de plan de masse est devenu indépendant de l'évaluateur topologique. En plus de la manipulation des blocs soumis à l'évaluateur topologique, l'éditeur peut chercher la dimension des blocs déjà dessinés et stockés dans un fichier LUCIE [JER].

On présente ici une description succincte de l'éditeur de plan de masse (FLOPE). Une description plus détaillée est présentée dans [GUY 82]. Une description des commandes est présentée dans l'annexe 6. L'éditeur FLOPE est actuellement en phase d'évaluation. Il est vraisemblable que des expériences d'utilisation pour la conception de circuits réels conduiront à des ajustements ou modifications de commandes qui ne seront donc donnés qu'à titre indicatif.

L'éditeur reconnaît quatre environnements de travail :

- bibliothèque : fichier bibliothèque où sont stockés des circuits ;
- circuit : fichier arborescent qui contient le circuit en édition ;
- pince à sucre : fichier temporaire qui contient un groupe de blocs non encore attachés au fichier circuit ;
- partie sélectionnée : bloc ou groupe de blocs sélectionnés dans le fichier circuit.

Les commandes de l'éditeur graphique sont divisées en trois groupes :

- commandes de visualisation,
- commandes de manipulation des fichiers,
- commandes de manipulation des blocs fonctionnels.

VIII.1. Visualisation du circuit

Il y a plusieurs possibilités de visualisation d'un circuit ; on peut modifier l'échelle et la fenêtre de visualisation sur l'écran, soit modifier le mode d'affichage des rectangles ou la liste de visibilité. La liste de visibilité contient le nom des rectangles qu'on veut visualiser normalement sur l'écran. A chaque rectangle est associé un bit de visualisation :

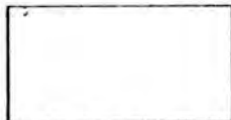
- <0> non visible
- <1> visible

Ceci est déterminé automatiquement par l'éditeur : les feuilles sont considérées comme visibles et les autres noeuds sont considérés comme invisibles. L'utilisateur peut modifier comme il l'entend les attribut de visualisation.

Il existe 4 modes d'affichage:

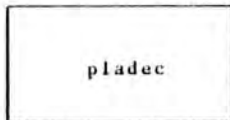
MODE 1: affichage des rectangles seulement.

Exemple:



MODE 2: affichage des rectangles avec leurs noms.

Exemple:



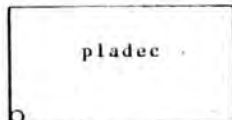
MODE 3: affichage des rectangles avec indication des transformations réalisées.

Exemple:



MODE 4: équivalent à l'addition des modes 2 et 3.

Exemple:



Le mode 2 est le mode standard.

La fenêtre standard sur l'écran est un carré de 700 points de coté. Ceci peut être modifié par l'utilisateur avec une commande appropriée.

L'échelle standard est 1:6, donc chaque point de l'écran correspond à 6 unités (microns). L'utilisateur peut modifier l'échelle de deux façons: soit librement en demandant l'échelle zero (échelle libre), soit en choisissant l'une des neuf échelles prédéterminées.

VIII.2. Manipulation de la structure du circuit

Si le circuit à éditer existe déjà, on utilise une commande d'appel pour le rechercher, soit dans la bibliothèque, soit dans un fichier (le nom du fichier est identique au nom du circuit).

L'édition d'un nouveau circuit commence par l'introduction de son premier rectangle (bloc fonctionnel). Avec l'introduction d'un rectangle, on désigne son type (type de bloc fonctionnel généralement). Pour le moment, l'éditeur reconnaît les types suivants:

Type 0 - bloc LUCIE. Ceci signifie que le bloc est déjà dessiné et gardé dans un fichier LUCIE. L'éditeur ira chercher sa taille et ses dimensions dans ce fichier.

Type 1 - bloc PLA

Type 2 - bloc ROM

Type 3 - bloc LOGIQUE ALEATOIRE

Si le type est 1,2 ou 3, l'éditeur fera appel à l'évaluateur topologique pour obtenir l'évaluation des dimensions du bloc.

Type 4 - bloc libre. C'est l'utilisateur qui fournit directement les dimensions du bloc. Ceci sert, par exemple, dans le cas où un bloc est déjà dessiné, mais sans figurer encore dans un fichier.

L'arbre du circuit est construit par l'"attachement" successif des noeuds correspondant aux blocs fonctionnels du circuit. Il est possible de dupliquer la partie sélectionnée par un ordre de copie. Comme résultat, le contenu de la partie sélectionnée sera copié dans la pince à sucre. Ensuite il est possible de l'attacher au noeud désiré.

L'utilisation d'une commande de "détachement" produit une copie de la partie détachée (partie sélectionnée) dans la pince à sucre.

Le parcours de la structure arborescente se fait par la commande SELECTER. On peut sélectionner les noeuds en bas (fils), en haut (père), à gauche (frère gauche(ou aîné)) , à droite (frère droit (ou cadet)). Cette commande peut être accompagnée d'un chiffre indiquant de combien de noeuds on veut se déplacer (à gauche, à droite, en haut ou en bas). Il est aussi possible de faire une sélection des noeuds en utilisant le réticule sur l'écran. Deux autres commandes de sélection sont implémentées pour permettre de revenir directement à la racine ou de se replacer sur le dernier noeud sélectionné.

La sauvegarde d'un circuit est faite par une commande de rangement. Le circuit peut être sauvegardé soit dans la bibliothèque, soit dans un fichier qui lui est propre. Une sauvegarde est faite automatiquement par le programme en fin de session.

Un listage des éléments de la bibliothèque, du circuit, de la pince à sucre ou de la partie sélectionnée, peut être demandé par l'utilisateur. Dans le cas de la bibliothèque, il est possible d'obtenir une liste de tous ses éléments (circuits) de même qu'une liste du contenu de chaque circuit (avec le nom et le niveau des blocs). Dans le cas de la partie sélectionnée, il est possible d'avoir une liste avec le nom et le niveau de ses blocs, de même qu'une liste des variables d'évaluation topologique associées à un bloc.

VIII.3. Manipulation topologique des blocs

La manipulation topologique des blocs peut être de deux types:

- Translation,
- Transformation.

La translation peut être horizontale, verticale, ou les deux, de façon simultanée. La nouvelle position du bloc est indiquée par l'utilisateur avec le réticule sur l'écran graphique.

Les transformations possibles sont les suivantes: répétition (n fois), rotation et symétrie.

La répétition d'un bloc peut être faite en bas, à droite, à gauche ou en haut de celui-ci. L'utilisateur doit déterminer le nombre de fois où le circuit sera répété et la distance entre eux.

La rotation peut être positive ou négative. La rotation positive est faite dans le sens contraire des aiguilles d'une montre.

La symétrie peut se faire par rapport à l'axe horizontal (X) ou vertical (Y). L'axe de symétrie est placé au centre du rectangle (bloc fonctionnel).

Dans l'annexe 7 il est montré un exemple d'utilisation constitué par l'assemblage du plan de masse d'un circuit.

IX - CONCLUSION

La conception des circuits intégrés complexes demande l'utilisation d'une méthodologie de conception descendante, basée sur la prédiction de leur plan de masse. L'étude présentée ici démontre que l'on peut obtenir le plan de masse d'un circuit avant la conception détaillée des blocs fonctionnels qui le constituent. L'outil d'évaluation topologique réalisé est un prototype qui peut travailler avec les technologies NHOS-DMOS.

Cet outil d'évaluation topologique n'est encore qu'un prototype incomplet. Il demande encore l'écriture d'autres sous-programmes d'évaluation pour les DAL, registres, etc... L'évaluateur topologique complet devra inclure également un évaluateur de performance électrique et un évaluateur de la topologie et de l'encombrement des connexions. Ceci devrait constituer le sujet des prochaines thèses.

En se basant sur des principes similaires à ceux utilisés pour cette étude, il semble possible de réaliser des outils semblables pour d'autres technologies (CMOS, par exemple).

L'acquisition de données statistiques supplémentaires serait très importante, pour augmenter le nombre de points des courbes présentées. Le calcul manuel de données statistiques est très longue. La réalisation d'un programme pour les obtenir automatiquement à partir de la base de données des dessin des masques des circuits serait également d'une grande importance.

Il serait aussi possible de réaliser un programme pour obtenir

automatiquement des versions simplifiées de l'évaluateur topologique dédiées à un jeu de règles de dessin spécifiques. (Autrement dit, ce programme serait un générateur automatique d'évaluateurs topologiques.)

X - ANNEXES

X.1. - ANNEXE 1

STATISTIQUES SUR LES BLOCS EN LOGIQUE ALEATOIRE DE
PLUSIEURS MICROPROCESSEURS

- X.1.1. - INTEL 8085
- X.1.2. - INTEL 8748
- X.1.3. - MOTOROLA 6800
- X.1.4. - MOTOROLA 6809
- X.1.5. - ZILOG Z80
- X.1.6. - ZILOG Z8000

VI.8.2.1. - LE MICROPROCESSEUR INTEL 8085

PAS DE POLY = 11,75 micr.

PAS ALU = 13,5 micr.

SURFACE TOTALE DU CIRCUIT = $4,17 \times 5,64 = 23,51 \text{ mm}^2$

NOMBRE DE TRANSISTORS = 6200

ANNEE DE FABRICATION : 1977

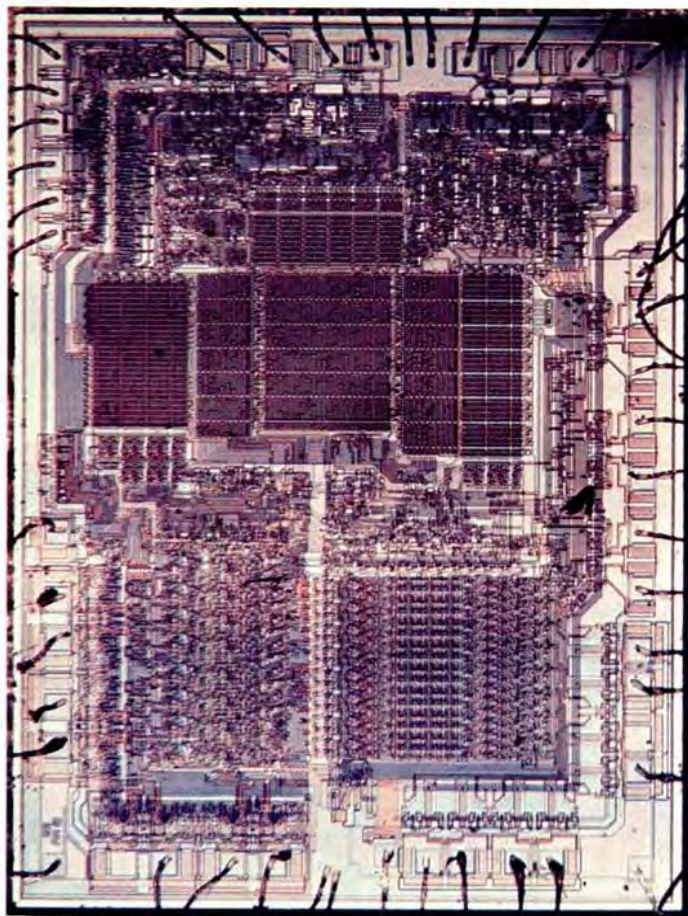


Figure X.1.1. - Photographie du I8085

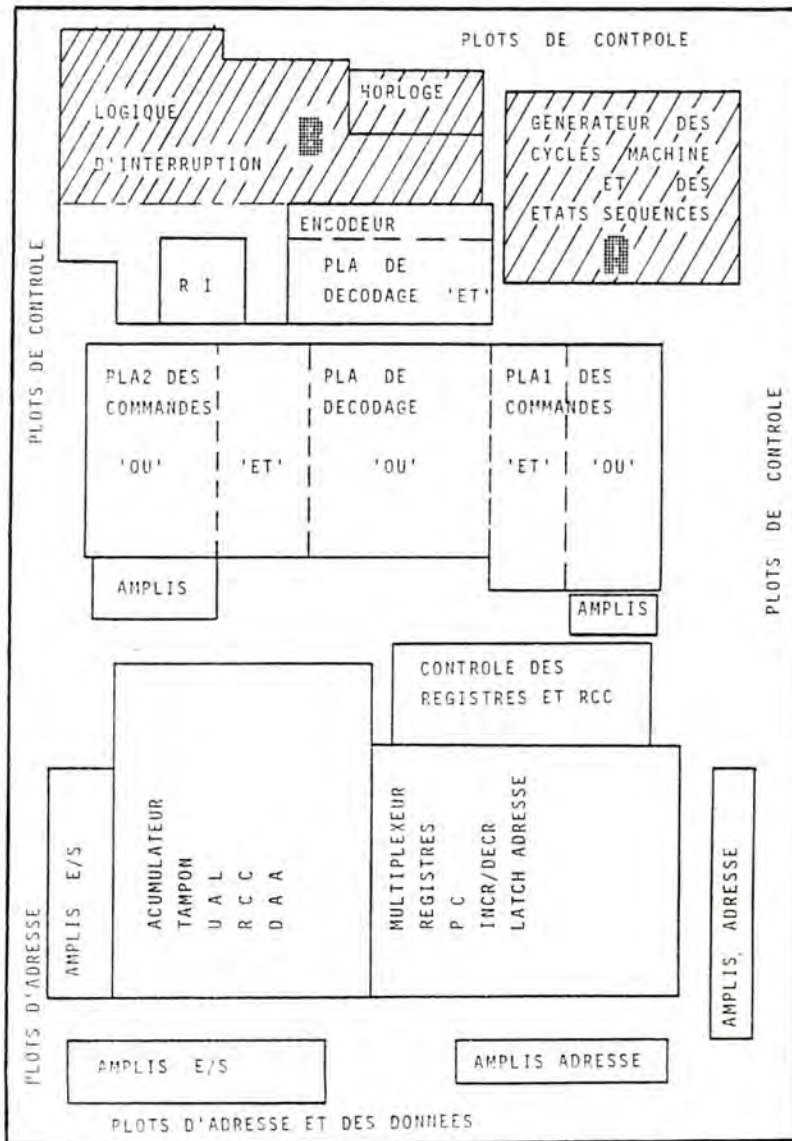


FIGURE N.1.2 - Topologie du I8085

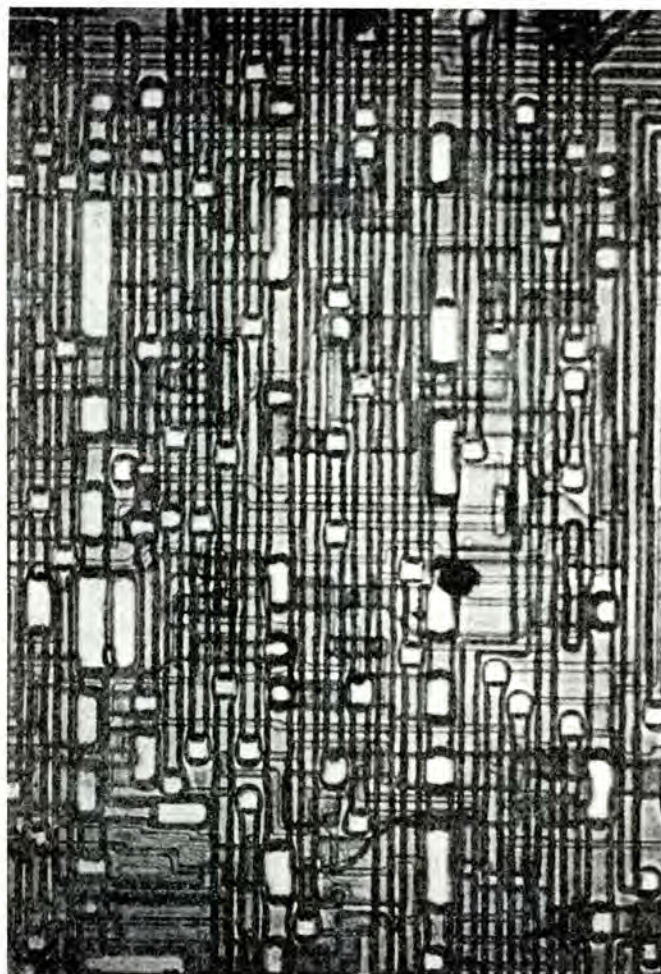


Figure X.1.3. - Photo d'une tranche de la partie en logique aléatoire du 8085.

X.1.1.1 - STATISTIQUE SUR LE NOMBRE DE LIGNES PAR BANDE

Le comptage du nombre de lignes internes par bande a été fait dans la zone A (générateurs des cycles machine et de cycles d'état) et sur la zone B (logique d'interruption et contrôle des circuits), indiquées dans la figure X.1.2.

Dans le tableau X.1.1 le résultat de ces mesures est présenté et la longueur de bande sera utilisée comme terme de pondération. Les résultats sont alors présentés sous forme d'un graphe dans la figure X.1.4.

La moyenne des largeurs de bande est de 6 lignes par bande.

NL.	occurrence	longueur de bande (0,1mm)	somme des longueurs de bandes (0,1mm)
4	2	5,2 4,5	9,7
5	5	6,2 6,4 7,2 12,0 13,1	44,9
6	5	2 x 6,4 5,9 5,4 6,8	30,9
7	3	6,2 5,6 5,0	16,8
8	1	9,0	9,0
9	2	6,8 7,5	14,3
10	2	2 x 5,4	10,8
11	1	3,6	3,6
15	1	9,7	9,7
total			149,7

TABLEAU X.1.1.

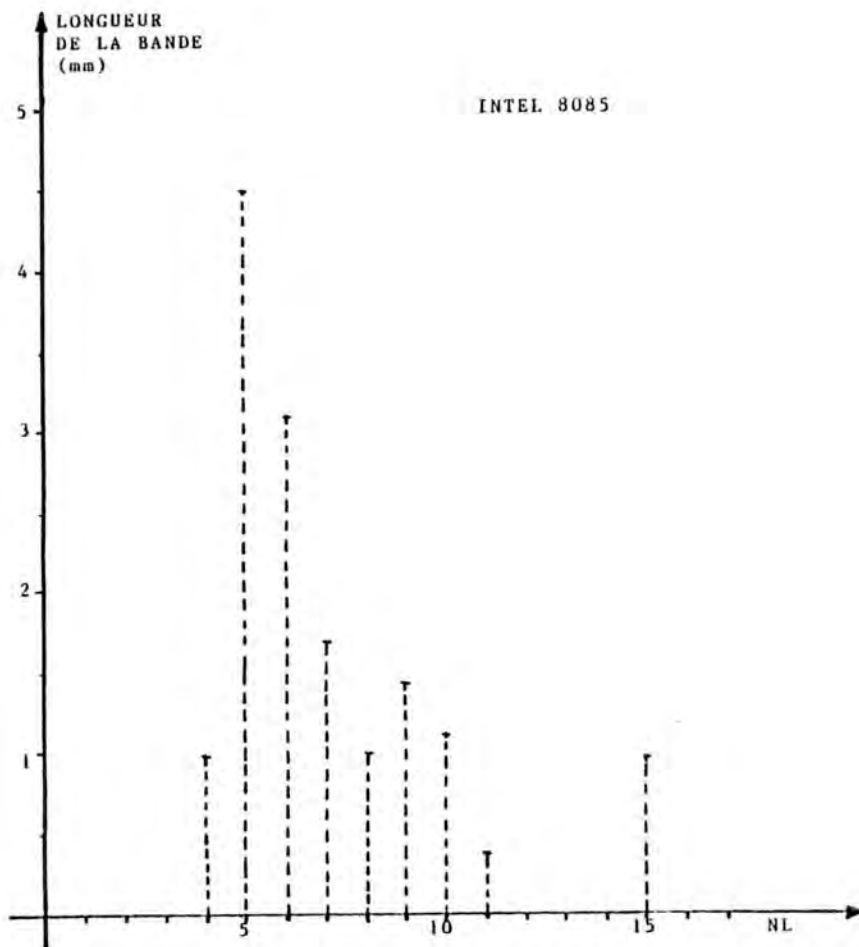


Figure X.1.4 - Distribution du nombre de lignes internes par bande.

X.1.1.2 - STATISTIQUE SUR LA SURFACE MOYENNE PAR TRANSISTOR

Les comptages et les mesures ont été faits dans la zone A du circuit (figure X.1.2).

Les dimensions de cette zone sont égales à:

$$DY = 893,7 \text{ micr.} = 66,2 \text{ pas de métal}$$

$$DX = 579,7 \text{ micr.} = 49,34 \text{ pas de poly}$$

soit une surface de 3266 pas poly x pas métal ($0,209\text{mm}^2$).

Le tableau X.1.2. présente le nombre de transistors comptés par bande et donne aussi le nombre moyen de transistors par porte.

NL	nbre de trans. signal	nbre de trans. charge	nbre total transist.	nbre moy.de transist. par porte	rapport transistors sur NL
7	19	4	23	4,75	3,29
5	19	8	27	2,38	5,40
5	16	7	23	2,29	4,60
6	19	7	26	2,71	4,33
6	13	9	22	1,44	3,67
9	22	11	33	2,00	3,67
6	22	9	31	2,44	5,17
7	21	6	27	3,50	3,86
5	25	8	33	3,13	6,60
TOTAL	176	69	245		
MOYENNE				2,50	

TABLEAU X.1.2.

La surface moyenne par transistor (s.m.t.) est égale à:

$$s.m.t. = \frac{\text{surface totale}}{\text{nbre transistors}} = \frac{3266 \text{ pp x pm}}{245}$$

$$s.m.t. = 13,33 \text{ p.p. x p.m.}$$

X.1.1.3 - STATISTIQUE SUR LA TRANSPARENCE VERTICALE

Dans le tableau X.1.3. nous présentons pour les bandes de la zone A (figure X.1.2), le nombre de lignes traversantes ainsi que le nombre de lignes qui entrent/sortent de la bande dans le sens vertical. Les probabilités montrent que la surface moyenne occupée par une entrée/sortie verticale, dans la bande, est la moitié de la surface occupée par une ligne traversante. On utilise cette propriété pour calculer le pourcentage des surfaces occupées par des lignes entrée/sortie de bande et par des lignes traversantes.

NL	nombre entrées	nombre sorties	nbre lig. trav.	transparence (1)	surface occupée E/S % (2)	(1)+(2)
7	10	4	2	3.8%	13.3%	17.1
5	3	12	4	7.6%	14.2%	21.8
5	7	7	6	11.4%	13.3%	24.7
6	12	13	3	5.7%	23.7%	29.4
6	8	10	7	13.3%	17.1%	30,4
9	10	9	3	5.7%	18.0%	23.7
6	8	14	5	9.5%	20.9%	30.4
7	12	7	7	13.3%	18.0%	31.3
5	10	4	4	7.6%	13.3%	20.9
TOTAL				8.6%	16.9%	25.5

TABLEAU X.1.3

X.1.2 - LE MICROPROCESSEUR INTEL 8748

PAS DE METAL = 13,5

PAS DE POLY = 13,75

SURFACE TOTALE = $5,6 \times 6,6 = 36,96\text{mm}^2$

NOMBRE DE TRANSISTORS = 20000

ANNEE DE FABRICATION : 1976

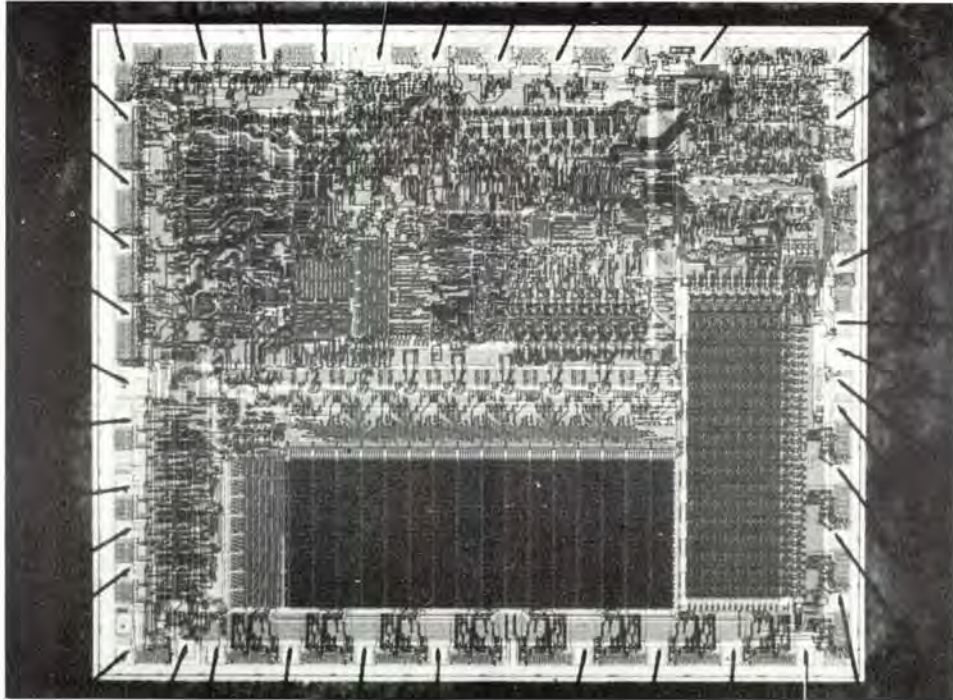
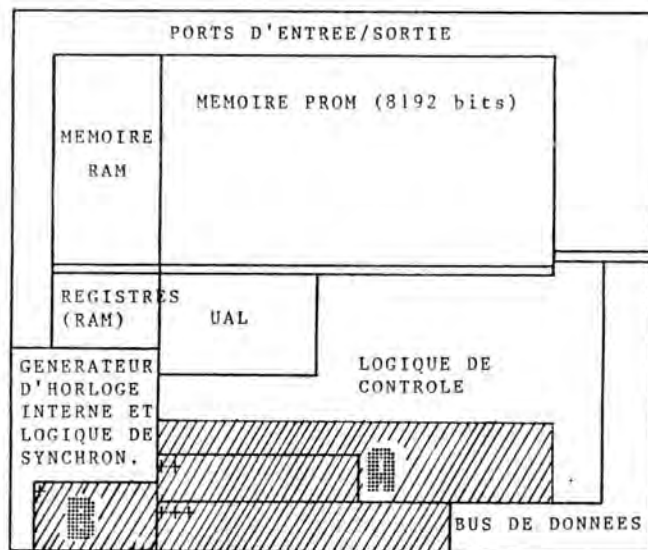


Figure X.1.5 : Photographie du 8748



- + LOGIQUE D'INTERRUPTION
- ++ COMPTEUR D'EVENEMENTS ET REGISTRE D'HORLOGE
- +++ LOGIQUE DE CONTROLE EXTERNE

FIGURE X.1.6 : Topologie du I8748 [MAR 80]

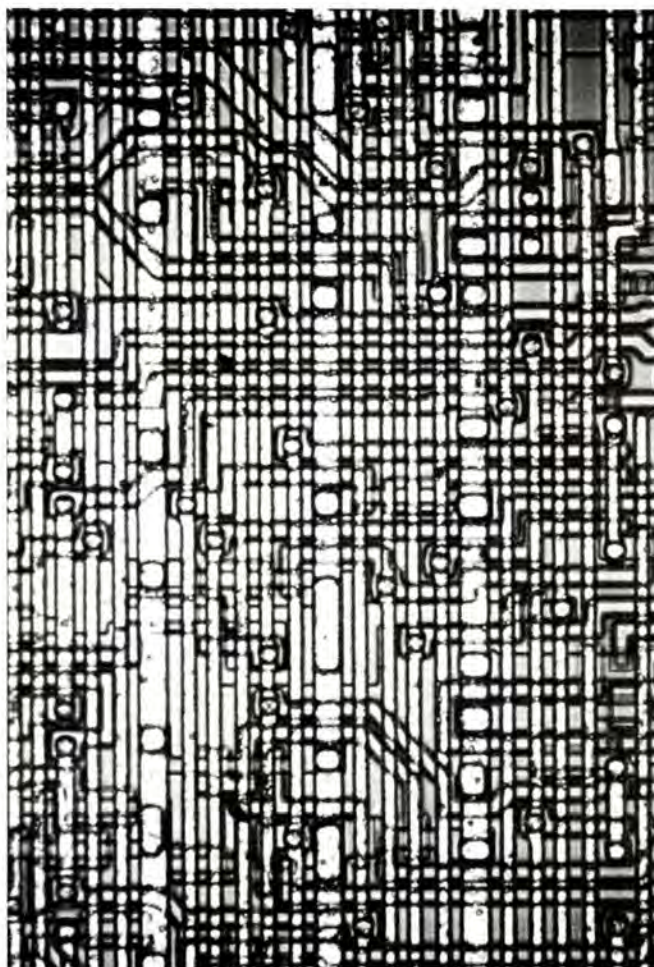


Figure X.1.7 - Tranche de la partie en logique aléatoire du I8748

X.1.2.1 - STATISTIQUE SUR LE NOMBRE DE LIGNES PAR BANDE

La statistique présentée dans le tableau X.1.4 a été faite sur les zones A et B du circuit (voir figure X.1.6). Les résultats rapportés dans ce tableau sont présentés sous forme de graphique dans la figure X.1.8. Le nombre moyen de lignes internes par bande est de 8.

NL.	occurrence	longueur de bande (mm)	somme des longueurs de bandes (mm)
4	2	2.7 1.0	3.7
5	3	2.7 2 x 1.0	4.7
6	1	0.9	0.9
8	3	2.7 2 x 1.0	4.7
9	1	1.0	1.0
10	2	2 x 2.7	5.4
11	1	1.0	1.0
			21.4

TABLEAU X.1.4

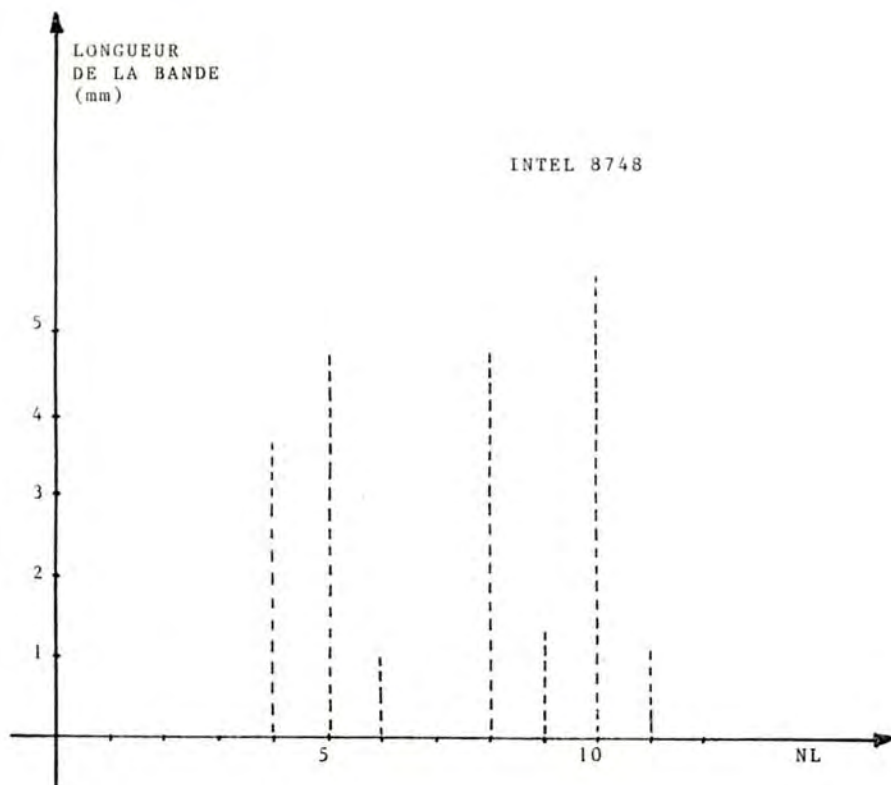


Figure X.1.8 - Distribution du nombre de lignes par bande.

X.1.2.2 - STATISTIQUE SUR LA SURFACE MOYENNE PAR TRANSISTOR

Cette statistique a été faite sur les zones A et B du circuit (figure X.1.6).

Les dimensions de la zone A et de la zone B sont présentées dans la figure X.1.9.

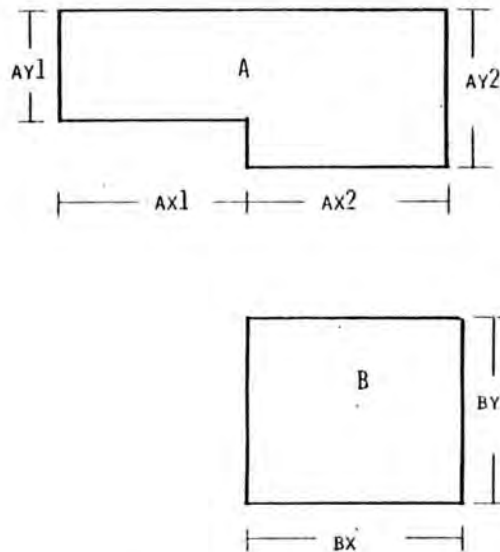


Figure X.1.9 - Dimensions des zones A et B.

Les dimensions de ces zones, en termes de produit pas de poly x pas de métal, sont :

Zone A:

$$AX1 = 1340 \text{ micr.} = 97.45 \text{ pas de poly}$$

$$AY1 = 470 \text{ micr.} = 34.81 \text{ pas de métal}$$

$$AX2 = 1260 \text{ micr.} = 91,64 \text{ pas de poly}$$

$$AY2 = 650 \text{ micr.} = 48,15 \text{ pas de métal}$$

La surface totale de la zone A (STA) :

$$STA = AX1.AY1 + AX2.AY2 = 7804 \text{ pas métal x pas poly}$$

Zone B:

$$BX = 940 \text{ micr.} = 68,36 \text{ pas poly}$$

$$BY = 800 \text{ micr.} = 59,26 \text{ pas métal}$$

$$STB = BX.BY = 4051 \text{ pas métal x pas poly}$$

La surface totale (ST) des zones étudiées sera alors:

$$ST = STA + STB = 11.85 \text{ pas métal x pas poly}$$

Le tableau X.1.5 donne le nombre de transistors comptés par bande ainsi que le nombre moyen de transistors par porte.

ZONE	NL	NBRE TRANS. SIGNAL	NBRE TRANS. CHARGE	NBRE TOTAL TRANS.	NBRE MOYEN TRANS. PAR PORTE	RAPPORT NOMBRE TRANS. sur NL
A	10	86	37	123	2.32	12.30
	4	45	20	65	2.25	16.25
	5	42	21	63	2.00	12.60
	8	121	58	179	2.09	22.38
	11	37	16	53	2.31	4.82
TOTAL A		331	152	483	2.18	
B	5	10	6	16	1.67	3.2
	5	23	10	33	2.30	6.6
	8	25	12	37	2.08	4.6
	8	39	13	52	3.00	6.5
	4	21	4	25	5.25	6.3
	9	40	16	56	2.50	6.2
	6	54	11	65	4.91	10.8
TOTAL B		212	72	284	2.94	
TOTAL		543	224	767	2.42	

TABLEAU X.1.5

La surface moyenne par transistor (SMT) est donnée par:

$$\text{SMT} = \frac{\text{surface totale}}{\text{nbre de transistors}}$$

ZONE A:

$$\text{SMTA} = \frac{\text{STA}}{\text{NTA}} = \frac{7804 \text{ } \mu\text{m} \times \text{pp}}{483} = 16,16 \text{ pp} \times \mu\text{m}$$

ZONE B:

$$\text{SMTB} = \frac{\text{STB}}{\text{NTB}} = \frac{4051 \text{ } \mu\text{m} \times \text{pp}}{284} = 14,26 \text{ pp} \times \mu\text{m}$$

$$\text{SMT} = \frac{\text{SMTA} + \text{SMTB}}{2} = 15,2 \text{ pp} \times \mu\text{m}$$

X.1.3 - LE MICROPROCESSEUR MOTOROLA 6800

PAS METAL = 16 micr.

PAS POLY = 14.5 micr.

SURFACE = 4,25 x 4,4 mm = 18,70 mm²

NOMBRE DE TRANSISTORS = 4800

ANNEE DE FABRICATION : 1974

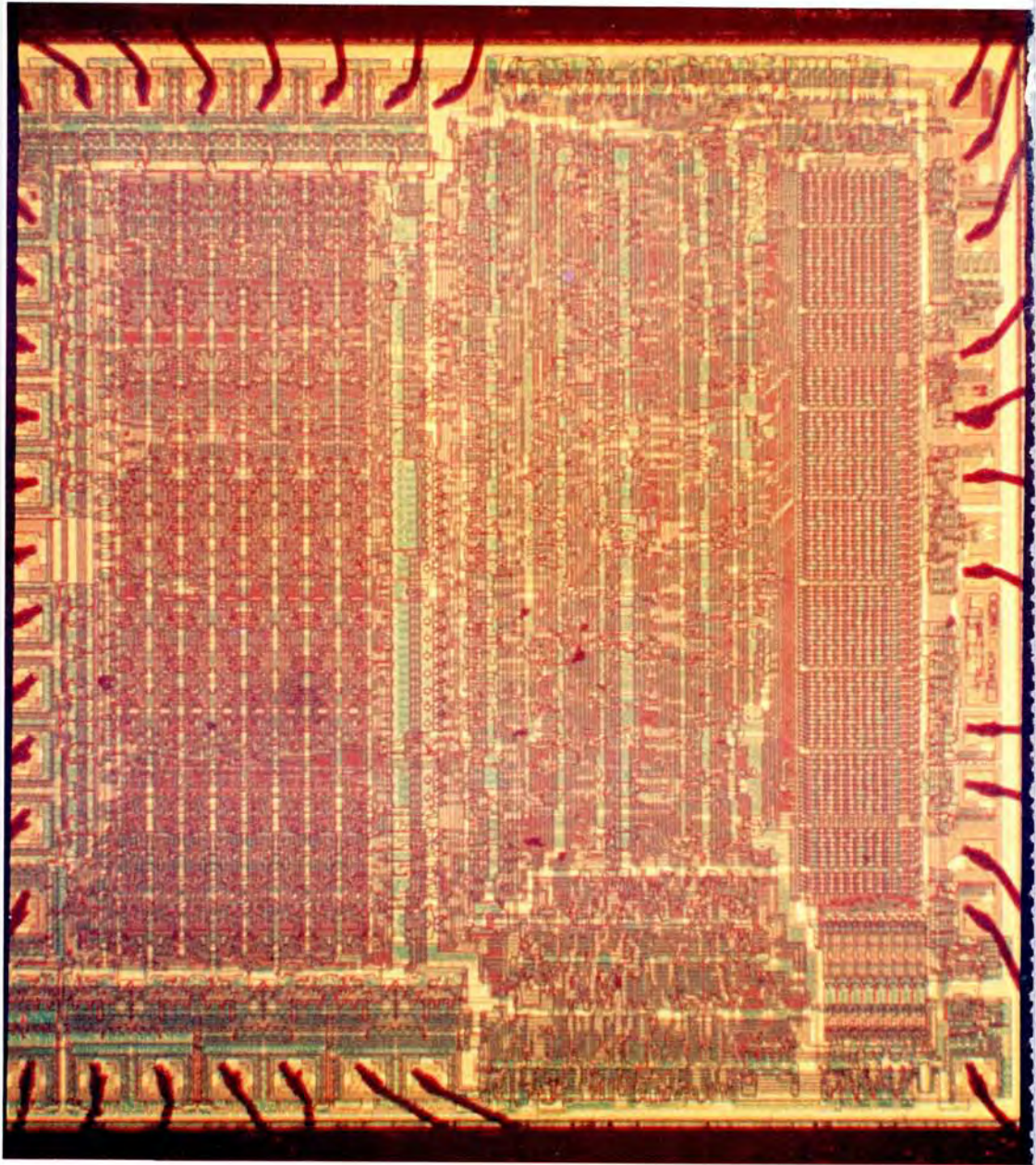


Figure X.10 - Photo du MC 6800

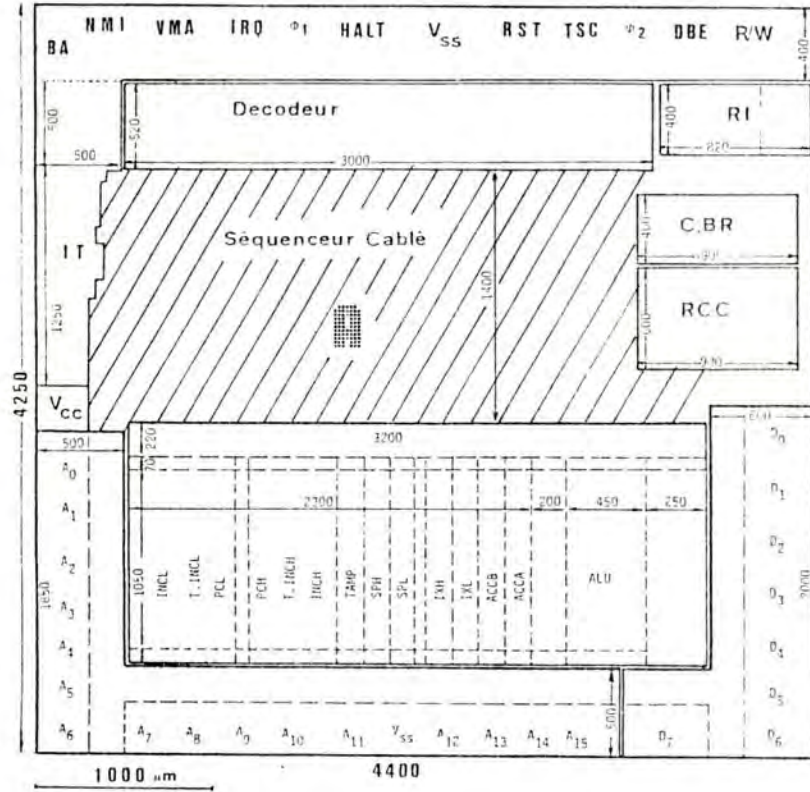


Figure X.11 - Plan de masse du MC 6800

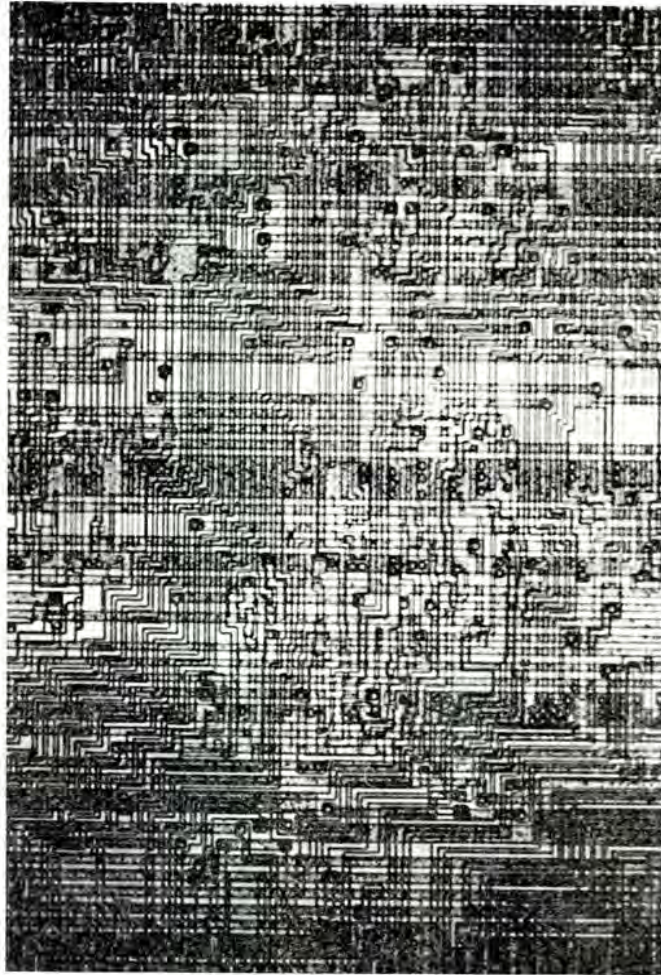


Figure X.12 - Tranche de la partie contrôle du 6800
en logique aléatoire

X.1.3.1 - STATISTIQUE SUR LE NOMBRE DE LIGNES PAR BANDE

La statistique présentée dans le tableau X.1.6 a été faite sur la zone A (partie contrôle) du circuit (figure X.1.11), et les résultats contenus dans ce tableau sont présentés sous forme graphique dans la figure X.1.13. Le nombre moyen de lignes par bande est de 5.

NL.	OCCURRENCE	LONGUEUR DE BANDE (mm)	SOMME DES LONGUEURS DE BANDE (mm)
3	1	2.6	2.6
4	3	3 x 2.6	7.8
5	3	3 x 2.6	7.8
6	1	1.6	1.6
7	2	2.6 1.1	3.7
9	1	1.1	1.1
10	3	2.6 2 x 2.4	5.0
			29.6

Tableau X.1.6

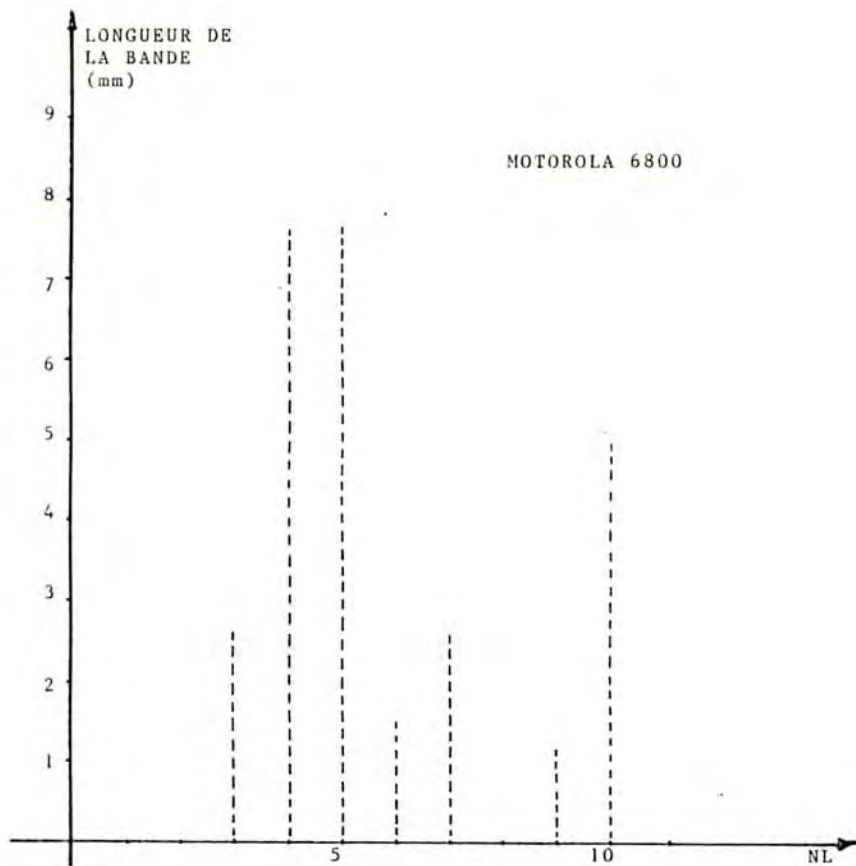


FIGURE X.1.13 - Distribution du nombre de lignes par bande.

X.1.3.2 - STATISTIQUE SUR LA SURFACE MOYENNE PAR TRANSISTOR

Cette statistique a aussi été établie sur la zone A du circuit (figure X.1.11). Les dimensions de cette zone sont les suivantes:

$$\begin{aligned} DX &= 2650 \text{ micr.} = 182,8 \text{ pas poly} \\ DY &= 1000 \text{ micr.} = 62,5 \text{ pas métal} \end{aligned}$$

soit une surface (ST) de 11425 pp x pm (2,65mm²)

Le tableau X.1.7 présente le nombre de transistors comptés par bande et donne aussi le nombre moyen de transistors par porte.

NL	NBRE TRANSIS SIGNAL	NBRE TRANSIS CHARGE	NBRE TOTAL TRANSIS.	NBRE MOYEN DE TRANSIS. PAR PORTE	RAPPORT NOMBRE DE TRANS. sur NL
4	124	56	180	2,21	45,0
5	93	0	93	-	18,6
5	57	30	87	1,90	17,4
7	83	23	106	3,61	16,6
3	98	39	137	2,51	45,7
10	80	6	86	13,30	8,6
9	84	30	114	2,80	28,5
5	91	24	115	3,79	23,0
TOTAL	710	208	918	3,41	

TABLEAU X.1.7

Une caractéristique marquante dans cette zone est l'existence de bandes qui présentent un nombre élevé de transistors à coté de bandes qui sont utilisées essentiellement pour des interconnexions.

La surface moyenne par transistor (SMT) est donnée par :

$$\text{SMT} = \frac{\text{ST}}{\text{NT}} = \frac{11425}{918} \text{ pp} \times \text{pm}$$

$$\text{SMT} = 12,45 \text{ pp} \times \text{pm}$$

X.1.3.1 - STATISTIQUES SUR LA TRANSPARENCE HORIZONTALE

Réalisées de la même façon que pour le Z8000 (voir annexe X.1.6.4). L'unique différence est que l'unité de largeur d'une cellule considérée (50 microns) correspond à 3,45 pas de poly.

6800	GROUPE 1	NL = 10
No CELLULE	CANAUX OCCUPES	OCCUPATION CUMULATIVE
1	3	3
1	3	4
3	4	5
4	4	7
5	6	9
6	4	9
7	5	9
8	3	9
9	2	9
16	-	10
Moyenne:	3,78	

Tableau X.1.8

6800			GRUPE 2	NL = 10
No CELLULE	CANAUX OCCUPES	OCCUPATION CUMULATIVE		
1	2	2		
2	2	3		
3	3	4		
4	2	4		
5	3	6		
6	5	8		
7	6	9		
8	6	10		
Moyenne:		3,63		

Tableau X.1.9

6800			GRUPE 3	NL = 7
No CELLULE	CANAUX OCCUPES	OCCUPATION CUMULATIVE		
1	2	2		
2	1	2		
3	1	3		
4	0	3		
5	1	3		
6	0	3		
7	2	4		
8	0	4		
9	1	4		
10	3	6		
Moyenne:		1,57		

Tableau X.1.10

6800 GROUPE 4 NL = 7		
No CELLULE	CANAUX OCCUPES	OCCUPATION CUMULATIVE
1	2	2
2	0	2
3	1	3
4	0	3
5	1	3
6	2	4
7	2	4
8	0	4
9	1	4
10	2	4
11	3	6
17	1	7
Moyenne:	1,67	

Tableau X.1.11

6800 GROUPE 5 NL = 5		
NO CELLULE	CANAUX OCCUPES	OCCUPATION CUMULATIVE
1	2	2
2	1	2
3	0	2
4	1	3
5	3	5

Moyenne:	1,75	

Tableau X.1.12

6800 GROUPE 6 NL = 5		
No CELLULE	CANAUX OCCUPES	OCCUPATION CUMULATIVE
1	2	2
2	2	3
3	0	3
4	2	4
5	1	4
6	2	4
7	1	4
8	0	4
9	1	4
10	1	5

Moyenne:	1,5	

Tableau X.1.13

6800 GROUPE 7 NL = 5		
No CELLULE	CANAUX OCCUPES	OCCUPATION CUMULATIVE
1	1	1
2	1	1
3	2	3
4	0	3
5	0	3
6	1	3
15	1	4
21	3	5
Moyenne:	1,5	

Tableau X.1.14

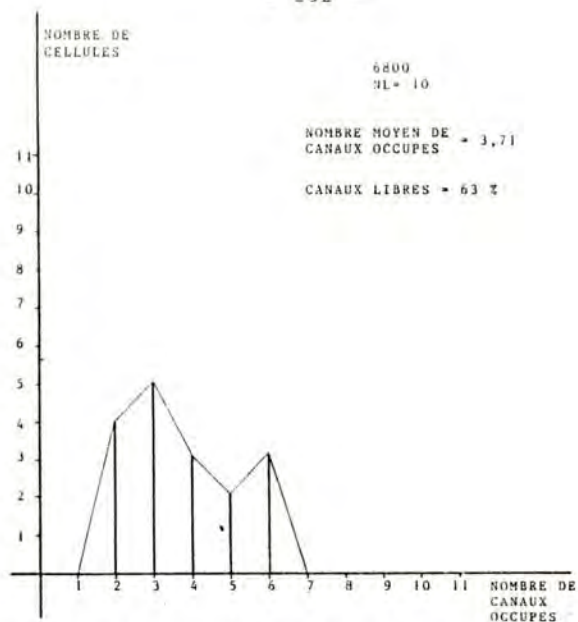


Figure X.1.14 : Distribution du nombre de canaux occupés

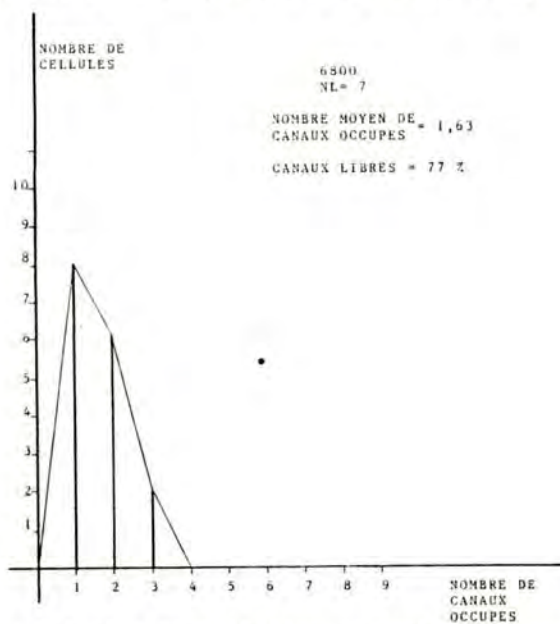


Figure X.1.15 : Distribution du nombre de canaux occupés
(NL= 7)

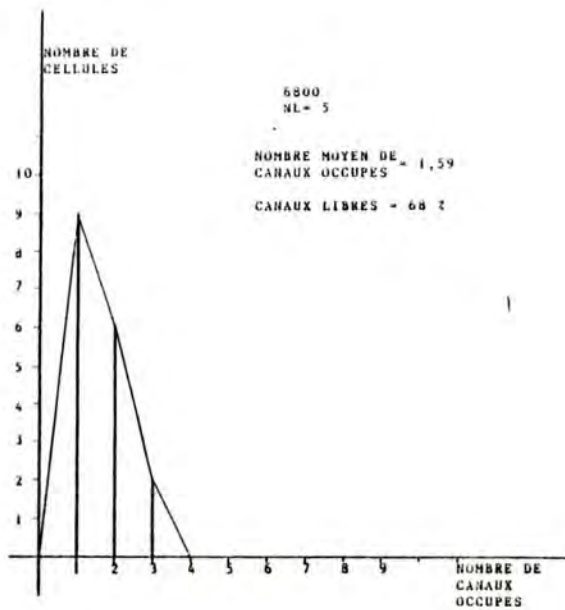
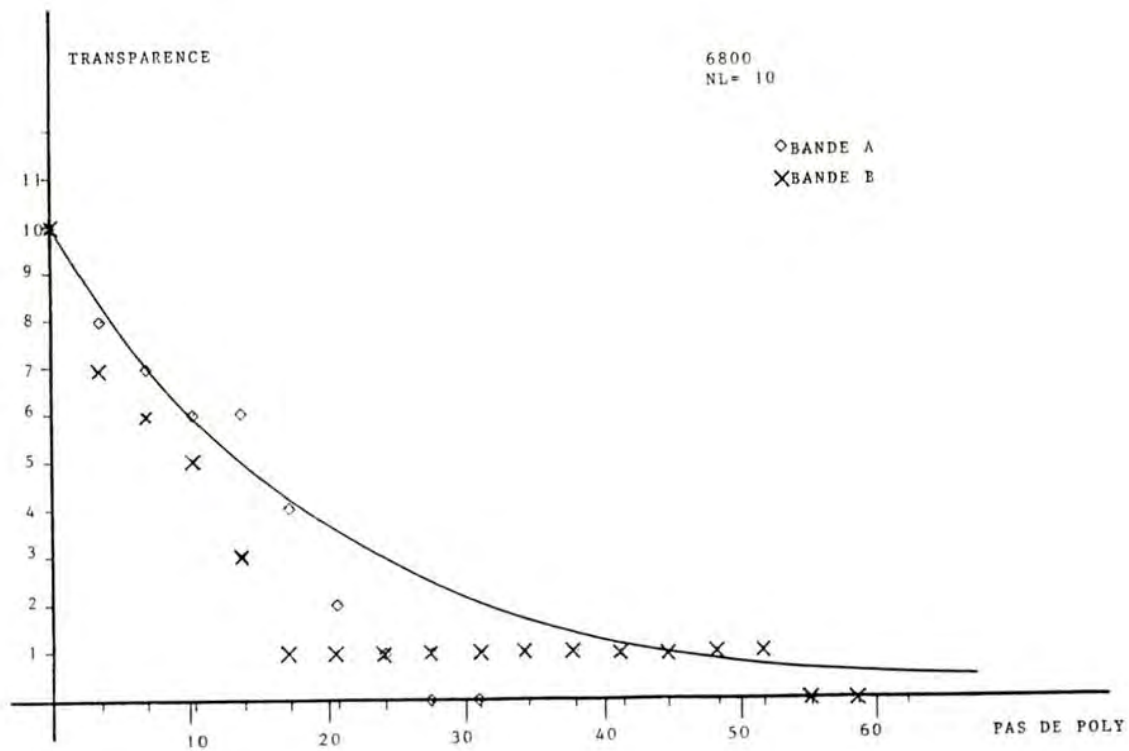


Figure X.1.16 : Distribution du nombre de canaux occupés (NL= 5)

Figure X.1.17 : Probabilité de transparence en fonction de la longueur de la bande



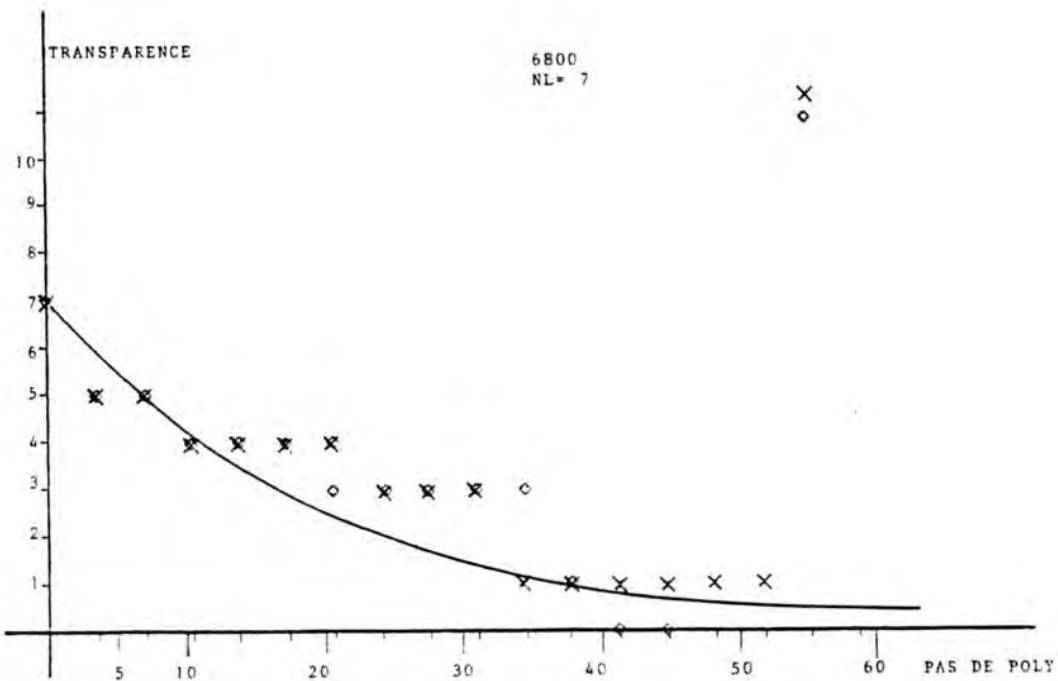


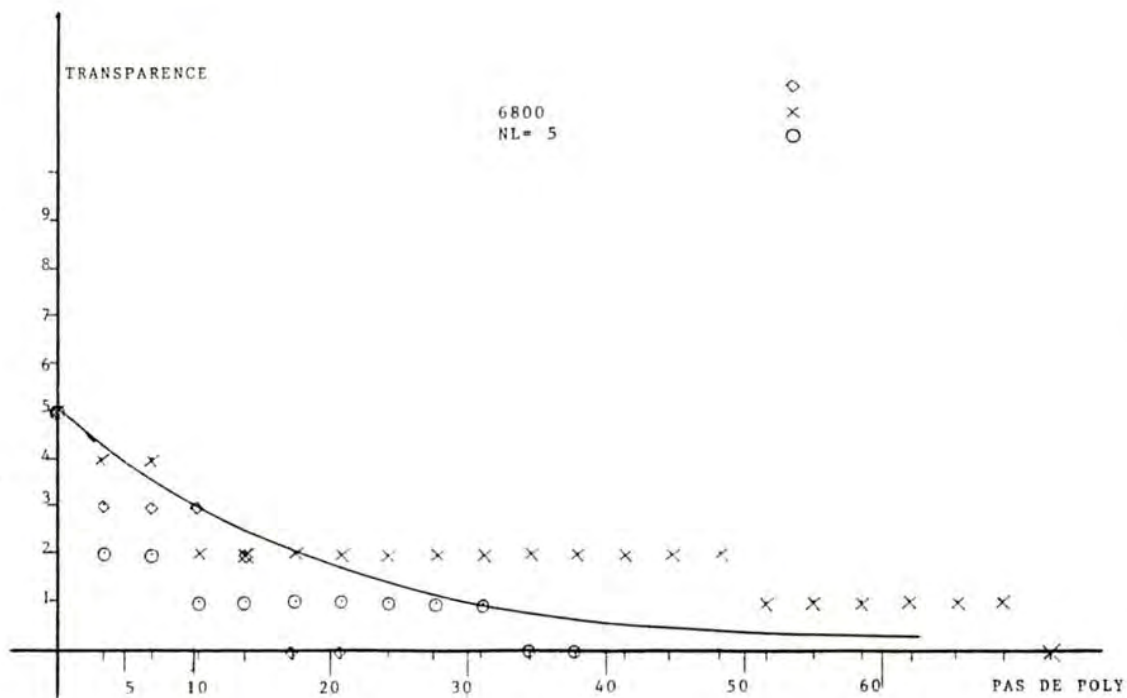
Figure X.1.18 : Probabilité de transparence en fonction de la longueur de la bande ($\lambda = 7$).

UFRGS

INSTITUTO DE INFORMÁTICA

BIBLIOTECA

Figure X.1.19 : Probabilité de transparence en fonction de la longueur de la bande (NL=5).



X.1.4 - LE MICROPROCESSEUR MOTOROLA 6809

PAS DE POLY = 8.5 micr.

PAS DE METAL = 10.5 micr.

SURFACE = 23,3mm²

ANNEE DE FABRICATION: 1979

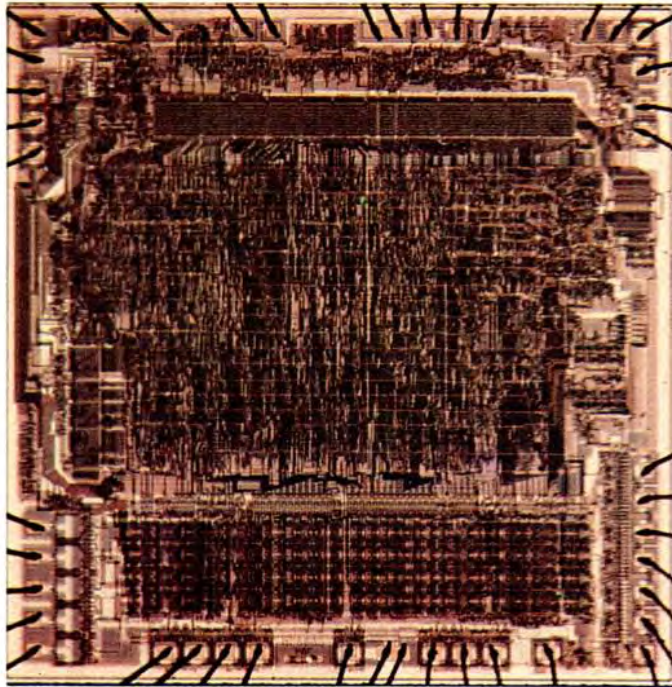


Figure X.1.20 - Photographie du MC 6809

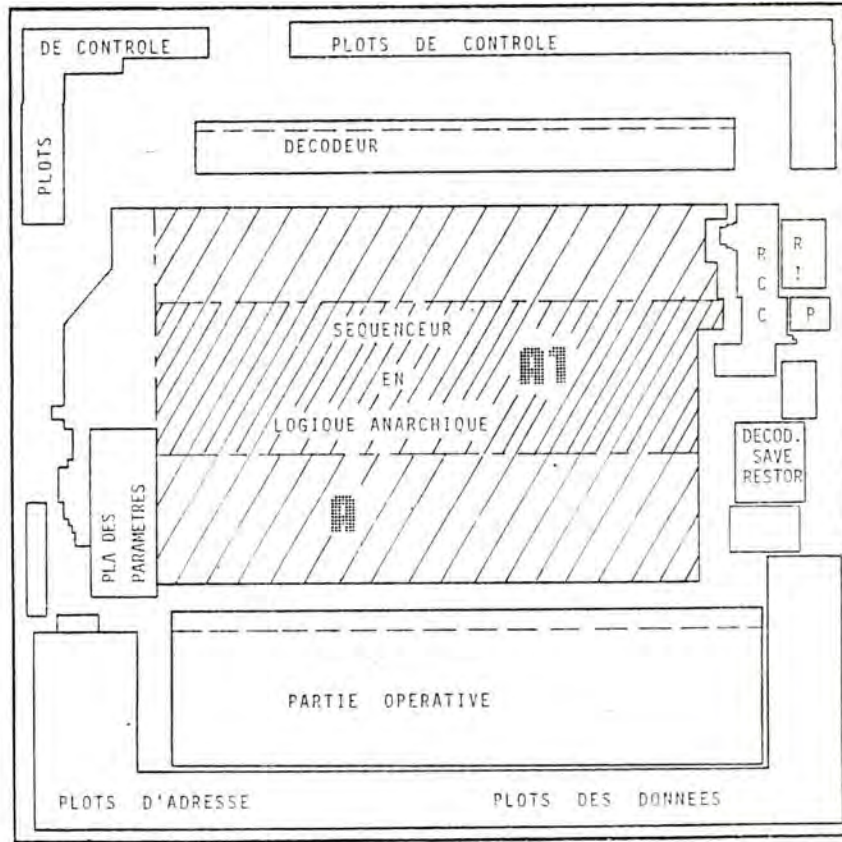


Figure X.1.21 - Topologie du MC 6809

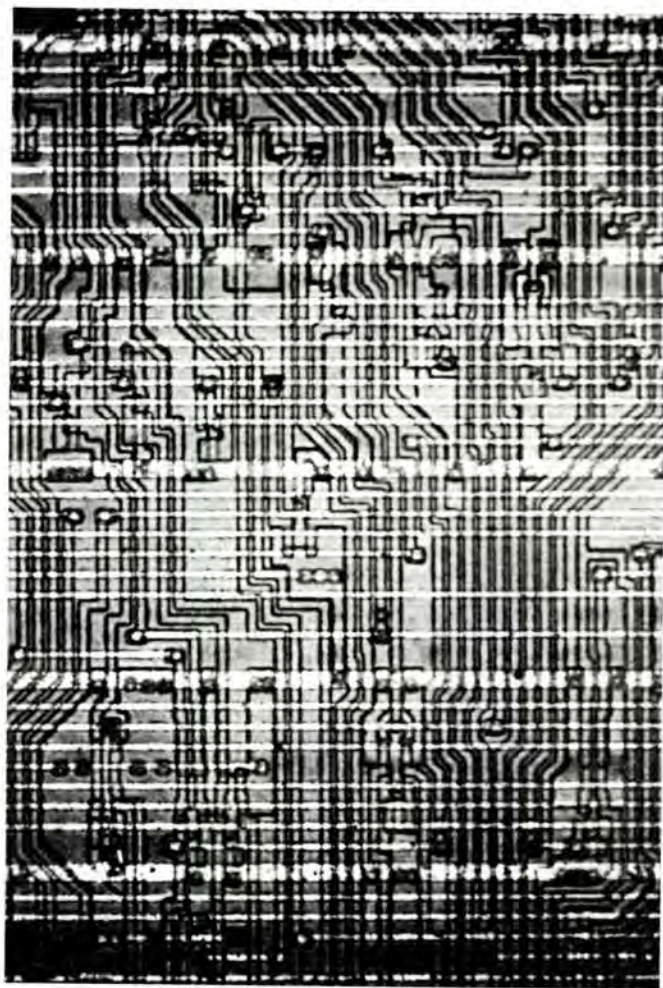


Figure X.1.22 - Tranche de la partie contrôle du 6809
en logique aléatoire.

X.1.4.1 - STATISTIQUE SUR LE NOMBRE DE LIGNES PAR BANDE

La statistique présentée dans le tableau X.1.15 a été établie sur la zone A de la partie contrôle (figure X.1.21) et les résultats sont présentés sous forme graphique dans la figure X.23. Le nombre moyen de lignes par bande est de 9.

NL	OCCURRENCE	LONGUEUR DE BANDE (mm)	SOMME DES LONGUEURS DE BANDE (mm)
5	1	3,4	3,4
6	4	4 x 2,9	11,6
8	2	2 x 3,4	6,8
9	11	5 x 3,0 6 x 3,4	35,4
10	2	3,0 3,4	6,4
11	2	3,0 3,4	6,4
17	1	3,0	3,0
TOTAL			73,0

TABLEAU X.1.15

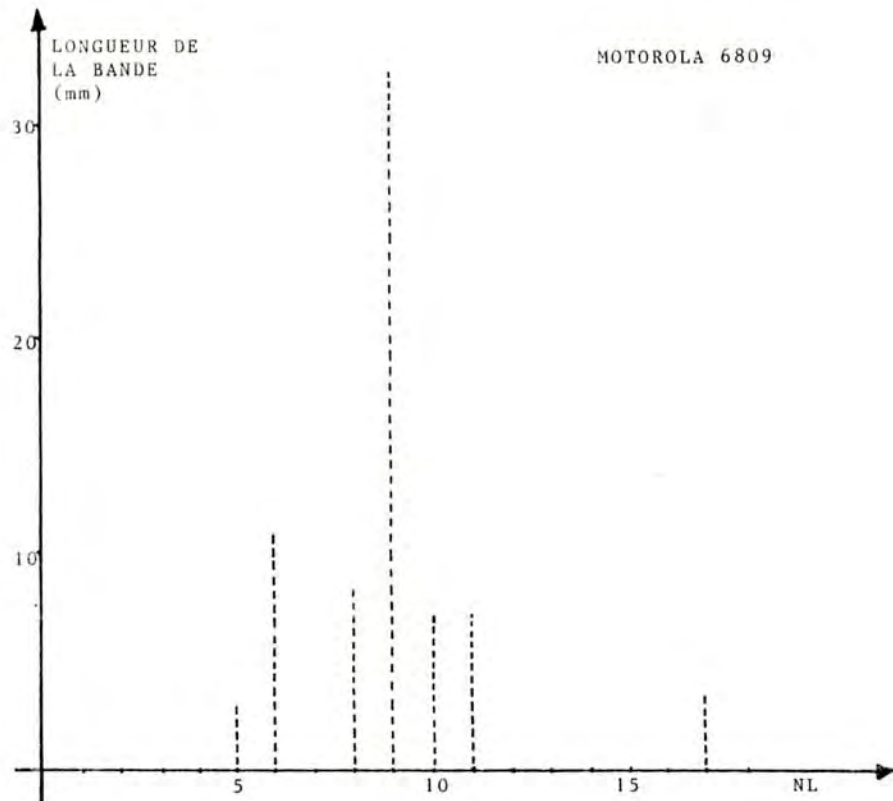


Figure X.1.23 - Distribution du nombre de lignes par bande.

X.1.4.2 - STATISTIQUE SUR LA SURFACE MOYENNE PAR TRANSISTOR

Cette statistique a été faite sur la tranche A1 de la zone A (partie contrôle) du circuit (figure X.1.21). Les dimensions de cette tranche sont les suivantes:

DX = 2700 micr. = 317,65 pas poly

DY = 470 micr. = 44,76 pas métal

donc une surface (ST) de 14218 ppxpm (1,27mm²).

Le tableau X.1.16 présente un comptage du nombre de transistors par bande et donne aussi le nombre moyen de transistors par porte.

NL	NBRE TRANSIS SIGNAL	NBRE TRANSIS CHARGE	NBRE TOTAL TRANSIS.	NBRE MOYEN.DE TRANSIS. PAR PORTE	RAPPORT NBRE TRANSISTORS / sur NL
9	87	28	115	3.48	12.8
9	78	29	107	2.69	11.9
11	99	30	129	3.30	11.7
9	78	36	114	2.17	12.7
TOTAL	342	123	465	2.78	

Tableau X.1.16

La surface moyenne par transistor est donc donnée par:

$$\text{SMT} = \frac{14\,218 \text{ pp} \times \text{pm}}{465} = 30,57 \text{ pp} \times \text{pm}$$

X.1.5 - LE MICROPROCESSEUR ZILOG Z80

PAS METAL = 17 micr.

PAS POLY = 12,25 micr.

SURFACE = 4,8x4,5 mm = 21,6mm² (Z80A) (et 27,1mm² (Z80))

ANNEE DE FABRICATION: 1976

NOMBRE DE TRANSISTORS = 8200

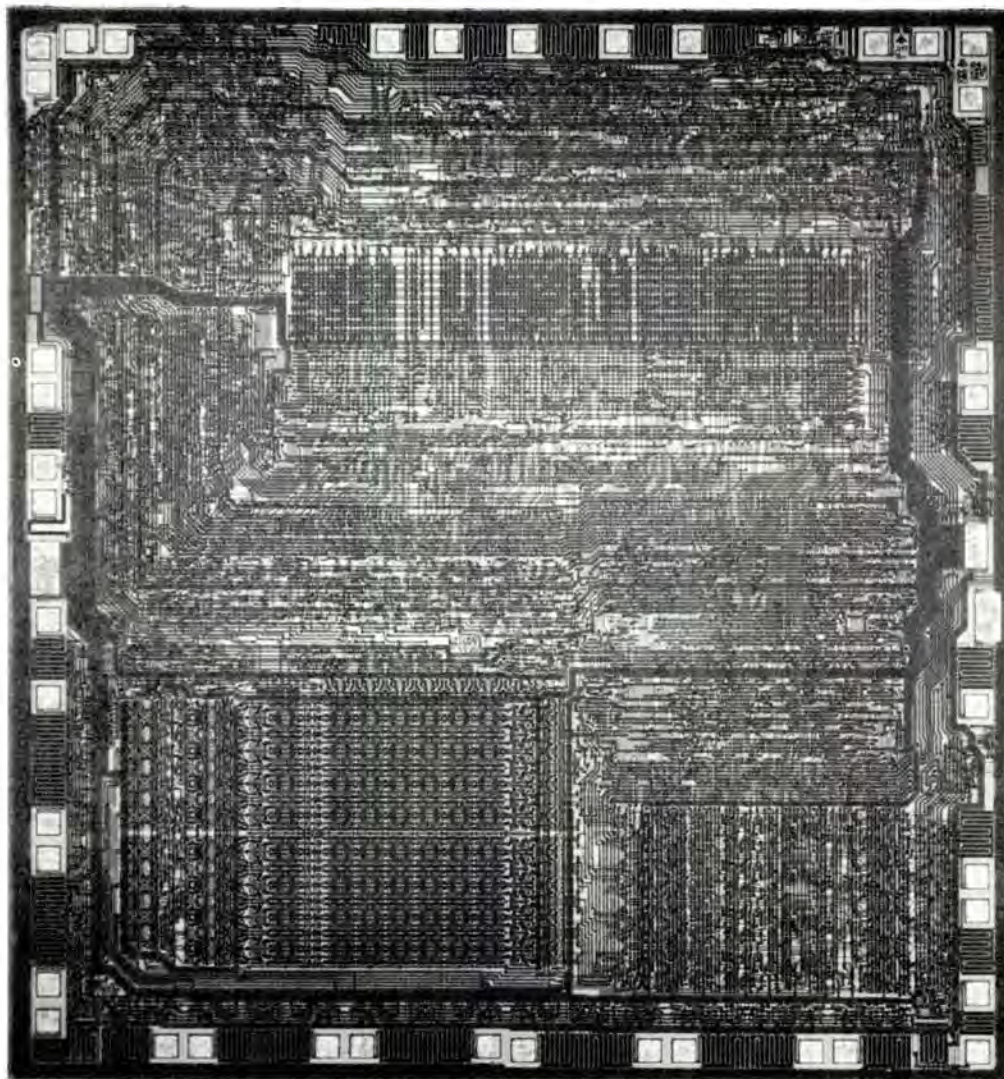


Figure X.1.24 - Photographie du Z80

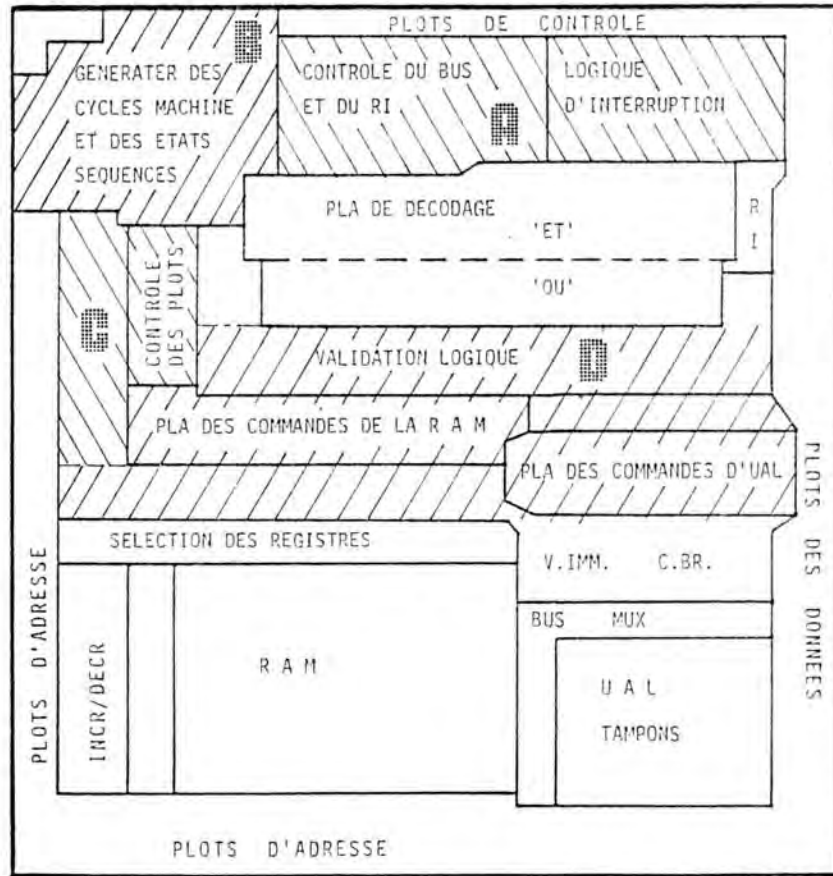


Figure X.1.25 - Topologie du Z80

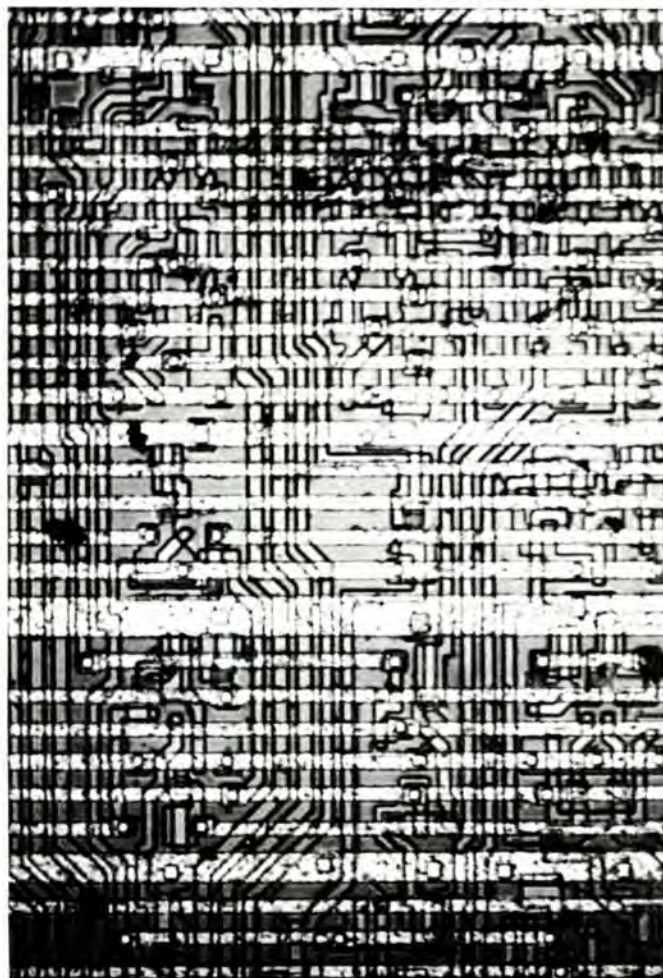


FIGURE X.1.26 - Tranche de l'unité d'exécution d'instructions
du Z80, en logique aléatoire.

X.1.5.1 - STATISTIQUE SUR LE NOMBRE DE LIGNES PAR BANDE

La statistique présentée dans le tableau X.1.17 a été faite sur les zones A (gestion du bus et des interruptions), B (automates de cycles machine et de cycles d'état), C (gestion des entrées/sorties) et D (exécution des instructions), décrites dans la figure X.1.25. Les résultats obtenus sont présentés sous forme graphique dans la figure X.1.27. Le nombre moyen de lignes par bande est de 5.

NL	OCCURRENCE	LONGUEUR DE BANDE (mm)	SOMME DES LONGUEURS DE BANDE (mm)
2	1	2 x 2,1 2 x 0.8 1 x 1.4	8.6
3	5	0.6 1.3 1.7 2 x 1.4	6.4
4	6	2 x 1.3 2 x 0.7 2 x 1.7	7.4
5	8	2 x 0.9 2 x 0.8 2 x 0.7 0.6 1.7	7.1
6	8	2 x 2.3 2 x 0.8 2 x 0.5 2.1 1.3	10.6
SOUSTOTAL			40.1

Tableau X.1.17

NL	OCURRENCE	LONGUEUR DE BANDE (mm)	SOMME DES LONGUEURS DE BANDE (mm)
SOUSTOTAL			40.1
7	3	3 x 0.7	2.1
9	1	1.4	1.4
13	1	1.4	1.4
15	1	1.7	1.7
17	1	1.0	1.0
TOTAL			47.7

Tableau X.1.17 suite

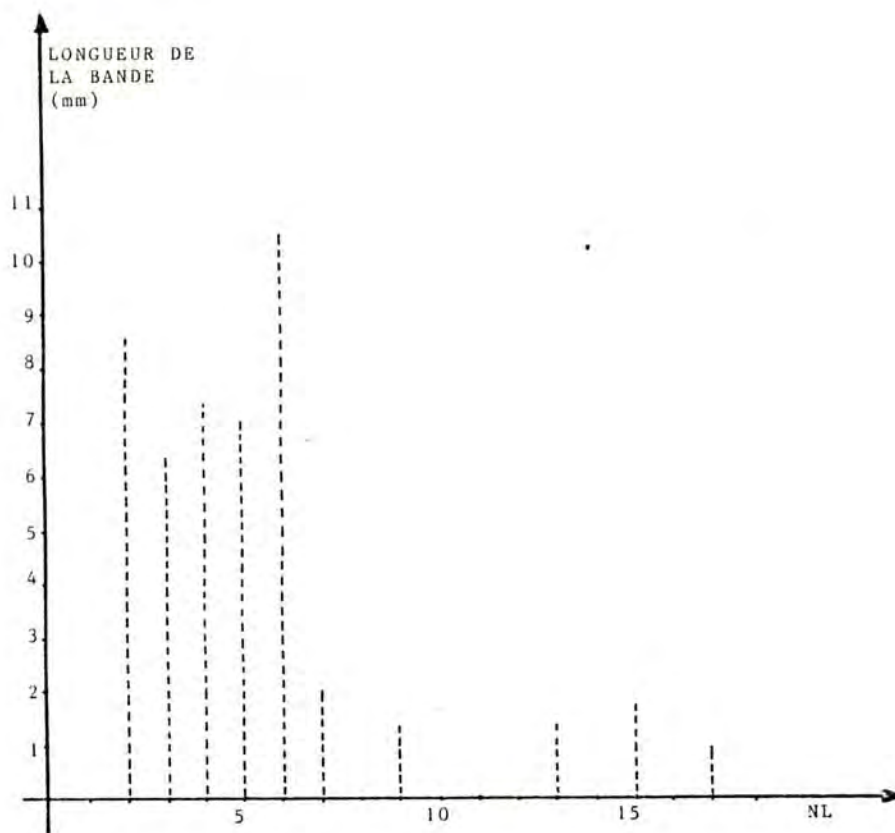


Figure X.I.27 - Distribution du nombre de lignes internes par bande.

X.1.5.2 - STATISTIQUE SUR LA SURFACE MOYENNE PAR TRANSISTOR

Cette statistique a été établie sur les zones A, B et D du circuit (figure X.1.25).

Les dimensions de ces zones sont présentées dans la figure X.1.28.

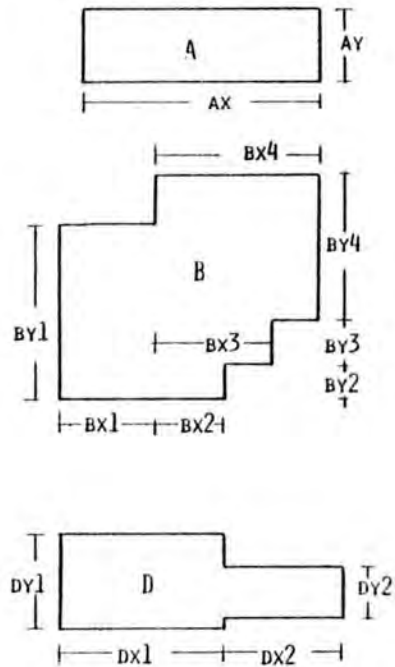


Figure X.1.28 - Dimensions des zones A, B et D.

Les dimensions de ces zones, en termes de produit pas de poly
x pas de métal, sont :

ZONE A:

$$\begin{aligned} AX &= 2380 \text{ micr.} = 194,30 \text{ pas poly} \\ AY &= 650 \text{ micr.} = 38,24 \text{ pas métal} \end{aligned}$$

La surface totale (STA) est donc égale à :

$$STA = AX \cdot AY = 7429 \text{ pp} \times \text{pm}$$

ZONE B:

$$\begin{aligned} BX1 &= 440 \text{ micr.} = 35,92 \text{ pp} \\ BY1 &= 840 \text{ micr.} = 49,41 \text{ pm} \end{aligned}$$

$$\begin{aligned} BX2 &= 340 \text{ micr.} = 27,76 \text{ pp} \\ BY2 &= 185 \text{ micr.} = 10,88 \text{ pm} \end{aligned}$$

$$\begin{aligned} BX3 &= 690 \text{ micr.} = 56,33 \text{ pp} \\ BY3 &= 220 \text{ micr.} = 12,94 \text{ pm} \end{aligned}$$

$$\begin{aligned} BX4 &= 875 \text{ micr.} = 51,47 \text{ pm} \\ BY4 &= 750 \text{ micr.} = 61,22 \text{ pp} \end{aligned}$$

La surface totale de la zone B (STB) est donc égale à :

$$STB = BX1 \cdot BY1 + BX2 \cdot BY2 + BX3 \cdot BY3 + BX4 \cdot BY4$$

$$STB = 5957 \text{ pp} \times \text{pm}$$

ZONE D:

$$\begin{aligned} DX1 &= 1375 \text{ micr.} = 112,20 \text{ pp} \\ DY1 &= 675 \text{ micr.} = 39,70 \text{ pm} \end{aligned}$$

$$DX2 = 1750 \text{ micr.} = 142,90 \text{ pp}$$

$$DY2 = 470 \text{ micr.} = 27,60 \text{ pm}$$

La surface de la zone D est donc :

$$STD = DX1.DY1 + DX2.DY2 = 8398 \text{ pp x pm}$$

La surface totale des trois zones (ST) est donc :

$$ST = STA + STB + STD = 21784 \text{ pp x pm}$$

Le tableau X.1.18 présente le nombre de transistors comptés par bande et donne aussi le nombre moyen de transistors par porte.

ZONE	NL	NBRE. TRANSIS. SIGNAL	NBRE. TRANSIS. CHARGE	NBRE. TOTAL TRANSIS.	NBRE.MOYEN TRANSIS. PAR PORTE
A	5(6)	64	36	100	
	6	81	44	125	
	6	97	32	129	
	6	89	40	129	
	6	94	36	130	
TOTAL A	:	425	188	613	2.26
B	7(6)	51	15	66	
	7(6)	39	18	57	
	4(3)	33	19	52	
	4(5)	45	21	66	
	6(5)	48	26	74	
	5(7)	62	27	89	
	2(5)	54	25	79	
	2 *	14	7	21	
TOTAL B	:	346	158	504	2.19
D	9	100	27	127	
	3	33	27	60	
	3(4)	97	46	143	
	2(2)	83	31	124	
	13(15)	345	53	398	
TOTAL D		658	184	842	3.57
TOTAL A+B+D		1429	530	1959	2.3

Tableau X.1.18

La surface moyenne par transistor (SMT) est donnée par:

$$SMT = \frac{ST(\text{surface totale})}{NT(\text{nombre transistors})}$$

ZONE A:

$$SMTA = \frac{STA}{NTA} = \frac{7429 \text{ pp x pm}}{613} = 12,12 \text{ pp x pm}$$

ZONE B:

$$SMTB = \frac{STB}{NTB} = \frac{5957 \text{ pp x pm}}{504} = 11,82 \text{ pp x pm}$$

ZONE D:

$$SMTD = \frac{STD}{NTD} = \frac{8398 \text{ pp x pm}}{842} = 9,97 \text{ pp x pm}$$

Surface moyenne totale par transistor:

$$SMT = \frac{ST}{NT} = \frac{21784 \text{ pp x pm}}{1959} = 11,12 \text{ pp x pm}$$

X.1.5.3 - STATISTIQUE SUR LA TRANSPARENCE VERTICALE

Dans le tableau X.1.19 nous présentons une statistique établie sur le nombre de lignes traversantes ainsi que sur le nombre de lignes qui entrent/sortent de la bande dans le sens vertical. Cette statistique a été faite sur la zone A du circuit.

NL	NBRE ENTREES	NBRE SORTIES	NBRE LIGNES TRAVERS.	TRANSPA- RENCE (1)	SURFACE OCCUPEE E/S % (2)	(1)+(2)
4(5)	19	33	16	8.24%	18.53%	26.77%
5(6)	33	50	21	10.80%	21.36%	32.16%
6	48	37	19	9.80%	21.87%	31.67%
6	43	48	17	8.80%	23.42%	32.22%
6	44	32	17	8.80%	19.56%	28.36%
			MOYENNE	9.29%	20.95%	30.24%

Tableau X.1.19

X.1.6 - LE MICROPROCESSEUR ZILOG Z8000

PAS METAL = 12 micr.

PAS POLY = 11 micr.

SURFACE = 6,03 x 6,48 = 38,9mm²

ANNEE DE FABRICATION: 1978

NOMBRE DE TRANSISTORS = 17500

NOMBRE TOTAL DE PORTES = 5833

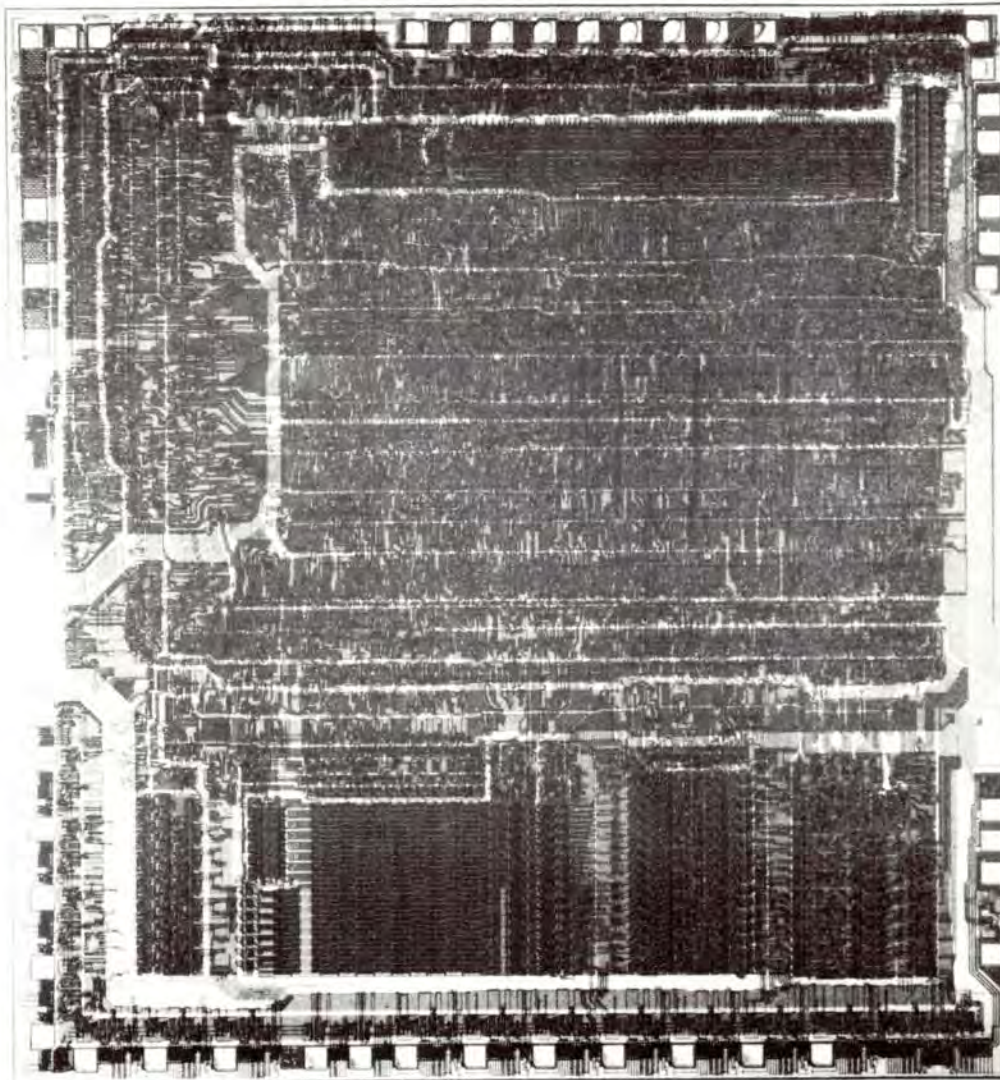
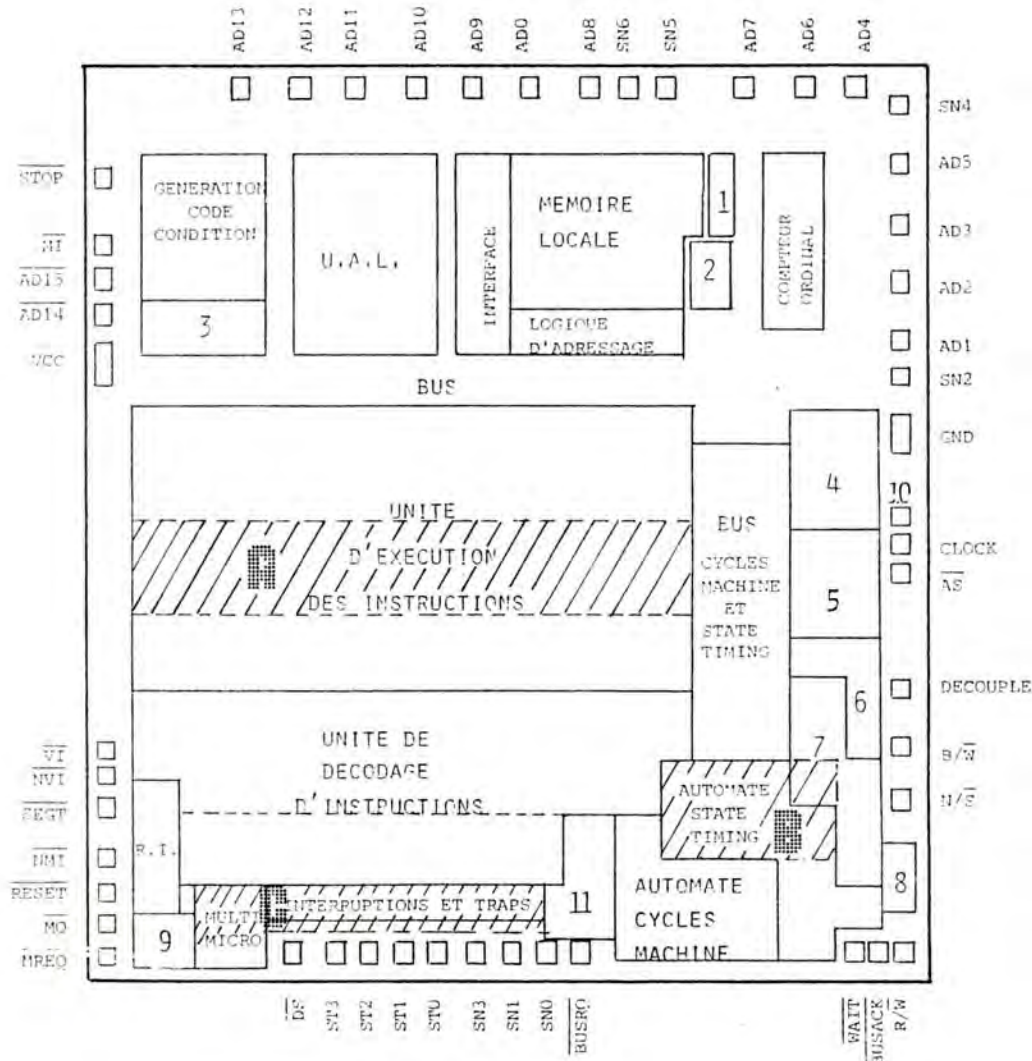


Figure X.1.29 - Photographie du Z8000

UFRGS
INSTITUTO DE INFORMÁTICA
BIBLIOTECA



- 1-REGISTRE NUMERO SEGMENT
- 2-COMPTEUR REFRAICHISSEMENT
- 3-INDICATEURS ARITHMETIQUES
- 4-CONTROLE DE REGISTRES D'ENTREE ET DE SORTIE
- 5-DECODEURS AUXILIAIRES
- 6-INDICATEURS CONTROLE
- 7-AUTOMATE CONTROLLEUR DU BUS
- 8-AUTOMATE ALLOCATEUR DU BUS
- 9-CONTROLE DU REGISTRE INSTRUCTION
- 10-PLOT DE SELECTION Z8001/Z8002.
- 11-REGISTRE D'ETAT MACHINE

FIGURE X.1.30 : Topologie du 28000

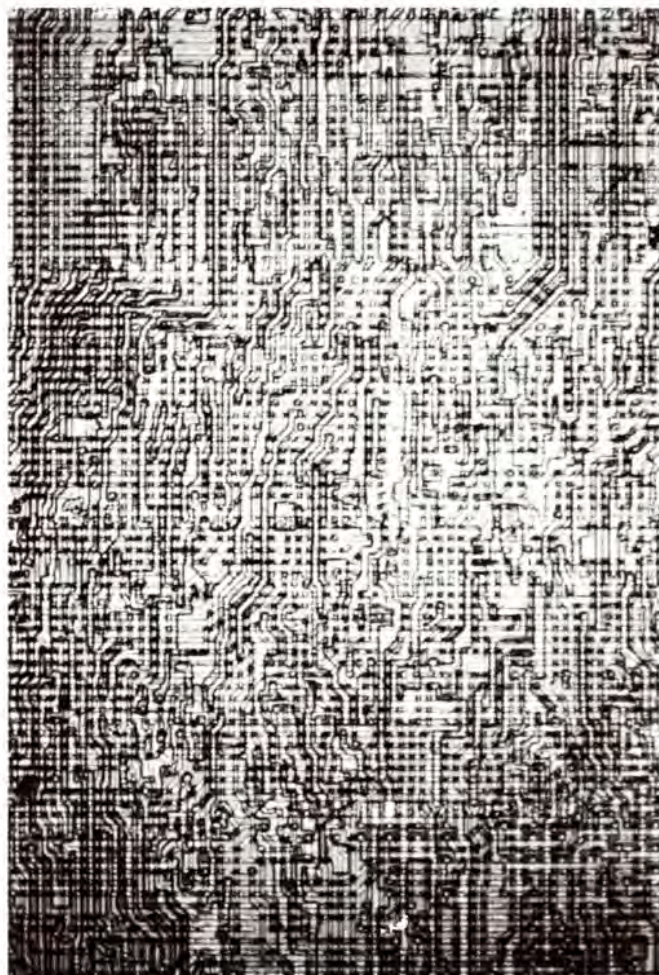


Figure X.1.31 - Tranche de l'unité d'exécution d'instructions
du 78000.

X.1.6.1 - STATISTIQUE SUR LE NOMBRE DE LIGNES PAR BANDE

La statistique présentée dans le tableau X.1.20 a été établie sur la partie contrôle du 28000. Ces résultats obtenus sont présentés sous forme graphique dans la figure X.1.32. Le nombre moyen de lignes par bande est égale à 12.

NL	OCCURENCE	LONGUEUR DE LA (mm)	SOMME DES LONGUEURS DE BANDE (mm)	RAPPORT LONGUEUR D'UNE BANDE ET LA LONGUEUR DE BANDE TOTALE
(1)	(2)	(3)	(4)	(5)
3	3	0.9 0.4 2.7	4.0	5.35
5	2	0.4 4.0	4.4	5.88
6	2	0.4 1.0	1.4	1.87
7	1	4.0	4.0	5.35
8	5	0.8 0.6 1.0 1.2 1.9	5.5	7.35
9	6	2x 0.9 1.0 1.8 1.2 2.4	8.2	11.0
SOUSTOTAL			27.5	

TABLEAU X.1.20

(1)	(2)	(3)	(4)	(5)
		SOUSTOTAL	27.5	
10	4	2x 0.9 1.0 1.5	1.8	5.75
11	3	2x 1.2 1.5	4.3	3.6
12	4	1.6 0.5 0.8 2.7	5.6	7.5
13	7	1.4 0.8 0.7 1.3 4.0 2.9 4.4	15.5	20.72
		SOUSTOTAL	54.7	

TABLEAU X.1.20 suite

(1)	(2)	(3)	(4)	(5)
		SOUSTOTAL 54.7		
14	3	1.4 1.5 1.1	4.0	5.35
15	2	0.4 1.3	1.7	2.27
16	2	1.4 2.7	4.1	5.48
18	1	1.3	1.3	1.74
20	1	4.0	4.0	5.35
22	1	4.1	4.1	5.48
		TOTAL 73.9		100%

TABLEAU X.1.20 suite

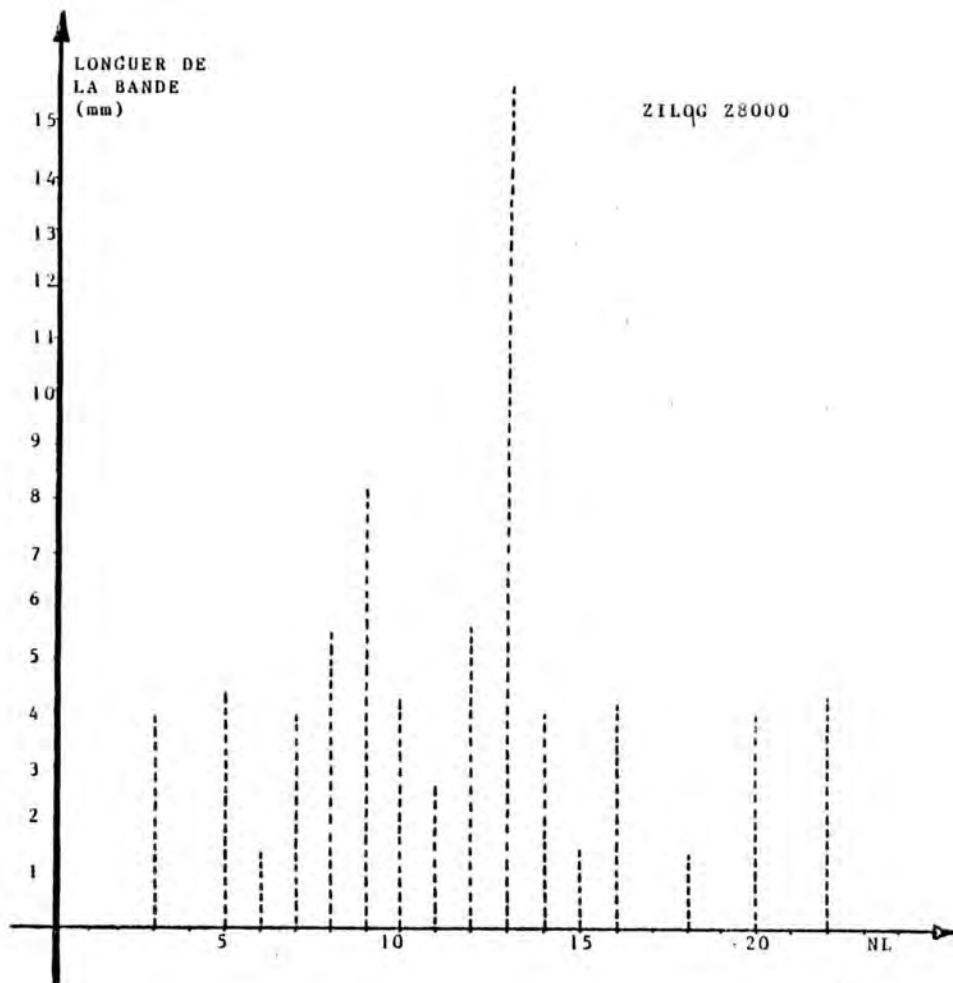


Figure X.1.32 - Distribution du nombre de lignes par bande.

X.1.6.2 - STATISTIQUE SUR LA SURFACE MOYENNE PAR TRANSISTOR

Cette statistique a été établie sur les zones A, B et C du circuit (voir figure X.1.30).

Les dimensions de ces zones sont présentées dans le figure X.1.33.

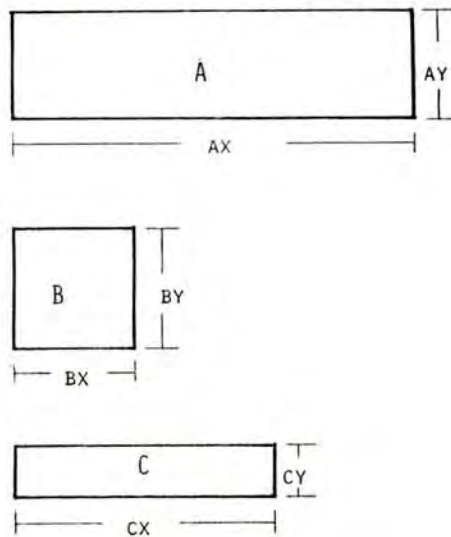


Figure X.1.33 - Dimensions des zones A, B et C.

Les dimensions de ces zones en termes de produit pas de poly x pas de métal, sont :

ZONE A:

$$AX = 3950 \text{ micr.} = 359 \text{ pp}$$

$$AY = 510 \text{ micr.} = 42,5 \text{ pm}$$

la surface totale (STA) est donc égale à:

$$STA = AX.AY = 15260 \text{ pm} \times \text{pp}$$

ZONE B:

$$BX = 795 \text{ micr.} = 72,27 \text{ pp}$$

$$BY = 770 \text{ micr.} = 64,17 \text{ pm}$$

la surface totale de la zone B est donc:

$$STB = BX.BY = 4638 \text{ pm} \times \text{pp}$$

ZONE C:

$$CX = 2920 \text{ micr.} = 265,5 \text{ pp}$$

$$CY = 385 \text{ micr.} = 32,1 \text{ pm}$$

la surface totale de la zone C est donc :

$$STC = CX.CY = 8517 \text{ pp} \times \text{pm}$$

La surface totale des trois zones (ST):

$$ST = STA + STB + STC = 28415 \text{ pp} \times \text{pm}$$

Le tableau X.1.21 présente le nombre de transistors par bande et donne aussi le nombre moyen de transistors par porte.

ZONE	NL	NOMBRE TRANS. SIGNAL	NOMBRE TRANS. CHARGE	NOMBRE TOTAL TRANS.	NOMBRE MOYEN TRANS. PAR PORTE
A	15(16)	320	72	392	
	13(12)	290	121	411	
	7	180	77	257	
total		790	270	1060	2.93
B	9	36	16	52	
	11	58	14	72	
	8	36	16	52	
	11	41	20	61	
	14	67	18	85	
total		238	84	322	2.83
C	12(11)	245	96	341	
	13	250	105	355	
total		495	201	696	2.46
TOTAL		1523	555	2078	2.74

TABLEAU X.1.21

La surface moyenne par transistor (smt) est donnée par :

$$\text{smt} = \frac{\text{st (surface totale)}}{\text{nt (nombre de transistors)}}$$

ZONE A:

$$\text{smtA} = \frac{\text{sta} \quad 15260 \text{ pp} \times \text{pm}}{\text{nta} \quad 1060} = 14,39 \text{ pp} \times \text{pm}$$

ZONE B:

$$\text{smtB} = \frac{\text{stb} \quad 4638 \text{ pm} \times \text{pp}}{\text{ntB} \quad 332} = 13,97 \text{ pp} \times \text{pm}$$

ZONE C:

$$\text{smtC} = \frac{\text{stc} \quad 8517 \text{ pm} \times \text{pp}}{\text{ntC} \quad 696} = 12,24 \text{ pp} \times \text{pm}$$

Surface moyenne totale par transistor:

$$\text{smt} = \frac{\text{st} \quad 28415 \text{ pp} \times \text{pm}}{\text{nt} \quad 2088} = 13,6 \text{ pp} \times \text{pm}$$

X.1.6.3 - STATISTIQUE SUR LA TRANSPARENCE VERTICALE

Dans le tableau X.1.22 nous présentons une statistique sur le nombre de lignes transversantes ainsi que sur le nombre de lignes qui entrent/sortent de la bande dans le sens vertical. Cette statistique a été faite sur les zones A et B du circuit.

NL		NOMBRE ENTREES	NOMBRE SORTIES	NOMBRE LIGNES TRAVER- SANTES	TRANSPA- RENCE (1)	SURFACE OCCUPEE E/S % (2)	1 + 2
A	15(16)	68	122	68	18,94%	26.46%	45.40%
	13(12)	95	74	60	16.71%	23.54%	40.25%
	7	68	61	76	21.17%	17.97%	39.14%
	moyenne.....				18.94%	22.66%	41.60%
B	9	15	25	7	9.7%	27.67%	37.37%
	11	23	16	17	23.5%	26.98%	50.43%
	8	19	12	11	15.22%	21.45%	36.67%
	11	7	23	10	13.84%	20.06%	33.90%
	14	22	31	6	8.30%	36.67%	44.97%
moyenne				14.11%	26.57%	40.68%	
MOYENNE TOTALE				15.92%	25.10%	41.02%	

TABLEAU X.1.22

X.1.6.4 - STATISTIQUES SUR LA TRANSPARENCE HORIZONTALE

Les bandes et les groupes de cellules dans les bandes ont été choisis au hasard dans l'unité d'exécution. La première cellule considérée dans une bande a été choisie en fonction d'un repérage plus facile. La cellule examinée ensuite a toujours été la cellule placée immédiatement à droite de la précédente, et ainsi de suite, jusqu'à observer l'utilisation de toutes les lignes internes de la bande, donc jusqu'à trouver une transparence zéro aux groupes de cellules. Pour chaque cellule, on a relevé le nombre de lignes (canaux) utilisés.

Remarque: La taille des cellules est variable, aussi pour simplifier la statistique et réduire son temps d'exécution, une largeur unique de cellule a été considérée. La largeur moyenne des cellules est d'environ 50 micr., équivalent à 4,55 pas de poly. La valeur exacte de la largeur moyenne des cellules n'a pas tellement d'importance parce que à la fin le résultat sera traduit en nombre de pas de poly (longueur de bande).

Les tableaux X.1.23 à X.1.30 présentent les statistiques effectuées. Ces résultats nous permettent d'obtenir deux types de courbes: le premier type montre la distribution des lignes occupées dans les bandes (figures X.1.34 à X.1.36), le deuxième type de courbe nous donne la probabilité de transparence en fonction de la longueur de bande (donnée en nombre de cellules ou en nombre de pas de poly) (figures X.1.37 à X.1.40).

28000		GROUPE 1	NL = 12
No DE CELLULE	CANAUX OCCUPES	OCCUPATION CUMULATIVE	OBSERVATIONS
1	6	6	
2	4	7	
3	4	8	
4	5	9	
5	4	9	
6	4	10	
7	5	10	
8	2	10	zone cheminée
9	4	11	
10	4	11	
11	4	12	
12	6	12	
Moyenne:	4,33		

TABLEAU X.1.23

Zone de cheminée: c'est la zone occupée par un groupe de connexions verticales, en poly ou en diffusion.

28000	GRUPE 2	NL = 12	

NO DE CELLULE	CANAUX OCCUPES	OCCUPATION CUMULATIVE	OBSERVATIONS

1	3	3	
2	3	4	
3	2	4	
4	0	4	zone de cheminée
5	2	5	
6	3	7	
7	3	9	
8	2	9	
9	2	10	
10	2	10	
11	3	11	
12	5	11	
13	5	11	
14	4	11	
15	5	11	
16	5	11	
17	4	11	petite cheminée
18	3	11	
19	5	11	
20	5	11	
21	2	12	

Moyenne:	3,4		

TABLÉAU X.1.24

Z8000		GROUPE 3		NL = 9
No DE CELLULE	CANAUX OCCUPES	OCCUPATION CUMULATIVE	OBSERVATIONS	
1	2	2		
2	2	3		
3	2	4		
4	5	8		
5	6	9		
Moyenne:	3,4			

TABLEAU X.1.25

Z8000		GROUPE 4		NI. = 9
NO DE CELLULE	CANAU OCCUPES	OCCUPATION CUMULATIVE	OBSERVATIONS	
1	3	3		
2	3	4		
3	2	4		
4	2	5		
5	4	6		
6	3	6		
7	2	7		
8	5	8		
9	4	8		
10	1	8	cheminée	
11	2	8		
12	5	9		
Moyenne:		3,00		

TABLEAU X.1.26

Z8000		GROUPE 5		NL = 9
NO DE CELLULE	CANAUX OCCUPES	OCCUPATION CUMULATIVE	OBSERVATIONS	
1	2	2		
2	2	2		
3	2	3		
4	4	7		
5	2	7		
6	1	7		
7	4	7		
8	1	7		
9	4	7		
10	2	7		
11	3	7		
12	4	7		
13	2	8		
14	2	8		
15	3	8		
16	3	8		
17	4	8		
18	4	8		
19	2	9		
Moyenne:	2,5			

TABLEAU X.1.27

28000 GROUPE 6 NL = 7			
N ^o DE CELLULE	CANAUx OCCUPES	OCCUPATION CUMULATIVE	OBSERVATIONS
1	4	4	
2	2	5	
3	0	5	cheminée
4	2	5	
5	3	5	
6	1	5	cheminée
7	3	5	
8	3	6	
9	3	6	
10	1	6	
11	2	6	
12	3	6	
13	2	6	
14	2	6	cheminée
15	3	7	
Moyenne:	2,54		

TABLEAU X.1.28

Z8000	GROUPE 7		NL = 7

No DE CELLULE	CANAU OCCUPES	OCCUPATION CUMULATIVE	OBSERVATIONS

1	1	1	
2	2	3	
3	3	4	
4	2	4	
5	2	5	
6	3	6	
7	2	6	
8	4	7	

Moyenne:	2,38		

TABLEAU X.1.29

Z8000 GROUPE 8 NL = 5			
No DE CELLULE	CANAUx OCCUPES	OCCUPATION CUMULATIVE	OBSERVATIONS
1	1	1	
2	2	3	cheminée
3	0	3	cheminée
4	0	3	
5	1	3	
6	0	3	
7	3	4	
8	3	5	
Moyenne:	1,67		

TABLEAU X.1.30

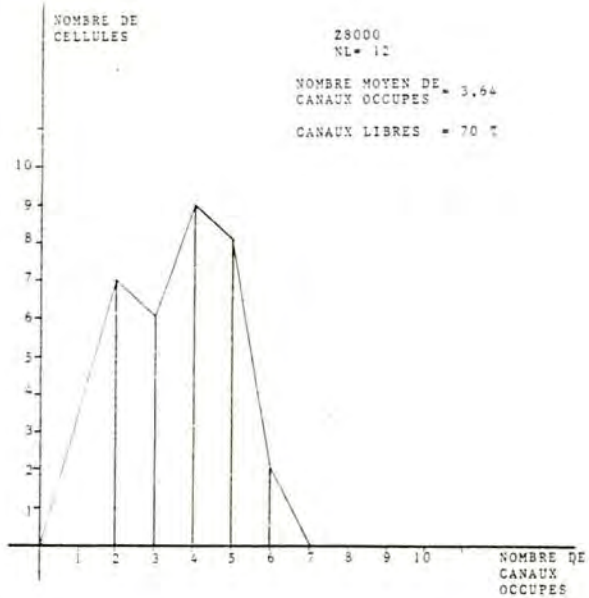


Figure X.1.34 - Distribution du nombre de canaux occupés (NL=12).

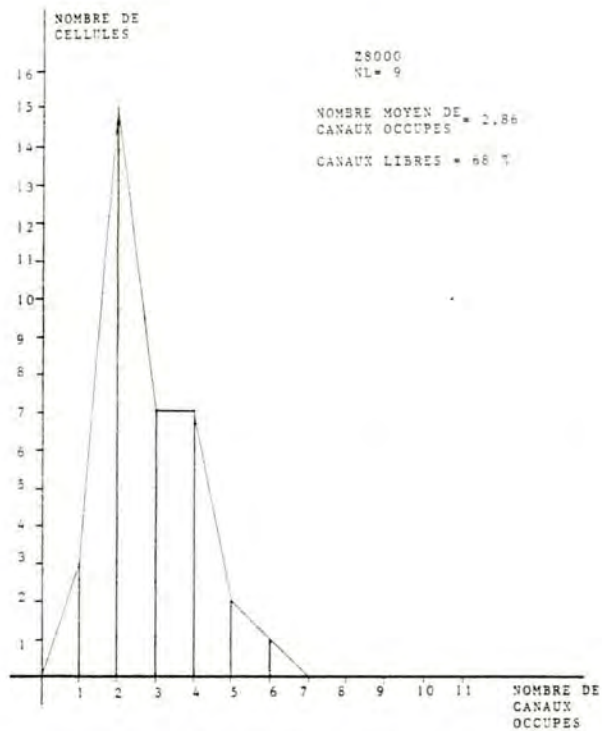


Figure X.1.35 - Distribution du nombre de canaux occupés (NL= 9).

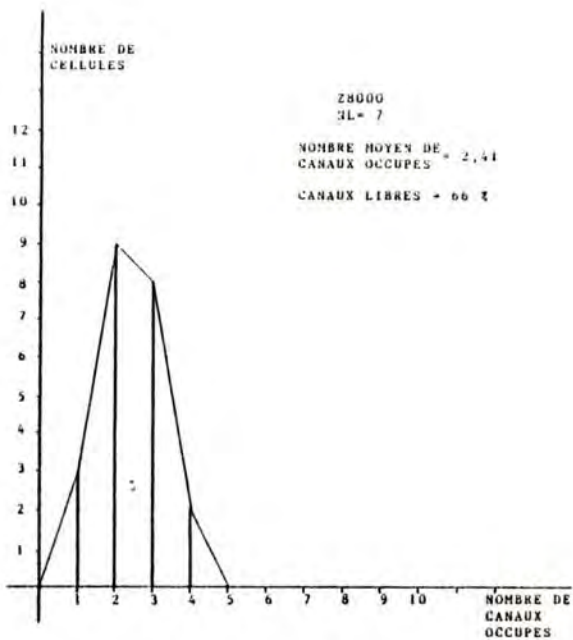


Figure X.1.36 - Distribution du nombre de canaux occupés (NL= 7)

Figure X.1.37 - Probabilité de transparence en fonction de la longueur de la bande (NL= 12).

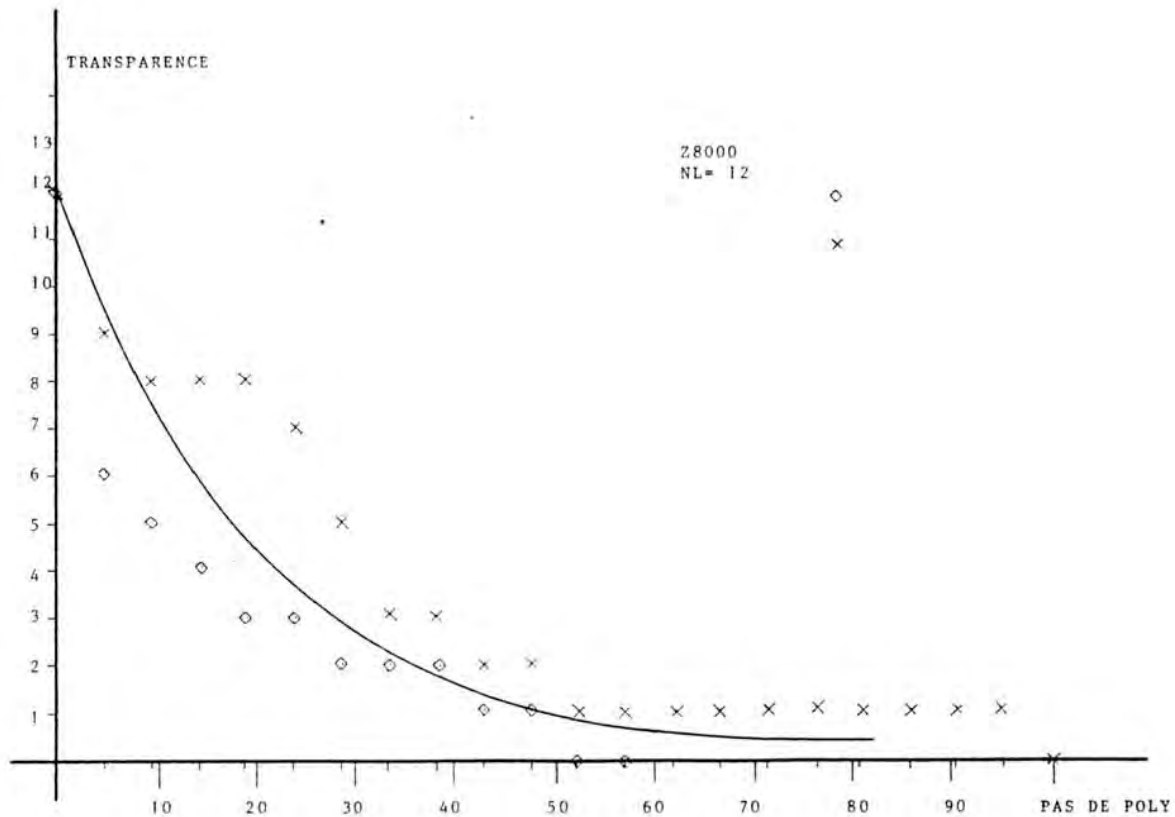


Figure X.1.38 - Probabilité de transparence en fonction de la longueur de la bande (NL= 9).

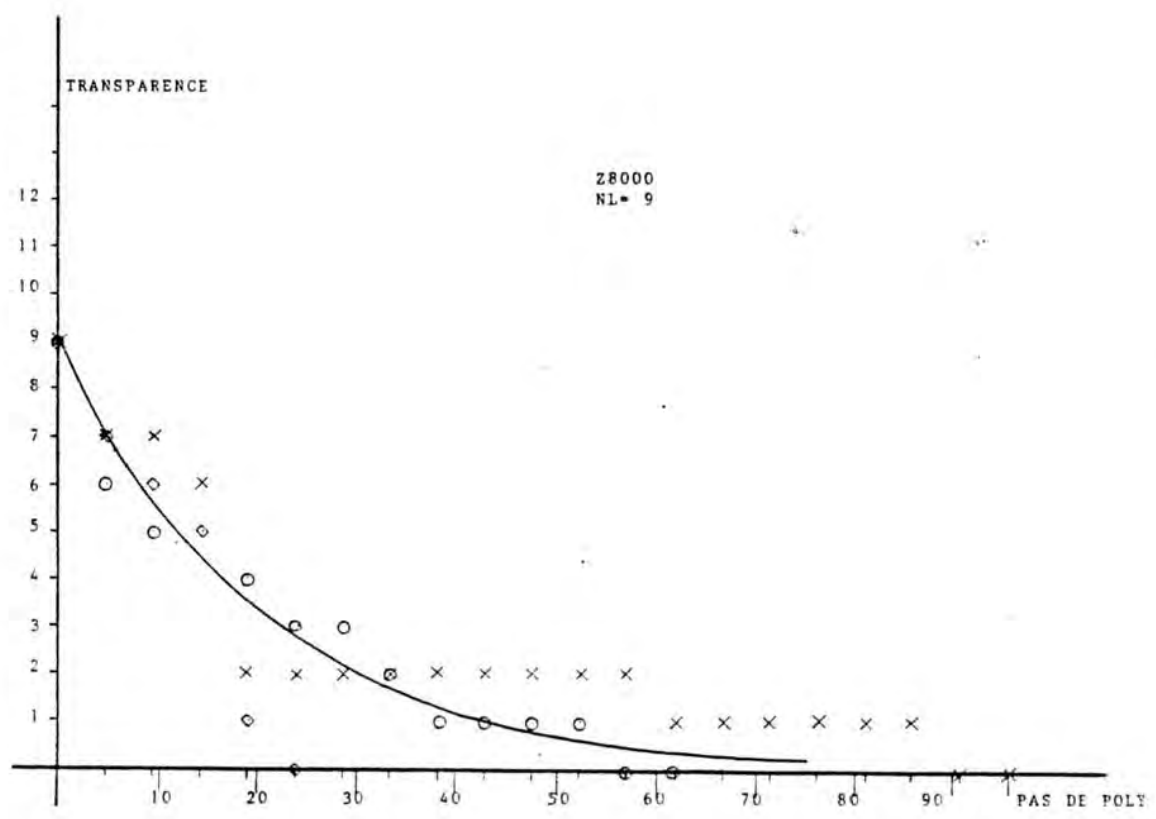


Figure X.1.39 - Probabilité de transparence en fonction de la longueur de la bande (NL= 7).

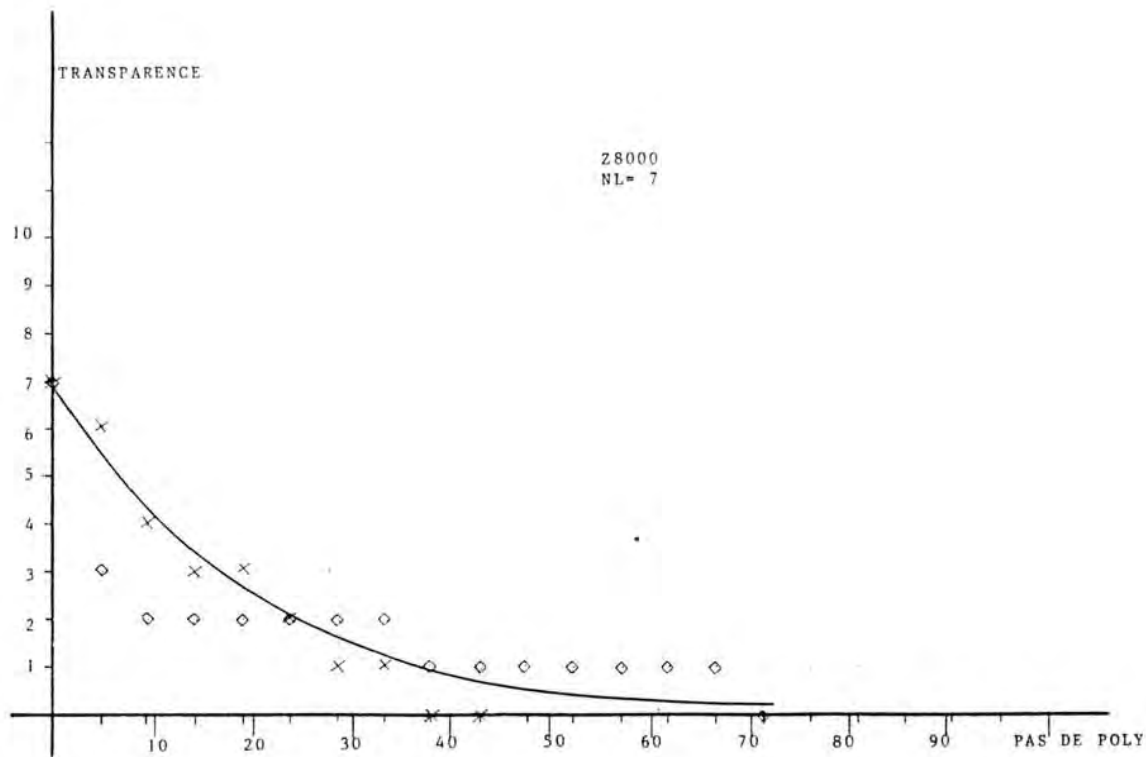
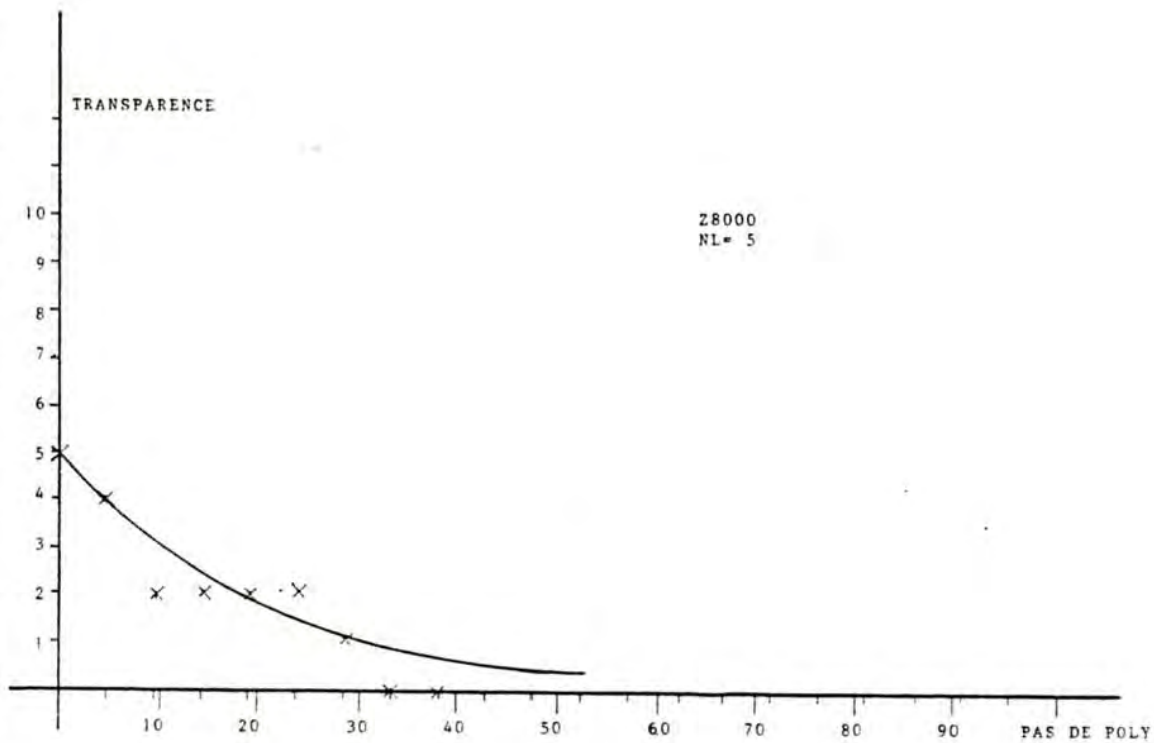


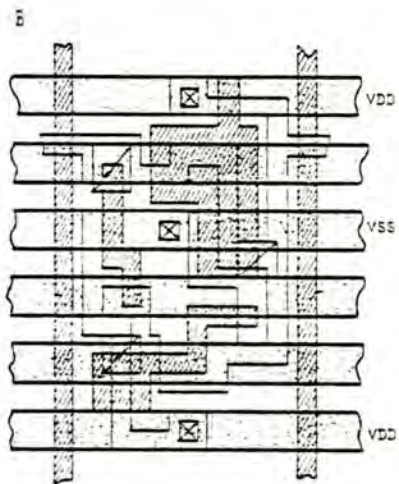
Figure X.1.40 - Probabilité de transparence en fonction de la longueur de la bande (Nl= 5).



X.2 - ANNEXE 2

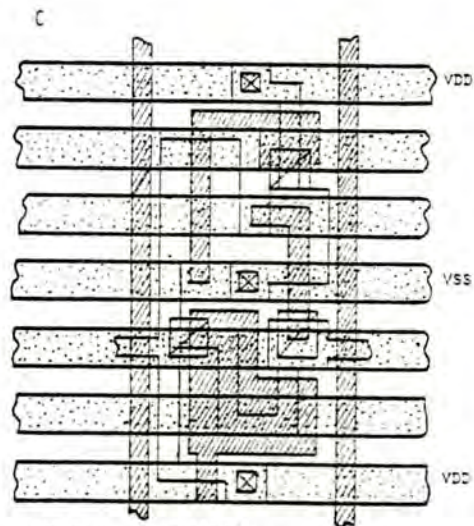
DEFORMABILITE D'UN POINT REGISTRE

Cette annexe fournit les différents dessins correspondant à la déformabilité d'un point registre [MEY 82], étude présentée au chapitre VII.2.



DX= 25 μ S= 925 μ^2
 DY= 35 μ S/TRANS.= 155 μ^2

FIGURE X.2.1 : Registre dessiné sous une bande de 4 lignes internes.



DX= 21 μ S= 892 μ^2
 DY= 42 μ S/TRANS.= 147 μ^2

FIGURE X.2.2 : Registre dessiné sous une bande de 5 lignes internes.

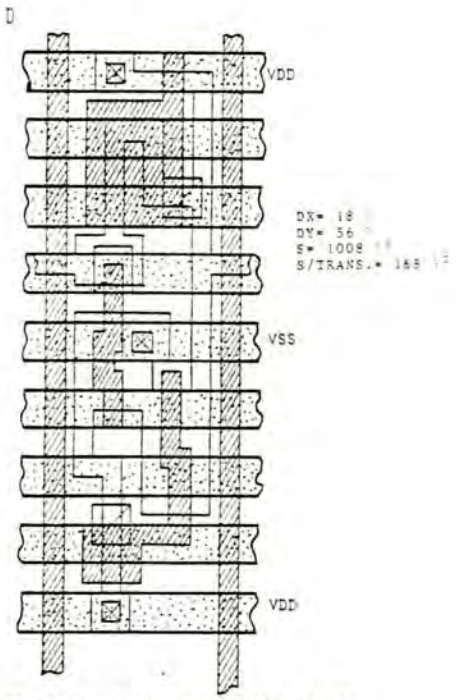


FIGURE X.2.3 : Registre dessiné sous une bande de 7 lignes internes.

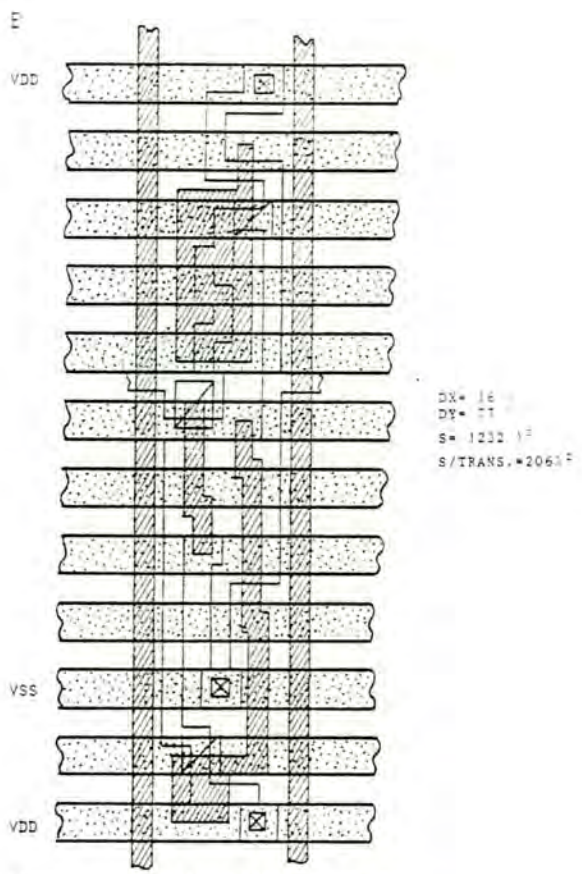


FIGURE X.2.4 : Registre dessiné sous une bande de 10 lignes internes.

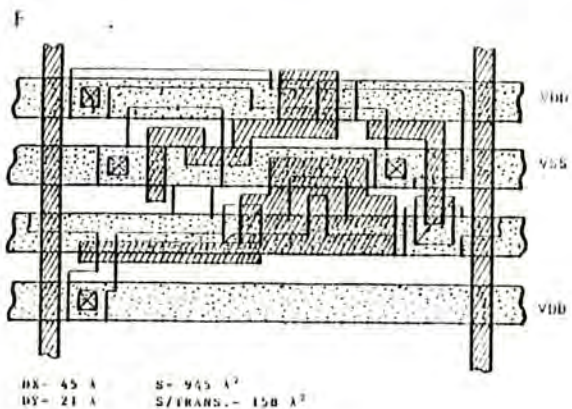


FIGURE K.2.5 : Registre dessiné sous une bande de 2 lignes internes.

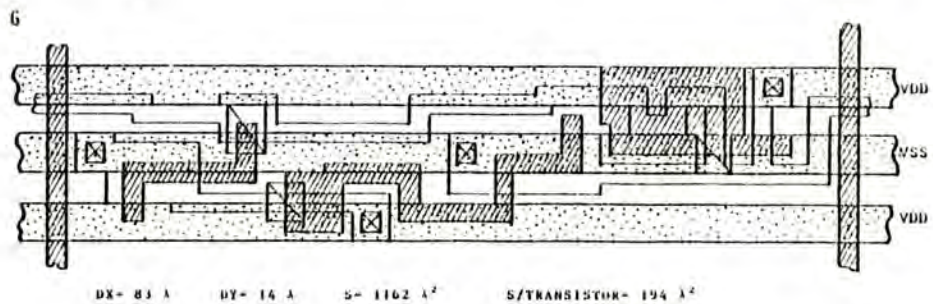


FIGURE K.2.6 : Registre dessiné sous une bande d'une ligne interne.

X.3 - ANNEXE 3

X.3.1 - EXTRAPOLATION DES REGLES DE DESSIN NMOS

Le tableau X.3.1 présente les principales règles de dessin des technologies NMOS 6 micr., 3,5 micr., 2 micr., ainsi que les extrapolations des règles pour la technologie NMOS 2 micr. et 1 micr., utilisés dans le chapitre IV.

technologie NMOS	6	3,5	2	1
LARGEUR MINIMUM	6	3,5	2	1
DISTANCE MINIMUM	5	4	2	1
POLY ENTRE 2 LIGNES				
PAS MINIMUM	11	8,25	5	2,75
LARGEUR MINIMUM	8	5	4	3
DISTANCE MINIMUM	7	6	3	2
METAL ENTRE 2 LIGNES				
PAS MINIMUM	15	11,5	7,0	5,0
DIFFUSION	8	4	3	2
CONTACT	6 x 6	4 x 4	3 x 3	2 x 2,5

* valeurs en microns

TABLEAU X.3.1

X.3.2 - POINT MEMOIRE ROM DESSINE AVEC LES REGLES DE DESSIN NMOS

La figure X.3.1 et le tableau X.3.2 donnent les valeurs des principales règles de dessin utilisées pour la conception d'un point mémoire ROM NMOS, pour les technologies NMOS 6 micr., 3,5 micr., 2 micr. et 1 micr.

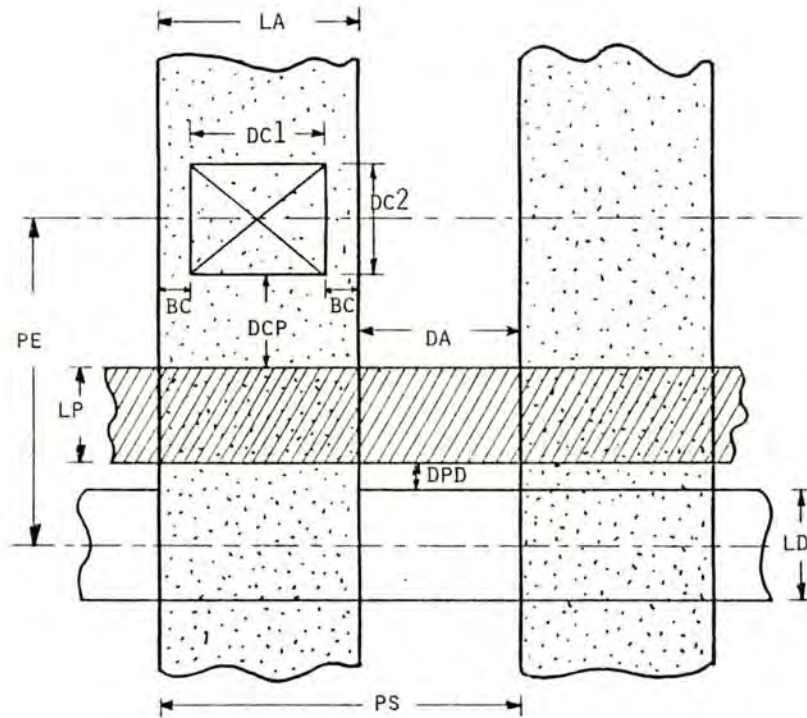


FIGURE X.3.1 - Point mémoire ROM NMOS.

TABLEAU X.3.2

TECHNOLOGIE' NMOS	LP	LA	LD	DA	DPD	BC	DC1	DC2	DCP	PE	PS
6	6	8	8	7	3	1	6	6	6	20	19
3.5	3.5	5	4	6	1	0.5	4	4	3.5	12	12
2	2	4	3	3	0.5	0.5	3	3	2	7.5	7
1	1	3	2	2	0.25	0.25	2.5	2	1	4.25	5

valeurs en μ

TABLEAU X.3.2

X.4 - ANNEXE 4

EVOLUTION DU PAS MOYEN EN FONCTION DE LA DIMENSION NOMINALE

Soit, le pas moyen (PME) donné par la moyenne entre le pas de métal et le pas de silicium, comme indiqué dans le chapitre IV.3.

Une courbe de l'évolution de PME en fonction de la dimension nominale (DN), (normalement, la largeur de la grille poly) est tracée (figure X.4.1), à partir des données du tableau X.4.1.

technologie NHOS	PME	DN
6 micr.	15,5	6
4,5 micr.	12,6	4,5
3,5 micr.	9,875	3,5
2 micr.	6	2
1 micr.	3,875	1

* valeurs en microns

TABLEAU X.4.1

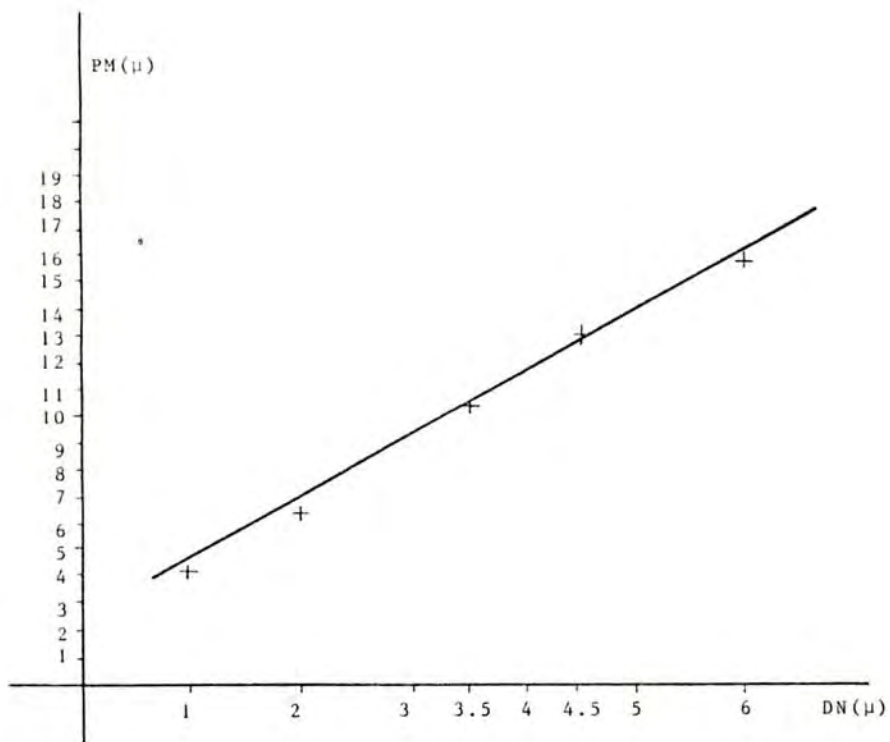


FIGURE X.4.1 - $PME = f(\text{dimension nominale})$

Cette courbe peut être approchée par l'équation suivante:

$$PME = 1,3 + 2,4 \cdot DN$$

DN	PM réel	PME calculé	précision delta Z
6	15,5	15,7	1,29
4,5	12,6	12,1	- 3,96
3,5	9,875	9,7	- 1,77
2	6,0	6,1	1,67
1	3,875	3,8	- 1,94

TABEAU X.4.2

Pour les valeurs de PME calculées par cette équation, on obtient une précision de +/- 4%, comme le montre le tableau X.4.2.

X.5 - ANNEXE 5

Comparaison de surface entre le MC 68000 et le Z 8000

Les microprocesseurs MC 68000 et Z 8000, sont tous deux des microprocesseurs 16 bits qui présentent une complexité plus ou moins équivalente.

Les méthodologies de conception de leurs parties contrôle sont très différentes:

- le Z8000 utilise des générateurs de temps et une unité d'exécution d'instructions en logique aléatoire (figure X.1.30) [REI 80],

- le MC 68000 par contre présente une partie contrôle microprogrammée verticalement combinée avec des PLAs multiples. Il est caractérisé par une très grande régularité des blocs, contrairement au Z8000 (figure X.6.13) [BOS 80].

Les deux microprocesseurs sont conçus en technologie nMOS mais leurs paramètres technologiques sont différents. Le pas de métal est le même dans les deux cas, mais le pas de poly est plus réduit dans le cas du MC 68000:

	pas métal	pas poly	surface
MC 68000	12	9,25	44 μm^2
Z 8000	12	11,00	39 μm^2

Pour permettre une comparaison de surface par rapport à la méthodologie de conception employée, on doit réévaluer la surface d'un des circuits en le supposant fabriqué dans la technologie de l'autre.

On a choisi d'évaluer la surface du Z 8000 supposé réalisé en HMOS1 (technologie employée pour le 68000). On utilise pour cela des coefficients de réduction du pas de métal (KM) et de réduction du pas de poly (KP).

Calcul du coefficient de réduction du pas métal:

$$KM = \frac{\text{PAS METAL 68000} \quad 12}{\text{PAS METAL 28000} \quad 12} = \frac{12}{12} = 1$$

Calcul du coefficient de réduction du pas poly:

$$KP = \frac{\text{PAS POLY 68000} \quad 9,25 \quad 1}{\text{PAS POLY 28000} \quad 11 \quad 1,19} = \frac{9,25}{11} = 0,84$$

La réduction en surface est calculée par l'utilisation d'un coefficient KT donné par le produit entre les coefficients KM et KP déjà calculés:

$$KT = KM \times KP = 1 \times 0,84 = 0,84$$

Alors, la surface du Z8000 en HMOSI serait de :

$$S_{Z8000(HMOSI)} = S_{Z8000(REEL)} * K_T = 39 \times \frac{1}{1,19} = 32,7 \text{ mm}^2$$

Donc, le Z8000 en HMOSI aurait environ 10 mm^2 en moins que le MC 68000 (44 mm^2), ce qui donne 25% de réduction.

Par contre, le MC 68000 présente une structure plus régulière, qui offre les avantages suivants :

- un temps de conception pouvant être réduit par l'utilisation d'outils de CAO puissants,
- une difficulté moindre pour la correction des erreurs d'implantation,
- une facilité beaucoup plus grande de modifications pour l'évolution du circuit,
- possibilité d'une réutilisation des blocs fonctionnels dessinés pour de futurs circuits,
- structure plus adaptée à l'utilisation d'outils de CAO.

X.7 - ANNEXE 6

COMMANDES DE L'EDITEUR DE PLAN DE MASSE

(à la date du 19/11/82)

A (APPEL)

ab <nom de circuit>

appel d'un circuit stocké dans la bibliothèque

af <nom de fichier>

appel d'un fichier correspondant à un circuit

le nom du fichier est le nom du circuit

AU (AU REVOIR)

utilisé pour quitter l'éditeur graphique

C (CHANGEMENT)

ca <1..4>

changement du mode d'affichage. Le chiffre indique le mode choisi (voir chapitre VIII)

ce <0..9>

changement d'échelle

<0> échelle libre. L'utilisateur définit donc l'échelle au moyen d'un numéro entier (négative ou positive)

<1> échelle 1:3

<2> .. 1:6

<3> .. 1:9

<4> .. 1:12

<5> .. 1:15

<6> .. 1:18

<7> .. 1:21
<8> .. 1:24
<9> .. 1:27'

cv <0,1>

changement de visibilité

<0> invisible

<1> visible

cn <nouveau nom>

changement de nom du bloc sélectionné

ct

changement de la taille du bloc, par l'utilisation
de l'évaluateur topologique

cf <0,1>

changement des dimensions de la fenêtre

<0> fenêtre standard

<1> fenêtre à définir par l'utilisateur

D (DELETION)

d1b <nom circuit>

délétion d'un circuit de la bibliothèque

d1p

délétion du contenu de la pince à sucre

d1s

délétion de la partie sélectionnée

G (GLISSEMENT, translation)

la nouvelle position est donnée par le réticule
sur l'écran

gh

glissement horizontal

gv

glissement vertical

gr

glissement horizontal et vertical

IN (INTRODUCTION)

In <type> <nom bloc>

introduction d'un bloc dans la pince à sucre,
le type peut être:

<0> bloc LUCIE

<1> bloc PLA

<2> bloc ROM

<3> bloc logique aléatoire

<4> bloc livre

Si le type est 1, 2 ou 3, l'évaluateur topologique
sera appelée automatiquement.

L (LISTAGE)

lb

listage des noms des circuits dans la bibliothèque

lb[nom circuit]

listage des noms et des niveaux des blocs du
circuit stocké dans la bibliothèque

lc

listage des noms et des niveaux des blocs du
circuit de travail

lp

listage des noms et des niveaux des blocs contenus
dans la pince à sucre

ls

listage des noms et des niveaux des blocs de la
partie sélectionnée

ls[nom variable]

listage de la valeur de la variable

ls[*]

listage des valeurs de toutes les variables associées
au bloc sélectionné

MS (MODIFICATION STRUCTURELLE)

msa

attachement du contenu de la pince à sucre
au noeud sélectionné

msd

détachement de la partie sélectionnée qui sera
copiée dans la pince à sucre

mse

copie de la partie sélectionnée dans la pince à sucre

RA (RANGEMENT)

ra <nom fichier>

sauvegarde du circuit de travail dans un fichier
avec son nom

rb <nom circuit>

sauvegarde du circuit de travail dans la bibliothèque

S (SELECTION)

Sélection du noeud désiré

sb <num>

sélection d'un noeud inférieur ; le numéro indique le
déplacement en nombre de niveaux

sd <num>

sélection d'un frère à droite

sg <num>

sélection d'un frère à gauche

sh <num>

sélection d'un noeud supérieur

sr

sélection du noeud indiqué par le réticule

st

sélection de la racine (tête)

sp

sélection de la partie sélectionnée précédente.

SOS (AU SECOURS)

sos <nom commande>

listage d'informations sur l'utilisation d'une
commande

T (TRANSFORMATION)

trb <num> <pas>

répétition d'un bloc, en bas de celui-ci ; le numero indique le nombre de répétitions et le pas indique la distance (en microns) entre les blocs répétés

trd <num> <pas>

idem, mais les circuits répétés seront mis à droite

trg <num> <pas>

idem, mais les circuits répétés seront mis à gauche

trh <num> <pas>

idem, mais les circuits répétés seront mis en haut

tr+

rotation positif

tr-

rotation négatif

tsx

symétrie autour de l'axe horizontal

tsy

symétrie autour de l'axe vertical

V (VISUALISATION)

vf

visualisation des feuilles

vn <niveau>

visualisation des noeuds d'un niveau

vs

visualisation des composants de la partie sélectionnée

vt

visualisation de tous les noeuds du circuit

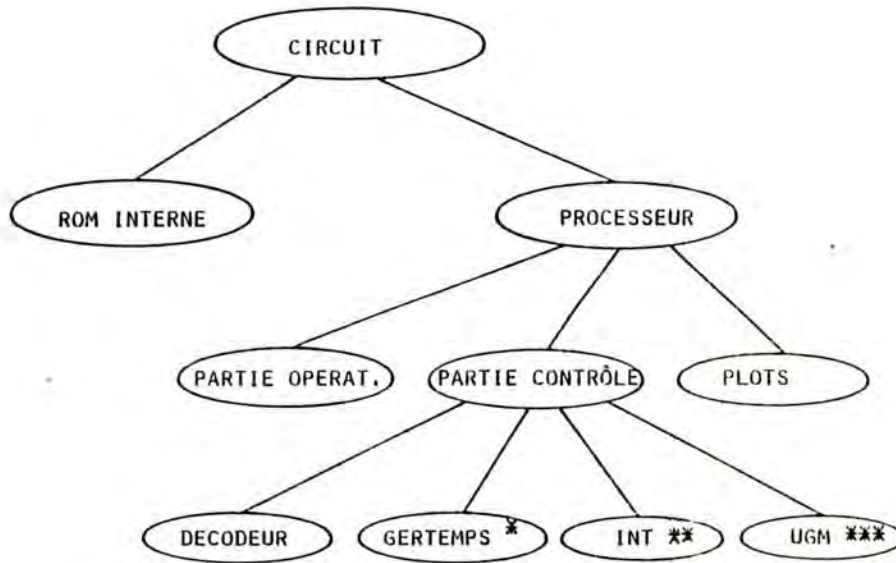
vv

visualisation de tous les blocs masqués comme visibles.

X.7 - ANNEXE 7

EXEMPLE D'UTILISATION DU SYSTEME TESS-FLOPE .

Cette annexe montre un exemple simple d'utilisation des programmes TESS et FLOPE. Le circuit pris comme exemple a pour description arborescente simplifié la figure X.7.1.



- * gertemps - générateur de temps
- ** int - logique de traitement d'interruptions
- *** ugm - unité de génération de microcommandes

Figure X.7.1 : Description arborescente simplifiée du circuit exemple.

Dans les pages suivantes (figures X.7.2 à X.7.11) on montre les étapes de l'assemblage du plan de masse. La forme et les dimensions du bloc partie opérative sont supposées déjà connues d'avance. Le bloc ROM est le premier à être introduit (figure X.7.2). Il est composé de 256 mots de 16 bits, et sa taille optimale, calculée par l'évaluateur topologique, est celle représentée par le caré avec le contour épaissi. Des contraintes verticales lui sont ensuite imposées par l'utilisateur (à l'aide du réticule de l'écran graphique). L'évaluateur fait un nouveau calcul et produit comme résultat une nouvelle forme, plus longue, de la ROM. Cette opération est répétée une deuxième fois, et on obtient comme résultat un bloc ROM d'une longueur proche de celle du bloc partie opérative, déjà connue.

Le bloc PLA de décodage (dec) est le deuxième à être introduit (figure X.7.3). Sa forme optimale, calculée par l'évaluateur, considère une optimisation avec PAOLA, sans duplication de monômes. Ensuite il est demandé à l'évaluateur de considérer la solution avec duplication de monômes (bloc plus longue).

Ensuite le bloc PLA évalué est attachée à l'arbre décrivant le circuit et devient le bloc sélectionnée (contour épaissi) (figure X.7.4). Une translation est effectuée au moyen du réticule (figure X.7.5) et une liste des valeurs des paramètres du bloc est affichée.

Le troisième bloc introduit est celui qui correspond à la logique de traitement d'interruptions (int) (figure X.7.6) ce bloc de logique aléatoire est composé de 400 transistors. Le résultat fourni par l'évaluateur est inséré entre les blocs existants (son nombre de bandes est égal à 6). Ensuite par l'imposition de contraintes verticales on lui donne la forme désirée (longueur proche de celle du pla de décodage) (figure X.7.7), ce qui ramène son nombre de bandes à 4 (cette figure présente une échelle plus grande que les figures précédentes).

Cette figure présente aussi l'introduction du bloc (gertemp) des automates de génération des cycles de temps (logique aléatoire). La forme initiale proposée par l'évaluateur est celle retenue.

La figure X.7.8 présente l'introduction du bloc correspondant à la logique de génération des microcommandes (ugm). Dans la figure X.7.9 on peut visualiser une série de solutions proposées par l'évaluateur topologique. La solution choisie est celle présentée dans la figure X.7.10. Dans cette figure on représente aussi le bloc partie operative (poper).

La dernière figure (X.7.11) montre le plan de masse complet, avec l'introduction des plots des connexions externes.

SELECTE = EXTOR
ORGANISATION: NS= 4
DIMENSION X: DX= 1167.38
DIMENSION Y: DY= 1341.81
SURFACE PAR BIT: 355.627
SURFACE TOTALE: 1468745.34

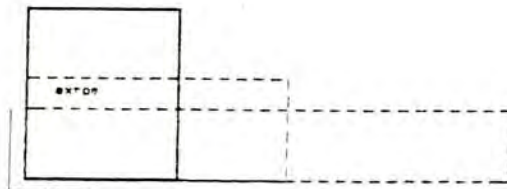
COMMANDE =
>v

COMMANDE =
>v

COMMANDE =
>v

FIGURE X.7.2

DIMENSION X: DX= 2844.18
DIMENSION Y: DY= 799.29
SURFACE PAR BIT: 376.853
SURFACE TOTALE: 1542889.69
DIMENSION X: DX= 3794.28
DIMENSION Y: DY= 551.18
SURFACE PAR BIT: 492.857
SURFACE TOTALE: 2818782.89



DIMENSION X DE LA MATRICE ET* 1306.03
DIMENSION Y DE LA MATRICE ET* 574.20
DIMENSION X DE LA MATRICE DU* 1446.00
DIMENSION Y DE LA MATRICE DU* 151.61
SURFACE DE LA MATRICE ET* 881631.57
SURFACE DE LA MATRICE DU* 219344.40
DIMENSION X DU PLA * 1446.00
DIMENSION Y DU PLA * 725.81
SURFACE TOTALE DU PLA* 1028046.06

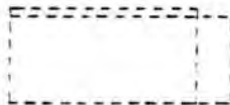
COMMANDE *
>y

DIMENSION X DE LA MATRICE ET* 1675.24
DIMENSION Y DE LA MATRICE ET* 574.20
DIMENSION X DE LA MATRICE DU* 1726.00
DIMENSION Y DE LA MATRICE DU* 95.03
SURFACE DE LA MATRICE ET* 961021.60
SURFACE DE LA MATRICE DU* 165573.10
DIMENSION X DU PLA * 1726.00
DIMENSION Y DU PLA * 670.13
SURFACE TOTALE DU PLA* 1127495.06

COMMANDE *
>x

>

FIGURE X.7.3



Sp- SPLICED = pladec
daher so position
>

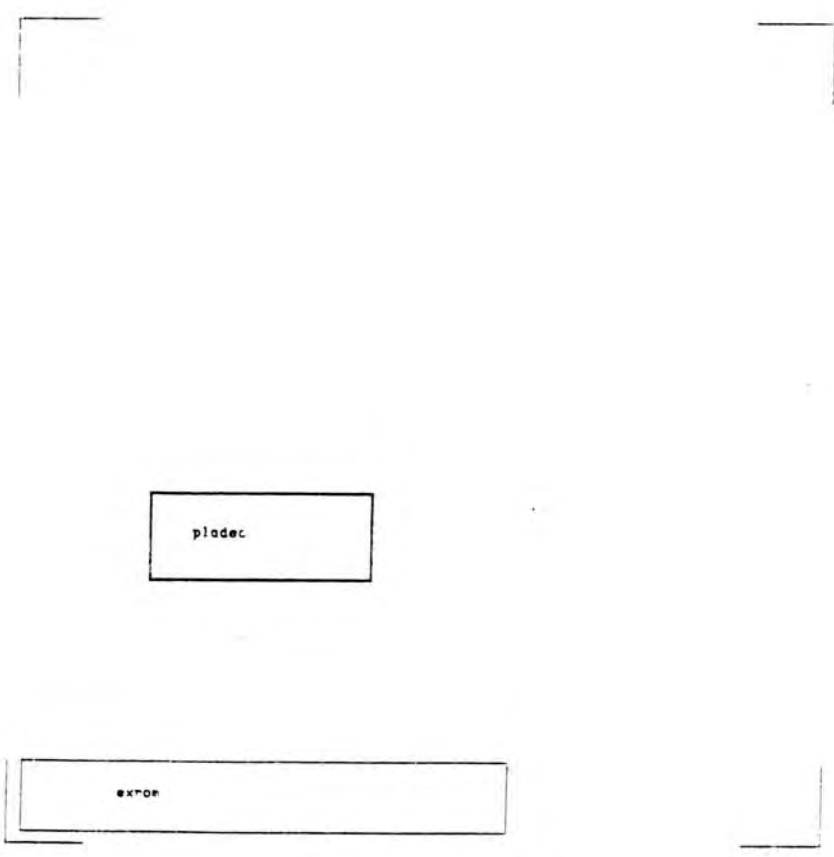


FIGURE X.7.4

>1* SILECTEL n piadec
>2 piadec

```

>1* piadec
>2 piadec
V = 72
dv = 1215
dy = 1756
Lrns = 670
pmet = 12
ppol = 32
pe = 13
dact = 574
dovv = 1575
smet = 96
smou = 061322
st = 165532
td = 112746
vmsl = 20
ms = 0
ms = 16
ms = 180
ms = 20
>2F = 1

```

>1*
>2 block lucie. 1:pic. 2:row. 3:logal. 4:libra. 5:libre par reticule
>3 donner le nom de bloc
>1*er donner sa position

VOUS ETES DANS MODLOG
>480 LE NOMBRE DE TRANSISTORS DU B.CC #?
SILCC = 1142.31
Dx = 712800.00
NOMBRE DE PIADCS = 6
NOMBRE DE TRANSISTOR = 480

COMMANDE =
>2

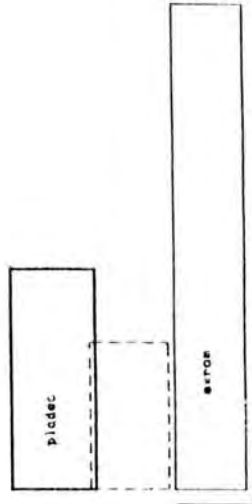


FIGURE X.7.6


```

>rec SELECTEE * dec
>ls 2 dec
>ls 2 dec
      * 77
      dx 1176
      dv 678
      * trans
      smet 12
      ppo: 31
      pe 32
      pety 574
      data 1675
      douv 06
      smet 861822
      seou 165573
      st 127405
      l1 8
      l2 28
      vis: 1
      lb 1
      na 16
      mh 188
      rh 28
      typ *
  
```

```

>ls 3 garter
  donner sa position
  
```

```

VOUS ETES DANS MOULOC
LE NOMBRE DE TRANSISTORS DU BLOC * ?
>Bloc * 2404888.82
>ls 2 2018.45
>ls 2 1236.80
NOMBRE DE BANDES * 12
NOMBRE DE TRANSISTOR * 1482
  
```

```

COMMANDE * -
>f
  
```

```

>rec SELECTEE * garter
>f
  donner sa position
  
```

garter

dec

int

fon

FIGURE X.7.7

SELECTEE = gerten
> 3 45
donner sa position

VOUS ETES DANS MODLOG
LE NOMBRE DE TRANSISTORS DU BLOC *?
> 2000
SBLOC = 3564000.00
Dx = 2475.00
Dy = 1440.00
NOMBRE DE BANDES = 14
NOMBRE DE TRANSISTOR = 2000

COMMANDE =
> mer
> sea
> gr SELECTEE = ugn
donner sa position

>

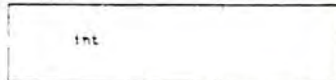
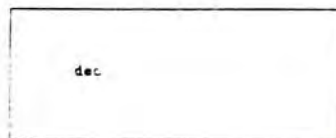
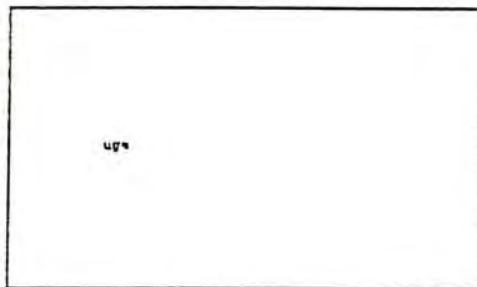


FIGURE X.7.8

201 38-1111 * ugr
 50100 * 3554000.00
 D1 * 243.00
 D1 * 1403.00
 NOMBRE DE BANDES * 14
 NOMBRE DE TRANSISTOR * 2000

COMMANDE *
 201 MAX:MALE *?
 50100 * 3554000.00
 D1 * 2627.78
 D1 * 1356.00
 NOMBRE DE BANDES * 13
 NOMBRE DE TRANSISTOR * 2000

COMMANDE *
 201 MAX:MALE *?
 51200 * 3554000.00
 D1 * 3175.47
 D1 * 1122.00
 NOMBRE DE BANDES * 11
 NOMBRE DE TRANSISTOR * 2000

COMMANDE *
 201 MAX:MALE *?
 51800 * 3554000.00
 D1 * 3692.30
 D1 * 816.00
 NOMBRE DE BANDES * 9
 NOMBRE DE TRANSISTOR * 2000

COMMANDE *
 201 MAX:MALE *?
 52500 * 3554000.00
 D1 * 3494.12
 D1 * 1020.00
 NOMBRE DE BANDES * 10
 NOMBRE DE TRANSISTOR * 2000

COMMANDE *

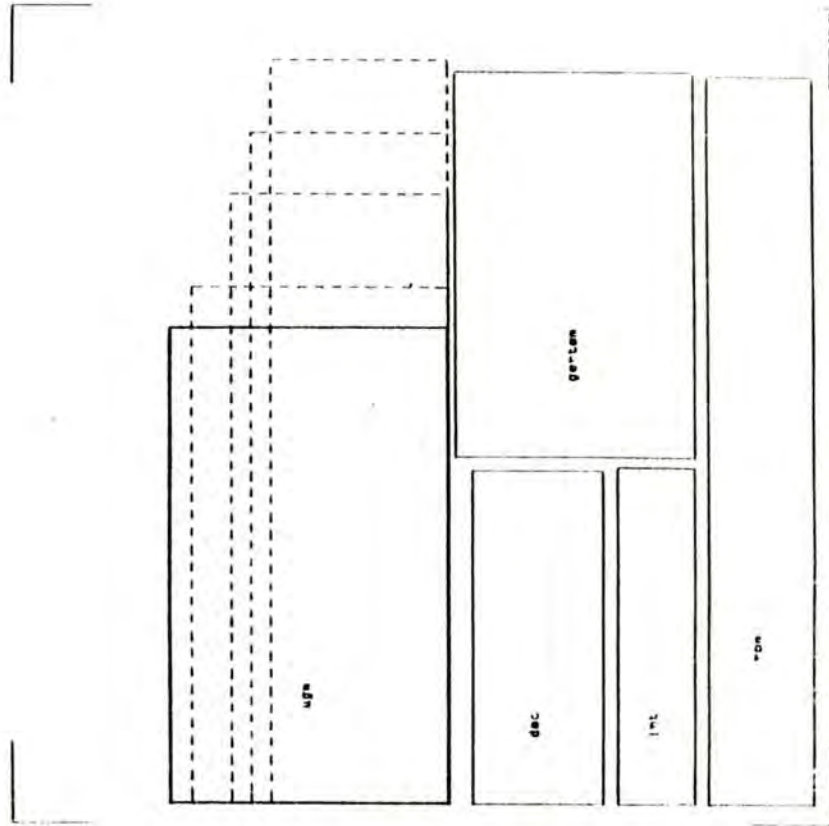


FIGURE X.7.9

REF: 327EE = circuit
1 circuit
2 fon
3 proces
4 dec
4 gertan
4 int
3 pope-

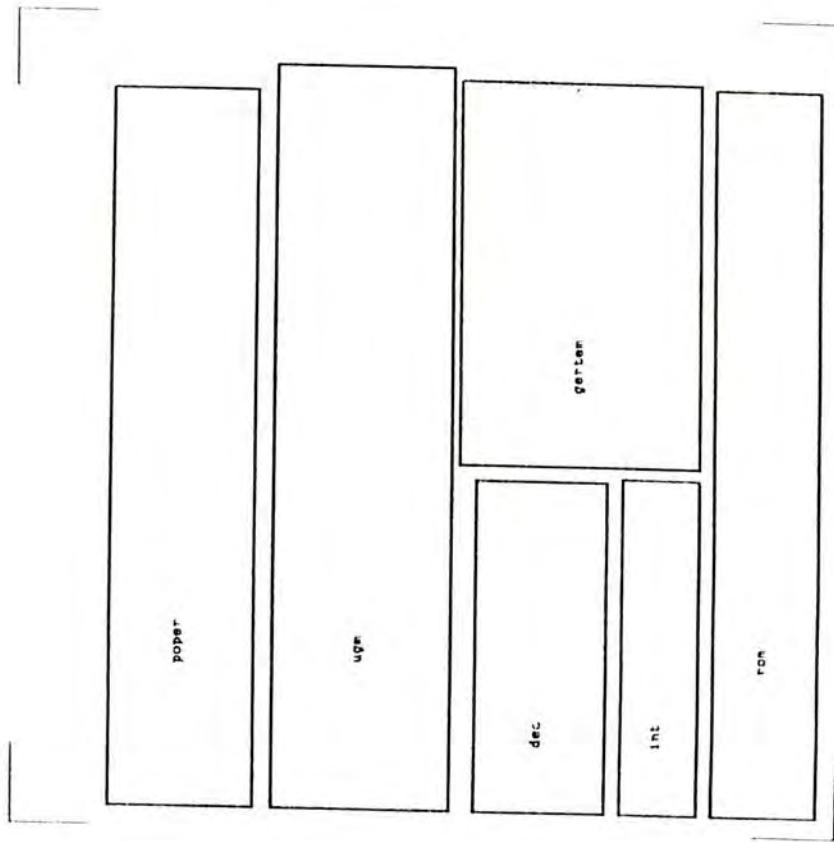


FIGURE X.7.10

X.8 - ANNEXE 8

ROUTINES D'EVALUATION DE SURFACE

Cette annexe présente les routines d'évaluation de surface des blocs fonctionnels suivants :

- ROM (mémoires mortes)
- PLA
- LOGIQUE ALEATOIRE

Les routines d'évaluation sont appelées par le programme FLOPE (Editeur Graphique pour la génération des plans de masse) et lui donnent les dimensions des blocs comme réponse.

Dans la prochaine version, les commandes existantes à l'intérieur des routines seront transportées à l'extérieur, dans l'environnement éditeur graphique. Le programme FLOPE fournira donc les paramètres nécessaires pour effectuer l'évaluation en prenant en compte les ordres dictés (commandes) par l'utilisateur.


```

program rwall (input, output) ;
IMPORT crerect (fortran) ; crerect ;
EXPORT pla ;
var cot : ' ' ;
procedure crerect (ax, yx, dx, dy : real ; cl : integer ; external ;
(
( DEMONSTRER RESULTATS
( BOULE D'EVALUATION DES PEMS
(
( PARAMETRES D'ENTREE : PEX= PAS DE PENETRATION
( PEX= PAS DE PLA
( PEX= PAS D'ENTREE
( PEX= PAS DE SORTIE
( PEX= PAS DE SURFACE
(
( RESULTATS SORTIE: BETX= DIMENSION X MATRICE ET
( BETY= DIMENSION Y MATRICE ET
( BOUX= DIMENSION X MATRICE OU
( BOUY= DIMENSION Y MATRICE OU
( SMET= SURFACE MATRICE ET
( SMOU= SURFACE MATRICE OU
( ST= SURFACE TOTALE PLA
(
( PEX= PAS D'ENTREE DU POINT PL
( PSE= PAS DE SORTIE DU POINT PL
( ty= variable auxiliaire
)
)

procedure pla (var xx, yx, dx, dy, pmet, poul, pex, ps, betx, bety, detx, dourx, smet, smou, st, tr, tr2, c2 : real ; var li, signal, res, nax,
nny, typ, ja : integer) ;
var trn1, trn2, st1, st2, surf : real ;

procedure ligne (n : integer) ;
begin if cl > 50 then cl := 0 else cl := cl + n end ;

( PROCEDURE WRES
( sortie des resultats
)
)
procedure wres ;
begin
writeln ;
writeln ('DIRECTION X DE LA MATRICE ET= ', betx : 10 : 2) ;
writeln ('DIRECTION Y DE LA MATRICE ET= ', bety : 10 : 2) ;
writeln ('DIRECTION X DE LA MATRICE OU= ', boux : 10 : 2) ;
writeln ('DIRECTION Y DE LA MATRICE OU= ', bouy : 10 : 2) ;
writeln ('SURFACE DE LA MATRICE ET= ', smet : 12 : 2) ;
writeln ('SURFACE DE LA MATRICE OU= ', smou : 12 : 2) ;
writeln ('DIRECTION X DU PLA =', dx : 10 : 2) ;
writeln ('DIRECTION Y DU PLA =', dy : 10 : 2) ;
writeln ('SURFACE TOTALE DU PLA =', st : 12 : 2) ;
writeln ;
ligne (1) ;
end ;

procedure dessin ;
begin
if ja=1
then CRERECT (xx, yx, dx, dy, pmet)
else CRERECT (xx, dx, dy, pmet) ;
end ;

procedure calc (ftr, ftr2 : real) ;
begin
betx := (ftr + nax) * round (ftr2 + nny) / iv (1) * ps ;
bety := (nny + 2) * ps ;

```

```

Joux := detx + 4 * ds ;
Jouy := (fir * nn + round (fir * nn) div 10) * ds ;
Jyt := Jety + Jouy ;
smet := Jety + Jyt ;
smou := Joux + Jouy ;
st := smet + smou ;
end ;

```

```

( PROGRAMME PRINCIPAL )
begin
  if SIGNAL <> 1 then begin
    ( entree des parametres )
    ligne (14) ;
    writeln ;
    writeln ('TYPE PLANT = PLA (classique) ou PLA optimisee?') ;
    read (tyd) ;
    writeln ('NOMBRE D'ENTREES = ?') ;
    read (ne) ;
    writeln ('NOMBRE DE SORTIES = ?') ;
    read (nn) ;
    writeln ('NOMBRE DE NIVEAUX = ?') ;
    read (nnn) ;
    writeln ('PAS D'ALU = ? point 1 = 0, ? point 2 = 1') ;
    writeln ('PAS DE POLY = ? point 1 = 0, ? point 2 = 1') ;
    writeln ('VLS = ? m = 4, ? m = 4, ? m = 4, ? m = 4, ? m = 4, ? m = 4, ? m = 4, ? m = 4') ;
    writeln ;
    ( CALCUL DU PE ET DE PO ET FONCTION DU PAS DE DATAL ET DU PAS DE POLY )
    pe := ppol + 3 * (1.5e - 02) * (joul + jouo) ;
    if smet > 4 then ds := smet + (1.1e - 02) * (1.016 + smet) ;
    else ds := smet ;
    calc (1, 1) ;
    if tyd = 1 then writeln ('PLA CLASSIQUE') ;
    ures ;
    ( Prise en compte des facteurs d'optimisation des PLAs )
    if tyd = 1 then begin
      ligne (5) ;
      writeln ('TAUX DE REMPLISSAGE = ?') ;
      read (tr) ;
      writeln ('TAUX DE DUPLICATION DE SORTIES = ?') ;
      read (td) ;
      trn1 := ln (tr) / 4.65 + 0.1001 ;
      trn2 := ln (tr) / 3.2 + 0.2522 ;
      calc (trn, 1) ;
      st1 := st ;
      calc (trn2, (1/10) * 1) ;
      st2 := st ;
      if st1 < st2 then calc (trn, 1) ;
      ures ;
    end ;
    messin ;
  end ;
  if tyd = 1 then
    BEGIN
      surf := st ;
      cur := 'a' ;
      while cop < 100 do begin
        ligne (4) ;
        writeln ;
        writeln ('COMMENCE') ;
        reslin ;
      end ;
    END ;

```

```

real (com) ;
if com in ['x', 'y', 'o', 'f'] then
  case com of
    'x' : begin
      calc (ln (tr) / 4.65 + 0.1001, 1) ;
      if round(surf)=round(st) then writeln ('pas de modification')
      else begin surf:=st; wres:=ressin; end;
      end ;
    'y' : begin
      calc (ln (tr) / 3.5 - 0.2523, td/100 + 1) ;
      if round(surf)=round(st) then writeln ('pas de modification')
      else begin surf:=st; wres:=ressin; end;
      end ;
    'o' : begin wges:= jessin; end;
    'f' : ;
  end
else writeln ('COMMANDE NON EXISTANT DANS CE MODULE') ;
end ;
END ;
end ;
BEGIN
END.

```

```

program eval2 (input, output) ;
$IMPORT
  'crrct (fortran)': crrct ;
  'area (fortran)': area ;

```

```

$EXPORT mod 3

```

```

(
(
PROGRAMME MARIAN
MODULE REEVALUATION DE LA VERTICE DE
(
PARAMETRES IDENTIFIES:
POLY= PAS DE POLY
POLY= PAS DE SILICIIUM POLY
NS= NOMBRE DE MOIS
N= NOMBRE DE BITS PAR MOT
RESULTATS :
NS=BASE INIT L'ORGANISATION
N=DIMENSION X DU BLOC MO
CY= DIMENSION Y DU BLOC MO
ST= SURFACE PAR BIT
ST= SURFACE TOTALE DU BLOC
)
)

```

```

var xx, dxx, dyy, k1, cv, cy, rc : real ;
  ns, ds, h1, l1, j1, i : integer ;
  lchar : char ;
  h2, d2, h3, h2, h3, h4, h5, h6, h7, h8, h9, h10 : real ;
  j2, j3, j4 : integer ;
  com : ' ' ;

```

```

procedure area (var lchar : char ; var xx, yx, dxx, dyy : real ; cl : integer) ; external ;
procedure crrct (xx, yx, dx, dy : real ; cl : integer) ; external ;

```

```

procedure rom (var xxx, yy, jxx, jyx, pmtr, upol, dx, ds, stx, st, y, rdy, dny, log2ns, log2ne, k2 : real ; var cl, sigal, n1, n2, n3,
  n4, n5 : integer) ;
  lab1 : 2, 3, 4 ;
  var i : integer ;

```

```

(
ds = pas d'entre d'un point recevoir
ds = pas de sortie d'un point recevoir
ns = nombre de lignes qui sortent du plan recevoir
ns = nombre de lignes qui entrent dans le plan recevoir
n = nombre de bits de la message
rly = dimension y du plan de rly
ds = dimension y du receveur
log2ns = logarithme base 2 de ns
log2ne = logarithme base 2 de ne
ca = contrainte direction x (valeur)
cy = contrainte direction y (valeur)
s = variable auxiliaire de st
n = variable auxiliaire de ns
k1 = coefficients
k2 = coefficients
nextlinejxst = variables auxiliaires
)

```

```

procedure line (n : integer) ;
begin if cl > 5 then cl := 7 else cl := cl + n ; end ;

```

```

procedure sauvegarde ;

```

```

  n1 := ns ; j1 := jx ;
  n2 := pmtr ; n3 := upol ; h1 := dx ; h2 := ds ; h3 := stx ; h4 := st ; h5 := st ; h6 := st ; h7 := st ; h8 := st ; h9 := st ; h10 := st ;
  j2 := n1 ; j3 := n2 ; j4 := n3 ;
end ;

```

```

procedure restore ;

```

```

begin
  dx := 11 ; dy := 12 ;
  pmet := h1 ; ppol := h2 ; pe := h3 ; ps := h4 ; stb := h5 ; st := h6 ; s := h7 ; k1 := h8 ; k2 := h9 ; n := h10 ; ns := h11 ;
  ns := j1 ; nb := j2 ; ne := j3 ; ns := j4 ;
end ;

procedure sres ;
begin
  writeln ('ORGANISATION: NS = ' & ns ; 3) ;
  writeln ('DIMENSION X: DX = ' & dx ; 10 ; 2) ;
  writeln ('DIMENSION Y: DY = ' & dy ; 10 ; 2) ;
  st := s * nb * ns ;
  writeln ('SURFACE PAR BIT: ' & s ; 3 ; 3) ;
  writeln ('SURFACE TOTALE: ' & st ; 12 ; 2) ;
  writeln ;
  ligne (a) ;
  if j5 = 1 then CRERECT (xxx, yx, yx, xx, cl)
  else CRERECT (xxx, yx, dx, dy, cl) ;
end ;

procedure calc ;
( PROCEDURE CALC: EVALUATION DE SURFACE MINIMALE )

( L'evaluation de surface est faite en utilisant les )
( equations d'evaluation )
begin
  if ns > 0 then begin
    x := nb / ns ;
    if x <> round (x) then x := round (x + 0.5) ;
    ne := round (x) ;
    if ne < 0 then ne := 1 ;
    log2ns := ln (ns) / ln (2) ;
    if log2ns <> round (log2ns) then log2ns := round (log2ns + 0.5) ;
    log2ne := ln (ne) / ln (2) ;
    if log2ne <> round (log2ne) then log2ne := round (log2ne + 0.5) ;
    k2 := 1.1 * nb * ns ;
    k1 := (k2 * (ne + 4 + 2.5 * log2ns) + 1.1 * ne + (2 * log2ne + 4)) / (ne * ns) ;
    stb := k1 * ps * pe ;
    ddy := 1.1 * ne * ps ;
    rdy := (ne + 4) * pe ;
  end ;
end ;

( PROGRAMME PRINCIPAL )
begin
  IF SIGNAL <> 1 THEN BEGIN
    ( Entree des parametres )
    ligne (4) ;
    writeln ;
    writeln ('VOUS ETES DANS MODROM') ;
    writeln ;
    writeln ('NOMBRE DE BITS ET NOMBRE DE BITS PAR MOT') ;
    read (max nb) ;
    writeln ('PAS DE METALE ' & pmet ; 6 ; 3 * PAS DE POLY ' & ppol ; 6 ; 3 * DI ' & pe ; 6 ; 3 * SURF ' & ps ; 6 ; 3) ;
  )
  ( CHOIX DE L'ORGANISATION QUI CONDUIT A UNE SURFACE MINIMALE )
  ( La recherche de l'organisation optimale est faite avec l'utilisation )
  ( de la procedure CALC )

```

```

3 :   pe := poot * (1.50 + 1.00 * ppal) ;
      if poot > 0 then ps := poot * (0.10 + 0.1141 * poot)
      else ps := 0 ;
4 :   u := ne + no ;
      rc := sort (u) / no ;
      rb := round (rc) ;
      l := 1 ;
      while rb > 0 do begin
        l := l + 1 ;
        j := 1 ;
        for i := 1 to (do j := j + 2 ;
        end ;
        ns := j ;
        calc ;
        n := ns ;
        s := stl ;
        ns := ns + 2 ;
        calc ;
        if stl < s then l := 1 else l := j ;
        case l of
1 :     0 : begin
          ns := n div 2 ;
          calc ;
          if stl < s then begin
            s := stl ;
            n := ns ;
            goto 1 ;
          end ;
        end ;
2 :     1 : begin
          n := ns ;
          s := stl ;
          ns := ns + 2 ;
          calc ;
          if stl < s then goto 0 ;
        end ;
      end ;
      ns := n ;
      calc ;
      ja := k2 * ps + pe * (2 + ln2ne + 4) ;
      if ray >= jdy then ny := (ne + 4 + 2.5 * ln2ns) * pe
      else jy := (ne + ne div 10) * ps + 2.5 * ln2ns * pe ;
      writeln ('SOLUTION OPTIMALE') ;
      writeln ;
      END else 3 := ns ;
sres ;

com := 'a' ;
while com <> 'q' do
  begin
    ligne (3) ;
    writeln ;
    writeln ('CONTINUE =') ;
    readln ;
    read (com) ;
    if com in ['n', 'v'] then begin

```



```

area (ichars xx yx cx cyx cl) ;
if j3 = 1 then begin
  if com = 'h'
  then begin case := 'v' ; cy := cx end
  else begin case := 'h' ; cx := cy end ;
  end ;
end ;
if com in ['j'..'z'] then
case com of
'j' : begin
  restaure ;
  sres ;
  end ;
's' : begin ligne (4) ; sauvegarde ;
  writeln ('DIMENSION X DU POINT ROM =?') ;
  read (ps) ;
  writeln ('DIMENSION Y DU POINT ROM =?') ;
  read (pe) ;
  goto 4 ;
  end ;
'u' : begin ligne (2) ; sauvegarde ;
  writeln ('NOMBRE DE TITS PAR MOT =?') ;
  read (no) ;
  goto 4 ;
  end ;
'a' : begin ligne (3) ; sauvegarde ;
  writeln ('PAS METAL =?') ;
  read (paut) ;
  goto 3 ;
  end ;
'o' : sres ;
'p' : begin ligne (2) ; sauvegarde ;
  writeln ('PAS DE POLY =?') ;
  read (ppol) ;
  goto 3 ;
  end ;
'w' : begin ligne (2) ; sauvegarde ;
  writeln ('NOMBRE DE MOTS =?') ;
  read (nm) ;
  goto 4 ;
  end ;
'f' : ;
'h', 'x' : if ns <= 1 then begin
  ligne (1) ;
  writeln ('IMPOSSIBLE REDUIRE DX, DX A DEJA LE VALEUR MINIMUM') ;
  end
  else begin
  sauvegarde ;
  if com = 'x' then begin
    ligne (2) ;
    writeln ('DX MAXIMALE =?') ;
    read (cx) ;
    end ;
  ns := n ;
  while (dx > cx) and (ns > 1) do begin
    ns := ns div 2 ;
    calc ;
    dx := k2 * ps + pe * (2 * log2ne + 4) ;
    end ;
  if r1y >= r2y then r2y := (no + 4 + 42 * log2ns) * ns

```

```

    else jy := (ne + ne div 10) * ps + 2.5 * log2ns + pe ;
    n := ns ;
    s := stl ;
    sres ;
end ;

'v', 'y' ; begin
sauvegarde ;
if cos = 'y' then begin
  ligne (2) ;
  writeln ('BY MAXIMALE= ?') ;
  read (cy) ;
end ;
ns := n ;
while jy > cy do begin
  ns := ns + 2 ;
  calc ;
  if ray >= juy then dy := (ne + 4 + 0.5 * log2ns) * we
  else dy := (ne + ne div 10) * ps + 2.5 * log2ns + pe ;
end ;
dx := x2 * ps + we * (2 * log2ne + 4) ;
n := ns ;
s := sth ;
sres ;
end ;
'a', 'c', 'e', 'g', 'u', 'i', 'j', 'k', 'l', 'n', 'o', 'r', 's', 't', 'z' ;
begin ligne (1) ;
  writeln ('COMMANDE NON EXISTANT DANS CE MODULE') ;
end ;
end ;
end ;
writeln ('TCHAU !') ;
end ;
BEGIN
END.

```

```

program eval3(input,output)
IMPORT
  'crerect (fortran)': crerect ;
  'area' (fortran)': area ;
EXPORT log ;

var ntx,ichar : integer ;
    dx,dy : real ;
    j1,j2,n1,h2,h3,h4,h5 : real ;
    j1,j2,j3 : integer ;
    com : ' ','!' ;

procedure area (var ichar : integer ; var x,y,dx,dy : real ; cl : integer) ; external ;
procedure crerect (x,y,dx,dy : real ; cl : integer) ; external ;
procedure log (var x,y,dx,dy,pmet,ppol,kop,shloc,lb : real ; var (lx,signal,n1,n2,n3,j) : integer) ;

```

```

( PROGRAMME LOGMOD1 VERSION 01 )
( MODULE D'EVALUATION DE LOGICIELS ALGEBRIQUES )
( Parametres d'entree : PMT = Pas-miel )
( MPOL = Pas-Silicium-Polycrystallin )
( NI = Nombre de Transistors )
( NL = Nombre de Lignes par Page )
( Results : DX = Dimension X )
( DY = Dimension Y )

```

```

procedure ligne (n : integer) ;
begin if cl > 55 then cl := 0 else cl := cl + n end ;
end ;

procedure sauvegarde ;
begin
  j1 := dx ; j2 := dy ; h1 := pmet ; h2 := ppol ; h3 := kop ; h4 := shloc ; h5 := lb ;
  j1 := n1 ; j2 := n2 ; j3 := n3 ;
end ;

procedure restaure ;
begin
  dx := j1 ; dy := j2 ; pmet := h1 ; ppol := h2 ; kop := h3 ; shloc := h4 ; lb := h5 ;
  n1 := j1 ; n2 := j2 ; n3 := j3 ;
end ;

procedure eva ;
begin
  shloc := nt * 13.5 * kop * ppol * pmot ;
  dy := sqrt (shloc) * 4 / 5 ;
  lb := (n1 + 1.5) * pmot ;
  nb := trunc (dy / lb) ;
  if nb < 1 then nb := 1 ;
  dy := nb * lb * pmot ;
  dx := shloc / dy ;
end ;

procedure wte ;
begin
  writeln (' SHLOC = ', shloc : 10 : 2) ;
  writeln (' DX = ', dx : 10 : 2) ;
  writeln (' DY = ', dy : 10 : 2) ;
  writeln (' NOMBRE DE PAGES = ', nb : 5) ;
  writeln (' NOMBRE DE TRANSISTOR = ', nt : 7) ;
end ;

```

```

ligne (5) ;
if JD = 1 then CRECT (ax ya dy dx cl) ;
else CRECT (ax ya dx dy cl) ;
end ;

begin
IF SIGNAL <> 1 THEN BEGIN
  ligne (5) ;
  writeln ;
  nl := 7 ;
  kdp := 1 ;
  writeln (' VOUS ETES DANS MODELOU *) ;
  ligne (2) ;
  writeln ('LE LOUVE DE TRANSDIGNE DU ALUC ***') ;
  read (nl) ;
  rva ;
END ;
wte ;

com := 'a' ;
while com <> '*' do
begin
  ligne (4) ;
  writeln ;
  writeln ;
  writeln ('COMMAND = ') ;
  readln ;
  read (com) ;
  if com in ['h', 'v'] then begin
    area (ichar ax ya dx dy cl) ;
    if JD = 1 then begin
      if com = 'h'
      then begin com := 'v' ; dy := dx end
      else begin com := 'a' ; dx := dy end ;
    end ;
  end ;
  if com in ['u', 'l', 'r'] then
  case com of
    'u' : begin restaure ; wte ; end ;
    'l' : ;
    'r' : begin
      sauvegarde ;
      if com = 'r' then begin
        ligne (2) ;
        writeln ('DX MAXIMALE ***') ;
        read (dx) ;
      end ;
      dy := soluc / dx ;
      nl := trunc (dy / LC) ;
      if dy / lb > trunc (dy / lb) then nl := nl + 1 ;
      if nl < 1 then nl := 1 ;
      dy := nl * lb ;
      dx := soluc / dy ;
      wte ;
    end ;
  end ;
  'v', 'y' : begin
    sauvegarde ;
    if com = 'y' then begin
      ligne (3) ;

```

```

        write('DY MAXIMALE =?') ;
        read(dy) ;
    end ;
    nb := trunc (dy / 10) ;
    if nb < 1 then nb := 1 ;
    ly := nb * 10 ;
    lx := sbloc / ly ;
    wte ;
end ;

'k' : begin ligne (2) ; sauvegarde ;
      writeln ('COEFFICIENT D'OPTIMISATION = ?') ;
      read (kopt) ;
      eva ;
      wte ;
end ;

'l' : begin ligne (2) ; sauvegarde ;
      writeln ('NOMBRE DE LIGNES PAR JARNE = ?') ;
      read (nl) ;
      eva ; wte ;
end ;

'm' : begin ligne (2) ; sauvegarde ;
      writeln ('NOUVEAU PAS DE RETAL = ?') ;
      read (paet) ;
      eva ;
      wte ;
end ;

'o' : begin ligne (2) ; sauvegarde ;
      writeln ('NOUVEAU PAS PULY = ?') ;
      read (ppol) ;
      eva ;
      wte ;
end ;

'p' : wte ;

'q' : 'r' 's' 't' 'u' 'v' 'w' 'x' 'y' 'z' '0' '1' '2' '3' '4' '5' '6' '7' '8' '9' ;
begin
  ligne (1) ;
  writeln ('COMMANDE NON EXISTANT DANS CE MODULE') ;
end ;
end ;
end ;
BEGIN
END.

```

XI - REFERENCES

- [ANC 80] F.ANCEAU
Architecture and design of Von Neumann microprocessors
NATO Advanced Summer Institute, juillet 1980.
- [ANC 81] F.ANCEAU, R.REIS
Complex integrated circuits design strategy
Rapport de recherche IMAG, n.277, novembre 1981.
- [ANC 82A] F.ANCEAU
LSI-processor architecture and design
MICROELECTRONICS'82, 12/14 mai 1982,
Adelaide, South Australia
- [ANC 82B] F.ANCEAU, R.REIS
Complex integrated circuit design strategy
IEEE Journal of solid state circuits, vol.SC.17,
n.3, pp. 459/464, June 1982.
- [ANC 83] F.ANCEAU, R.REIS
Design strategy for VLSI
à paraître dans le livre VLSI ARCHITECTURE
Prentice/Hall
- [AUE 81] R.AUERBACH, B.LIN, E.ELSAIED
Layout aid for the design of VLSI circuits
Computer aided design magazine, vol.13, n.5,
septembre 1981, pp. 271/276.
- [BAR 81] D.F.BARBE
VHSIC systems and technology
IEEE Computer, février 1981

- [BER 79] C.BERNARD, Y.ALEXANDRE, B.LAPLACE
Introduction au CP 1600
Rapport d'ingénieur ENSIMAG, juin 1979.
- [BER 80] C.BERNARD
Etude de la structure interne du MC2 de Hewlett Packard
Rapport interne IMAG, mars 1980.
- [BIA 81] R.BIANCHI
Implantation de la logique aléatoire d'un circuit intégré
Rapport de D.E.A. Microelectronique ,ENSIMAG, juin 1981
- [BLA 82] D.BLAHUT, R.KRAMBECK, H.LAW, H.SHICHMAN, H.SO
**Hierarchical design methodology for a single chip
32 bit microprocessor**
ICCC 82, IEEE International conference on circuits and
computers, pp. 16/20, New-York, 29 septembre/1er octobre
1982.
- [BON 81] M.J. BONNET
Calcul des temps de propagation dans les PLAs
Rapport de DEA, ENSERG, septembre 1981.
- [BOS 80] A.BOSSEBOEUF
Analyse du fonctionnement interne du MC 68000
Rapport de DEA, ENSIMAG, juin 1980.
- [CHU 82A] S.CHUQUILLANQUI, T.PEREZ SEGOVIA
PAOLA: a tool for topological optimization of large PLAs
19th Design Automation conference, Las Vegas,USA
14/16 juin 1982.

- [CHU 82B] S.CHUQUILLANQUI, T.PEREZ SEGOVIA
PAOLA: un système CAO pour l'optimisation topologique et le dessin automatique des masques de PLA complexe
APCET, Lille, 17/19 novembre 1982.
- [COU 81] B.COURTOIS
Test et LSI
Thèse d'Etat, INPG, 12 juin 1981.
- [DER 81] H.DERANTONIAN
Etude de la structure interne et du fonctionnement du microprocesseur INS 807X de National Semiconductor
Rapport de DEA, ENSIMAG, septembre 1981.
- [FAG 79] F.FAGGIN
Trends in microcomputers
EUROMICRO Journal, n.5, 1979.
- [FIL 81] M.FILLON
Méthode d'implantation de la logique aléatoire
Rapport de D.E.A. Microelectronique, ENSIMAG, juin 1981
- [GUI 81] M.GUITTET
Microprogrammation du microprocesseur MC 68000
Rapport d'ingénieur ENSIMAG, juin 1978.
- [GUY 79] A.GUYOT
Etude comparative des microprocesseurs Z80 et INTEL 8085
Rapport Interne IMAG, septembre 1979.
- [GUY 81] A.GUYOT
Notice du projet CMP
Equipe de recherche ARCHITECTURE DES ORDINATEURS de l'IMAG
1981.

- [GUY 82] A.GUYOT, R.REIS, I.SUPRIANA
FLOPE: éditeur graphique pour la génération de plans de masse
Rapport de recherche IMAG n.333,
à paraître.
- [HAC 82] G.HACHTEL, A.NEWTON, A.SANGIOVANNI-VINCENTELLI
An algorithm for optimal PLA folding
IEEE Trans. on Computer aided design of integrated circuits and systems, vol. CAD-1, n.2, avril 1982.
- [HAY 80] J.HAYES
MOS scaling
IEEE Computer, janvier 1980.
- [HAY 81] J.HAYN, K.McDONOUGH
Strip architecture fits microcomputer into less silicon
ELECTRONICS, 27 janvier 1981.
- [HEL 78] W.HELLER, W.MIKHAIL, W.DONATH
Prediction of wiring space requirements for LSI
Journal of Design automation and fault tolerant computing
pp. 117/144, Computer science press, 1978.
- [HEL 82] W.HELLER, G.SORKIN, K.MALING
The planar package planner for system designers
ACM IEEE 19th Design automation conference,
Las Vegas, 14/16 juin 1982.
- [JER 80] A.JERRAYA, M.KHESSAIRI
LUCIE - Manuel d'utilisation
ENSIMAG, 1980.

- [LAT 79] B.LATTIN
**VLSI design methodology, the problem of the 80's for
microprogram design**
16th Design automation conference, 1979.
- [LAT 81] W.W.LATTIN, J.A.BAYLISS, D.L.BUDDE
A methodology for VLSI chip design
LAMBDA, Second quarter 1981.
- [MEA 80] C.HEAD, L.CONWAY
Introduction to VLSI systems
Addison Wesley 1980.
- [MAL 79] V.S.R. MALLADI
**Etude de la structure interne et du fonctionnement
du microprocesseur INTEL 8085**
Rapport de DEA, ENSIMAG, juin 1979.
- [MAL 82] K.MALING, S.MUELLER, W.HELLER
On finding most optimal rectangular package plans
ACM IEEE 19th Design automation conference,
Las Vegas, 14/16 juin 1982.
- [MAN 80] H. DE MAN
Computer aided design techniques for VLSI
NATO Advanced summer Institute,
Louvain-la-Neuve, Belgique, 8/18 juillet 1980.
- [MAN 81] H.DE MAN, W.SANSEN, J.CORNELISSEN, J.HURT, W.HEYNIS
**An integrated CAD system supporting hierarchical
design of NMOS VLSI circuits**
ESSCIRC 81, Freiburg, pp. 94/97, 22/24 septembre 1981.

- [MAR 80] J.M. MARQUES
MOSAIC: une méthodologie de conception pour les circuits système VLSI
Thèse de docteur-ingénieur, INPG, septembre 1980.
- [MAR 82] S.MARINE
Etude de l'implantation de la logique anarchique d'un circuit intégré et outils de CAO appropriés
Rapport DEA, ENSIMAG, juin 1982.
- [MEY 82] D.MEYET
Evaluation topologique pour VLSI
Rapport d'ingénieur, ENSERG, juin 1982.
- [MOR 80] S.MORSE, B.RAVENEL, S.MAZOR, W.POHLMAN
INTEL microprocessors - 8008 TO 8086
IEEE Computer, octobre 1980.
- [NEM 79] M.NEMMOUR
Etude du fonctionnement des microprocesseurs 6800
Rapport final de contrat EDF/ENSIMAG, n.511 78 10
mai 1979.
- [NEM 81] M.NEMMOUR
Formalisme DELTA: un outil de description logique pour la synthèse automatique dans la conception des machines séquentielles synchrones
Thèse de 3ème cycle, INPG, décembre 1981.
- [OBR 82A] M.OBREBSKA
Etude comparative de différentes méthodes de conception des parties contrôle des microprocesseurs
Thèse de docteur ingénieur, INPG, 25 juin 1982.

- [OBR 82B] M.OBREBSKA
Efficiency and performance comparison of different design methodologies for control parts of microprocessors
EUROMICRO Journal, special issue on microelectronics technology, octobre 1982.
- [OHN 82] Y.OHNO, N.YAMADA, K.SATO, Y.SAKATAYA, H.ENDO,
H.HORIKOSHI, Y.OKA
Integrated design automation system for custom and gate array VLSI design
ICCC82 - IEEE International conference on circuits and computers, 28 septembre/ 1er. octobre 1982.
New York, USA.
- [OUS 82] J.OUSTERHOUT, D.UNGAR
Measurements of a VLSI design
ACM IEEE 19th Design automation conference
Las Vegas, 14/16 juin 1982.
- [PAT 80] D.PATTERSON, C.SEQUIN
Design considerations for single-chip computers of the future
IEEE Trans. on computers, vol C.29, n.2, pp. 108/115
février 1980.
- [PAT 82] D.PATTERSON, C.SEQUIN
A VLSI risc
IEEE Computer, pp.8/21, septembre 1982.
- [PER 80] T.PEREZ SEGOVIA
Optimisation en surface des PLAs
Rapport de DEA, ENSIMAG, juin 1980.

- [PRE 80] B.PREAS, E.SLUTZ, W.VANGLEEMPUT
An hierarchical approach to VLSI layout
COMPCON 80 - IEEE Computer Society Conference
25-28 février 1980
San Francisco, USA.
- [QUE 79] D.QUEYSSAC
Projecting VLSI's impact on microprocessors
IEEE spectrum, mai 1979.
- [REI 80] R.REIS
**Etude de l'architecture interne du microprocesseur
Z 8000: partie contrôle**
Rapport de DEA microélectronique, ENSERG/ENSIMAG,
septembre 1980.
- [REI 81] R.REIS
**Evaluateur topologique pour circuits VLSI: module
d'évaluation de ROM**
Rapport de recherche IMAG, n.252, juin 1981.
- [REI 82A] R.REIS
**A topological evaluator as the first step in
VLSI design**
MICROELECTRONICS'82, Adelaide, South Australia,
12/14 mai 1982.
- [REI 82B] R.REIS
TESS: a topological evaluator tool
ICCC 82, IEEE Int. conf. on circuits and computers,
New York, 28 septembre/1 octobre 1982.
- [SUM 80] L.W. SUMNEY
VLSI with a vengeance
IEEE spectrum, avril 1980.

- [SUZ 81] A.SUZIM
**Etude des parties opératives à éléments modulaires pour
processeurs monolithiques**
Thèse de docteur ingénieur, INPG, novembre 1981.
- [SUP 82] I.SUPRIANA
Editeur graphique du plan de masse de circuits intégrés
Rapport d'ingénieur , ENSIMAG, juin 1982.
- [VAN 80] W. VanCLEEMPUT
**A structural design automation environment for
digital systems**
CAD and VLSI course, Linkoping, Suède
5/11 juillet 1980.

A U T O R I S A T I O N D E S O U T E N A N C E

VU les dispositions de l'article 3 de l'arrêté du 16 avril 1974,

VU les rapports de présentation de Messieurs

- . ANCEAU, Professeur
- . LARDY, Ingénieur
- . LAZZARI, Ingénieur

Monsieur DA LUZ REIS Ricardo Augusto

est autorisé à présenter une thèse en soutenance pour l'obtention du diplôme de
DOCTEUR-INGENIEUR, spécialité "Informatique".

Fait à Grenoble, le 21 décembre 1982

Le Président de l'I.N.P.-G.

D. BLOCH
Président
de l'Institut National Polytechnique
de Grenoble

P.O. la Vice-Président,

RESUME

La prédiction de l'organisation topologique du plan de masse d'un circuit VLSI complexe est très importante pour sa conception. Cette thèse présente une étude sur les propriétés statistiques des dessins des masques des principaux blocs constituant un circuit intégré. Un outil prototype d'évaluation topologique est également présenté. Cet outil donne une évaluation de la forme et de la taille de ces blocs, à partir de leurs spécifications fonctionnelles. Il est composé par un ensemble de sous-programmes d'évaluation spécialisés pour les différents types de blocs fonctionnels qui peuvent constituer un circuit VLSI.

MOTS-CLES:

CAO, VLSI, METHODOLOGIE DESCENDANTE,
PLAN DE MASSE, EVALUATION PREDICTIVE,
TOPOLOGIE, OPTIMISATION.