

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
ESCOLA DE ENGENHARIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

THALES STEDILE RIBEIRO

**Projeto e Desenvolvimento de Circuito  
Comparador Tolerante a Radiação para  
Conversor AD do Tipo SAR**

Porto Alegre

2018

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
ESCOLA DE ENGENHARIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

THALES STEDILE RIBEIRO

**Projeto e Desenvolvimento de Circuito Comparador  
Tolerante a Radiação para Conversor AD do Tipo SAR**

Projeto de Diplomação apresentado ao Departamento de Engenharia Elétrica da Escola de Engenharia da Universidade Federal do Rio Grande do Sul, como requisito parcial para Graduação em Engenharia Elétrica

Orientador: Prof. Dr. Tiago Roberto Balen

Porto Alegre

2018

THALES STEDILE RIBEIRO

## **Projeto e Desenvolvimento de Circuito Comparador Tolerante a Radiação para Conversor AD do Tipo SAR**

Projeto de Diplomação apresentado ao Departamento de Engenharia Elétrica da Escola de Engenharia da Universidade Federal do Rio Grande do Sul, como requisito parcial para Graduação em Engenharia Elétrica

---

**Prof. Dr. Tiago Roberto Balen**  
Orientador - UFRGS

---

**Prof. Dr. Ály Ferreira Flores Filho**  
Chefe do Departamento de Engenharia  
Elétrica (DELET) - UFRGS

Aprovado em 02 de Julho de 2018.

---

**Prof. Dr. Tiago Roberto Balen**  
UFRGS

---

**Prof. Dr. Gilson Inácio Wirth**  
UFRGS

---

**Prof. Dr. Hamilton Duarte Klimach**  
UFRGS

Dedico este trabalho à memória do vô e da  
vó, Homero e Maria Ema, e ao nono e a nona,  
Leonardo e Luiza. Eles foram a base de tudo  
e seu apoio foi e será sempre fundamental.

# Agradecimentos

Agradeço primeiramente à minha família, que sempre apoiou minhas escolhas e incentivou meu crescimento pessoal e profissional, compreendendo que por vezes isso pôde resultar na minha ausência física. Tudo que eu já alcancei e virei a alcançar eu devo diretamente a este apoio, carinho e compreensão.

Agradeço ao meu orientador, Prof. Tiago Roberto Balen, que esteve sempre acessível para esclarecer minhas dúvidas e discutir detalhes do projeto com empolgação e honestidade. Agradeço pela confiança depositada em mim e por dispor-se a seguir trabalhando comigo em projetos futuros.

Agradeço ao pessoal do NSCAD e do PGMICRO, especialmente ao pessoal do Lab110 que prestou socorro aos meus problemas com o servidor e as ferramentas EDA, me emprestando a experiência que vem desenvolvendo em todos estes anos de pesquisa. Agradeço também ao pessoal do LaPSI que me acolheu no laboratório enquanto eu desenvolvia meu trabalho, sendo todos sempre muito prestativos.

Agradeço também aos meus amigos que compartilharam todas as etapas dessa conquista, de longe ou de perto; compreendendo os meus momentos de ausência ou brigando junto nos momentos decisivos; em reencontros infelizmente não tão frequentes ou em cafés do dia-a-dia. Entre estas pessoas certamente está a minha namorada Luiza, que compartilhou comigo parte importante desta trajetória, com apoio e compreensão de quem teve de passar junto pelos mesmos desafios. Nosso carinho e confiança nos fazem ir bem mais longe.

# Resumo

Dentre os Conversores Analógico-Digital (ADC), uma das topologias mais populares é o SAR ADC (*Successive Approximation Register ADC*), cuja velocidade, resolução e dissipação de potência atendem a uma ampla gama de aplicações. Estas aplicações podem englobar operação em ambientes adversos com presença de radiação ionizante, como estações espaciais, usinas nucleares, aceleradores de partículas e até aviões. Um dos componentes cuja resolução e funcionamento do conversor é fortemente dependente é o comparador. Este trabalho analisa a resposta de uma topologia de comparador diferencial vastamente utilizada a tanto efeitos transientes quanto efeitos cumulativos da exposição à radiação sem qualquer tentativa de mitigar estes efeitos. Outra versão do mesmo comparador com transistores modificados é desenvolvida para aprimorar a robustez do comparador através de um processo bem documentado, o que pode ser útil em projetos futuros. A robustez de ambos os circuitos é avaliada por simulação em Spectre/SPICE de efeitos transientes com injeção de falhas em nós críticos e com variação DC de tensão de limiar e correntes de fuga baseadas em medidas da literatura para o mesmo processo de fabricação sob radiação. Os resultados mostram que o projeto com transistores padrão é relativamente robusto a toma algumas considerações sobre os prós e contras da utilização de transistores modificados neste circuito, especialmente no que tange a efeitos de descasamento.

**Palavras-chave:** Conversor SAR ADC; Radiação em circuitos integrados; *Enclosed Layout Transistor*; Comparador Diferencial

# Abstract

Among the Analog to Digital Converters (ADC), one of the most popular topologies is the Successive Approximation Register ADC, which speed, resolution and power consumption suits a wide range of applications. These applications may include operation in harsh environments with presence of ionizing radiation, such as space stations, nuclear plants, particle accelerators and even airplanes. One of the components from which the resolution and functionality of the converter is strongly dependent is the comparator. This work analyses the response of a widely used differential comparator topology to both transient and cumulative radiation effects without any trial to mitigate those radiation-induced effects. Another version of the same comparator with modified transistors is developed to improve the robustness of the comparator with a well documented process which may be useful for future projects. The robustness of both circuits are evaluated by the simulation in Spectre/SPICE of the transient effects with fault injection on critical nodes and DC variation of threshold voltage and leakage current based on measures from the literature for the same fabrication technology under radiation. The results show that the project with standard transistors is quite robust and take some considerations about pros and cons of the use of modified transistors in this circuit, especially when concerning to mismatch effects.

**Keywords:** SAR AD Converter; Radiation on integrated circuits, Enclosed Layout Transistor; Differential Comparator

# Lista de Figuras

Figura 1 – Interfaces entre “Mundo Analógico” e “Mundo Digital” . . . . .	19
Figura 2 – Divisão dos segmentos de mercado de ADCs em função da taxa de amostragem e da resolução em número de bits. Pontilhado representa a tendência de desempenho do Estado da Arte. . . . .	20
Figura 3 – Diagrama de blocos básico do conversor SAR ADC. . . . .	21
Figura 4 – Representação da busca binária realizada para a conversão de uma entrada analógica $V_{in}$ em uma representação digital. À esquerda, a busca binária aproxima a representação digital (traçado escuro) da tensão analógica de entrada em função de $V_{REF}$ , fundo de escala do comparador. À direita, a árvore de decisões do algoritmo. . . . .	22
Figura 5 – Circuito conversor AD SAR por Redistribuição de Cargas de 8bits, composto por 9 capacitores ( $N + 1$ ) em paralelo capazes de formar divisores de tensão capacitivos no nó de entrada de um circuito comparador de acordo com o chaveamento de seus terminais, controlado para realização do algoritmo de comparação SAR. . . . .	22
Figura 6 – Dependência do fluxo de elétrons pela altitude em quilômetros. A faixa entre $10km$ e $14km$ caracteriza o espaço destinado a atividade aérea comercial e militar. . . . .	24
Figura 7 – Etapas de absorção de cargas da ionização causada por interação de partícula com silício: (a) Silício é atingido por partícula altamente energética que ioniza material gerando pares elétron lacuna; (b) Denso aglomerado de cargas é separado e absorvido por conta dos campos que polarizam o dispositivo; (c) Cargas remanescentes continuam a ser absorvidas e neutralizadas. . . . .	26
Figura 8 – Comportamento temporal da corrente gerada da absorção de carga nas etapas ilustradas na Figura 7. . . . .	27
Figura 9 – Fração de lacunas que escapam da recombinação inicial em função do campo elétrico aplicado no semiconductor e das partículas incidentes, sendo elas Co-60 a fonte e radiação menos energética e partículas $\alpha$ as mais energéticas. . . . .	28
Figura 10 – Relação entre o desvio do $V_{Th}$ normalizado para doses de $1Mrad$ e a espessura do nó tecnológico. Linha contínua é a linha de tendência que indica a sensibilidade do transistor a TID como proporcional ao quadrado da espessura do óxido do mesmo. . . . .	28



Figura 11 – Vista superior de transistor NMOS circundado por óxido STI (esq.) e seção transversal do mesmo transistor ilustrando o impacto das cargas positivas aprisionadas no óxido STI, que podem vir a inverter o canal P e gerar correntes de fuga do dreno para a fonte(dir.). . . . .	29
Figura 12 – Esquema geométrico do <i>layout</i> de transistor ELT. . . . .	31
Figura 13 – Relação entre largura da porta ( $L$ representado na Figura 12) e razão de aspecto de transistor ELT em processo de quarto de micron. . . . .	31
Figura 14 – Topologia de comparador diferencial e dinâmico estudado neste projeto. . . . .	33
Figura 15 – Etapas da comparação dispostas em gráfico temporal. . . . .	34
Figura 16 – Rendimento na fabricação de conversores AD de 7 a 10 bits (Fundo de escala $V_{FS} = 2V$ ) em função de $\sigma\Delta V_{Th}$ . . . . .	36
Figura 17 – Disposição dos fragmentos de transistores a serem colocados em paralelo na configuração de centróide-comum, para quatro fragmentos (esq.) e para oito fragmentos (dir.). . . . .	37
Figura 18 – Aumento do número de canais para correntes de fuga causadas por efeitos TID com a utilização de transistores com <i>fingers</i> ou multiplicidade. . . . .	37
Figura 19 – Comportamento do descasamento de (a) transistores STD e (b) transistores ELT para dreno externo (ELT_do) e dreno interno (ELT_di) em função das dimensões da porta. A razão de aspecto aparece próxima os pontos no gráfico de transistores STD e o comprimento do canal no de ELTs, considerando $W$ fixo. . . . .	39
Figura 20 – Esquemas de simulação de (a) variação de $V_{Th}$ e de (b) variação de corrente de fuga provenientes dos efeitos TID. . . . .	40
Figura 21 – Descrição da dupla exponencial utilizada como pulso de corrente para injeção de SEEs. . . . .	40
Figura 22 – Esquema de simulação de absorção de cargas injetadas em SEEs por transistor (a) NMOS e (b) PMOS com a utilização de fonte de corrente de dupla exponencial. . . . .	41
Figura 23 – Processo de montagem do <i>setup</i> de simulações. . . . .	42
Figura 24 – Razão de aspecto extraída para os transistores $M2$ e $M3$ em função da variável de projeto $d$ para cada modelo citado na Seção 3.4. . . . .	44
Figura 25 – Razão de aspecto extraída para os transistores $M6$ e $M7$ em função da variável de projeto $d$ para cada modelo citado na Seção 3.4. . . . .	45
Figura 26 – Visualização a nível de esquemático da <i>test-bench</i> utilizada nas simulações. . . . .	47
Figura 27 – Sobreposição de saídas diferenciais $V_{out}(TID)$ com destaque à mudança de limiar de comparação do circuito para determinadas doses TID que ocorrem no circuito STD. . . . .	51
Figura 28 – Sobreposição de saídas $V_{out+}(TID)$ e $V_{out-}(TID)$ do comparador STD no momento de comparação para tensão diferencial de entrada $V_{in} = 5mV$ . . . . .	52

Figura 29 – Sobreposição de saídas $V_{out+}(TID)$ e $V_{out-}(TID)$ do comparador STD no momento de <i>reset</i> para tensão diferencial de entrada $V_{in} = 5mV$ . . . . .	52
Figura 30 – Ênfase no período de <i>latching</i> da Figura 28. . . . .	53
Figura 31 – Sobreposição de saídas $V_{out+}(TID)$ e $V_{out-}(TID)$ do comparador ELT no momento de comparação para tensão diferencial de entrada $V_{in} = 5mV$ . . . . .	53
Figura 32 – Sobreposição de saídas $V_{out+}(TID)$ e $V_{out-}(TID)$ do comparador ELT no momento de <i>reset</i> para tensão diferencial de entrada $V_{in} = 5mV$ . . . . .	54
Figura 33 – Avaliação da possível degradação transiente do nível lógico da saída por vazamento de cargas do nó de saída ( $V_{in} = 20mV$ ). . . . .	54
Figura 34 – Avaliação da possível degradação transiente do nível lógico da saída por vazamento de cargas do nó de saída ( $V_{in} = -20mV$ ). . . . .	55
Figura 35 – Representação em escala aumentada da Figura 33 mostrando o efeito de degradação estática do nível lógico da saída. A legenda organiza em ordem crescente as doses de radiação que mais apresentam degradação. . . . .	55
Figura 36 – Representação de comparação sem <i>bitflip</i> que ocorre com absorção de cargas no nó $V_{out+}$ por transistor NMOS em $t = t_{RE} + 3ns$ e $V_{in} = 5mV$ . . . . .	57
Figura 37 – Representação de comparação com <i>bitflip</i> que ocorre com absorção de cargas no nó $V_{out+}$ por transistor NMOS em $t = t_{RE} + 2ns$ e $V_{in} = 5mV$ . . . . .	57
Figura 38 – <i>Layout</i> desenvolvido para o comparador STD. Sinalizados estão: (1) Transistor $M1$ ; (2) Par diferencial disposto em centróide comum composto por $M2$ e $M3$ ; (3) Transistores $M6$ e $M7$ dispostos de forma interdigitada. . . . .	59
Figura 39 – Arranjo de transistores ELT em centróide comum para compor o par diferencial com $W/L = 30$ e $9,54\mu m \times 18,42\mu m$ . . . . .	60
Figura 40 – Simulações de injeção de falhas em volta da borda de subida do <i>clock</i> $t_{RE}$ para absorção por transistor NMOS em $V_{out+}$ com $V_{in} = 5mV$ . . . . .	80
Figura 41 – Simulações de injeção de falhas em volta da borda de subida do <i>clock</i> $t_{RE}$ para absorção por transistor NMOS em $V_{out-}$ com $V_{in} = 5mV$ . . . . .	81
Figura 42 – Simulações de injeção de falhas em volta da borda de subida do <i>clock</i> $t_{RE}$ para absorção por transistor NMOS em $Di+$ com $V_{in} = 5mV$ . . . . .	82
Figura 43 – Simulações de injeção de falhas em volta da borda de subida do <i>clock</i> $t_{RE}$ para absorção por transistor NMOS em $Di-$ com $V_{in} = 5mV$ . . . . .	83
Figura 44 – Simulações de injeção de falhas em volta da borda de subida do <i>clock</i> $t_{RE}$ para absorção por transistor NMOS em $pol$ com $V_{in} = 5mV$ . . . . .	84
Figura 45 – Simulações de injeção de falhas em volta da borda de subida do <i>clock</i> $t_{RE}$ para absorção por transistor PMOS em $V_{out+}$ com $V_{in} = 5mV$ . . . . .	85
Figura 46 – Simulações de injeção de falhas em volta da borda de subida do <i>clock</i> $t_{RE}$ para absorção por transistor PMOS em $V_{out-}$ com $V_{in} = 5mV$ . . . . .	86

- Figura 47 – Simulações de injeção de falhas em volta da borda de subida do *clock*  
 $t_{RE}$  para absorção por transistor PMOS em Di+ com  $V_{in} = 5mV$ . . . . 87
- Figura 48 – Simulações de injeção de falhas em volta da borda de subida do *clock*  
 $t_{RE}$  para absorção por transistor PMOS em Di- com  $V_{in} = 5mV$ . . . . 88

# Lista de Tabelas

Tabela 1	–	Dimensões dos transistores utilizados. . . . .	43
Tabela 2	–	Correspondência de valores medidos em (BOCHENEK, 2012) e transistores do circuito, com notação de $\Delta V_{Th}$ e $I_{leak}$ . . . . .	47
Tabela 3	–	Ajustes de $\Delta I_{leak}(TID)$ por conta de <i>fingers</i> e multiplicidade de transistores NMOS STD em função de valores medidos por (BOCHENEK, 2012). . . . .	48
Tabela 4	–	Ajustes de $\Delta I_{leak}(TID)$ por conta de <i>fingers</i> e multiplicidade de transistores NMOS ELT em função de valores medidos por (BOCHENEK, 2012). . . . .	48
Tabela 5	–	Alguns dos valores de $\Delta I_{leak}$ utilizados em cada transistor do circuito STD de acordo com a dose total acumulada. . . . .	50
Tabela 6	–	Alguns dos valores de $\Delta V_{Th}$ utilizados em cada transistor do circuito STD de acordo com a dose total acumulada. . . . .	50
Tabela 7	–	Consumo médio do circuito com transistores STD e ELT para cada dose de radiação. . . . .	56
Tabela 8	–	Ocorrência de <i>bitflip</i> (BF) ou de comparação normal (OK) para injeções de cargas absorvidas por transistor NMOS em simulação de SEEs (de acordo com simulações ilustradas no Anexo D). . . . .	57
Tabela 9	–	Ocorrência de <i>bitflip</i> (BF) ou de comparação normal (OK) para injeções de cargas absorvidas por transistor PMOS em simulação de SEEs (de acordo com simulações ilustradas no Anexo D). . . . .	58
Tabela 10	–	Tempos de recuperação das tensões de saída para a situação normal para cada nó em que o SEE pode ocorrer e para cada canal de absorção de cargas (junção PN de transistor NMOS ou PMOS). . . . .	58
Tabela 11	–	Estimativa de área consumida para comparador STD e comparador ELT em função das dimensões dos respectivos pares diferenciais. . . . .	59

# Lista de Abreviaturas e Siglas

AC	Corrente alternada ( <i>Alternate Current</i> )
AD	Analógico-Digital
ADC	Conversor Analógico-Digital
ASICS	Circuito Integrado de Aplicações Específicas
AMS	Analógico e de Sinais Mistos
BF	<i>Bitflip</i>
CAD	<i>Computer Aided Design</i>
CERN	Organização Europeia para a Pesquisa Nuclear
CI	Circuito Integrado
CMOS	Transistor Metal-Óxido-Silício Complementar
DA	Digital-Analógico
DAC	Conversor Digital-Analógico
DC	Corrente contínua ( <i>Direct Current</i> )
DD	<i>Displacement Damage</i>
EDA	<i>Electronic Design Automation</i>
ELT	<i>Enclosed Layout Transistor</i>
GF130	PDK General Foundries™ 130nm
HBD	<i>Hardened-By-Design</i>
HBS	<i>Hardened-By-System</i>
HBT	<i>Hardened-By-Technology</i>
LET	<i>Linear Energy Transfer</i>
LHC	<i>Large Hadron Collider</i>
LOCOS	<i>Local Oxidation of Silicon</i>

LSB	Menor Dígitto Significativo
MOS	Transistor Metal-Óxido-Silício
NIEL	<i>Non-Ionizing Energy Loss</i>
NMOS	Transistor MOS tipo N
NRL	<i>Naval Research Laboratory</i>
PDK	<i>Process Design Kit</i>
PN	Junção de semiconductor de dopagem tipo P e tipo N
PMOS	Transistor MOS tipo P
PWL	<i>Picewise Linear Voltage</i>
SAR	Registrador de Aproximações Sucessivas
SAR ADC	Conversor Analógico-Digital por Aproximações Sucessivas
SDR	<i>Software Defined Radio</i>
S&H	<i>Sample &amp; Hold</i>
SEB	<i>Single Event Burnout</i>
SEE	<i>Single Event Effect</i>
SEGR	<i>Single Event Gate Rupture</i>
SEL	<i>Single Event Latchup</i>
SET	<i>Single Event Transient</i>
SEU	<i>Single Event Upset</i>
SHE	<i>Single Hard Error</i>
SPICE	<i>Simulation Program with Integrated Circuit Emphasis</i>
STD	<i>Layout Padrão</i>
STI	<i>Shallow Trench Isolation</i>
TID	<i>Total Ionizing Dose</i>

# Sumário

1	INTRODUÇÃO . . . . .	16
2	REVISÃO BIBLIOGRÁFICA . . . . .	18
2.1	Conversores . . . . .	18
2.2	<i>Successive Approximation Register (SAR)</i> . . . . .	20
2.3	Ambientes Radioativos . . . . .	23
2.4	Efeitos da Radiação em Circuitos Eletrônicos . . . . .	25
2.5	Técnicas de Proteção a Radiação para Circuitos Eletrônicos . . . . .	30
3	METODOLOGIA . . . . .	32
3.1	Proposta . . . . .	32
3.2	Topologia . . . . .	32
3.3	Descasamento e <i>Layout</i> . . . . .	35
3.4	<i>Enclosed Layout Transistor (ELT)</i> . . . . .	37
3.5	Simulação TID e SEE . . . . .	39
3.6	Fluxo de Projeto . . . . .	41
4	PROJETO DESENVOLVIDO . . . . .	43
4.1	Dimensionamento . . . . .	43
4.2	Projeto de ELTs . . . . .	44
4.3	<i>Test-benches</i> . . . . .	46
4.4	Resultados e Discussões . . . . .	49
5	CONCLUSÕES . . . . .	61
	REFERÊNCIAS BIBLIOGRÁFICAS . . . . .	63
	ANEXO A – DESCRIÇÕES DOS CIRCUITOS COM TRANSISTORES PADRÃO E ELT EM SPECTRE® . . . . .	66
A.1	Descrição Spectre do circuito com transistores padrão. . . . .	66
A.2	Descrição Spectre do circuito com transistores ELT. . . . .	71
	ANEXO B – <i>SCRIPT</i> PARA CÁLCULO DE RAZÕES DE ASPECTO, ÁREAS E PERÍMETROS DE ELTS . . . . .	76
	ANEXO C – <i>SCRIPT</i> PARA GERAÇÃO DE $V_{PWL}$ . . . . .	79

**ANEXO D – INJEÇÕES DE FALHAS . . . . . 80**



# 1 Introdução

A invenção do transistor impulsionou o desenvolvimento da eletrônica de forma imensurável. Circuitos analógicos passam a ser construídos integralmente em pastilhas de silício, sendo possível a implementação de sistemas com filtros, amplificadores e osciladores, todos integrados em um mesmo chip. Na parte digital, algoritmos complexos anteriormente existentes apenas em artigos matemáticos passaram a ser possíveis graças a circuitos lógicos cada dia menores e mais densos. Até pouco tempo, estimava-se que a cada 18 meses a capacidade de integração de transistores em circuitos digitais era dobrada (MOORE, 2006). Atualmente questiona-se esta estimativa afirmando que, por limitações, impostas pela termodinâmica, pela viabilidade econômica dos processos de fabricação ou até mesmo pela estrutura do átomo dos semicondutores, a capacidade de integração dos transistores como conhecemos estaria chegando em um platô (ITRS, 2015). Mesmo que esta previsão seja real, paralelamente ao escalamento da capacidade de integração dos sistemas digitais vem o desenvolvimento das arquiteturas dos mesmos, dos algoritmos e com isso, da velocidade de processamento de dados, deixando claro que a flexibilidade do “mundo digital” tem grande valia à tecnologia como um todo.

As informações físicas do mundo (temperatura, pressão, luminosidade, sinal elétrico transmitido via cabo ou pelo ar...) encontram-se no chamado domínio analógico. Para os sistemas digitais poderem processar estes dados, é necessário que sensores-transdutores traduzam essas grandezas em sinais elétricos analógicos e que seja feita a conversão destes sinais analógicos em sinais digitais. São os circuitos conversores que provém a conexão entre os sinais analógicos e os sistemas digitais. Eles são implementados a partir de circuitos de amostragem, conversores analógico-digital (AD) e conversores digital-analógico (DA). Com uso crescente de computação digital e processamento de sinais em aplicações como imageamento médico, instrumentação, eletrônicos de consumo e comunicação, o campo dos sistemas conversores expandiu vigorosamente (RAZAVI, 1995).

Desde o nível do mar até o espaço sideral a radiação ionizante se faz presente sendo intensificada com a altitude, tornando-se um desafio para aviônica e sistemas eletrônicos para aplicações espaciais. Neste primeiro, destaca-se a presença de nêutrons originados da interação de raios cósmicos com a atmosfera, bombardeando constantemente os circuitos eletrônicos. Já no projeto de naves e satélites, deve-se considerar as partículas de alta energia como prótons, elétrons e partículas pesadas provenientes dos Cinturões de Van Allen, dos raios cósmicos galácticos e até mesmo da atividade solar (BAGATIN; GERARDIN, 2016). Estas partículas, ao atingirem o silício dos circuitos integrados (CIs) causam alguns efeitos, transientes ou cumulativos, que devem ser considerados no projeto de circuitos a atuarem expostos às mesmas. Uma opção para proteção contra partículas

ionizantes é a utilização blindagem composta por materiais como chumbo, mas pelo alto custo do transporte do grama ao espaço, esta opção é geralmente dispensada, restando abordagens a nível de sistema e de *layout*.

Este projeto visa estudar e implementar um circuito comparador, bloco fundamental do Conversor Analógico Digital por Aproximações Sucessivas (SAR ADC), com a utilização de técnicas de *layout* na proteção de circuitos eletrônicos contra radiação ionizante. Será feito o estudo dos pontos críticos do circuito e implementadas tanto a versão com técnicas de *layout* padrão (STD) quanto a versão com técnicas para proteção contra radiação. Por meio de simulações Spectre/SPICE será feita a avaliação sobre os aspectos funcionais dos mesmos para diferentes intensidades de radiação, culminando em um trabalho com conclusões sobre tal abordagem.

## 2 Revisão Bibliográfica

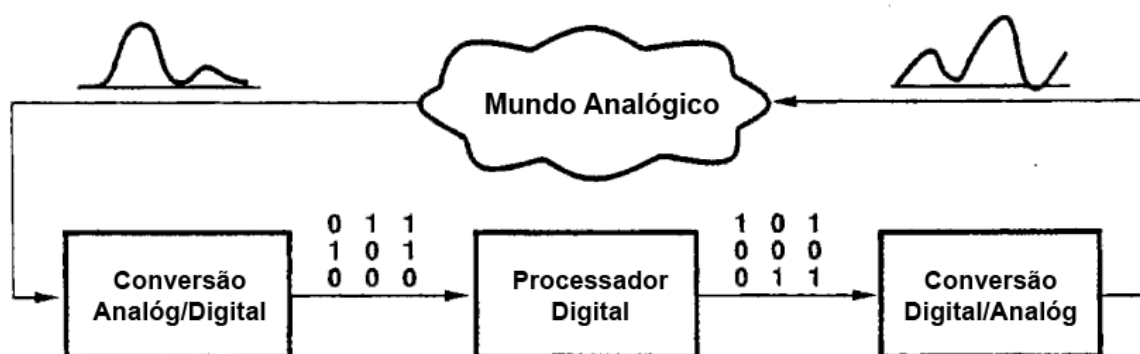
### 2.1 Conversores

O grande atrativo dos Circuitos Digitais é sua flexibilidade, com algoritmos para diversos fins podendo ser utilizados em uma mesma arquitetura de *Hardware*, sejam eles microcontroladores para indústria ou computadores processando dados dos mais variados tipos. Desta forma, a mesma linha de produção fabrica, por exemplo, circuitos que serão usados tanto para instrumentação biomédica quanto para controle de processos industriais. Todos os casos, porém, devem receber dados para processar. No caso de instrumentação biomédica, controle de processos e outras áreas que dependem da análise de grandezas físicas, os dados vêm de sensores-transdutores, que fazem a correspondência entre estas grandezas físicas - sejam elas pressão mecânica, temperatura, luminosidade, entre outras grandezas ditas *analógicas* - , e grandezas elétricas, como sinais de corrente e tensão. Estes sinais podem ser processados utilizando-se técnicas de processamento analógico, com circuitos eletrônicos dedicados e de certa forma engessados. Para fazer uso da flexibilidade dos circuitos digitais é necessária a transformação destes sinais do domínio analógico para o digital. Isto é feito com os Conversores Analógico/Digital - do inglês, *Analog/Digital Converter* (ADC) - , circuitos que fazem a correspondência entre os valores do *continuum* analógico para valores discretos digitais. Este processo é chamado *quantização*. Além do caso da digitalização de sinais provenientes de sensores não se deve deixar de lado as aplicações da digitalização na telecomunicação, que transforma o sinal da camada física, seja cabeada *wireless*, de um determinado protocolo de comunicação, com diversos níveis de tensões para caracterização dos símbolos, em sinal digital a ser recebido/enviado pelos nós da rede.

Da mesma forma, para utilizar os dados resultantes do processamento digital em atuadores e transdutores, como motores, eletrodos e alto-falantes, é necessária a utilização de Conversores Digital/Analógico - do inglês, *Digital/Analog Converter* (DAC). O interfaceamento entre grandezas analógicas e digitais pode ser ilustrado na Figura 1.

Quando fala-se de ADCs, os principais parâmetros a serem levados em conta são a taxa de amostragem e o número de bits na saída, ambos variando com a topologia e o circuito escolhido. O primeiro parâmetro determina a faixa de frequência dos sinais amostrados, enquanto o segundo, juntamente o fundo de escala da entrada, determina a resolução do sinal digital. A aplicação do conversor é determinante na escolha da topologia, visto que determinadas aplicações requerem maior velocidade enquanto outras requerem maior resolução.

Figura 1 – Interfaces entre “Mundo Analógico” e “Mundo Digital” .



Fonte – Adaptado de (RAZAVI, 1995)

Segundo (KESTER, 2005), a maioria das aplicações para ADC atualmente podem ser classificadas em quatro segmentos de mercado:

**Aquisição de Dados:** geralmente envolve a aquisição de dados de diversos canais multiplexados, sendo necessária velocidade considerável como prioridade frente a precisão da conversão;

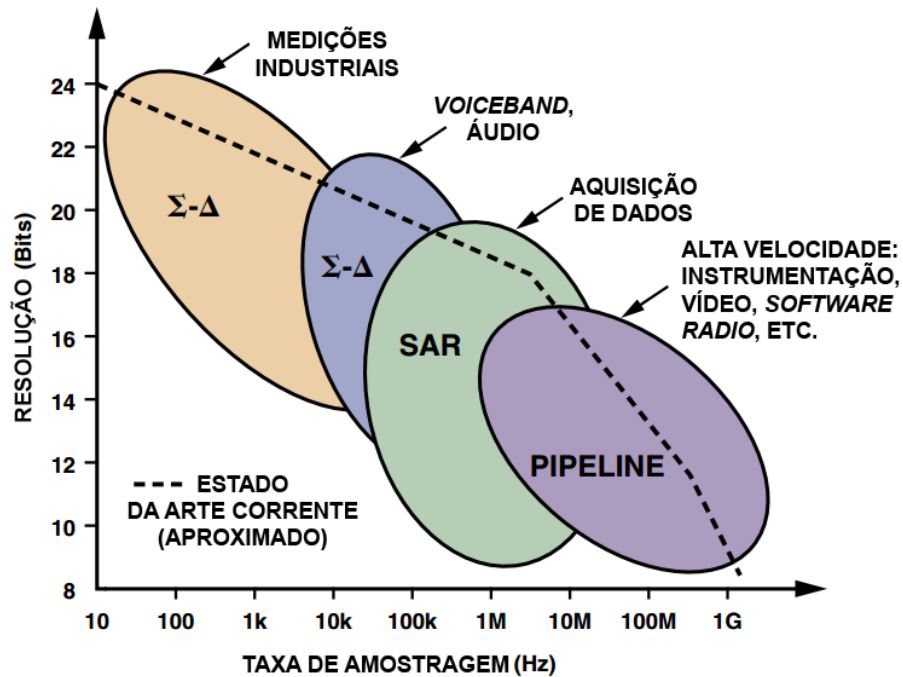
**Medição Industrial de Precisão:** prioriza a precisão frente a taxa de amostragem, com resoluções suficientes para que a medição não seja corrompida pelo ruído de quantização;

**Voiceband e áudio:** considerando a faixa de áudio entre 20Hz e 20kHz, conversores de alta velocidade se fazem necessários para contornar problemas de *aliasing* a partir de técnicas de sobreamostragem;

**Alta velocidade:** considerando a faixa acima de  $5 \times 10^6$  amostras/s (5MSPS), representa aplicações com vídeo, comunicação, *Software Defined Radios* (SDR) e algumas aplicações específicas em instrumentação.

Esta análise dos segmentos de mercado para ADC pode ser visualizada na Figura 2, onde pode-se verificar que toda a faixa pode ser suprida por três topologias - Sigma-Delta ( $\Sigma - \Delta$ ), Conversor por Aproximações Sucessivas (do inglês, *Successive Approximation Register* (SAR)) e *Pipeline* - sendo estas as topologias mais populares atualmente, segundo a referência. Por cobrir grande faixa das aplicações e por ter bom custo benefício em relação a área de silício e potência consumida, escolheu-se o SAR ADC para desenvolvimento do projeto.

Figura 2 – Divisão dos segmentos de mercado de ADCs em função da taxa de amostragem e da resolução em número de bits. Pontilhado representa a tendência de desempenho do Estado da Arte.



Fonte – Adaptado de (KESTER, 2005)

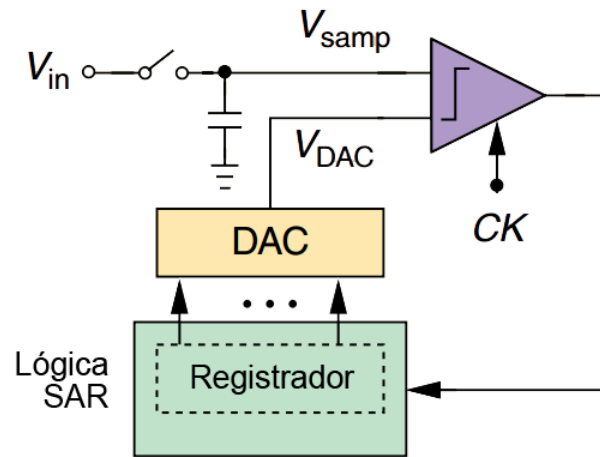
## 2.2 Sucessive Approximation Register (SAR)

A origem do algoritmo base utilizado para as etapas de conversão de um ADC tipo SAR é estimada como tendo aproximadamente 500 anos de idade, sendo solução de um problema matemático envolvendo a pesagem de um objeto através de atualizações da quantidade de pesos padrão na balança após sucessivas avaliações do estado de equilíbrio (comparação) (KESTER, 2015). Segundo (RAZAVI, 2015), a origem do circuito conversor através de aproximações sucessivas pode ser estimada pela publicação de (GOODALL, 1947) e por uma patente concedida a *Bell of Consolidated Electrodynamics Corporation* em 1957.

O circuito do SAR ADC pode ser resumido em quatro blocos, ilustrados na Figura 3: um bloco de entrada *Sample and Hold (S&H)*, um comparador de tensão, um registrador digital e um conversor DAC, que gera a tensão de referência  $V_{DAC}$  do comparador e fecha a malha da comparação.

O bloco *S&H* garante o tempo de conversão fixo do ADC, mantendo a tensão de entrada constante durante todas as etapas da conversão. O comparador é utilizado para realização da *busca binária* ilustrada na Figura 4. Na busca binária são feitas sucessivas

Figura 3 – Diagrama de blocos básico do conversor SAR ADC.

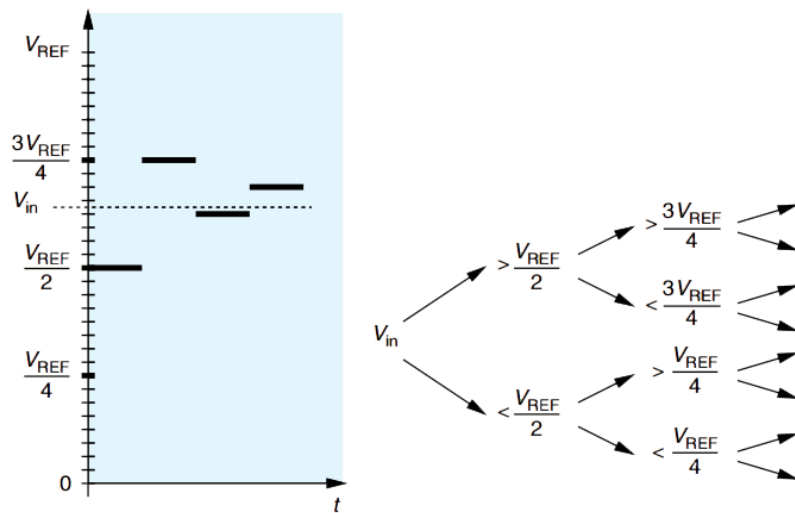


Fonte – Adaptado de (RAZAVI, 2015)

comparações entre a tensão de entrada e representação analógica da saída digital do conversor (realizada pelo bloco DAC), atualizando esta saída a cada iteração de forma a diminuir gradativamente a diferença entre as duas tensões. A cada iteração, a saída do comparador é atualizada e gravada no registrador de saída. Desta forma, realizando  $N$  comparações sequenciais e atualizando o resultado destas no registrador de saída para a próxima comparação, obtém-se uma conversão AD de  $N$  bits.

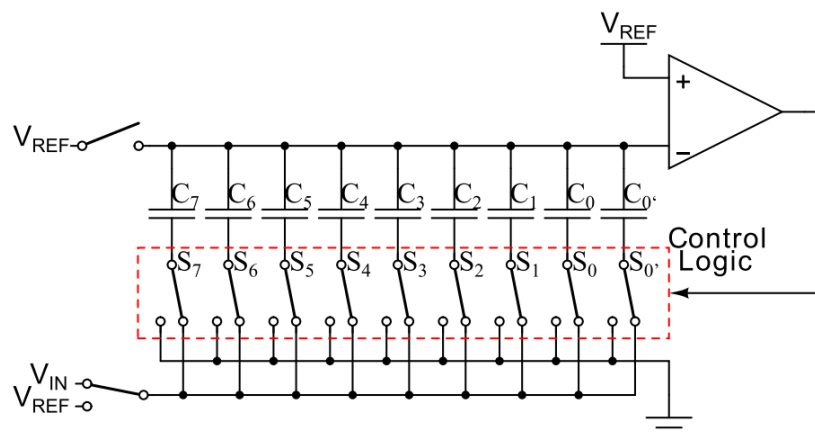
O algoritmo de busca binária descrito pode ser simplificado a nível de *hardware* substituindo o conversor DA por um *array* de capacitores. Nesta estrutura, chamada de Conversor SAR por Redistribuição de Carga, a tensão de entrada é carregada em  $N + 1$  capacitores em paralelo, sendo os mesmos chaveados a cada iteração de maneira a formar divisores capacitivos em uma das entradas do comparador de acordo com a lógica de controle cuja entrada é o próprio registrador de saída. A topologia está ilustrada na Figura 5. A lógica de controle é baseada no algoritmo clássico descrito em (KESTER, 2015) e gerado com arranjos de registradores descritos em (ANDERSON, 1972).

Figura 4 – Representação da busca binária realizada para a conversão de uma entrada analógica  $V_{in}$  em uma representação digital. À esquerda, a busca binária aproxima a representação digital (traçado escuro) da tensão analógica de entrada em função de  $V_{REF}$ , fundo de escala do comparador. À direita, a árvore de decisões do algoritmo.



Fonte – Adaptado de (RAZAVI, 2015)

Figura 5 – Circuito conversor AD SAR por Redistribuição de Cargas de 8bits, composto por 9 capacitores ( $N + 1$ ) em paralelo capazes de formar divisores de tensão capacitivos no nó de entrada de um circuito comparador de acordo com o chaveamento de seus terminais, controlado para realização do algoritmo de comparação SAR.



Fonte – Adaptado de (BECKER et al., 2017)

## 2.3 Ambientes Radioativos

Dentre os ambientes onde a radiação ionizante se faz presente, podemos citar o ambiente espacial, o terrestre e ambientes artificiais feitos pelo homem, sendo uns mais severos que outros. Segundo (BAGATIN; GERARDIN, 2016), as partículas ionizantes que os circuitos eletrônicos se deparam no espaço pode ter diversas origens, entre elas:

**Raios Cósmicos Galáticos:** são originados de fora do sistema solar mas suas fontes e mecanismos de aceleração ainda não foram bem explicados. São principalmente compostos por prótons mas ainda podem conter quaisquer elementos com um fluxo de algumas partículas por centímetro quadrado por segundo ( $\text{partículas}/\text{cm}^2/\text{s}$ ). Podem acelerar a energias muito altas de até  $10^{11}\text{GeV}$ , o que as torna virtualmente impossíveis de se blindar contra;

**Solar:** incluem partículas de diversos elementos naturais, de prótons a urânio e seu fluxo depende do ciclo solar que pode alcançar valores próximos de  $10^5$  partículas/ $\text{cm}^2/\text{s}$  com energias de  $\geq 10\text{MeV}/\text{núcleon}$ . A atividade solar tem ciclos que alternam de sete anos de intensa atividade seguidos de quatro anos de baixa atividade, tendo estes ciclos inclusive influência na intensidade dos raios cósmicos galáticos. Com efeito de modulação, quanto maior a atividade solar, menor o fluxo de raios cósmicos;

**Magnetosfera:** o campo magnético da Terra tem a propriedade de aprisionar partículas carregadas, que passam a transitar a atmosfera terrestre em padrões dependentes de suas cargas. Estas cargas formam dois Cinturões distintos: o exterior, formado especialmente por elétrons, e o interior, formado por elétrons e prótons, com o fluxo de elétrons podendo chegar a energias de  $1\text{MeV}$  e densidade de  $10^6$  partículas/ $\text{cm}^2/\text{s}$ , enquanto os prótons podem chegar a  $10^5$  partículas/ $\text{cm}^2/\text{s}$ .

Em ambiente terrestre, pode-se citar como principais causadores de falhas por partículas ionizantes em circuitos eletrônicos os nêutrons atmosféricos e as partículas alfa presentes como contaminantes ou resíduo de fabricação nos CIs. Nêutrons atmosféricos podem ser divididos em primários e secundários, sendo que os primários se originam da interação dos raios cósmicos com as camadas externas da atmosfera e os secundários vem da interação destes últimos com as camadas internas, em um “efeito cascata”. Nêutrons atmosféricos estão entre as partículas ionizantes mais abundantes a nível do mar e, apesar de serem partículas de carga neutra, são capazes de desencadear reações nucleares com subprodutos carregados que podem vir a atingir e acumular no silício, causando efeitos em circuitos eletrônicos.

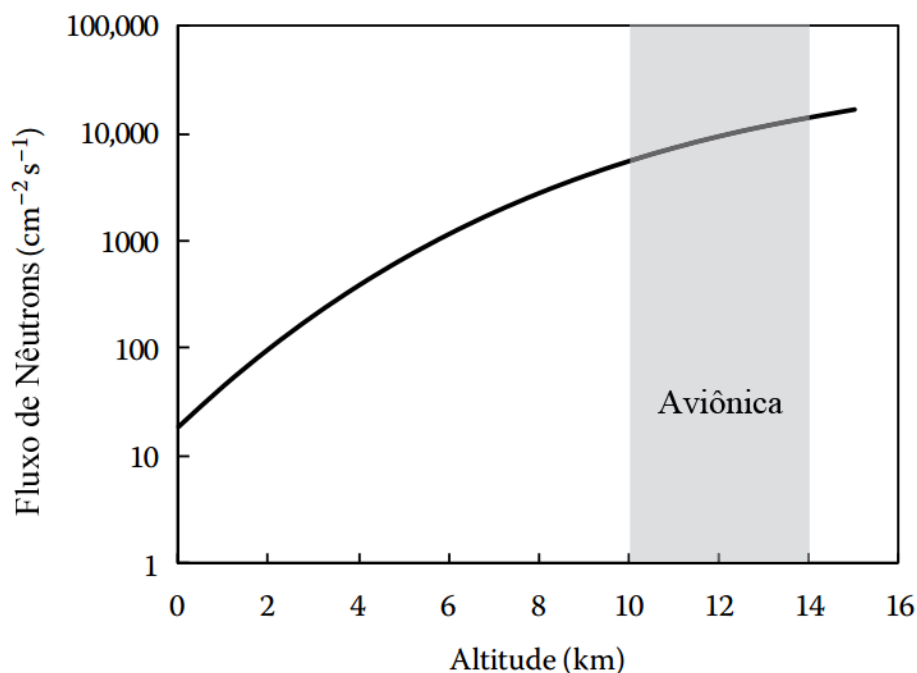
O efeito da atmosfera, porém, não se dá apenas de forma a agravar o impacto das partículas ionizantes. Conforme os raios cósmicos penetram na atmosfera o número de partículas primeiramente tem um aumento, decorrente da interação dos raios com a



camada externa da atmosfera, e posteriormente diminui, decorrente do efeito de blindagem da atmosfera, que passa a prevalecer frente ao cascadeamento descrito acima. Este comportamento está descrito na Figura 6, que explicita a altitude em que a circuitaria utilizada em aviação (*aviônica*) e o fluxo de nêutrons para o qual estes circuitos devem estar preparados.

Os erros causados por partículas alfa residuais são provenientes do decaimento de elementos como  $^{238}\text{U}$ ,  $^{234}\text{U}$ ,  $^{232}\text{Th}$ ,  $^{190}\text{Pt}$ ,  $^{114}\text{Nd}$ ,  $^{152}\text{Gd}$ ,  $^{148}\text{Sm}$ ,  $^{187}\text{Re}$ ,  $^{186}\text{Os}$  e  $^{186}\text{Hf}$ , com fluxos da ordem de  $10^{-3}$  partículas/cm<sup>2</sup>/h. Apesar da energia ionizante reduzida proveniente destes decaimentos, erros reversíveis podem ser causados por conta da progressiva redução dos transistores, especialmente CMOS, e da carga crítica necessária para alterar momentaneamente a saída de uma porta lógica.

Figura 6 – Dependência do fluxo de elétrons pela altitude em quilômetros. A faixa entre 10km e 14km caracteriza o espaço destinado a atividade aérea comercial e militar.



Fonte – Adaptado de (BAGATIN; GERARDIN, 2016)

Outro interesse em circuitos tolerantes a radiação vem de projetos do setor energético, onde pode-se esperar por acúmulo de doses da faixa de 50rad(Si) em uma hora de operação, e de cunho científico, como o *Large Hadron Collider* (LHC) do CERN, onde devem ser esperado um acúmulo de doses passando de 100Mrad(Si) nos próximos experimentos de aceleração de partículas em alta energia. (BAGATIN; GERARDIN, 2016)

## 2.4 Efeitos da Radiação em Circuitos Eletrônicos

A sensibilidade à radiação dos transistores MOS foi descoberta no início dos anos 1960 no *Naval Research Laboratory* (NRL), nos Estados Unidos. Anteriormente acreditava-se que estes transistores não seriam tão influenciados pela radiação ionizante quanto os seus predecessores bipolares. O trabalho da NRL determinou que a causa fundamental de dano nos dispositivos MOS era por conta do acúmulo de carga no próprio óxido e não pelo efeito ionizante na superfície dos dispositivos ou danos na estrutura cristalina do silício, como ocorria nos transistores bipolares (HUGHES; BENEDETTO, 2003). Desde então diversas técnicas foram exploradas para mitigar os efeitos da radiação ionizante nos circuitos eletrônicos, sejam elas na área de novos materiais e processos de fabricação, em técnicas de *layout* ou em algoritmos e sistemas de tolerância a falhas.

Dos efeitos causados pela radiação em circuitos eletrônicos, podemos separá-los em três grupos, podendo ser eles cumulativos de longo prazo ou transientes (BALEN, 2010) (WANG; AGRAWAL, 2008):

**Total Ionizing Dose (TID):** o efeito de Dose Total Ionizante ocorre no óxido do dispositivo, é cumulativo e com efeitos de longo prazo. Causa a degradação de parâmetros dos transistores como o  $V_{Th}$  e o aumento das correntes de fuga entre dreno e fonte. Efeitos podem ser mitigados e eventualmente revertidos. Como a radiação absorvida depende do material, deve-se explicitar a que tipo de material se refere. Neste trabalho a notação de radiação absorvida por silício  $rad(Si)$  será referida simplesmente como  $rad$ ;

**Displacement Damage (DD):** efeito de longo prazo causado pela alteração física da estrutura cristalina do silício por conta da perda de energia de forma não ionizante (*Non-Ionizing Energy Loss* - NIEL) das partículas incidentes;

**Single Event Effects (SEE):** efeitos que ocorrem estocasticamente em circuitos expostos a radiação. Acontecem por conta do impacto das partículas de alta energia no silício dopado tipo P ou N, ionizando-o e gerando pares elétron-lacuna que, ao serem absorvidos por nós sensíveis, acabam por gerar pulsos de corrente de curta duração (transientes), mas cujas consequências podem vir a ser duradouras.

Nós sensíveis são definidos como nós onde encontram-se junções PN reversamente polarizadas, possibilitando a coleta das cargas geradas pela interação com a partícula incidente (BECKER et al., 2017). As etapas da coleta são ilustradas na Figura 7 e o gráfico temporal das correntes geradas pela absorção das cargas aparece na Figura 8. Dependendo do nó do circuito em que ocorre o choque das partículas, os pulsos de corrente podem ocasionar variações de níveis lógicos em determinadas portas do circuito. As consequências

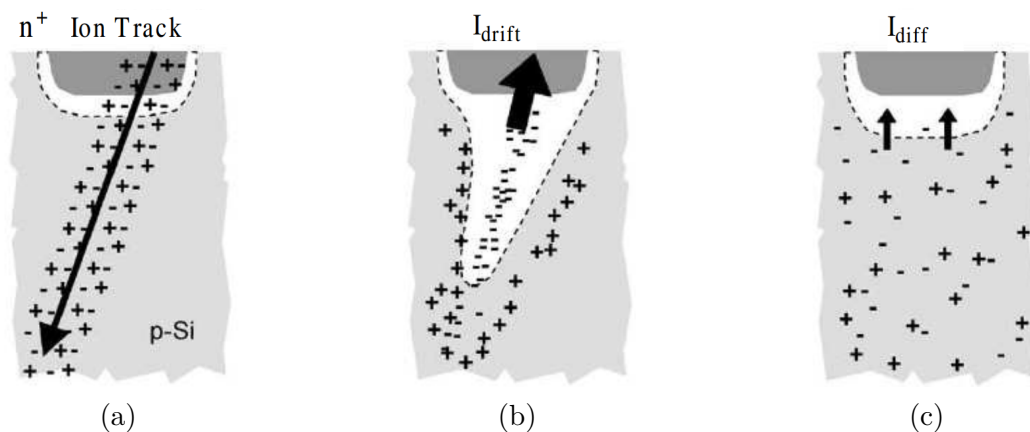
decorrentes destes erros lógicos podem levar a erros dos mais leves a erros mais severos. Desta forma podemos ainda classificar os SEEs em grupos de acordo com o tipo de erro ocasionado:

**SET (*Single Event Transient*):** pulso transiente que pode ou não ser capturado por um elemento de memória. Mesmo não sendo, a perturbação do nível de tensão pode causar distúrbios e oscilações em circuitos tanto analógicos quanto digitais.

**SEU (*Single Event Upset*):** pulso de corrente como os que são classificados como SET, mas que por atingir um nó específico do circuito acaba por alterar um bit de um elemento de memória.

**Eventos destrutivos ou permanentes:** diversos eventos podem ter resultados irreversíveis, como SEL (*Single Event Latchup*), SEB (*Single Event Burnout*), SEGR (*Single Event Gate Rupture*) e SHE (*Single Hard Error*).

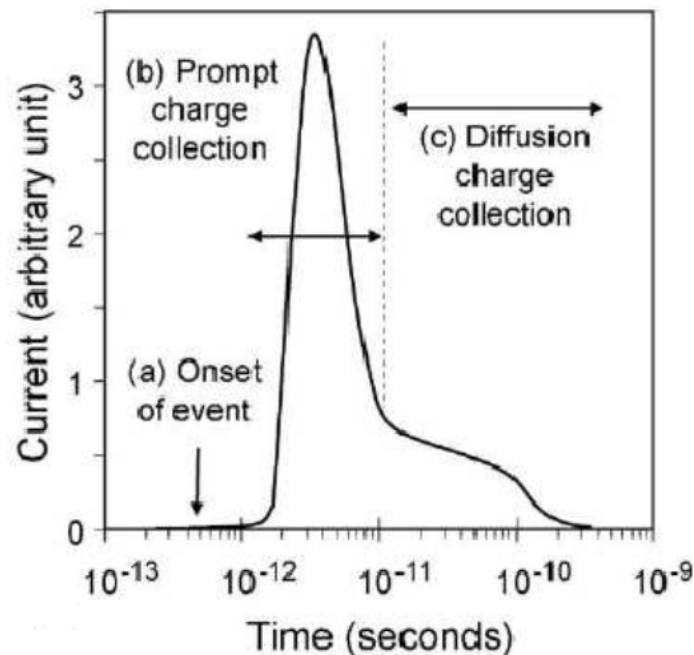
Figura 7 – Etapas de absorção de cargas da ionização causada por interação de partícula com silício: (a) Silício é atingido por partícula altamente energética que ioniza material gerando pares elétron lacuna; (b) Denso aglomerado de cargas é separado e absorvido por conta dos campos que polarizam o dispositivo; (c) Cargas remanescentes continuam a ser absorvidas e neutralizadas.



Fonte – Adaptado de (WANG; AGRAWAL, 2008)

Os efeitos de TID, por sua vez, acontecem pela interação de partículas ionizantes de alta energia com o óxido isolante, que acaba por gerar pares elétron-lacuna em material pouco condutor. Estes pares tem a tendência de se recombinar e de se neutralizar. Por efeitos do campo que polariza o transistor, alguns elétrons e lacunas acabam por escapar desta recombinação inicial. Os elétrons se deslocam muito rapidamente em direção à porta do transistor e lacunas não tão rapidamente em direção a interface Si/SiO<sub>2</sub> (em um transistor NMOS com polarização de tensão positiva na porta). Sendo assim, a taxa de cargas que escapam da recombinação inicial e que podem ficar presas nas interfaces segue

Figura 8 – Comportamento temporal da corrente gerada da absorção de carga nas etapas ilustradas na Figura 7.

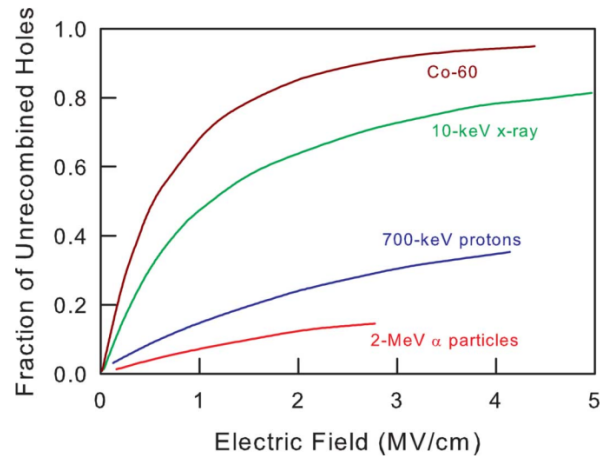


Fonte – Adaptado de (WANG; AGRAWAL, 2008)

uma curva dependente da energia da partícula incidente e do campo existente no transistor, como mostrado na Figura 9 (SCHWANK et al., 2008). A dependência dos efeitos TID em relação à polarização dos dispositivos é analisada em (BALEN et al., 2016).

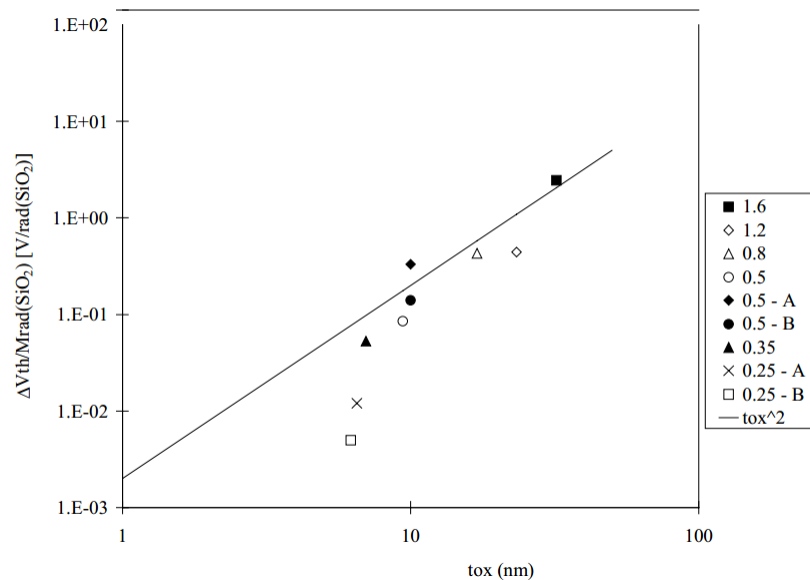
Segundo (FACCIO, 2007), estudos datados da década de 80 destacam a tendência com que os circuitos ficam menos sensíveis aos efeitos por TID no óxido de porta conforme os nós tecnológicos miniaturizam a espessura do mesmo ( $t_{ox}$ ). Esta tendência fica evidenciada na Figura 10. Faccio ainda afirma que os efeitos TID em nós tecnológicos com  $t_{ox}$  menor que  $5nm$  poderiam ser desconsiderados para aplicações com exposições de radiação alcançando a casa de  $Mrad$ . Infelizmente, o óxido de isolamento não necessariamente acompanha a miniaturização dos dispositivos, e apesar da troca do processo LOCOS (*Local Oxidation of Silicon*) para STI (*Shallow Trench Isolation*) por volta do nó tecnológico de  $0,25\mu m$ , o óxido espesso manteve-se como ponto fraco na tolerância dos dispositivos a TID.

Figura 9 – Fração de lacunas que escapam da recombinação inicial em função do campo elétrico aplicado no semiconductor e das partículas incidentes, sendo elas Co-60 a fonte e radiação menos energética e partículas  $\alpha$  as mais energéticas.



Fonte – Adaptado de (SCHWANK et al., 2008)

Figura 10 – Relação entre o desvio do  $V_{Th}$  normalizado para doses de  $1Mrad$  e a espessura do nó tecnológico. Linha contínua é a linha de tendência que indica a sensibilidade do transistor a TID como proporcional ao quadrado da espessura do óxido do mesmo.

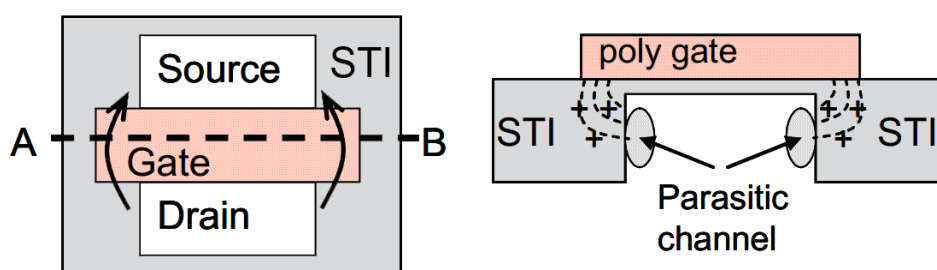


Fonte – Adaptado de (FACCIO, 2007)

Pela grande espessura do óxido do STI, um considerável número de lacunas fica preso na periferia do transistor NMOS, acumulando uma carga positiva capaz de inverter o

canal P dos transistores, podendo gerar correntes de fuga em dispositivos de  $L$  reduzido. As correntes de fuga entre dreno e fonte decorrentes deste efeito são ilustradas na Figura 11. Este efeito é o primeiro a ser notado, pelo aumento do consumo de corrente do circuito irradiado, e pode ser tolerado até certo ponto. Cabe notar que o transistor PMOS não sofre da mesma maneira os efeitos de corrente de fuga causados por TID, visto que as cargas positivas acumuladas no substrato não são capazes de inverter o canal N (SNOEYS et al., 2000).

Figura 11 – Vista superior de transistor NMOS circundado por óxido STI (esq.) e seção transversal do mesmo transistor ilustrando o impacto das cargas positivas aprisionadas no óxido STI, que podem vir a inverter o canal P e gerar correntes de fuga do dreno para a fonte (dir.).



Fonte – Adaptado de (FACCIO, 2007)

Segundo (HUGHES; BENEDETTO, 2003), os efeitos TID têm a capacidade de impactar tanto nas características DC quanto nas características AC de um circuito. Das características DC cabe destacar o aumento da corrente quiescente (corrente de *stand-by*), aumento da margem de ruído e diminuição da capacidade de *drive* da saída. Os parâmetros AC afetados incluem *risetime*, *falltime* e *propagation time*. Cada um dos parâmetros citados são afetados diferentemente por fatores como dose de radiação acumulada, taxa de absorção, *design* do dispositivo, temperatura de operação e tempo de *annealing*.

Dentre as causas de falhas em circuitos integrados por efeitos TID, destaca-se:

- Falhas na alimentação do circuito, quando o consumo de potência em *standby* por conta das correntes de fuga supera a capacidade da fonte;
- Falha estática quando as correntes de fuga nos transistores NMOS combinada com a diminuição da capacidade de *drive* dos transistores PMOS causam nós de nível lógico indefinido para correto funcionamento de blocos digitais;
- Falha dinâmica quando os atrasos no caminho lógico se tornam muito grandes para funcionamento síncrono;
- Falha dinâmica quando variações no  $V_{Th}$  de transistor PMOS inibe chaveamentos.

## 2.5 Técnicas de Proteção a Radiação para Circuitos Eletrônicos

Existem técnicas disponíveis para proteção de circuitos à radiação diversos níveis de projeto, sendo possível separá-las em três grupos (FACCIO, 2007) (BALEN, 2010):

***Hardening-by-Technology (HBT)***: Refere-se ao uso de processos de fabricação diferenciados dos processos tradicionais a fim de aprimorar a tolerância à radiação do circuito em função de mudanças na estrutura do *waffer* e dos materiais que o compõe;

***Hardening-by-Design (HBD)***: Quando a estrutura a nível de transistor, de topologia ou de *layout* é planejada para aprimorar a tolerância a radiação, como na utilização dos transistores com disposições de dreno, fonte e porta diferenciadas e utilização de *guard-rings*.

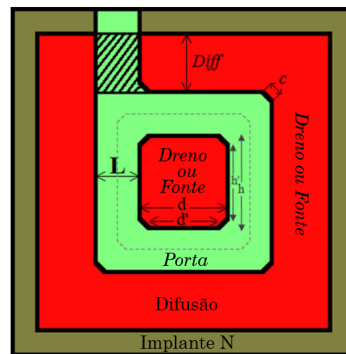
***Hardening-by-System (HBS)***: quando o sistema é desenvolvido utilizando-se algoritmos, blocos e lógicas de controle diferenciadas, como nas técnicas de tolerância a falhas por redundância.

Uma revisão histórica de técnicas HBT para TID pode ser analisado em Hughes e Benedetto (2003). Estas técnicas, porém, podem resultar em custos desencorajantes para aplicações em fins específicos e sem apelo comercial. Por isso, técnicas HBD e HBS com processos de fabricação comerciais acabam sendo foco de pesquisas ao redor do mundo.

Circuitos Integrados para Aplicações Específicas (ASICs) fabricados com tecnologia CMOS são afetados tanto por TID quanto por SEE, sendo o primeiro mais impactante em blocos Analógicos e de Sinais Mistos (AMS) e o segundo em blocos digitais. Uma abordagem interessante é o uso de técnicas HBD para tratar tanto efeitos TID quanto SEEs, associando ainda técnicas HBS para tratar possíveis falhas remanescentes de ambos efeitos.

Das soluções para as correntes de fuga causadas por TID, a mais bem aceita é a utilização dos *Enclosed Layout Transistors (ELT)* - do inglês, *Transistores de Layout Fechado* - que consiste em uma disposição de dreno, fonte e porta que elimina a interface entre o óxido STI e o canal P dos transistores NMOS como exibido na Figura 12. Desta forma as únicas cargas acumuladas por conta da radiação são as que ficam no próprio óxido de porta, fino o suficiente para se desconsiderar os efeitos de corrente de fuga, como discutido anteriormente. O análogo para o transistor PMOS é de possível implementação, mas pouco utilizado pelo pouco prejuízo que o dispositivo tem com correntes de fuga por conta do armazenamento de cargas positivas na interface de seu canal.

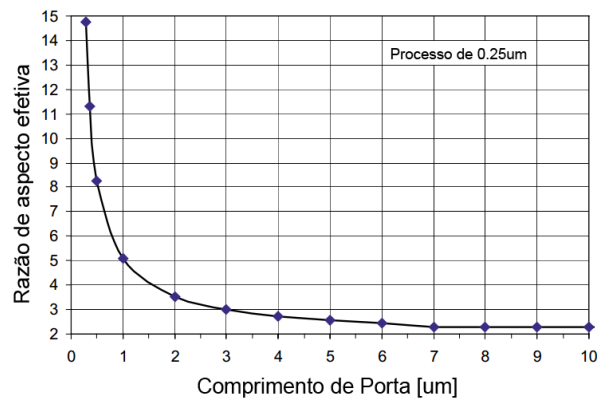
Dentre as limitações deste modelo de transistor, destaca-se o difícil controle da razão de aspecto do mesmo, que por ter  $W$  proporcional ao perímetro do dispositivo e a

Figura 12 – Esquema geométrico do *layout* de transistor ELT.

Fonte – Adaptado de (CARDOSO; BALEN, 2017)

dimensão do mesmo depender de  $L$ , acaba-se por ter as duas dimensões geometricamente amarradas. Esta situação limita a atuação do projetista, por vezes forçando a utilização de associações de transistores em paralelo e sacrifício de área em silício decorrente de tal técnica. Na Figura 13 consta a relação entre a largura da porta do transistor ELT ( $L$  da Figura 12) revelando a limitação da utilização do dispositivo.

Figura 13 – Relação entre largura da porta ( $L$  representado na Figura 12) e razão de aspecto de transistor ELT em processo de quarto de micron.



Fonte – Adaptado de (FACCIO, 2007)



## 3 Metodologia

### 3.1 Proposta

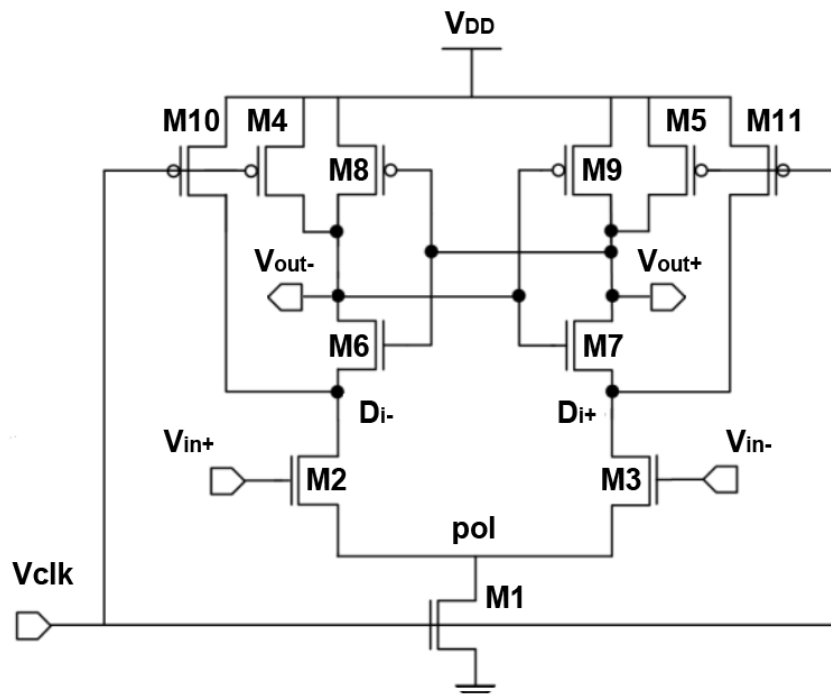
Este trabalho consiste no projeto e desenvolvimento de um circuito comparador tolerante a radiação para processo de fabricação comercial de  $130nm$  e na análise dos prós e contras da utilização de técnicas HBD em circuitos de sinais-mistos. O circuito em questão é um comparador de tensão diferencial dinâmico, também conhecido como *Voltage Sense Amplifier*. Este comparador será projetado para ser utilizado em um SAR ADC por redistribuição de carga em matriz capacitiva, com resolução de 8bits e taxa de amostragem de  $1M$  amostras/s. Por conta do algoritmo utilizado nas aproximações sucessivas, cada amostragem necessita de 10 ciclos de *clock* (*reset/hold* +  $8 \times$  comparação + validação da saída), e por isso o comparador deverá ser projetado para uma taxa de amostragem de  $10M$  amostras/s. Ambos os circuitos, com técnicas HBD e sem técnicas HBD, foram desenhados com CAD de Microeletrônica Cadence<sup>®</sup> Virtuoso<sup>®</sup> (versão 6.1.7-64b) e simulador Spectre<sup>®</sup>. O PDK (*Process Design Kit*) utilizado foi o do processo de fabricação GF130 (antigo IBM130), sendo uma futura prototipação do circuito possível graças à MOSIS<sup>©</sup>, instituição americana que permite a fabricação de circuitos integrados para fins de pesquisa a preços simbólicos para universidades ao redor do mundo.

O efeito da radiação será simulado com a injeção dos efeitos TID na variação de tensão de limiar ( $\Delta V_{Th}$ ) e corrente de fuga em *standby* ( $I_{leak}$ ) como feito em (FUSCO; BALEN, 2016), fazendo uso de dados de circuitos irradiados e medidos disponíveis na literatura. As simulações de SEEs serão realizadas com de injeção de correntes com formato de dupla exponencial, com objetivo de mimetizar as curvas de absorção de cargas pelas junções PN dos nós críticos, como realizado em (FUSCO; BALEN, 2016) e (BECKER et al., 2017).

### 3.2 Topologia

Apesar de existirem diversas topologias de comparador, com os mais diversos “acessórios” - pré-amplificador, atenuação de *kickback noise*, chaveamento para auto-zero, compensação de *offset*... (ZHENG; FAN, 2014), (RAZAVI; WOOLEY, 1992b), (CHEN; BERMAK, 2012), (RAZAVI; WOOLEY, 1992a) -, grande parte delas acabam sendo compostas pelos mesmos blocos básicos: um par diferencial e um *latch* regenerativo. A topologia escolhida para este estudo consta com algumas variações nos exemplos citados anteriormente e está ilustrada na Figura 14.

Figura 14 – Topologia de comparador diferencial e dinâmico estudado neste projeto.



Fonte – Adaptado de (JEON, 2010).

O funcionamento do circuito pode ser descrito em 3 etapas, que aparecem ilustradas na Figura 15:

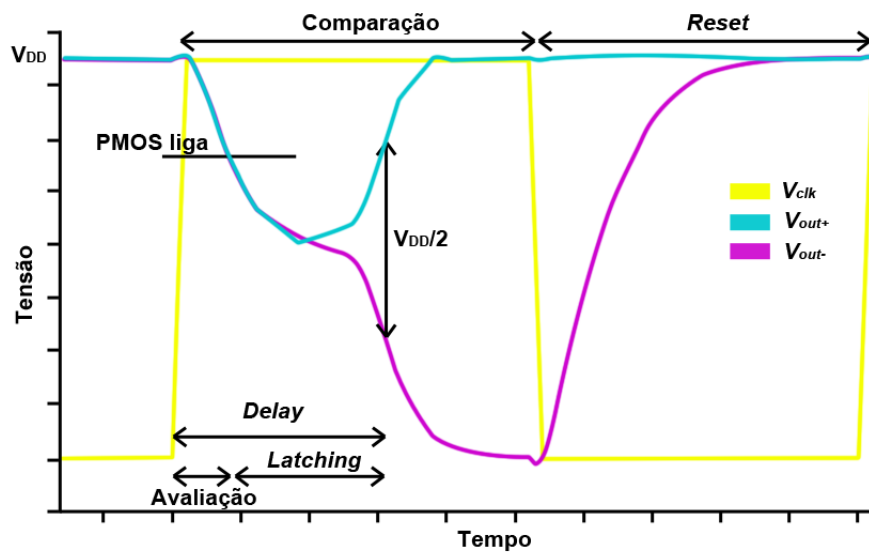
**Reset:** Com  $V_{clk} = 0V$ , a fonte de corrente  $M1$  está desligada e as chaves  $M4$ ,  $M5$ ,  $M10$  e  $M11$  estão fechadas carregando os nós de saída ( $V_{out+}$  e  $V_{out-}$ ) em  $V_{DD}$  e carregando ambos os drenos dos transistores de entrada  $M2$  e  $M3$  com  $V_{DD}$ ;

**Avaliação:** Com  $V_{clk} = V_{DD}$ , as chaves  $M4$ ,  $M5$ ,  $M10$  e  $M11$  abrem e a fonte de corrente  $M1$  força uma corrente que é dividida pelo par diferencial. Essa corrente é dividida entre os braços do par, que acaba por descarregar os nós  $Di+$ ,  $Di-$ ,  $V_{out+}$  e  $V_{out-}$  de forma desequilibrada, aumentando a diferença de tensão entre eles tão rápido quanto for o desequilíbrio do par diferencial;

**Latching:** Conforme os nós descarregam (assimetricamente), a tensão dos mesmos muda de forma a ativar os transistores NMOS (quando  $V_{out\pm} - Di\pm \geq V_{ThN}$ ) e PMOS (quando  $V_{DD} - V_{out\pm} \geq |V_{ThP}|$ ), que passam a contribuir com a realimentação positiva que satura as saídas do circuito em níveis lógicos válidos.

Com esta análise e alguns trabalhos pesquisados, como em (JEON, 2010), (ZHANG, 2009) e (SHARUDDIN; LEE, 2014), pode-se verificar que:

Figura 15 – Etapas da comparação dispostas em gráfico temporal.



Fonte – Adaptado de (SHARUDDIN; LEE, 2014)

- $M1$  determina a magnitude da corrente que descarrega o par diferencial. Quanto maior sua razão de aspecto, maior a velocidade da etapa de avaliação e o consumo de potência do circuito. *Overshoots* no início da comparação podem ser observados se este transistor for superdimensionado;
- A transcondutância de  $M2$  e  $M3$  determina quanto a tensão diferencial de entrada desequilibra o par. Quanto maior o desequilíbrio inicial, menor o tempo necessário para a comparação;
- $M6$ ,  $M7$ ,  $M8$  e  $M9$  compõem o *latch*. Suas dimensões determinam o ganho da realimentação positiva e quanto maior, mais rapidamente ocorre a saturação da etapa de *latching*;
- $M4$ ,  $M5$ ,  $M10$  e  $M11$  não necessitam de grandes razões de aspecto por se tratarem de chaves de *reset*, devendo apenas comportar correntes suficientes para carregar os nós correspondentes no período em que o *clock* tem nível lógico baixo;
- Todos os transistores que possuem um par simétrico sofrem com descasamento de dispositivos e contribuem para o *offset* do comparador (exceto as chaves de *reset*), sendo necessárias grandes dimensões e técnicas de *layout* que tentem minimizar tais efeitos.

### 3.3 Descasamento e *Layout*

A característica diferencial traz todos os benefícios desta classe de circuitos, como rejeição de sinais de modo comum, mas exige alguns cuidados a serem tomados, especialmente no que tange efeitos de descasamento entre os braços do par, fenômeno que ocorre por flutuações nas concentrações de dopantes, nas espessuras e na qualidade dos materiais depositados, entre outros fatores relativos ao processo de fabricação do silício e do circuito em si. Este descasamento é o principal responsável pela não idealidade de *offset* no comparador, que causa uma diferença de  $\Delta V_{os}$  entre a tensão de entrada e a tensão de referência na situação de interface entre as duas saídas possíveis. Esta diferença impacta na resolução dos conversores pois o erro máximo permitido em uma comparação deve ser menor que a metade do menor dígito significativo (LSB), ficando assim dentro do erro de quantização permitido. Explicitamente, temos a Equação 3.1.

$$V_{os \text{ máx}} \leq \frac{\text{LSB}}{2} \quad (3.1)$$

Como o *offset* é um erro aleatório, se manifestando em cada dispositivo fabricado de acordo com uma distribuição normal, é possível descrevê-lo em função de uma média e um desvio padrão. Esta média, para um número suficiente de amostras, deve tender a zero, enquanto o desvio padrão varia com o processo de fabricação, com as técnicas de *layout* e com a dimensão dos dispositivos. Esse descasamento pode ser classificado e modelado de acordo com a sua origem ou tipo de impacto (global, local...). Conhecendo estes modelos, pode-se desenvolver técnicas que minimizem seus impactos nos dispositivos a serem fabricados, maximizando o rendimento (*yield*) (KLIMACH, 2008), (PELGROM; TUINHOUT; VERTREGT, 1998).

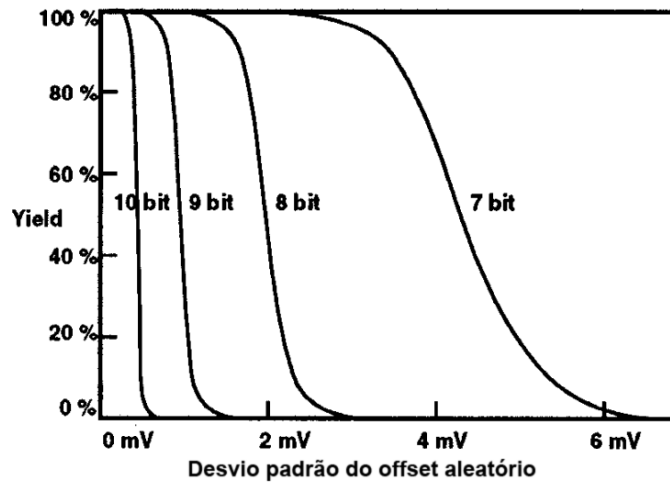
O principal contribuidor para os efeitos de descasamento em transistores são as variações de tensão de limiar, descritas por (PELGROM; TUINHOUT; VERTREGT, 1998) pela Equação 3.2, que ao descrever o desvio padrão da tensão de *offset* usualmente tem as constantes de processo ( $q$ ,  $t_{ox}$ ,  $N$ ,  $t_{depl}$ ,  $\epsilon_0$  e  $\epsilon_{ox}$ , respectivamente carga elétrica elementar, espessura do óxido, átomos dopantes ativos, espessura da região de depleção, permissividade do espaço livre e permissividade relativa do óxido) agrupadas em um único valor  $A_{V_{Th}}$ . Assim fica explícita a dependência de  $\Delta V_{os}$  em relação as dimensões de porta dos transistores.

$$\sigma \Delta V_{Th} = \sqrt{\frac{A_{V_{Th}}^2}{WL}} = \frac{A_{V_{Th}}}{\sqrt{WL}} = \frac{qt_{ox}\sqrt{2Nt_{depl}}}{\epsilon_0\epsilon_{ox}\sqrt{WL}} \quad (3.2)$$

Em projeto de microeletrônica visando fabricação em larga escala, substitui-se no lugar de  $V_{os \text{ máx}}$  da Equação 3.1 um número de desvios padrão de  $\Delta V_{Th}$  que representa um percentual de rendimento no processo de fabricação. Correspondentemente, para um, dois e

três desvios padrão temos 68,3%, 95,4% e 99,7% dos dispositivos dentro das especificações de projeto. Isto fica claro na Figura 16, que mostra a quantidade de conversores ADC “aproveitados” em função da resolução pretendida, sendo esta dependente do desvio padrão do *offset* do dispositivo.

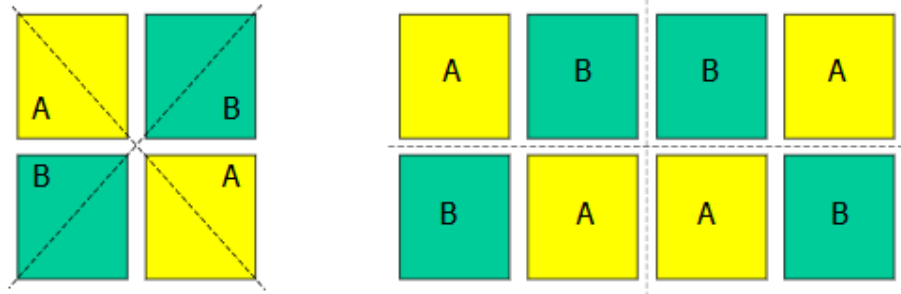
Figura 16 – Rendimento na fabricação de conversores AD de 7 a 10 bits (Fundo de escala  $V_{FS} = 2V$ ) em função de  $\sigma\Delta V_{Th}$ .



Fonte – Adaptado de (PELGROM; TUINHOUT; VERTREGT, 1998).

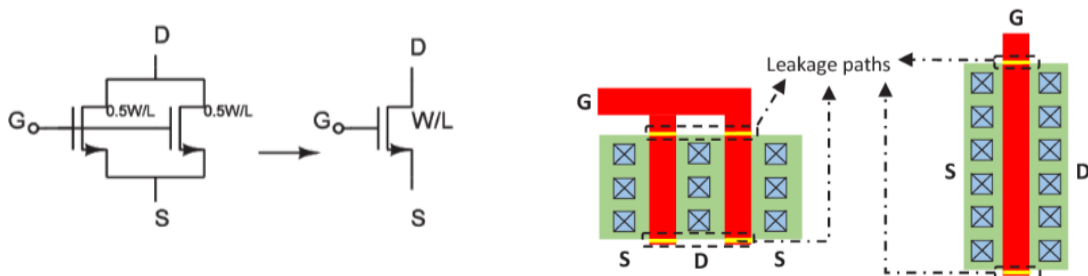
Entre as técnicas utilizadas para diminuir descasamento do par diferencial está o Centróide-Comum, em que os transistores são quebrados em um número igual de transistores menores em paralelo, sendo estes fragmentos distribuídos de forma simétrica em torno de um ponto central. Esta técnica garante que os dispositivos casados sejam submetidos, em média, aos mesmos gradientes de variabilidade na fabricação. Na Figura 17 pode-se ver um modelo de centróide-comum para dispositivos divididos em quatro e em oito fragmentos menores. Esta prática porém, deve ter efeitos como incremento de correntes de fuga entre dreno e fonte, pois o aumento da multiplicidade dos transistores - quantidade de transistores em paralelo para formar um transistor maior -, juntamente com a utilização de *fingers* aumentam a quantidade de canais por onde os efeitos TID podem causar inversão de canal, conforme a Figura 18.

Figura 17 – Disposição dos fragmentos de transistores a serem colocados em paralelo na configuração de centróide-comum, para quatro fragmentos (esq.) e para oito fragmentos (dir.).



Fonte – Adaptado de (MALOBERTI, 2006)

Figura 18 – Aumento do número de canais para correntes de fuga causadas por efeitos TID com a utilização de transistores com *fingers* ou multiplicidade.



Fonte – Adaptado de (FUSCO; BALEN, 2016).

### 3.4 Enclosed Layout Transistor (ELT)

As técnicas HBD utilizadas neste projeto consistem na substituição dos transistores NMOS com *layout* padrão (STD) do circuito por versões ELT, que virtualmente eliminam os prejuízos a performance por conta de correntes de fuga. Seriam substituídos o transistor  $M1$ , o par  $M2$  e  $M3$  e o par  $M6$  e  $M7$ . Por conta do engessamento no projeto de transistores ELT com  $L$  maiores que  $3 \times L_{min}$  e razões de aspecto maiores que 15, situações comuns em projetos analógicos, alguns dos transistores precisam ser quebrados em transistores menores associados em paralelo, como aponta (CARDOSO; BALEN, 2017). Esta necessidade, porém, pode ser tomada como oportunidade para utilização de técnicas de casamento de transistores, como o centróide-comum. Outra dificuldade no desenvolvimento de *layout* de ELTs são as dimensões mínimas permitidas pelo processo de fabricação. No processo utilizado nesse projeto, por exemplo, o tamanho mínimo permitido para as difusões de

dreno e fonte e as distâncias mínimas permitidas entre as estruturas de metal e a via de contato substrato-metal limitam a dimensão  $d$  da difusão interna do ELT em  $0,44\mu m$ .

Por conta da geometria pouco usual, as correntes e campos elétricos atuam neste dispositivo de forma a causar divergência entre a razão de aspecto calculada geometricamente e a razão de aspecto efetiva do transistor construído. Diversos modelos teóricos foram elaborados na literatura, com destaque para (XUE et al., 2011), (SNOEYS et al., 2000) e (GIRALDO; PACCAGNELLA; MINZONI, 2000). Ferramentas de extração de parâmetros de *layout* foram implementadas, como analisado em (CARDOSO; BALEN, 2017). Neste trabalho seguiu-se o modelo feito por (GIRALDO; PACCAGNELLA; MINZONI, 2000) pelos ótimos resultados e por considerar mais as características geométricas no cálculo da distribuição dos campos elétricos e ter menos parâmetros dependentes de processo para ajuste dos resultados. O modelo extraído pela ferramenta é descrito na Equação 3.3 e os modelos teóricos são descritos nas Equações 3.4, 3.5 e 3.6 com  $C_a$  na Equação 3.5 e  $\alpha$  na Equação 3.6 dependentes do processo de fabricação.

$$\left(\frac{W}{L}\right)_{130 \text{ corrigida}}^{\text{EDA}} = \frac{1}{2} \cdot \left(\frac{W}{L}\right)_{130 \text{ extraída}}^{\text{EDA}} = \frac{(2 \cdot \text{diff} + 7L + 8d' + 8c)}{2L} \quad (3.3)$$

$$\left(\frac{W}{L}\right)_{\text{Snoeys}} = \frac{8}{\ln\left(\frac{d+2L}{d}\right)} \quad (3.4)$$

$$\left(\frac{W}{L}\right)_{\text{Xue}} = \frac{4d}{L} + C_a \quad (3.5)$$

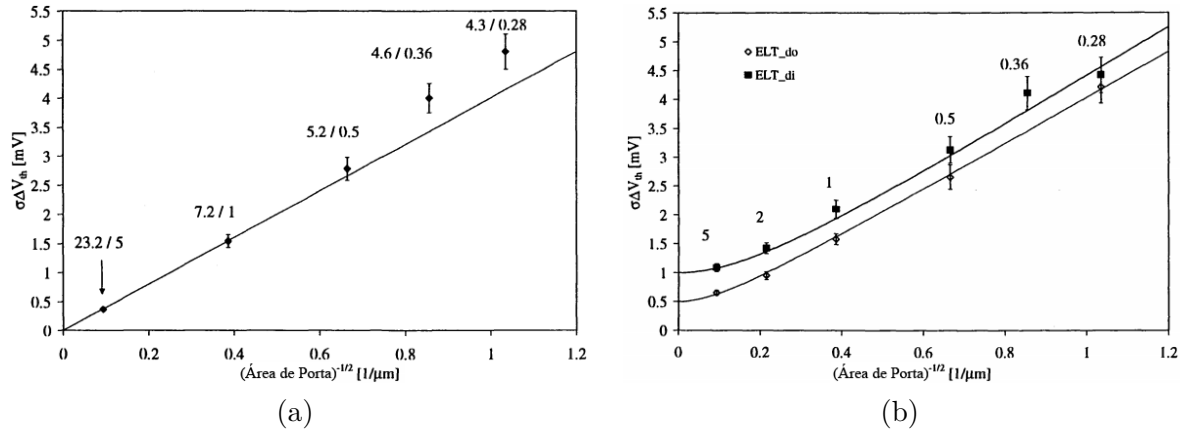
$$\left(\frac{W}{L}\right)_{\text{Giraldo}} = 4 \cdot 2 \left( \frac{d'}{(d' - 2\alpha)} + \frac{1}{\frac{\alpha^2 + 2\alpha + 5}{2} - \ln(\alpha)} + \frac{1}{2} \frac{c}{\sqrt{2} \cdot L} \right) \quad (3.6)$$

É importante notar que na extração de  $W/L$  do *layout* feita pela EDA na tecnologia de  $130nm$  há uma divergência muito grande em relação aos outros modelos, sendo prudente a correção do modelo SPICE/Spectre antes de prosseguir as simulações, dividindo-se o valor extraído pela metade, como indicado pela Equação 3.3.

Em relação aos efeitos de descasamento de transistores, FACCIO (2004) destaca que os transistores ELT se comportam de forma mais complexa e adiciona uma contribuição constante no modelo de variabilidade de  $\Delta V_{Th}$ , como expresso na Equação 3.7. A comparação do descasamento de transistores STD na Figura 19(a) e de transistores ELT na Figura 19(b) em função da área revela alguma dificuldade na utilização dos últimos em topologias diferenciais.

$$\sigma \Delta V_{Th} = \sqrt{\frac{A_{V_{Th}}^2}{WL} + \sigma_0^2} \quad (3.7)$$

Figura 19 – Comportamento do descasamento de (a) transistores STD e (b) transistores ELT para dreno externo (ELT\_do) e dreno interno (ELT\_di) em função das dimensões da porta. A razão de aspecto aparece próxima os pontos no gráfico de transistores STD e o comprimento do canal no de ELTs, considerando  $W$  fixo.



Fonte – Adaptado de (FACCIO, 2004).

Outra abordagem que evita as correntes de fuga causadas por efeitos TID é a substituição de transistores NMOS por equivalentes PMOS, que não são afetados pelo acúmulo de cargas no óxido de STI. Esta técnica acaba mudando a topologia inicial do circuito, podendo ter consequências indesejadas ou não, sendo necessária avaliação crítica do caso.

### 3.5 Simulação TID e SEE

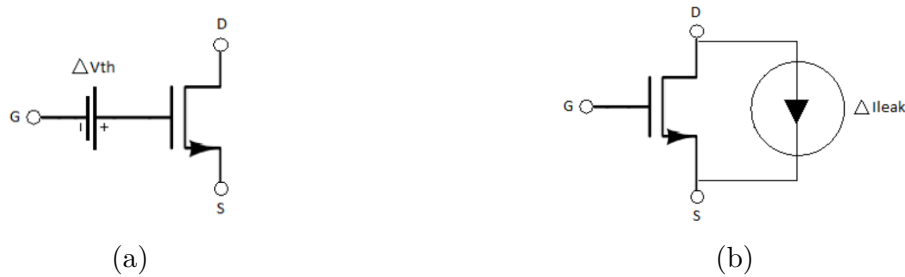
Os efeitos TID, conforme discorrido na Seção 2.4, consistem na variação da tensão de limiar de transistores NMOS e PMOS e no incremento da corrente de fuga de transistores NMOS. Estes efeitos podem ser incorporados na simulação com uso de fontes de corrente DC entre dreno e fonte e fontes de tensão DC em série com a porta dos transistores, como ilustrado nas Figuras 20(a) e 20(b). Sendo assim, para cada dose de radiação acumulada são atualizados os valores de  $\Delta V_{Th}(TID)$  e  $I_{leak}(TID)$  de todos os transistores, seguindo um modelo que considera TID um efeito global.

SEEs podem ser simulados com injeção de falhas em nós críticos utilizando fontes de corrente de dupla exponencial, descrita pela Equação 3.8 e ilustrada na Figura 21, procurando mimetizar a curva de absorção de cargas geradas após ionização do caminho da partícula incidente, discorrido na Seção 2.4 e descrito na Figura 8.

$$I(t) = I_0 \cdot (e^{-t/\tau_F} - e^{-t/\tau_R}) \quad (3.8)$$

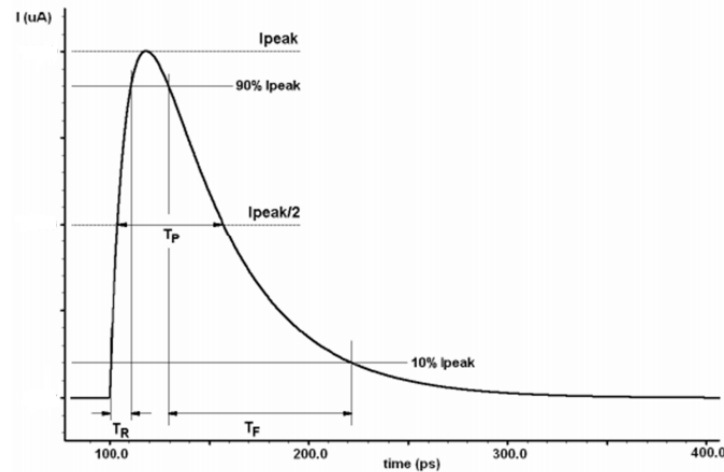


Figura 20 – Esquemas de simulação de (a) variação de  $V_{Th}$  e de (b) variação de corrente de fuga provenientes dos efeitos TID.



Fonte – Adaptado de (FUSCO; BALEN, 2016).

Figura 21 – Descrição da dupla exponencial utilizada como pulso de corrente para injeção de SEEs.



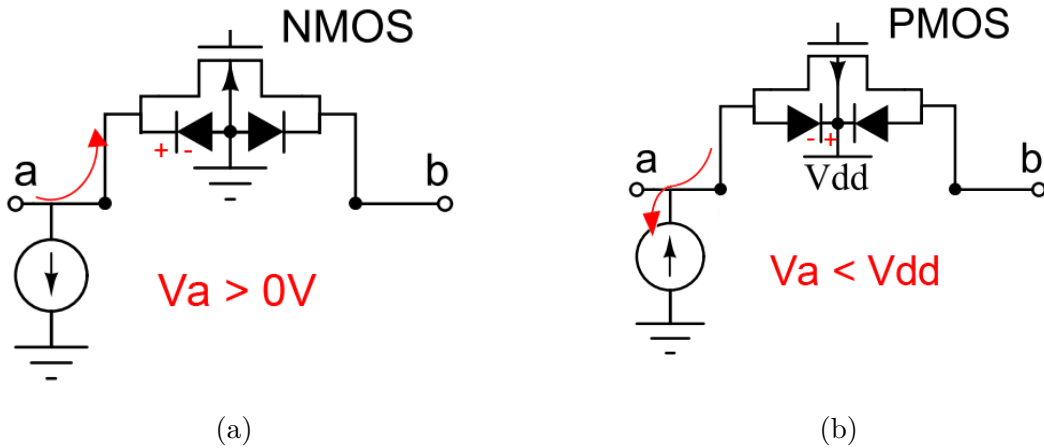
Fonte – Adaptado de (SIMIONOVSKI, 2012)

Os parâmetros utilizados para a dupla exponencial,  $I_0$ ,  $\tau_F$  e  $\tau_R$ , são dependentes do processo de fabricação do circuito e da energia da partícula incidente. Trabalhos da literatura investigam a relação entre estas fontes de corrente de dupla exponencial e a energia da partícula incidente para utilização como parâmetro para avaliar a robustez do circuito em relação a SEEs.

É importante notar que cada simulação de injeção de falha é feita independente das outras como um efeito local e que o sentido da corrente gerada pela absorção de cargas varia dependendo do tipo de transistor que está ligado a este nó. Como as junções PN dos transistores ocorrem entre o dreno/fonte e o corpo do transistor, que vem a ser conectado ao terra do circuito no caso dos transistores NMOS e à alimentação do circuito no caso dos transistores PMOS na maior parte dos casos, os elétrons tendem a se deslocar na direção

contrária à do terra no primeiro caso e em direção à alimentação do circuito no segundo. A simulação de ambos os efeitos está ilustrada na Figura 22.

Figura 22 – Esquema de simulação de absorção de cargas injetadas em SEEs por transistor (a) NMOS e (b) PMOS com a utilização de fonte de corrente de dupla exponencial.



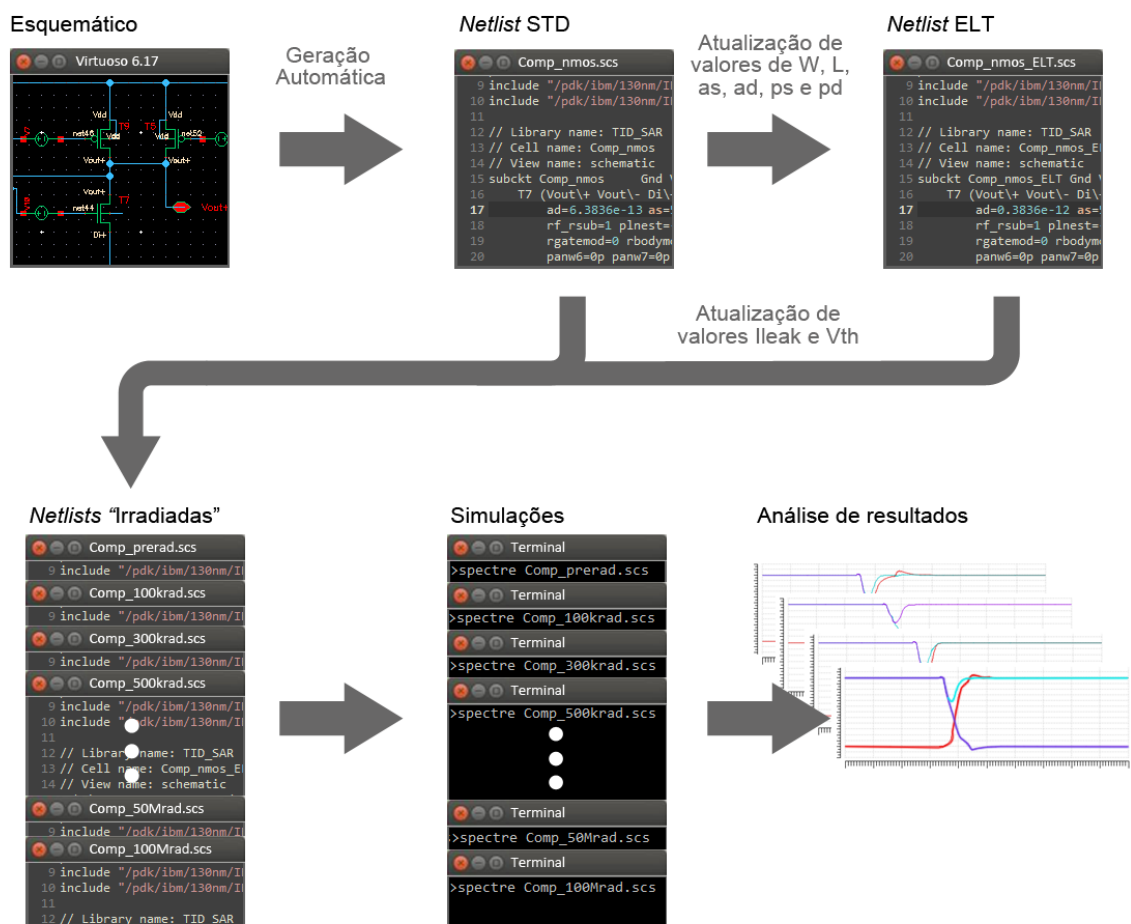
Fonte – Adaptado de (BECKER et al., 2017)

### 3.6 Fluxo de Projeto

O simulador utilizado foi o Spectre<sup>®</sup>, que faz parte dos pacotes Cadence<sup>®</sup> e consiste em um simulador de circuitos da classe SPICE, sendo desenvolvido para linguagem de descrição Spectre e compatível com descrições SPICE básicas. O Virtuoso<sup>®</sup> tem a possibilidade de, projetados os *test-benches*, gerar a *netlist* do circuito em arquivo *.scs*, que descreve o mesmo em linguagem compatível com o Spectre<sup>®</sup> seguindo os modelos de dispositivo do processo de fabricação presentes no PDK. Sendo assim, quaisquer modificações necessárias no *test-bench*, no circuito ou nos dispositivos podem ser feitas no próprio arquivo de saída *.scs*.

Essa função foi explorada na geração do circuito com transistores ELT, trocando-se os parâmetros de razão de aspecto efetiva e de área e perímetro, tanto do dreno quanto da fonte. O primeiro parâmetro foi substituído pela razão de aspecto efetiva obtida pelo modelo teórico de (GIRALDO; PACCAGNELLA; MINZONI, 2000), descrito na Seção 4.2. Os últimos parâmetros, responsáveis pelas capacitâncias dos dispositivos, foram calculados geometricamente com base na Figura 12. Tanto a descrição da *netlist* em Spectre quanto o *script* em Python para cálculo de razão de aspecto, área e perímetro estão disponíveis nos Anexos A e B, respectivamente. Este método também foi útil na substituição dos valores de  $I_{leak}(TID)$  e  $\Delta V_{Th}(TID)$  para cada situação de carga acumulada. O fluxograma que descreve a construção do *setup* simulações aparece ilustrado na Figura 23.

Figura 23 – Processo de montagem do *setup* de simulações.



## 4 Projeto Desenvolvido

### 4.1 Dimensionamento

Tendo em vista os argumentos levantados na Seção 3.2 sobre a função de cada dispositivo e considerando as necessidades de minimizar efeitos de *offset*, cujas origens são descritas na Seção 3.3 foi possível obter as dimensões definidas na Tabela 1, ajustando iterativamente as razões de aspecto para garantir o funcionamento e área total para diminuir o *offset* do dispositivo. Destaca-se que o transistor *M1* teve seu *W* calculado para, com o  $L = 4 \times L_{\min}$  e  $d = 0,44\mu m$  (mínimo possível com esse PDK, conforme discutido na Seção 3.4), ser possível o desenho de um transistor ELT equivalente, possibilitando a comparação entre a versão STD e ELT.

Tabela 1 – Dimensões dos transistores utilizados.

Transistor	Função	W [ $\mu m$ ]	L [ $\mu m$ ]
<i>M1</i>	Fonte de corrente	2,98	0,52
<i>M2</i> e <i>M3</i>	Par diferencial	36	1,2
<i>M6</i> e <i>M7</i>	<i>latch</i>	4	0,78
<i>M8</i> e <i>M9</i>	<i>latch</i>	4	0,39
<i>M4</i> , <i>M5</i> , <i>M10</i> e <i>M11</i>	<i>reset</i>	1	0,26

Por simulação de Monte Carlo realizada no simulador ADE XL da Cadence<sup>®</sup>-interface para programar e analisar múltiplas simulações com Spectre<sup>®</sup>-, com 100 amostras foi obtido  $\sigma\Delta V_{Th} = 1,205mV$ , atingindo como valor máximo  $\Delta V_{Th_{\max}} = 3,8mV$  e valor mínimo  $\Delta V_{Th_{\min}} = -3,0mV$ . Calculando com tensão de fundo de escala  $V_{FS} = 800mV$  e 8 bits temos a Equação 4.1, e substituindo este resultado na Equação 3.1 para três desvios temos

$$LSB = \frac{800mV}{2^{8\text{bits}}} = 3,125mV \quad (4.1)$$

$$\sigma\Delta V_{Th} \leq \frac{3,125mV}{2 \cdot 3} = 0,52mV \quad (4.2)$$

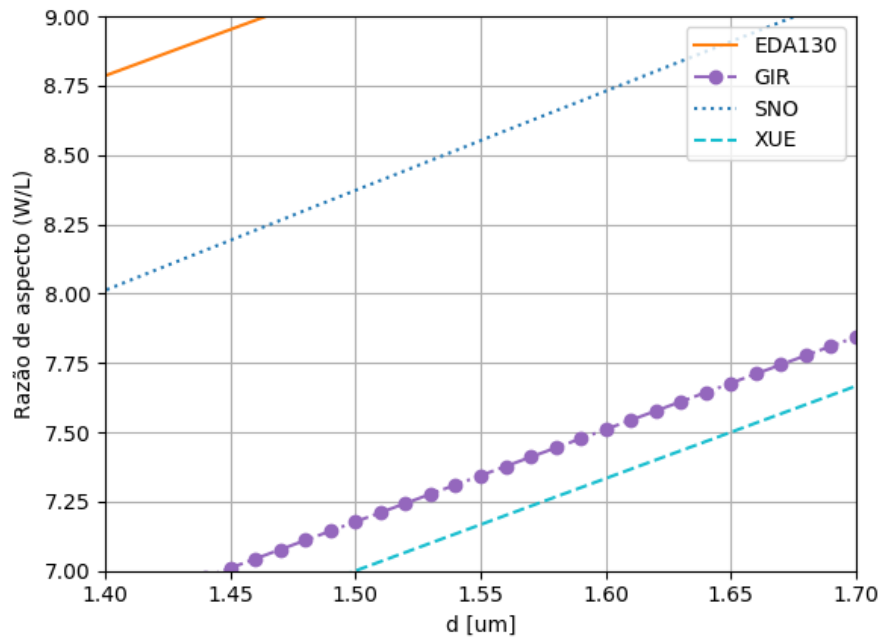
Por estes resultados verifica-se a necessidade de aumentar ainda mais os pares de transistores ou a utilização de técnicas de cancelamento de *offset*, presentes na literatura com as mais diversas abordagens (CHEN; BERMAK, 2012), (ZHENG; FAN, 2014), (KHOSROV, 2010), especialmente ao considerar-se a utilização de transistores ELT com as dificuldades de casamento explícitas na Seção 3.4. O autor toma esta necessidade como

trabalho futuro, desenvolvendo as considerações dos resultados de TID em função dos resultados das Equações 4.1 e 4.2.

## 4.2 Projeto de ELTs

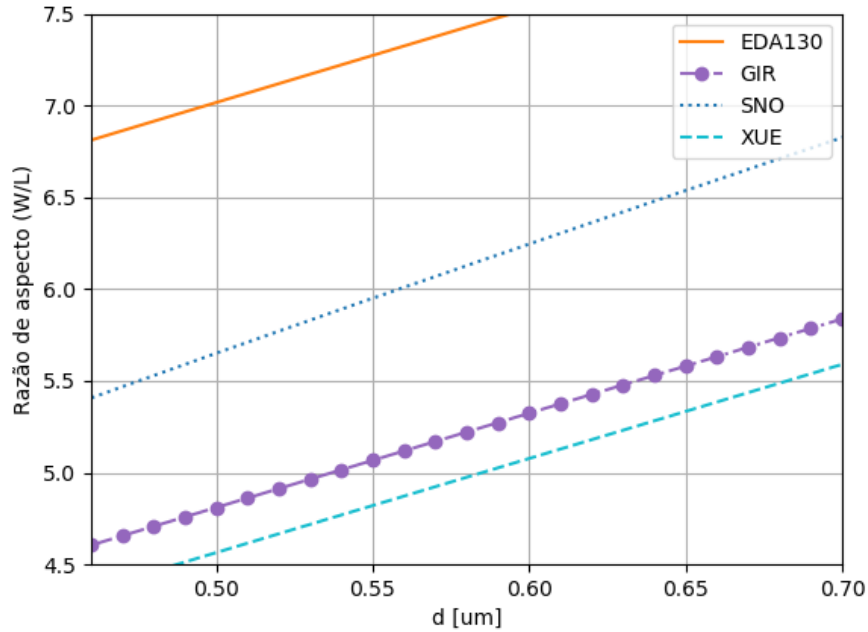
Os transistores ELT foram projetados utilizando as variáveis definidas na Figura 12, sendo fixados os valores de algumas dimensões, como chanfros  $c = \sqrt{2} \cdot 0,02\mu m$  e  $diff = 0,55\mu m$ , a primeira definida pelo projetista e a última definida pelo PDK. Para os transistores  $M2$  e  $M3$ , cada um fragmentado em quatro dispositivos a serem associados em paralelo e com  $L = 1,2\mu m$ , procurou-se a dimensão  $d$  necessária para atingir a razão de aspecto  $\left(\frac{W}{L}\right)_{frag} = \frac{1}{4} \left(\frac{36}{1,2}\right) = 7,5$ . O gráfico da Figura 24 determina  $d = 1,6$ , obtendo-se  $\left(\frac{W}{L}\right)_{Girardo} = 7,5103$ .

Figura 24 – Razão de aspecto extraída para os transistores  $M2$  e  $M3$  em função da variável de projeto  $d$  para cada modelo citado na Seção 3.4.



Da mesma forma, os transistores NMOS que compõe o *latch* foram projetados com  $L = 0,78\mu m$  e visando  $\left(\frac{W}{L}\right) = \frac{4}{0,78} = 5,128$ . Segundo o gráfico da Figura 25, temos  $d = 0,55\mu m$ , que resulta em  $\left(\frac{W}{L}\right)_{Girardo} = 5,067$ . Observa-se que no desenho do transistor STD, é possível a quebra do mesmo em  $N$  transistores menores (multiplicidade  $N$ ) tornando possível a interdigitação entre os dois transistores do par  $M6$  e  $M7$ , que tende a melhorar o casamento entre eles. Na versão ELT não é possível a quebra por conta das limitações de projeto em relação à razão de aspecto dos transistores.

Figura 25 – Razão de aspecto extraída para os transistores  $M6$  e  $M7$  em função da variável de projeto  $d$  para cada modelo citado na Seção 3.4.



O transistor  $M1$  foi projetado para  $d$  mínimo e largura de canal estipulada  $L = 0,52\mu m$ , obtendo-se  $\left(\frac{W}{L}\right)_{\text{Giraldo}} = 5,734$ , com  $W = 2,981\mu m$  para o transistor padrão análogo.

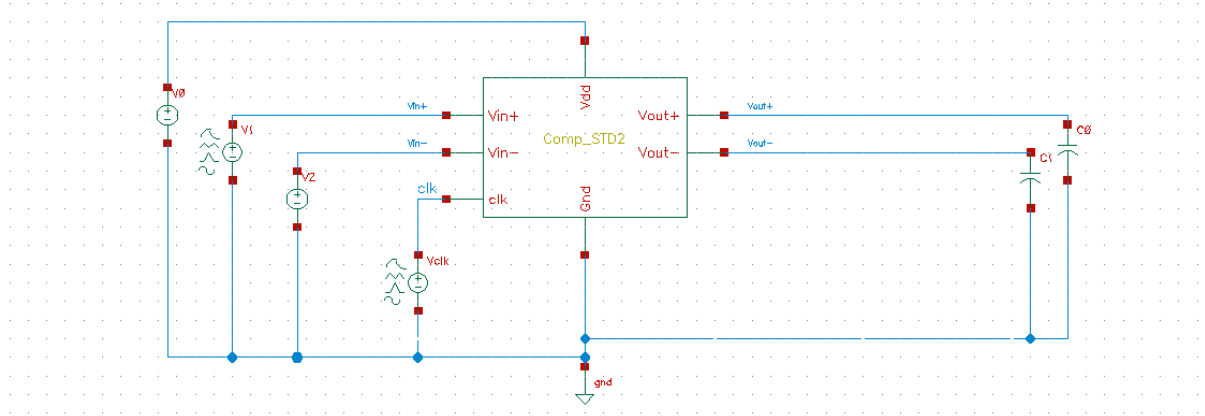
### 4.3 Test-benches

O esquemático do *test-bench* gerado no Virtuoso<sup>®</sup> e utilizado para as simulações descritas nas próximas seções consta na Figura 26. Nele estão o comparador com seus pinos de entrada e saída, as cargas capacitivas conectadas nas saídas, duas fontes de tensão variável **V1** e **Vclk**, e duas fontes de tensão contínua **V0** e **V2**. Estas fontes são definidas a seguir:

- V1:** Sinal de entrada  $V_{in+}$  do circuito. Possui um perfil de tensão variável no tempo com a forma de uma rampa com incrementos discretos que será referida como *stepped-ramp*. Desta forma a tensão de entrada se mantém constante durante todo o período de comparação, simulando a função de *sample and hold* do *array* de capacitores do SAR ADC. Isso é feito com o uso da função *piecewise linear voltage* (PWL), em que é declarada uma lista de pontos correspondentes a pares tempo-tensão, que em seguida são ligados por variações lineares de tensão em ordem temporal. Neste *test-bench* foi utilizado passo de incremento de tensão de  $0,1mV$ . O *script* que gerou o arquivo *.csv* com os pares tempo-tensão da fonte de tensão PWL em função de uma tensão inicial, uma tensão final e um passo de incremento encontra-se no Anexo C;
- Vclk:** Sinal de *clock* definido como uma onda quadrada com  $10MHz$  e tempos de subida e descida  $t_R = t_F = 20ps$ ;
- V0:** Fonte de alimentação do circuito com tensão contínua de  $1,2V$ ;
- V2:** Entrada  $V_{in-}$ , fixa no fundo de escala de  $800mV$  do conversor SAR. Esta tensão de  $V_{in-}$  é escolhida por que em dadas situações, o arranjo capacitivo na entrada do comparador chega a colocar tensões de até  $3/2 \cdot V_{REF}$  (ZHANG, 2009). Para a tensão escolhida este valor chega ao máximo de tensão  $V_{DD}$  permitido pelo circuito, desta forma operando normalmente.

A carga utilizada inicialmente para cada saída do comparador era um circuito lógico composto por oito inversores com duas vezes o tamanho mínimo do processo. Essa escolha pretendia simular o circuito de controle do SAR ADC, composto por oito *flip-flops*. Para otimizar as simulações fez-se a troca por capacitores ideais de  $100pF$ , cuja resposta foi aproximadamente a mesma tendendo a um pior caso.

As simulações de efeitos TID foram realizadas com base nos dados de (BOCHENEK, 2012) da variação de tensões de limiar e correntes de fuga dos transistores em função da dose de radiação acumulada,  $\Delta V_{Th}(TID)$  e  $I_{leak}(TID)$ . Nesta referência foram medidos, para o mesmo processo de fabricação GF130, diversos tamanhos de transistores NMOS de óxido fino e espesso, no formato padrão e ELT para doses TID entre  $100krad$  e  $200Mrad$ . Transistores PMOS de óxido fino e espesso em formato padrão também tiveram  $\Delta V_{Th}(TID)$

Figura 26 – Visualização a nível de esquemático da *test-bench* utilizada nas simulações.

medidos de  $TID = 100krad$  a  $TID = 100Mrad$ . A corrente de fuga não foi medida por ter sua variação considerada desprezível em relação a efeitos TID. No presente estudo foram feitas simulações até  $100Mrad$  para poderem ser utilizados também os valores correspondentes aos transistores PMOS, e a correspondência entre os transistores do circuito estudado e os transistores medidos no trabalho de Bochenek consta na Tabela 2. Na versão ELT, foram utilizados os parâmetros de  $\Delta V_{Th}^{ELT}$  e  $I_{leak}^{ELT}$  do transistor de  $W/L = 2,82\mu m/0,12\mu m$  para todos os transistores.

Tabela 2 – Correspondência de valores medidos em (BOCHENEK, 2012) e transistores do circuito, com notação de  $\Delta V_{Th}$  e  $I_{leak}$ .

Transistor	Notações	Dimensões em (BOCHENEK, 2012)
M1	$I_{leak}^{NMOS M}$ e $\Delta V_{Th}^{NMOS M}$	$2\mu m/0,12\mu m$
M2 e M3	$I_{leak}^{NMOS G}$ e $\Delta V_{Th}^{NMOS G}$	$10\mu m/0,12\mu m$
M6 e M7	$I_{leak}^{NMOS M}$ e $\Delta V_{Th}^{NMOS M}$	$2\mu m/0,12\mu m$
M8 e M9	$\Delta V_{Th}^{PMOS M}$	$2\mu m/0,12\mu m$
M4, M5, M10 e M11	$\Delta V_{Th}^{PMOS P}$	$0,8\mu m/0,12\mu m$

Nos *test-benches*, a variação da corrente de fuga foi representada como uma fonte de corrente DC entre o dreno e a fonte, como mostra na Figura 20(b). Pelo fato de (BOCHENEK, 2012) dispor apenas os valores absolutos de  $I_{leak}$ , tomou-se estes valores subtraíu-se o valor de corrente de fuga medido antes do circuito ser irradiado. Matematicamente, o procedimento é descrito na Equação 4.3.

$$\Delta I_{leak}(TID) = I_{leak}(TID) - I_{leak}(prerad) \quad (4.3)$$

Por conta dos *fingers* e da multiplicidade de alguns transistores houve a necessidade de ajustar os valores de  $\Delta I_{leak}(TID)$  tanto no circuito STD quanto no ELT. Na Tabela 3 é ilustrada essa adaptação e a correspondência entre os transistores do circuito STD e



os valores medidos em (BOCHENEK, 2012). Da mesma forma foi feito o ajuste para a versão com transistores ELT, como exposto na Tabela 4.

Tabela 3 – Ajustes de  $\Delta I_{leak}(\text{TID})$  por conta de *fingers* e multiplicidade de transistores NMOS STD em função de valores medidos por (BOCHENEK, 2012).

Transistor	<i>Fingers</i>	Multiplicidade	$\Delta I_{leak}$ equivalente
M1	1	1	$(\Delta I_{leak}^{\text{NMOS M}})$
M2 e M3	2	4	$2 \times 4 \times (\Delta I_{leak}^{\text{NMOS G}})$
M6 e M7	1	2	$2 \times (\Delta I_{leak}^{\text{NMOS M}})$

Tabela 4 – Ajustes de  $\Delta I_{leak}(\text{TID})$  por conta de *fingers* e multiplicidade de transistores NMOS ELT em função de valores medidos por (BOCHENEK, 2012).

Transistor	<i>Fingers</i>	Multiplicidade	$\Delta I_{leak}$ equivalente
M1	1	1	$(\Delta I_{leak}^{\text{ELT}})$
M2 e M3	1	4	$4 \times (\Delta I_{leak}^{\text{ELT}})$
M6 e M7	1	1	$(\Delta I_{leak}^{\text{ELT}})$

SEEs foram simulados para o circuito com transistores padrão. Para isso, identificou-se no circuito os nós críticos, onde aparecem junções PN polarizadas reversamente em dados momentos, como sendo os nós *pol*, *Di+*, *Di-*, *Vout+* e *Vout-* do esquemático da Figura 14. Nestes nós foram injetadas cargas por meio de fontes de corrente com comportamento de dupla exponencial como descrito na Seção 3.5 e avaliou-se a ocorrência de mudanças de valor lógico - também conhecida como *bitflip* (BF).

Os parâmetros utilizados para a exponencial crescente foram  $I_0 = 2mA$ ,  $\tau_F = 100ps$  e  $\tau_R = 5ps$  vem da literatura (FERLET-CAVROIS et al., 2006), (HUTSON et al., 2006), (NICOLAIDIS, 2011), de forma a resultar em uma injeção cargas de  $196fC$ , equivalente a uma transferência linear de energia (LET) da partícula no silício de  $100MeV \cdot cm^2/mg$ . Em cada nó foram simuladas as injeções de cargas sendo absorvidas tanto pelos transistores NMOS quanto pelos PMOS, descritas nas Figuras 22(a) e 22(b), sendo descartando-se as absorções por transistor PMOS no nó *pol* por não haver tal dispositivo presente. Nos demais nós foi descartada a absorção por transistor PMOS na fase de *reset* porque nesta fase ambos os lados das junções PN dos transistores PMOS se encontra no mesmo potencial  $V_{DD}$ . Foram testados diversos instantes em volta da borda do *clock* ( $\pm 1ns$ ,  $\pm 2ns$ ,  $\pm 3ns$ ,  $\pm 4ns$  e  $\pm 5ns$ ) para avaliar a janela de tempo em que o circuito é afetado pelos eventos transientes.

Nos momentos em que não houve *bitflip* também foram avaliados os tempos de recuperação entre o início dos efeitos da incidência da partícula e a volta da tensão de saída para o valor normal esperado.

## 4.4 Resultados e Discussões

Por se tratar de um circuito diferencial, para esta seção tomar-se-á por convenção as notações das Equações 4.4 e 4.5. Sendo assim, o sinal lógico 1 será dado por  $V_{out} = 1,2V$  e o sinal lógico 0 será dado por  $V_{out} = -1,2V$ . Todas as simulações foram feitas com  $f = 10MHz$ .

$$V_{in} = (V_{in+} - V_{in-}) = (V_{in+} - 800mV) \quad (4.4)$$

$$V_{out} = (V_{out+} - V_{out-}) \quad (4.5)$$

Em relação a efeitos TID, os possíveis impactos esperados nos circuitos que foram avaliados nesta seção são listados abaixo:

- *Offset* no limiar de comparação;
- Degradação transiente do nível lógico da saída por vazamento de cargas do nó;
- Degradação estática do nível lógico da saída por perdas de tensão causadas por correntes de fuga;
- Aumento da potência dissipada por conta das perdas energéticas das correntes de fuga.

A robustez do circuito com transistores padrão em relação a SEEs foi avaliada com injeções de carga próximas da borda de subida do *clock*, momento decisivo para a comparação. Além disso foi avaliado o tempo de recuperação da saída para instantes diferentes deste momento crítico, tanto em fase de *reset* quanto em fase de comparação. Nesta seção serão expostos primeiramente os resultados das simulações que avaliam os efeitos TID do circuito com transistores padrão, seguidas das simulações com o circuito composto por transistores NMOS ELTs e por fim são feitas as considerações acerca da robustez do circuito STD em relação a SEEs.

Alguns dos valores de  $\Delta I_{leak}(TID)$  e  $\Delta V_{Th}(TID)$  utilizados no circuito STD estão dispostos nas Tabelas 5 e 6, respectivamente. Os valores para transistores ELT ficam na faixa desprezível de centenas de  $pA$  e para  $\Delta I_{leak}(TID)$  e centenas de  $\mu V$  para  $\Delta V_{Th}(TID)$ .

Tabela 5 – Alguns dos valores de  $\Delta I_{leak}$  utilizados em cada transistor do circuito STD de acordo com a dose total acumulada.

	...	1M	2M	3M	5M	10M	20M	...
M1	...	6,69	5,63	19,1	22,6	12,7	8,91	...
M2 e M3	...	7,94	8,80	28,5	36,9	23,6	16,2	...
M6 e M7	...	13,4	11,3	38,2	45,2	25,4	17,8	...

Dose TID em  $[rad(Si)]$  e  $\Delta I_{leak}$  em  $[nA]$

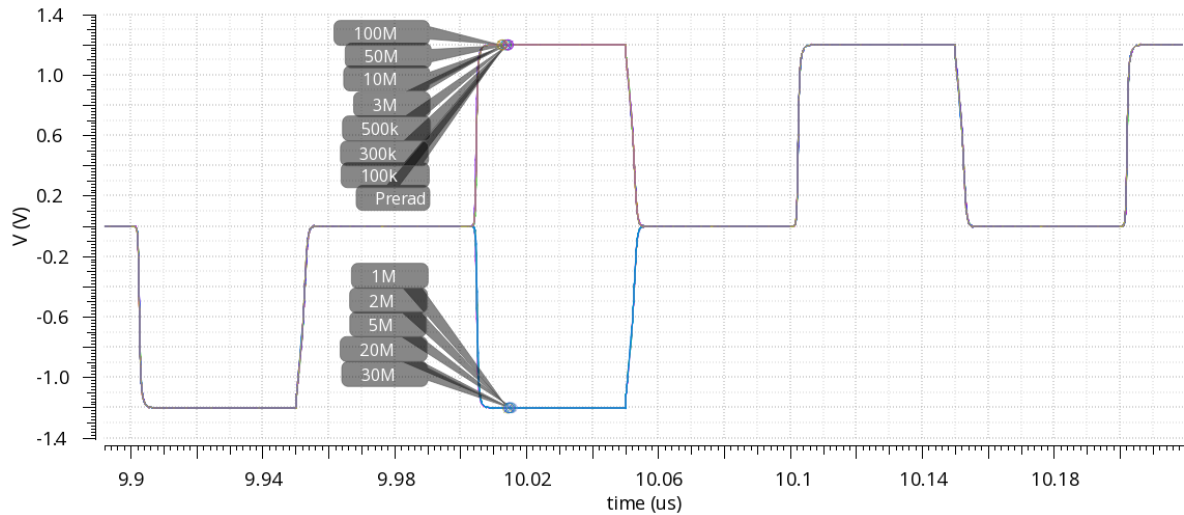
Tabela 6 – Alguns dos valores de  $\Delta V_{Th}$  utilizados em cada transistor do circuito STD de acordo com a dose total acumulada.

	...	1M	2M	3M	5M	10M	20M	...
M1	...	-13,0	-16,0	-19,0	-19,0	-18,0	-17,0	...
M2 e M3	...	-7,50	-8,30	-7,50	-8,00	-7,80	-7,20	...
M6 e M7	...	-13,0	-16,0	-19,0	-19,0	-18,0	-17,0	...
M8 e M9	...	1,10	1,40	1,60	1,60	1,90	1,90	...
M4, M5, M10, e M11	...	2,60	2,70	3,00	3,90	4,50	4,40	...

Dose TID em  $[rad(Si)]$  e  $\Delta V_{Th}$  em  $[mV]$

Nas simulações de efeitos TID, verificou-se pouco impacto no *offset* do comparador de transistores padrão, pois a variação de  $\Delta V_{Th}$  e  $I_{leak}$  foi feita na mesma proporção nos dois braços do comparador, sem a utilização de modelos de variabilidade do efeito. Na sobreposição das curvas de  $V_{out}(TID)$  da Figura 27 verifica-se que para algumas doses de radiação (1M, 2M, 5M, 20M e 30M rad) há um *offset* desprezível de 0,1mV no limiar de comparação em relação ao circuito não irradiado, não tendo grande impacto frente ao *offset* esperado para o circuito calculado na Seção 4.1. Isto é atribuído à variação desigual de  $\Delta V_{Th}(TID)$  esperada para os transistores NMOS e PMOS, que muda o ponto de atuação do *latch*. Da mesma forma, as correntes de fuga foram variadas simetricamente nos dois braços do comparador não causando efeitos de *offset*. Para o circuito ELT o comportamento acaba sendo muito parecido, com *offset* irrisório de 0,1mV mas para doses de radiação diferentes (as únicas doses que não sofreram *offset* foram 30M e 50M).

Figura 27 – Sobreposição de saídas diferenciais  $V_{out}(TID)$  com destaque à mudança de limiar de comparação do circuito para determinadas doses TID que ocorrem no circuito STD.



Os tempos de avaliação, de *latching* e de *delay* também tiveram pouco impacto e constam na Figura 28, onde estão sobrepostas as saídas do circuito com diferentes doses de radiação para a comparação que ocorre com  $V_{in} = 0,5mV$ . Na Figura 30 nota-se uma sutil diferença no momento de transição entre as fases de avaliação e de *latching* nesta mesma simulação, especialmente por conta da diferença de  $V_{Th}$  entre os transistores NMOS e PMOS que compõe o *latch*, o que causa uma variação no momento em que a realimentação positiva do mesmo atua. Na Figura 29, da mesma forma é avaliado o impacto da dose acumulada de radiação no tempo de *reset* do comparador pela sobreposição das curvas de tensão de saída do mesmo.

Figura 28 – Sobreposição de saídas  $V_{out+}(TID)$  e  $V_{out-}(TID)$  do comparador STD no momento de comparação para tensão diferencial de entrada  $V_{in} = 5mV$ .

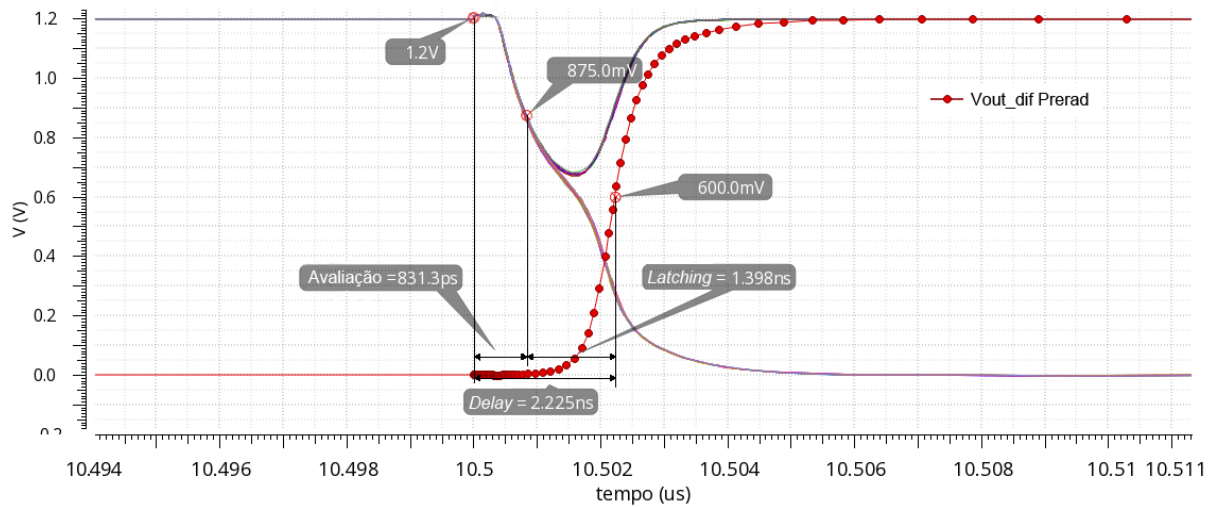
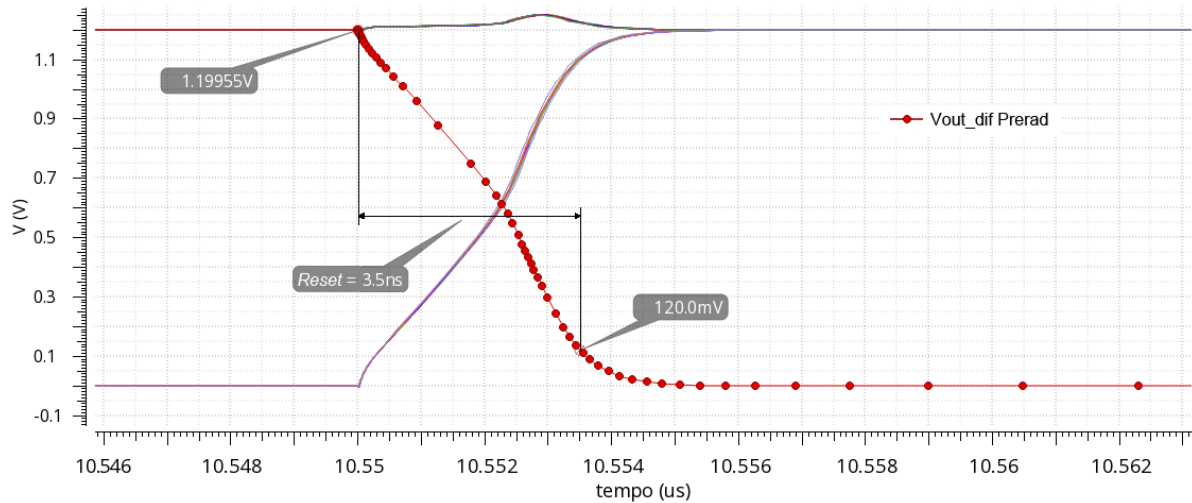


Figura 29 – Sobreposição de saídas  $V_{out+}(TID)$  e  $V_{out-}(TID)$  do comparador STD no momento de *reset* para tensão diferencial de entrada  $V_{in} = 5mV$ .



Da mesma forma, as Figuras 31 e 32 mostram os tempos de avaliação, *latching* e *delay* para o circuito com transistores ELT, onde pode-se notar que a versão ELT é ligeiramente mais rápida que a versão STD. Isso se deve a capacitância reduzida de dreno dos transistores utilizados, proporcionando uma capacitância de saída menor em relação à versão STD nesta topologia.

Figura 30 – Ênfase no período de *latching* da Figura 28.

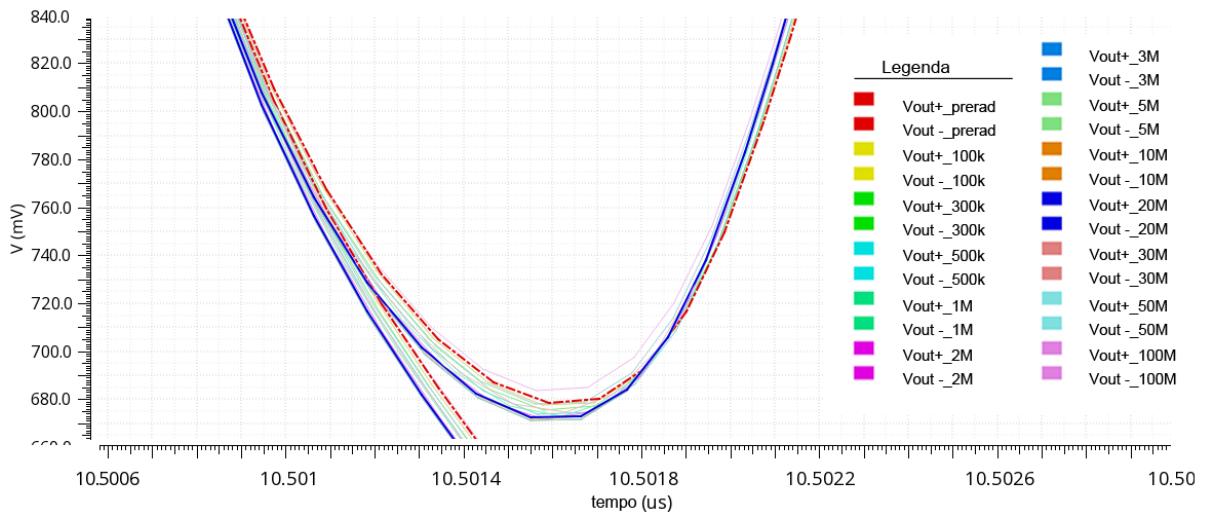


Figura 31 – Sobreposição de saídas  $V_{out+}(TID)$  e  $V_{out-}(TID)$  do comparador ELT no momento de comparação para tensão diferencial de entrada  $V_{in} = 5mV$ .

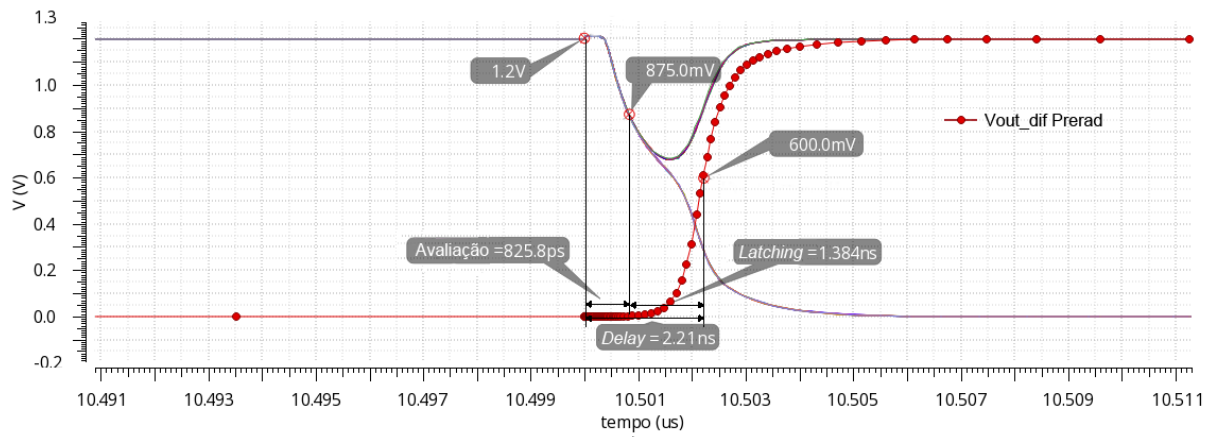
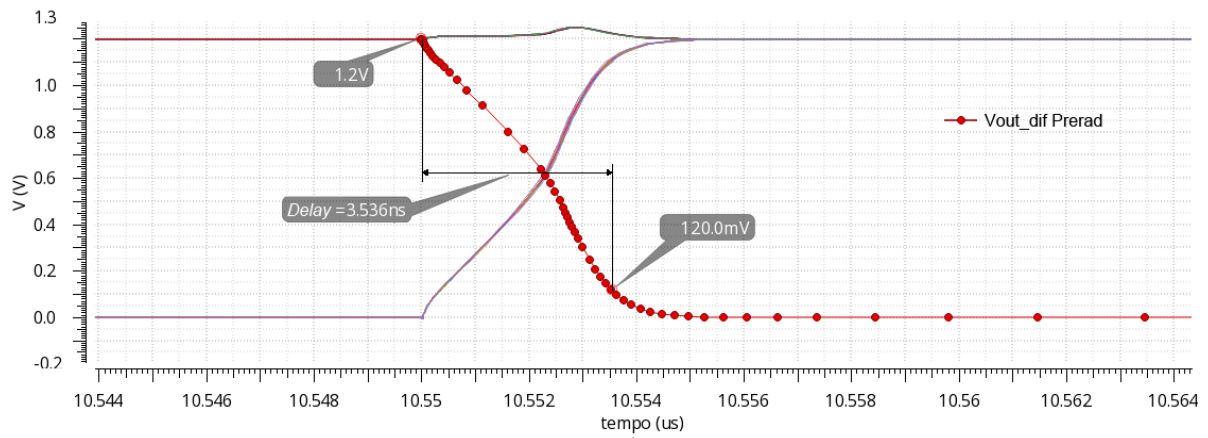
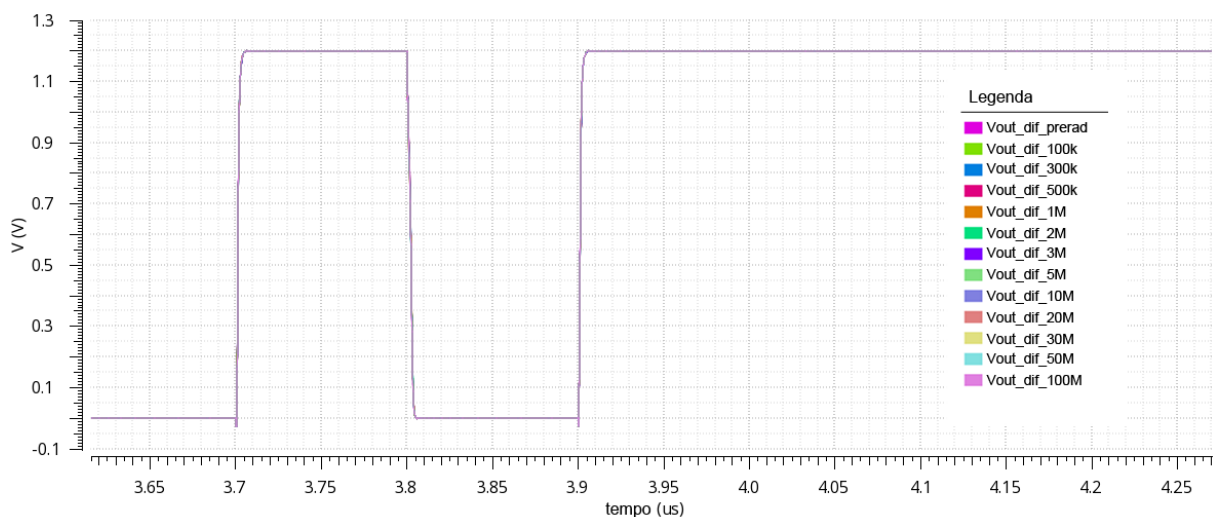


Figura 32 – Sobreposição de saídas  $V_{out+}(TID)$  e  $V_{out-}(TID)$  do comparador ELT no momento de *reset* para tensão diferencial de entrada  $V_{in} = 5mV$ .



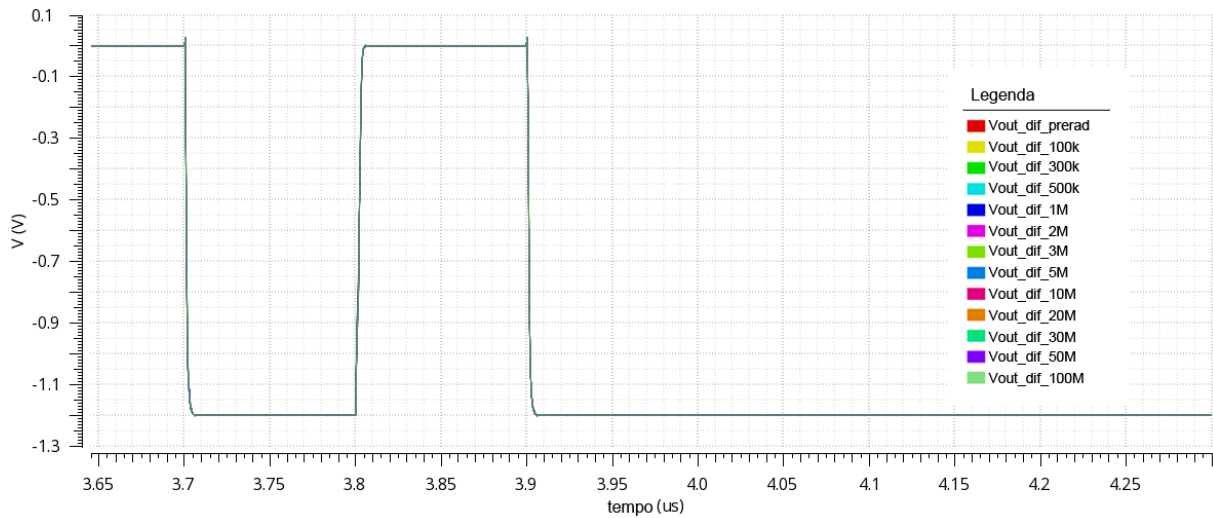
Dentre os efeitos esperados do aumento das correntes de fuga está o “vazamento” das cargas dos nós de saída, causando assim a perda do nível lógico com o passar do tempo. Simulações em que o *clock* é mantido ligado após algumas comparações verificam essa possibilidade, deixando o circuito em modo comparação sustentando a saída estática, tanto para saída de nível alto ( $V_{in} = 20mV$ ) quanto para nível baixo ( $V_{in} = -20mV$ ). Elas se encontram na Figura 33 e na Figura 34, respectivamente.

Figura 33 – Avaliação da possível degradação transiente do nível lógico da saída por vazamento de cargas do nó de saída ( $V_{in} = 20mV$ ).



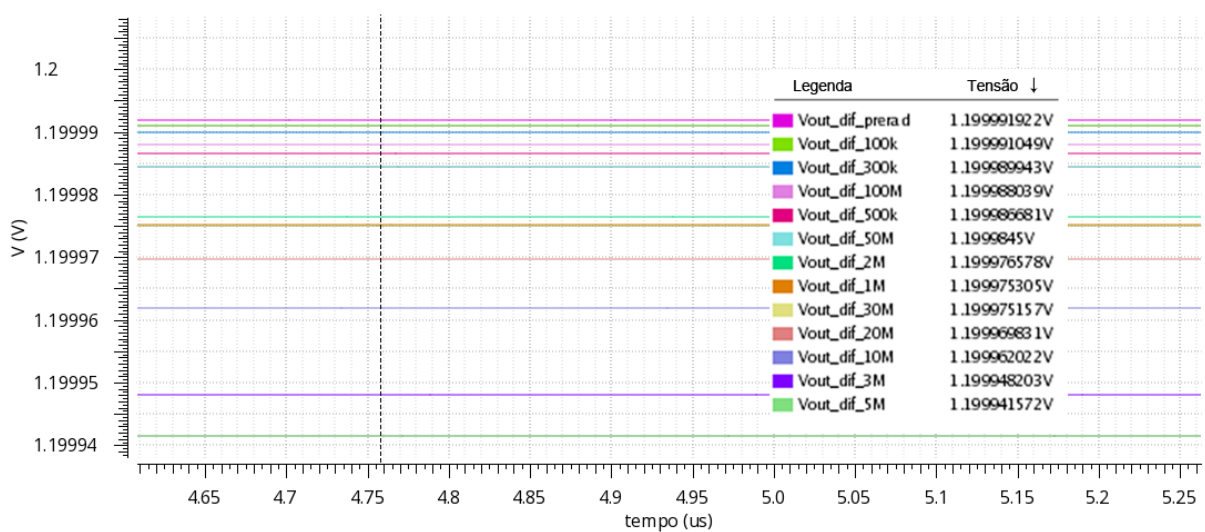
Nota-se que a saída não se degrada com o tempo. Isso é atribuído ao efeito regenerativo do *latch*, que tende a reforçar o nível lógico dos nós que o compõem. Apesar disso, na Figura 35, equivalente a Figura 33 mas com escala aumentada, nota-se uma suave

Figura 34 – Avaliação da possível degradação transiente do nível lógico da saída por vazamento de cargas do nó de saída ( $V_{in} = -20mV$ ).



degradação estática nos níveis lógicos das saídas. Este efeito é explicado pelo acréscimo das correntes de fuga que vêm a causar quedas de tensão no circuito. Esta variação, porém, acontece na casa das dezenas de  $\mu V$ , não sendo de fato preocupante nem mesmo para as maiores doses de radiação acumulada.

Figura 35 – Representação em escala aumentada da Figura 33 mostrando o efeito de degradação estática do nível lógico da saída. A legenda organiza em ordem crescente as doses de radiação que mais apresentam degradação.



Sobre a potência dissipada pelos circuitos, ela foi verificada pela integração da corrente consumida durante a simulação de acordo com a Equação 4.6, sendo  $T_{sim}$  o



tempo de simulação. Na Tabela 7 consta a potência média dissipada pelo circuito para cada dose TID.

$$P_{média}(TID) = \frac{V_{DD}}{T_{sim}} \cdot \int i(t, TID) dt \quad (4.6)$$

Tabela 7 – Consumo médio do circuito com transistores STD e ELT para cada dose de radiação.

Dose TID [rad]	P <sub>média</sub> [μW]	
Prerad	12,57	12,71
100k	12,59	12,70
300k	12,60	12,70
500k	12,66	12,69
1M	12,70	12,69
2M	12,72	12,70
3M	12,74	12,70
5M	12,76	12,70
10M	12,73	12,71
20M	12,71	12,71
30M	12,69	12,71
50M	12,68	12,72
100M	12,62	12,71
	<b>STD</b>	<b>ELT</b>

Nas simulações de SEEs, cujos gráficos estão disponíveis no Anexo D, a presença de *bitflips* varia de acordo com o caminho de absorção de cargas (junção PN de NMOS ou de PMOS) e do braço em que foram injetadas as cargas. Nas situações simuladas, com  $V_{in} = 5mV$ , a comparação deveria gerar nível lógico 1 ( $V_{out} = 1,2V$ ) na saída, como na Figura 36 em que a absorção de cargas é dada pelo transistor NMOS e ocorre em  $V_{out}$  3ns após a borda de subida do *clock*  $t_{RE}$ . O *bitflip* está exemplificado na Figura 37, em que a absorção de cargas ocorre no mesmo nó e pelo mesmo canal de absorção (transistor NMOS) mas apenas 2ns após  $t_{RE}$ , gerando um nível lógico 0 ( $V_{out} = -1,2V$ ).

Levando em conta que cargas absorvidas no nó por transistores NMOS geram correntes que causam queda na tensão deste e cargas absorvidas por transistores PMOS geram correntes que elevam a tensão do mesmo, fica nítido que para a atual situação em que a comparação normalmente deveria resultar em saída de nível lógico 1, SEEs que abaixam a tensão dos nós do braço positivo ( $V_{out+}$  e  $Di+$ ) ou elevam a tensão dos nós do braço negativo ( $V_{out-}$  e  $Di-$ ) tendem a causar *bitflip*. Em situação inversa não há falha. Para situação de comparação com saída de nível lógico 0 entende-se que o contrário seja verdadeiro, considerando a simetria do circuito. Outro detalhe interessante é o baixo efeito da injeção de cargas no nó *pol*, que acaba por atenuar a falha como um fenômeno de modo comum.



Tabela 9 – Ocorrência de *bitflip* (BF) ou de comparação normal (OK) para injeções de cargas absorvidas por transistor PMOS em simulação de SEEs (de acordo com simulações ilustradas no Anexo D).

Nó Atingido	0ns	1ns	2ns	3ns	4ns	5ns
Vout+	OK	OK	OK	OK	OK	OK
Vout-	BF	BF	BF	OK	OK	OK
Di+	OK	OK	OK	OK	OK	OK
Di-	BF	BF	OK	OK	OK	OK

Os tempos de recuperação de cada nó estão na Tabela 10, de acordo com o estado (*reset* ou comparação) e o canal de absorção de cargas (NMOS ou PMOS). Valores em estado de *reset* foram medidos 5ns atrás da borda de subida do *clock* ( $t_{RE} - 5ns$ ) e valores em estado de comparação 5ns a frente da borda de subida do *clock* ( $t_{RE} + 5ns$ ). Estas simulações mantêm os 5mV de entrada diferencial.

Tabela 10 – Tempos de recuperação das tensões de saída para a situação normal para cada nó em que o SEE pode ocorrer e para cada canal de absorção de cargas (junção PN de transistor NMOS ou PMOS).

	Vout+	Vout-	pol	Di+	Di-	
<i>Reset</i>	3ns	3,3ns	$\sim 0$	3,1ns	3,2ns	NMOS
	N/A	N/A	N/A	N/A	N/A	PMOS
Comparação	3,2ns	3,1ns	3,0ns	3,0ns	2,2ns	NMOS
	3,8ns	3,2ns	N/A	3,3ns	1,5ns	PMOS

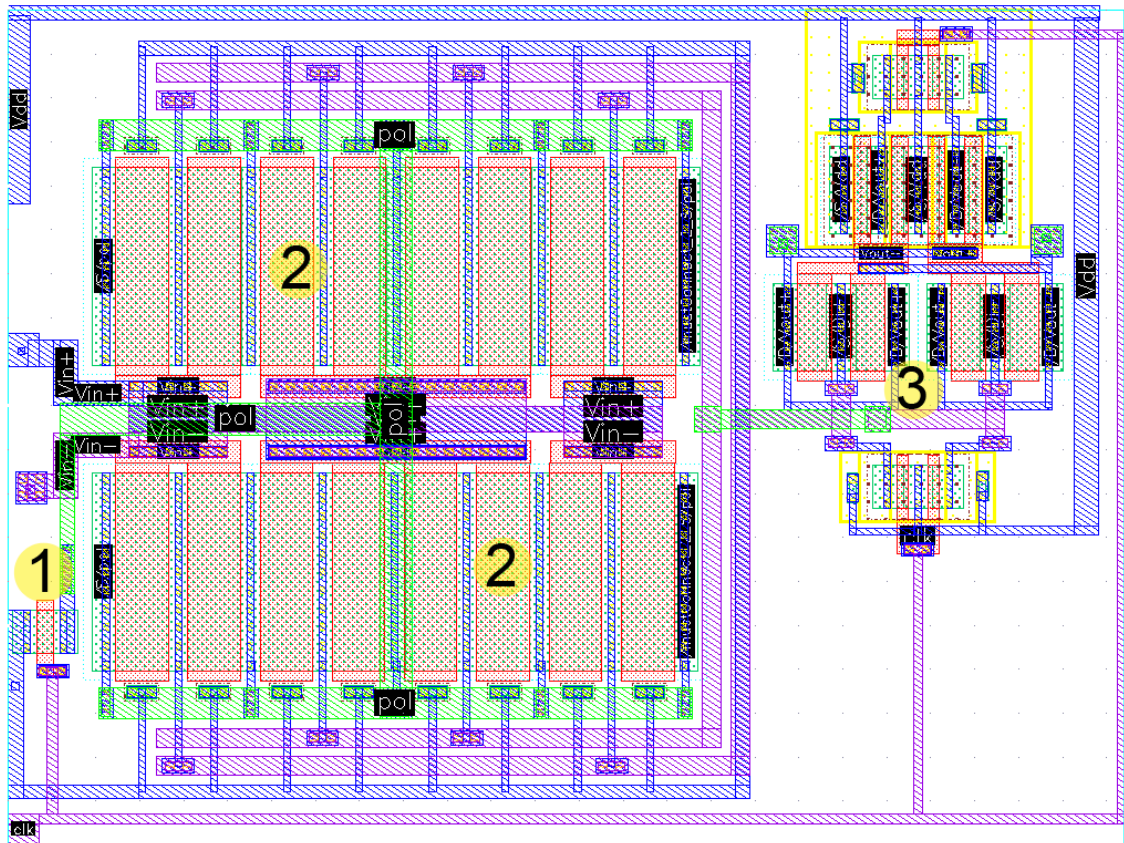
Os resultados das Tabelas 8 e 9 permitem considerar uma janela de  $\pm 3ns$  em volta de  $t_{RE}$  em que o circuito está suscetível a falhas por SEE. Pode-se relacionar esta janela aos resultados sobre o tempo de recuperação da tensão na saída do circuito presentes na Tabela 10. Considerando a frequência de operação do circuito, também pode-se obter a probabilidade de que, havendo incidência de partículas cuja LET seja da ordem de grandeza de  $100MeV \cdot cm^2/mg$ , ocorram falhas por SEE segundo a Equação 4.7.

$$SEE_{\text{prob}} = 10MHz \cdot t_{\text{janela}} = 0,06 = 6\% \quad (4.7)$$

Em relação à área em silício consumida pelas duas versões, pode-se analisar a Figura 38 em que uma versão do circuito STD está ilustrada. É bom deixar claro que os parâmetros extraídos deste *layout* não foram utilizados nas simulações, servindo apenas como estimativa de área consumida.

A maior parte da área consumida pelo circuito é referente ao par diferencial. Para estimar a dimensão do circuito ELT foi feita a troca da área consumida pelo par diferencial STD pelo par diferencial ELT, com os transistores arranjados como na Figura 39,

Figura 38 – *Layout* desenvolvido para o comparador STD. Sinalizados estão: (1) Transistor  $M1$ ; (2) Par diferencial disposto em centróide comum composto por  $M2$  e  $M3$ ; (3) Transistores  $M6$  e  $M7$  dispostos de forma interdigitada.

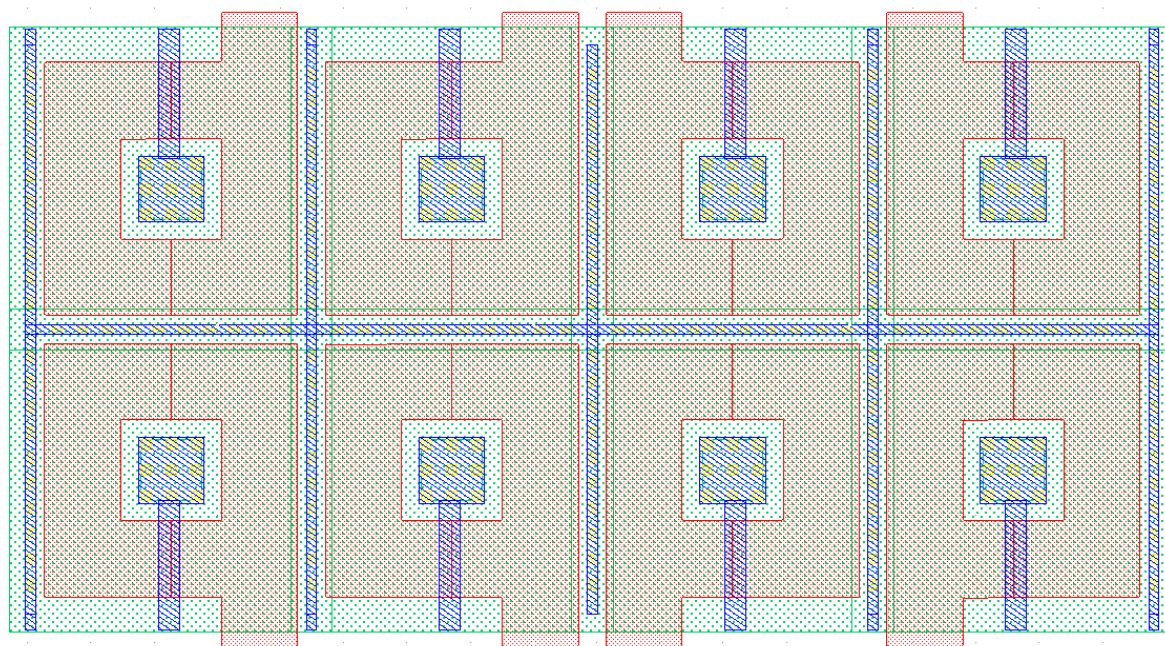


com difusão de fonte comum entre os transistores, ocupando menos espaço mas tendo capacitância ligeiramente diferente da calculada pela ferramenta na geração das *netlists*. Estas informações estão na Tabela 11, em que percebe-se a pequena diferença de consumo de área entre os dois circuitos.

Tabela 11 – Estimativa de área consumida para comparador STD e comparador ELT em função das dimensões dos respectivos pares diferenciais.

	Altura [ $\mu m$ ]	Largura [ $\mu m$ ]	Área [ $\mu m^2$ ]
Par STD	11,86	14,2	168,41
Par ELT	9,54	18,42	175,72
Circuito STD	19,09	25,45	485,84
Circuito ELT	–	–	493,15

Figura 39 – Arranjo de transistores ELT em centróide comum para compor o par diferencial com  $W/L = 30$  e  $9,54\mu m \times 18,42\mu m$ .



## 5 Conclusões

Este trabalho é uma análise qualitativa do comportamento de um circuito de sinais mistos em processo de fabricação GF130 em relação a efeitos da radiação ionizante, que devem ser considerados em projetos para aplicações como aviônica, missões espaciais e aceleradores de partículas. Diferente da impressão inicial, em que era esperado que as correntes de fuga prejudicassem o desempenho do circuito a ponto de serem necessárias técnicas HBD, a topologia projetada se comportou muito bem, tanto para efeitos transientes SEE quanto para efeitos cumulativos TID.

Atribui-se a robustez do circuito aos efeitos TID a diversos pontos, entre eles: (a) a topologia diferencial, que rejeita interferências globais (modo comum) - como aceita-se que o efeito TID se estabeleça a longo prazo -, e SEE em nós comuns aos dois braços do circuito; (b) ao ganho do par diferencial utilizado que rapidamente desequilibra as tensões de saída que ativam o *latch* com correntes de magnitude suficientemente grandes para desprezar a variação das correntes de fuga; (c) o efeito regenerativo do *latch*, que garante a estabilidade do nível lógico da saída mesmo para correntes de fuga incrementadas pelas cargas acumuladas. Recomenda-se que, para afirmar com certeza a robustez a efeitos TID, seja estudado um método de simulações que incorpore uma variabilidade nos valores  $\Delta V_{Th}(TID)$  e  $I_{leak}(TID)$  para tornar o modelo mais acurado. Para isso, no entanto, são necessários parâmetros de variabilidade de transistores irradiados, o que não é facilmente encontrado na literatura.

A robustez a SEE, por outro lado pode ser atribuída às dimensões dos transistores, que ao serem dimensionados para diminuir o descasamento dos braços do circuito acabam por ter capacitâncias suficientes para a carga absorvida pela incidência de partículas causar pouca variação nas tensões dos nós incididos. Baseado nisso afirma-se que técnicas para redução de descasamento de transistores acabam por conferir uma robustez a SEE intrínseca ao circuito.

Sobre a aplicação de transistores NMOS ELT, técnica HBD abordada, não se vê necessidade de sua aplicação, visto que o desempenho do circuito simulado com transistores ELT teve comportamento próximo do circuito padrão para as frequências e tensões analisadas. O consumo do circuito com transistores ELT tem um comportamento muito aproximado para todas as doses de radiação acumulada mas ainda da ordem de grandeza do correspondente STD. Destaca-se que a utilização dos transistores ELT deve ser feita com atenção, visto a dificuldade de casamento de transistores observada no estudo da bibliografia. Porém não se descarta a análise destes transistores neste trabalho, visto que acabou por gerar uma documentação que pode vir a colaborar para projetos futuros,

especialmente em circuitos de ultra-baixa potência, onde as correntes de carga e descarga dos nós podem vir a ser reduzidas à ordem de grandeza das correntes de fuga proveniente dos efeitos TID.

Nota-se que com descasamento entre os braços do circuito com as dimensões escolhidas ainda resulta em *offset* fora do ideal para um bom rendimento de fabricação. Como trabalho futuro pode-se repensar algumas dimensões a fim de enquadrar o circuito nos requisitos de aproveitamento de fabricação dados pela indústria. Técnicas de cancelamento de *offset* como utilização de pré-amplificador, capacitores chaveados e cancelamento digital são contraindicados por serem outra possível fonte de erro em relação a efeitos TID e SEEs.

Ainda sobre casamento de transistores, pode-se reparar (ao menos visualmente) no alto grau de simetria do par diferencial ELT e na pouca diferença da área de silício por ele ocupada em relação aos transistores padrão em função da fonte comum. O estudo do impacto da variabilidade de processos de fabricação no *offset* do par diferencial com transistores ELT em centróide comum é encorajado e pode vir a ter resultados interessantes inclusive para circuitos que precisem de pares diferenciais com baixa capacitância na saída, ao utilizar a composição com dreno interno.

## Referências Bibliográficas

ANDERSON, T. O. Optimum control logic for successive approximation analog-to-digital converters. *Deep Space Network Progress Report*, v. 13, p. 168–176, Novembro 1972.

BAGATIN, M.; GERARDIN, S. Introduction to the effects of radiation on electronic devices. In: \_\_\_\_\_. *Ionizing radiation effects in electronics : from memories to imagers*. [S.l.]: CRC Press, 2016. (Devices circuits and systems), p. 1–21. ISBN 9781498722636,1498722636.

BALEN, T. R. *Efeitos da radiação em dispositivos analógicos programáveis (FPAA's) e técnicas de proteção*. Tese (Doutorado) — Universidade Federal do Rio Grande do Sul. Escola de Engenharia. Programa de Pós-Graduação em Engenharia Elétrica., 2010.

BALEN, T. R. et al. Influence of alternate biasing on TID effects of irradiated mixed-signal programmable arrays. *IEEE Transactions on Nuclear Science*, v. 63, n. 4, p. 2390–2398, Agosto 2016. ISSN 0018-9499.

BECKER, T. E. et al. Single event transient effects on charge redistribution SAR ADCs. *Microelectronics Reliability*, Elsevier BV, v. 73, p. 22–35, Junho 2017. Disponível em: <<https://doi.org/10.1016/j.microrel.2017.04.002>>.

BOCHENEK, M. *Development of radiation resistant CMOS integrated circuits for the power distribution system in the upgraded ALTAS Semiconductor Tracker*. Tese (Doutorado) — AGH University of Science and Technology. Faculty of Physics and Applied Computer Science., 2012.

CARDOSO, G. S.; BALEN, T. R. Performance and simulation accuracy evaluation of analog circuits with enclosed layout transistors. *Analog Integrated Circuits and Signal Processing*, Springer Nature, v. 93, n. 3, p. 455–466, Setembro 2017. Disponível em: <<https://doi.org/10.1007/s10470-017-1050-z>>.

CHEN, D. G.; BERMAK, A. A low-power dynamic comparator with digital calibration for reduced offset mismatch. In: *2012 IEEE International Symposium on Circuits and Systems*. [S.l.: s.n.], 2012. p. 1283–1286. ISSN 0271-4302.

FACCIO, F. Radiation issues in the new generation of high energy physics experiments. *International Journal of High Speed Electronics and Systems*, World Scientific Pub Co Pte Lt, v. 14, n. 02, p. 379–399, Junho 2004. Disponível em: <<https://doi.org/10.1142/s0129156404002429>>.

FACCIO, F. Design hardening methodologies. In: VELAZCO, R.; FOUILLAT, P.; REIS, R. (Ed.). *Radiation Effects on Embedded Systems*. 1. ed. [S.l.]: Springer, 2007. p. 143–160. ISBN 1402056451,9781402056451,9781402056468.

FERLET-CAVROIS, V. et al. Statistical analysis of the charge collected in SOI and bulk devices under heavy lon and proton irradiation; implications for digital SETs. *IEEE Transactions on Nuclear Science*, v. 53, n. 6, p. 3242–3252, Dezembro 2006. ISSN 0018-9499.



- FUSCO, D.; BALEN, T. R. Radiation effects in low power and ultra low power voltage references. In: *2016 17th Latin-American Test Symposium (LATS)*. [S.l.: s.n.], 2016. p. 111–116.
- GIRALDO, A.; PACCAGNELLA, A.; MINZONI, A. Aspect ratio calculation in n-channel MOSFETs with a gate-enclosed layout. *Solid-State Electronics*, Elsevier BV, v. 44, n. 6, p. 981–989, Junho 2000. Disponível em: <[https://doi.org/10.1016/s0038-1101\(00\)00010-1](https://doi.org/10.1016/s0038-1101(00)00010-1)>.
- GOODALL, W. M. Telephony by pulse code modulation. *The Bell System Technical Journal*, v. 26, n. 3, p. 395–409, Julho 1947. ISSN 0005-8580.
- HUGHES, H. L.; BENEDETTO, J. M. Radiation effects and hardening of MOS technology: devices and circuits. *IEEE Transactions on Nuclear Science*, v. 50, n. 3, p. 500–521, Junho 2003. ISSN 0018-9499.
- HUTSON, J. M. et al. Single event-induced error propagation through nominally-off transmission gates. *IEEE Transactions on Nuclear Science*, v. 53, n. 6, p. 3558–3562, Dezembro 2006. ISSN 0018-9499.
- ITRS. *International Technology Roadmap for Semiconductors 2.0*. [S.l.], 2015.
- JEON, H. J. Master of Science, *Low-Power High-Speed Low-Offset Fully Dynamic CMOS Latched Comparator*. Boston, Massachussets: [s.n.], 2010. 64 p.
- KESTER, W. Which ADC architecture is right for your application? *Analog Dialogue*, v. 39, n. 2, 2005. Disponível em: <<http://www.analog.com/media/en/analog-dialogue/volume-39/number-2/articles/the-right-adc-architecture.pdf>>. Acesso em: 30 dez. 2017.
- KESTER, W. A brief history of data conversion: A tale of nozzles, relays, tubes, transistors, and CMOS. *IEEE Solid-State Circuits Magazine*, v. 7, n. 3, p. 16–37, 2015. ISSN 1943-0582.
- KHOSROV, D. S. A new offset cancelled latch comparator for high-speed, low-power ADCs. In: *2010 IEEE Asia Pacific Conference on Circuits and Systems*. [S.l.: s.n.], 2010. p. 13–16.
- KLIMACH, H. *Modelo do Descasamento (Mismatch) entre transistores MOS*. Tese (Doutorado) — Universidade Federal de Santa Catarina. Programa de Pós-Graduação em Engenharia Elétrica., 2008.
- MALOBERTI, F. *Notas Aula: Layout of analog CMOS integrated circuits pt. 2*. 2006. Disponível em: <<http://ims.unipv.it/Courses/download/AIC/Layout02.pdf>>.
- MOORE, G. E. Cramming more components onto integrated circuits, reprinted from electronics, volume 38, number 8, april 19, 1965, pp.114 ff. *IEEE Solid-State Circuits Society Newsletter*, v. 11, n. 3, p. 33–35, Setembro 2006. ISSN 1098-4232.
- NICOLAIDIS, M. *Soft Errors in Modern Electronic Systems*. New York: Springer, 2011.
- PELGROM, M. J. M.; TUINHOUT, H. P.; VERTREGT, M. Transistor matching in analog CMOS applications. In: *International Electron Devices Meeting 1998. Technical Digest (Cat. No.98CH36217)*. [S.l.: s.n.], 1998. p. 915–918. ISSN 0163-1918.

- RAZAVI, B. *Principles of Data Conversion System Design*. [S.l.]: IEEE Press, 1995. ISBN 0780310934,9780780310933.
- RAZAVI, B. A tale of two ADCs: Pipelined versus SAR. *IEEE Solid-State Circuits Magazine*, v. 7, n. 3, p. 38–46, 2015. ISSN 1943-0582.
- RAZAVI, B.; WOOLEY, B. A. A 12-b 5-Msample/s two-step CMOS A/D converter. *IEEE Journal of Solid-State Circuits*, v. 27, n. 12, p. 1667–1678, Dezembro 1992. ISSN 0018-9200.
- RAZAVI, B.; WOOLEY, B. A. Design techniques for high-speed, high-resolution comparators. *IEEE Journal of Solid-State Circuits*, v. 27, n. 12, p. 1916–1926, Dezembro 1992. ISSN 0018-9200.
- SCHWANK, J. R. et al. Radiation effects in MOS oxides. *IEEE Transactions on Nuclear Science*, v. 55, n. 4, p. 1833–1853, Agosto 2008. ISSN 0018-9499.
- SHARUDDIN, I.; LEE, L. Design of low power and improved tatch comparator for SAR ADC. In: *2014 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*. [S.l.: s.n.], 2014. p. 631–634.
- SIMIONOVSKI, A. Mestrado em Engenharia Elétrica, *Sensor de corrente transiente para detecção de SET com célula de memória dinâmica*. 2012.
- SNOEYS, W. et al. Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout chip. *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Elsevier BV, v. 439, n. 2-3, p. 349–360, Janeiro 2000. Disponível em: <[https://doi.org/10.1016/s0168-9002\(99\)00899-2](https://doi.org/10.1016/s0168-9002(99)00899-2)>.
- WANG, F.; AGRAWAL, V. D. Single event upset: An embedded tutorial. In: *21st International Conference on VLSI Design (VLSID 2008)*. [S.l.: s.n.], 2008. p. 429–434. ISSN 1063-9667.
- XUE, F. et al. Gate-enclosed NMOS transistors. *Journal of Semiconductors*, IOP Publishing, v. 32, n. 8, p. 084002, Agosto 2011. Disponível em: <<https://doi.org/10.1088/1674-4926/32/8/084002>>.
- ZHANG, D. Master of Science, *Design and Evaluation of an Ultra-Low Power Successive Approximation ADC*. Linköping, Suécia: [s.n.], 2009. 70 p.
- ZHENG, H.; FAN, X. A preamplifier-latch comparator for high accuracy high speed switched-capacitors pipelined ADC. In: *2014 9th International Symposium on Communication Systems, Networks Digital Sign (CSNDSP)*. [S.l.: s.n.], 2014. p. 1144–1148.

# ANEXO A – Descrições dos circuitos com transistores padrão e ELT em Spectre®

Nestas descrições há uma notação diferente para os transistores em relação aos utilizados no texto e na Figura 14. Nas descrições Spectre é trocado o sufixo  $M$  utilizado no texto por  $T$ .

## A.1 Descrição Spectre do circuito com transistores padrão.

```
// Generated for: spectre
// Generated on: May 17 18:07:21 2018
// Design library name: TID_SAR
// Design cell name: Comp_nmos_TB
// Design view name: schematic
simulator lang=spectre
global 0

//##### Abaixo os parâmetros de radiação TID #####
// Para cada simulação, descomentar os parâmetros da dose desejada e
// comentar todos os outros (com //)
//#####
//
//
//##### Prerad #####
parameters fclk=10M VthLatchN=0 VthLatchP=0 VthChaves=0 VthPol=0 VthPar=0 \
  IleakINV=0 IleakINVn=0 IleakPar=0 IleakPol=0 Vref=800m
//##### 100k #####
//parameters fclk=10M VthLatchN=-2.70E-3 VthLatchP=7.40E-5 VthChaves=5.20E
  -4 VthPol=-2.70E-3 VthPar=-1.10E-3 \
//  IleakINV=2.46E-10 IleakINVn=2.46E-10 IleakPar=2.56E-10 IleakPol=1.23E
  -10 Vref=800m
//##### 300k #####
//parameters fclk=10M VthLatchN=-6.20E-3 VthLatchP=-3.70E-4 VthChaves=-3.20
  E-3 VthPol=-6.20E-3 VthPar=-1.40E-3 \
//  IleakINV=7.16E-10 IleakINVn=7.16E-10 IleakPar=2.21E-9 IleakPol=3.58E
  -10 Vref=800m
//##### 500k #####
//parameters fclk=10M VthLatchN=-1.00E-2 VthLatchP=-1.40E-3 VthChaves=-6.30
  E-3 VthPol=-1.00E-2 VthPar=-5.40E-3 \
```

```
//      IleakINV=2.90E-9 IleakINVn=2.90E-9 IleakPar=3.74E-9 IleakPol=1.45E-9
      Vref=800m
//##### 1M #####
//parameters fclk=10M VthLatchN=-1.30E-2 VthLatchP=1.10E-3 VthChaves=2.60E
      -3 VthPol=-1.30E-2 VthPar=-7.50E-3 \
//      IleakINV=1.25E-8 IleakINVn=1.25E-8 IleakPar=6.44E-9 IleakPol=6.27E-9
      Vref=800m
//##### 2M #####
//parameters fclk=10M VthLatchN=-1.60E-2 VthLatchP=1.40E-3 VthChaves=2.70E
      -3 VthPol=-1.60E-2 VthPar=-8.30E-3 \
//      IleakINV=1.04E-8 IleakINVn=1.04E-8 IleakPar=7.30E-9 IleakPol=5.21E-9
      Vref=800m
//##### 3M #####
//parameters fclk=10M VthLatchN=-1.90E-2 VthLatchP=1.60E-3 VthChaves=3.00E
      -3 VthPol=-1.90E-2 VthPar=-7.50E-3 \
//      IleakINV=3.74E-8 IleakINVn=3.74E-8 IleakPar=2.70E-8 IleakPol=1.87E-8
      Vref=800m
//##### 5M #####
//parameters fclk=10M VthLatchN=-1.90E-2 VthLatchP=1.60E-3 VthChaves=3.90E
      -3 VthPol=-1.90E-2 VthPar=-8.00E-3 \
//      IleakINV=4.44E-8 IleakINVn=4.44E-8 IleakPar=3.54E-8 IleakPol=2.22E-8
      Vref=800m
//##### 10M #####
//parameters fclk=10M VthLatchN=-1.80E-2 VthLatchP=1.90E-3 VthChaves=4.50E
      -3 VthPol=-1.80E-2 VthPar=-7.80E-3 \
//      IleakINV=2.46E-8 IleakINVn=2.46E-8 IleakPar=2.21E-8 IleakPol=1.23E-8
      Vref=800m
//##### 20M #####
//parameters fclk=10M VthLatchN=-1.70E-2 VthLatchP=1.90E-3 VthChaves=4.40E
      -3 VthPol=-1.70E-2 VthPar=-7.20E-3 \
//      IleakINV=1.70E-8 IleakINVn=1.70E-8 IleakPar=1.47E-8 IleakPol=8.49E-9
      Vref=800m
//##### 30M #####
//parameters fclk=10M VthLatchN=-1.20E-2 VthLatchP=3.50E-3 VthChaves=5.90E
      -3 VthPol=-1.20E-2 VthPar=-6.40E-3 \
//      IleakINV=1.35E-8 IleakINVn=1.35E-8 IleakPar=1.20E-8 IleakPol=6.77E-9
      Vref=800m
//##### 50M #####
//parameters fclk=10M VthLatchN=-1.00E-2 VthLatchP=7.10E-3 VthChaves=8.60E
      -3 VthPol=-1.00E-2 VthPar=-6.40E-3 \
//      IleakINV=5.16E-9 IleakINVn=5.16E-9 IleakPar=1.00E-8 IleakPol=2.58E-9
      Vref=800m
//##### 100M #####
//parameters fclk=10M VthLatchN=-3.50E-3 VthLatchP=1.30E-2 VthChaves=1.30E
      -2 VthPol=-3.50E-3 VthPar=-2.20E-3 \
//      IleakINV=2.94E-9 IleakINVn=2.94E-9 IleakPar=7.06E-9 IleakPol=1.47E-9
      Vref=800m
```

```

//#####
//
include "/pdk/ibm/130nm/IBM_PDK//cmrf8sf/relDM/Spectre/models/design.scs"
include "/pdk/ibm/130nm/IBM_PDK//cmrf8sf/relDM/Spectre/models/allModels.scs
    " section=tt

// Library name: TID_SAR
// Cell name: Comp_nmos_STD2
// View name: schematic
subckt Comp_nmos_STD2 Gnd Vdd Vin\+ Vin\- Vout\+ Vout\- clk
parameters _par0 _par1 _par2 _par3 _par4 _par5 _par6 _par7
    T7 (Vout\+ net44 Di\+ Gnd) nfet l=780.0n w=2u nf=1 m=2 par=2 ngcon=1 \
        ad=1.1e-12 as=1.1e-12 pd=5.1u ps=5.1u nrd=0.11 nrs=0.11 rf_rsub=1 \
        plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
        rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
        \
        panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
        sb=5.5e-07 sd=0u dtemp=0
    T6 (Vout\- net45 Di\- Gnd) nfet l=780.0n w=2u nf=1 m=2 par=2 ngcon=1 \
        ad=1.1e-12 as=1.1e-12 pd=5.1u ps=5.1u nrd=0.11 nrs=0.11 rf_rsub=1 \
        plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
        rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
        \
        panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
        sb=5.5e-07 sd=0u dtemp=0
    T2 (Di\- net50 pol Gnd) nfet l=1.2u w=9u nf=1 m=4 par=4 ngcon=1 \
        ad=4.95e-12 as=4.95e-12 pd=19.1u ps=19.1u nrd=0.0244 nrs=0.0244 \
        rf_rsub=1 plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0
        \
        rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
        \
        panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
        sb=5.5e-07 sd=0u dtemp=0
    T3 (Di\+ net49 pol Gnd) nfet l=1.2u w=9u nf=1 m=4 par=4 ngcon=1 \
        ad=4.95e-12 as=4.95e-12 pd=19.1u ps=19.1u nrd=0.0244 nrs=0.0244 \
        rf_rsub=1 plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0
        \
        rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
        \
        panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
        sb=5.5e-07 sd=0u dtemp=0
    T1 (pol net48 Gnd Gnd) nfet l=520.0n w=2.98u nf=1 m=1 par=1 ngcon=1 \
        ad=1.639e-12 as=1.639e-12 pd=7.06u ps=7.06u nrd=0.0738 nrs=0.0738 \
        rf_rsub=1 plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0
        \
        rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
        \

```

```

panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
sb=5.5e-07 sd=0u dtemp=0
T5 (Vout\+ net52 Vdd Vdd) pfet l=260.0n w=1u nf=1 m=1 par=1 ngcon=1 \
ad=5.5e-13 as=5.5e-13 pd=3.1u ps=3.1u nrd=0.22 nrs=0.22 rf_rsub=1 \
plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
\
panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
sb=5.5e-07 sd=0u dtemp=0
T11 (Di\+ net51 Vdd Vdd) pfet l=260.0n w=1u nf=1 m=1 par=1 ngcon=1 \
ad=5.5e-13 as=5.5e-13 pd=3.1u ps=3.1u nrd=0.22 nrs=0.22 rf_rsub=1 \
plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
\
panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
sb=5.5e-07 sd=0u dtemp=0
T10 (Di\+ net54 Vdd Vdd) pfet l=260.0n w=1u nf=1 m=1 par=1 ngcon=1 \
ad=5.5e-13 as=5.5e-13 pd=3.1u ps=3.1u nrd=0.22 nrs=0.22 rf_rsub=1 \
plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
\
panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
sb=5.5e-07 sd=0u dtemp=0
T4 (Vout\+ net53 Vdd Vdd) pfet l=260.0n w=1u nf=1 m=1 par=1 ngcon=1 \
ad=5.5e-13 as=5.5e-13 pd=3.1u ps=3.1u nrd=0.22 nrs=0.22 rf_rsub=1 \
plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
\
panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
sb=5.5e-07 sd=0u dtemp=0
T9 (Vout\+ net46 Vdd Vdd) pfet l=390.0n w=2u nf=1 m=2 par=2 ngcon=1 \
ad=1.1e-12 as=1.1e-12 pd=5.1u ps=5.1u nrd=0.11 nrs=0.11 rf_rsub=1 \
plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
\
panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
sb=5.5e-07 sd=0u dtemp=0
T8 (Vout\+ net47 Vdd Vdd) pfet l=390.0n w=2u nf=1 m=2 par=2 ngcon=1 \
ad=1.1e-12 as=1.1e-12 pd=5.1u ps=5.1u nrd=0.11 nrs=0.11 rf_rsub=1 \
plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
\
panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
sb=5.5e-07 sd=0u dtemp=0
V10 (Vout\+ net44) vsource dc=_par0 type=dc
V9 (Vout\+ net45) vsource dc=_par0 type=dc
V8 (Vout\+ net47) vsource dc=_par1 type=dc

```

```

V7 (Vout\ - net46) vsource dc=_par1 type=dc
V6 (clk net54) vsource dc=_par2 type=dc
V5 (clk net53) vsource dc=_par2 type=dc
V4 (clk net51) vsource dc=_par2 type=dc
V3 (clk net52) vsource dc=_par2 type=dc
V2 (clk net48) vsource dc=_par3 type=dc
V1 (Vin\ - net49) vsource dc=_par4 type=dc
V0 (Vin\ + net50) vsource dc=_par4 type=dc
IT7 (Vout\ + Di\ +) isource dc=_par5 type=dc
IT6 (Vout\ - Di\ -) isource dc=_par5 type=dc
IT1 (pol Gnd) isource dc=_par6 type=dc
IT3 (Di\ + pol) isource dc=_par7 type=dc
IT2 (Di\ - pol) isource dc=_par7 type=dc
ends Comp_nmos_STD2
// End of subcircuit definition.

// Library name: TID_SAR
// Cell name: Comp_nmos_TB
// View name: schematic
V1 (Vin\ + 0) vsource type=pwl file="/home/ic/thales.ribeiro/stimulus1.csv"
V2 (Vin\ - 0) vsource dc=Vref type=dc
V0 (net06 0) vsource dc=1.2 type=dc
Vclk (clk 0) vsource type=pulse val0=0 vall=1.2 period=1/fclk rise=20p \
    fall=20p fundname="fclock"
I9 (0 net06 Vin\ + Vin\ - Vout\ + Vout\ - clk) Comp_nmos_STD2 _par0=VthLatchN \
    _par1=VthLatchP _par2=VthChaves _par3=VthPol _par4=VthPar \
    _par5=IleakINV _par6=IleakPol _par7=IleakPar
C0 (Vout\ + 0) capacitor c=100f
C1 (Vout\ - 0) capacitor c=100f
simulatorOptions options reltol=1e-3 vabstol=1e-6 iabstol=1e-12 temp=27 \
    tnom=27 scalem=1.0 scale=1.0 gmin=1e-12 rforce=1 maxnotes=5 maxwarns=5
    \
    digits=5 cols=80 pivrel=1e-3 sensfile="../psf/sens.output" \
    checklimitdest=psf
tran tran stop=2.0077010e-5 errpreset=conservative write="spectre.ic" \
    writefinal="spectre.fc" annotate=status maxiters=5
finalTimeOP info what=oppoint where=rawfile
modelParameter info what=models where=rawfile
element info what=inst where=rawfile
outputParameter info what=output where=rawfile
designParamVals info what=parameters where=rawfile
primitives info what=primitives where=rawfile
subckts info what=subckts where=rawfile
save V0:p
saveOptions options save=allpub

```

## A.2 Descrição Spectre do circuito com transistores ELT.

```
// Generated for: spectre
// Generated on: May 17 18:07:21 2018
// Design library name: TID_SAR
// Design cell name: Comp_nmos_TB
// Design view name: schematic
simulator lang=spectre
global 0

//##### Abaixo os parâmetros de radiação TID #####
// Para cada simulação, descomentar os parâmetros da dose desejada e
// comentar todos os outros (com //)
//#####
//
//##### Prerad #####
parameters fclk=10M VthLatchN=0 VthLatchP=0 VthChaves=0 VthPol=0 VthPar=0 \
  IleakINV=0 IleakINVn=0 IleakPar=0 IleakPol=0 Vref=800m
//##### 100k #####
//parameters fclk=10M VthLatchN=2.30E-4 VthLatchP=7.40E-5 VthChaves=5.20E-4
  VthPol=2.30E-4 VthPar=2.30E-4 \
//  IleakINV=1.00E-11 IleakINVn=1.00E-11 IleakPar=4.00E-11 IleakPol=1.00E
  -11 Vref=800m
//##### 300k #####
//parameters fclk=10M VthLatchN=7.60E-4 VthLatchP=-3.70E-4 VthChaves=-3.20E
  -3 VthPol=7.60E-4 VthPar=7.60E-4 \
//  IleakINV=-1.00E-11 IleakINVn=-1.00E-11 IleakPar=-4.00E-11 IleakPol
  =-1.00E-11 Vref=800m
//##### 500k #####
//parameters fclk=10M VthLatchN=1.00E-3 VthLatchP=-1.40E-3 VthChaves=-6.30E
  -3 VthPol=1.00E-3 VthPar=1.00E-3 \
//  IleakINV=-1.00E-11 IleakINVn=-1.00E-11 IleakPar=-4.00E-11 IleakPol
  =-1.00E-11 Vref=800m
//##### 1M #####
//parameters fclk=10M VthLatchN=1.00E-3 VthLatchP=1.10E-3 VthChaves=2.60E-3
  VthPol=1.00E-3 VthPar=1.00E-3 \
//  IleakINV=1.00E-11 IleakINVn=1.00E-11 IleakPar=4.00E-11 IleakPol=1.00E
  -11 Vref=800m
//##### 2M #####
//parameters fclk=10M VthLatchN=2.30E-4 VthLatchP=1.40E-3 VthChaves=2.70E-3
  VthPol=2.30E-4 VthPar=2.30E-4 \
//  IleakINV=4.00E-11 IleakINVn=4.00E-11 IleakPar=1.60E-10 IleakPol=4.00E
  -11 Vref=800m
//##### 3M #####
//parameters fclk=10M VthLatchN=4.90E-4 VthLatchP=1.60E-3 VthChaves=3.00E-3
  VthPol=4.90E-4 VthPar=4.90E-4 \
```



```

//      IleakINV=4.00E-11 IleakINVn=4.00E-11 IleakPar=1.60E-10 IleakPol=4.00E
-11 Vref=800m
//##### 5M #####
//parameters fclk=10M VthLatchN=4.90E-4 VthLatchP=1.60E-3 VthChaves=3.90E-3
      VthPol=4.90E-4 VthPar=4.90E-4 \
//      IleakINV=6.20E-11 IleakINVn=6.20E-11 IleakPar=2.48E-10 IleakPol=6.20E
-11 Vref=800m
//##### 10M #####
//parameters fclk=10M VthLatchN=-3.80E-5 VthLatchP=1.90E-3 VthChaves=4.50E
-3 VthPol=-3.80E-5 VthPar=-3.80E-5 \
//      IleakINV=9.50E-11 IleakINVn=9.50E-11 IleakPar=3.80E-10 IleakPol=9.50E
-11 Vref=800m
//##### 20M #####
//parameters fclk=10M VthLatchN=-3.00E-4 VthLatchP=1.90E-3 VthChaves=4.40E
-3 VthPol=-3.00E-4 VthPar=-3.00E-4 \
//      IleakINV=1.42E-10 IleakINVn=1.42E-10 IleakPar=5.68E-10 IleakPol=1.42E
-10 Vref=800m
//##### 30M #####
//parameters fclk=10M VthLatchN=-3.00E-4 VthLatchP=3.50E-3 VthChaves=5.90E
-3 VthPol=-3.00E-4 VthPar=-3.00E-4 \
//      IleakINV=1.54E-10 IleakINVn=1.54E-10 IleakPar=6.16E-10 IleakPol=1.54E
-10 Vref=800m
//##### 50M #####
//parameters fclk=10M VthLatchN=-3.00E-4 VthLatchP=7.10E-3 VthChaves=8.60E
-3 VthPol=-3.00E-4 VthPar=-3.00E-4 \
//      IleakINV=1.54E-10 IleakINVn=1.54E-10 IleakPar=6.16E-10 IleakPol=1.54E
-10 Vref=800m
//##### 100M #####
//parameters fclk=10M VthLatchN=7.60E-4 VthLatchP=1.30E-2 VthChaves=1.30E-2
      VthPol=7.60E-4 VthPar=7.60E-4 \
//      IleakINV=1.30E-10 IleakINVn=1.30E-10 IleakPar=5.20E-10 IleakPol=1.30E
-10 Vref=800m
//#####
//
include "/pdk/ibm/130nm/IBM_PDK//cmrf8sf/relDM/Spectre/models/design.scs"
include "/pdk/ibm/130nm/IBM_PDK//cmrf8sf/relDM/Spectre/models/allModels.scs
      " section=tt

// Library name: TID_SAR
// Cell name: Comp_nmos_STD2
// View name: schematic
subckt Comp_nmos_STD2 Gnd Vdd Vin\+ Vin\- Vout\+ Vout\- clk
parameters _par0 _par1 _par2 _par3 _par4 _par5 _par6 _par7
      T7 (Vout\+ net44 Di\+ Gnd) nfet l=780.0n w=3.99u nf=1 m=1 par=1 ngcon=1
      \
      ad=0.3836e-12 as=5.8744e-12 pd=2.4331u ps=21.3131u nrd=0.055 nrs
      =0.055 \

```

```

rf_rsub=1 plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
  rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
  \
  panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
  sb=5.5e-07 sd=0u dtemp=0
T6 (Vout\ - net45 Di\ - Gnd) nfet l=780.0n w=3.99u nf=1 m=1 par=1 ngcon=1 \
  \
  ad=0.3836e-12 as=5.8744e-12 pd=2.4331u ps=21.3131u nrd=0.055 nrs
  =0.055 \
rf_rsub=1 plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
  rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
  \
  panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
  sb=5.5e-07 sd=0u dtemp=0
T2 (Di\ - net50 pol Gnd) nfet l=1.2u w=9.01u nf=1 m=4 par=4 ngcon=1 \
  ad=2.7548e-12 as=10.0104e-12 pd=6.5931u ps=36.3531u nrd=0.0244 nrs
  =0.0244 \
  rf_rsub=1 plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0
  \
  rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
  \
  panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
  sb=5.5e-07 sd=0u dtemp=0
T3 (Di\ + net49 pol Gnd) nfet l=1.2u w=9.01u nf=1 m=4 par=4 ngcon=1 \
  ad=2.7548e-12 as=10.0104e-12 pd=6.5931u ps=36.3531u nrd=0.0244 nrs
  =0.0244 \
  rf_rsub=1 plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0
  \
  rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
  \
  panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
  sb=5.5e-07 sd=0u dtemp=0
T1 (pol net48 Gnd Gnd) nfet l=520.0n w=2.98u nf=1 m=1 par=1 ngcon=1 \
  ad=0.2492e-12 as=4.4664e-12 pd=1.9531u ps=16.1931u nrd=0.0738 nrs
  =0.0738 \
  rf_rsub=1 plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0
  \
  rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
  \
  panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
  sb=5.5e-07 sd=0u dtemp=0
T5 (Vout\ + net52 Vdd Vdd) pfet l=260.0n w=1u nf=1 m=1 par=1 ngcon=1 \
  ad=5.5e-13 as=5.5e-13 pd=3.1u ps=3.1u nrd=0.22 nrs=0.22 rf_rsub=1 \
  plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
  rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
  \
  panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \

```

```

sb=5.5e-07 sd=0u dtemp=0
T11 (Di\+ net51 Vdd Vdd) pfet l=260.0n w=1u nf=1 m=1 par=1 ngcon=1 \
ad=5.5e-13 as=5.5e-13 pd=3.1u ps=3.1u nrd=0.22 nrs=0.22 rf_rsub=1 \
plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
\
panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
sb=5.5e-07 sd=0u dtemp=0
T10 (Di\+ net54 Vdd Vdd) pfet l=260.0n w=1u nf=1 m=1 par=1 ngcon=1 \
ad=5.5e-13 as=5.5e-13 pd=3.1u ps=3.1u nrd=0.22 nrs=0.22 rf_rsub=1 \
plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
\
panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
sb=5.5e-07 sd=0u dtemp=0
T4 (Vout\+ net53 Vdd Vdd) pfet l=260.0n w=1u nf=1 m=1 par=1 ngcon=1 \
ad=5.5e-13 as=5.5e-13 pd=3.1u ps=3.1u nrd=0.22 nrs=0.22 rf_rsub=1 \
plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
\
panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
sb=5.5e-07 sd=0u dtemp=0
T9 (Vout\+ net46 Vdd Vdd) pfet l=390.0n w=2u nf=1 m=2 par=2 ngcon=1 \
ad=1.1e-12 as=1.1e-12 pd=5.1u ps=5.1u nrd=0.11 nrs=0.11 rf_rsub=1 \
plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
\
panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
sb=5.5e-07 sd=0u dtemp=0
T8 (Vout\+ net47 Vdd Vdd) pfet l=390.0n w=2u nf=1 m=2 par=2 ngcon=1 \
ad=1.1e-12 as=1.1e-12 pd=5.1u ps=5.1u nrd=0.11 nrs=0.11 rf_rsub=1 \
plnest=-1 plorient=-1 pld200=-1 pwd100=-1 lstis=1 lnws=0 \
rgatemod=0 rbodysmod=0 panw1=0p panw2=0p panw3=0p panw4=0p panw5=0p
\
panw6=0p panw7=0p panw8=0p panw9=0p panw10=0p sa=5.5e-07 \
sb=5.5e-07 sd=0u dtemp=0
V10 (Vout\+ net44) vsource dc=_par0 type=dc
V9 (Vout\+ net45) vsource dc=_par0 type=dc
V8 (Vout\+ net47) vsource dc=_par1 type=dc
V7 (Vout\+ net46) vsource dc=_par1 type=dc
V6 (clk net54) vsource dc=_par2 type=dc
V5 (clk net53) vsource dc=_par2 type=dc
V4 (clk net51) vsource dc=_par2 type=dc
V3 (clk net52) vsource dc=_par2 type=dc
V2 (clk net48) vsource dc=_par3 type=dc
V1 (Vin\+ net49) vsource dc=_par4 type=dc
V0 (Vin\+ net50) vsource dc=_par4 type=dc

```

```

IT7 (Vout\+ Di\+) isource dc=_par5 type=dc
IT6 (Vout\- Di\-) isource dc=_par5 type=dc
IT1 (pol Gnd) isource dc=_par6 type=dc
IT3 (Di\+ pol) isource dc=_par7 type=dc
IT2 (Di\- pol) isource dc=_par7 type=dc
ends Comp_nmos_STD2
// End of subcircuit definition.

// Library name: TID_SAR
// Cell name: Comp_nmos_TB
// View name: schematic
V1 (Vin\+ 0) vsource type=pwl file="/home/ic/thales.ribeiro/stimulus1.csv"
V2 (Vin\- 0) vsource dc=Vref type=dc
V0 (net06 0) vsource dc=1.2 type=dc
Vclk (clk 0) vsource type=pulse val0=0 vall=1.2 period=1/fclk rise=20p \
    fall=20p fundname="fclock"
I9 (0 net06 Vin\+ Vin\- Vout\+ Vout\- clk) Comp_nmos_STD2 _par0=VthLatchN \
    _par1=VthLatchP _par2=VthChaves _par3=VthPol _par4=VthPar \
    _par5=IleakINV _par6=IleakPol _par7=IleakPar
C0 (Vout\+ 0) capacitor c=100f
C1 (Vout\- 0) capacitor c=100f
simulatorOptions options reltol=1e-3 vabstol=1e-6 iabstol=1e-12 temp=27 \
    tnom=27 scalem=1.0 scale=1.0 gmin=1e-12 rforce=1 maxnotes=5 maxwarns=5
    \
    digits=5 cols=80 pivrel=1e-3 sensfile="../psf/sens.output" \
    checklimitdest=psf
tran tran stop=2.0077010e-5 errpreset=conservative write="spectre.ic" \
    writefinal="spectre.fc" annotate=status maxiters=5
finalTimeOP info what=oppoint where=rawfile
modelParameter info what=models where=rawfile
element info what=inst where=rawfile
outputParameter info what=output where=rawfile
designParamVals info what=parameters where=rawfile
primitives info what=primitives where=rawfile
subckts info what=subckts where=rawfile
save V0:p
saveOptions options save=allpub

```

## ANEXO B – *Script* para cálculo de razões de aspecto, áreas e perímetros de ELTs

```

import numpy as np
import matplotlib.pyplot as plt

# Código em Python que plota gráficos de razão de aspecto em função da
# variavel d (dimensão do dreno/fonte interno) para L fixo.
# Função ELT_calc calcula a razão de aspecto extraída pela ferramenta
# EDA e pelos modelos teóricos (Giraldo, Xue e Snoeys) para L e d
# determinados.
# Em laço "for" são gerados os valores para diferentes d's com
# incrementos de 0.01um, grid que deve ser respeitado segundo o PDK.
# Decidido o d a ser utilizado pode-se calcular as áreas e perímetro
# de dreno e fonte (ad, as, pd e ps) do transistor projetado com
# ELT_area_per

def ELT_calc(L, d = 0.44):
    a = 0.02
    c = np.sqrt(2)*a

    # PDK permite diff = 0.55 sem GRLOGIC e 0.20 com GRLOGIC.
    diff = 0.55
    d_lin = d + a

    ##### W/L de EDA #####

    aspectRatio_edal30 = ( 2*diff + 7*L + 8*d_lin + 8*c )/( L )

    aspectRatio_edal30_corrigido = aspectRatio_edal30/2

    ##### Modelo Giraldo #####

    alpha = 0.05 # dependente da tecnologia

    delta = 0.5 * np.sqrt( alpha**2 + 2*alpha + 5 )

    part1 = alpha/np.log( d_lin/( d_lin - 2*alpha*L ) )
    part2 = 1/delta * ( 1-alpha )/( -np.log(alpha) )
    part3 = 1/2 * c/( np.sqrt(2)*L )

```

```

aspectRatio_gir = 4*2*( part1 + part2 + part3 )

#### Modelo Snoeys ####

aspectRatio_sno = 8 / np.log( ( d + 2*L )/d )

#### Modelo Xue ####

C = 2 # Coeficiente de correcao mais usado

aspectRatio_xue = 4*d /L + C

return [aspectRatio_edal30_corrigido , aspectRatio_gir ,
        aspectRatio_sno, aspectRatio_xue ]

#####
# Após escolher d pelos gráficos plotados, utilizar esta função para obter
# de área e perímetro.
#####
def ELT_area_per(L, d):
    a =0.02
    c = np.sqrt(2)*a

    # PDK permite diff = 0.55 sem GRLOGIC e 0.20 com GRLOGIC.
    diff = 0.55
    d_lin = d + a

    Area_int = d**2 - 2*a**2 # Area do quadrado central - 4x triangulos
        recortados
    Area_ext = 4*diff*(d+L) + 4*diff**2 + a**2 # No calculo dos cantos
        cortados, considerar apenas dois, pois um dos cortes nao tem e o
        outro corte diminui a area
    Per_int = 4*d_lin + 4*c
    Per_ext = 4*(2*diff + 2*L + d) + 4*(d_lin + 2*L) + 4*c

    return [Area_int, Area_ext, Per_int, Per_ext]

#### OBJETIVO: plotar gráfico da razão de aspecto em função do d para L
determinado

i = 0
d = np.arange(0.44,2.6,0.01)

```

```
N = d.size

aspectRatio_edal30_corrigido = np.zeros(N)
aspectRatio_gir = np.zeros(N)
aspectRatio_sno = np.zeros(N)
aspectRatio_xue = np.zeros(N)

for daux in d:
    L = 0.78
    [aspectRatio_edal30_corrigido[i] , aspectRatio_gir[i] , aspectRatio_sno
     [i], aspectRatio_xue[i] ] = ELT_calc(L,d = d[i])
    i = i+1

fig,ax = plt.subplots()
ax.plot(d,aspectRatio_edal30_corrigido, 'tab:orange', linestyle = 'solid',
        label = 'EDA130')
ax.plot(d,aspectRatio_gir, 'tab:purple', linestyle = 'dashdot',marker = 'o'
        , label = 'GIR')
ax.plot(d,aspectRatio_sno, 'tab:blue' , linestyle = 'dotted', label = 'SNO'
        )
ax.plot(d,aspectRatio_xue, 'tab:cyan', linestyle = 'dashed' , label = 'XUE'
        )
plt.xlabel('d [um]')
plt.ylabel('Razão de aspecto (W/L)')
legend = ax.legend(loc = 'upper right')
ax.grid(linestyle = '-',which = 'both')

plt.show()
```

## ANEXO C – Script para geração de $V_{PWL}$

```

# Código em Python que gera arquivo .csv com os pares tempo-tensão
# necessários para gerar uma "rampa discreta", que a cada período de
# clock incrementa o valor da saída em um valor de step.
# HOW TO: Setar valores de "Vstep", "fclock", "trf" e os valores de
# inicio da rampa "Vfrom" e de final da rampa "Vto". Se quiser modificar
# o nome do arquivo de saída, alterar a string "arquivo".
# Atenção: garantir que o arquivo de saída está em branco, pois este
# script usa "append".

Vstep = 100e-6      # 100uV de Step
fclock = 10e6      # 10MHz de clock
tstep = 1/fclock   # Período
trf = 20e-12       # Tempo de subida/descida
arquivo = 'stimulus1.csv'
Vfrom = 750e-3     # Onde começa a varrer o sinal
Vto = 850e-3      # Onde termina de varrer o sinal

i= 0      # Contador pra verificar paridade (valores pares tem rise e fall do
          sinal)

tout = tstep/2 - trf/2      # Inicialização da variavel. É preciso
                             contabilizar o tempo de subida
vout = Vfrom                # //

fd = open(arquivo,'a')
fd.write('%0.5e' % tout + ' %0.4e \n' % vout) # %0.5e e %0.4e determinam o nú
        mero de algarismos
fd.close()

while (vout < Vto):
    if i%2==0:
        vout += Vstep
        tout += trf
    else:
        vout = vout
        tout += tstep - trf/2
    i += 1

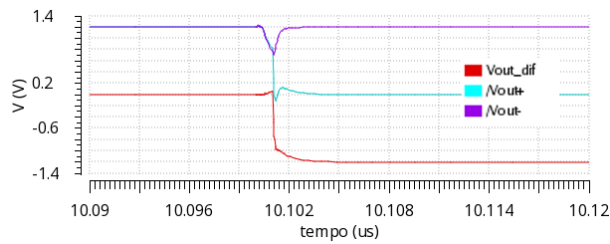
fd = open(arquivo,'a')
fd.write('%0.5e' % tout + ' %0.4e \n' % vout)
fd.close()

```

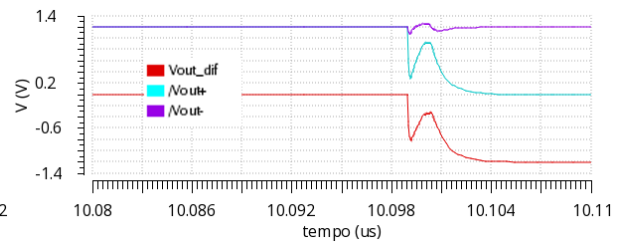


## ANEXO D – Injeções de falhas

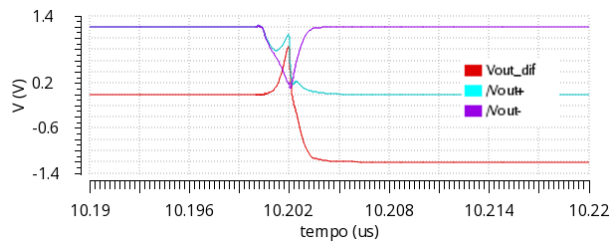
Figura 40 – Simulações de injeção de falhas em volta da borda de subida do *clock*  $t_{RE}$  para absorção por transistor NMOS em  $V_{out+}$  com  $V_{in} = 5mV$ .



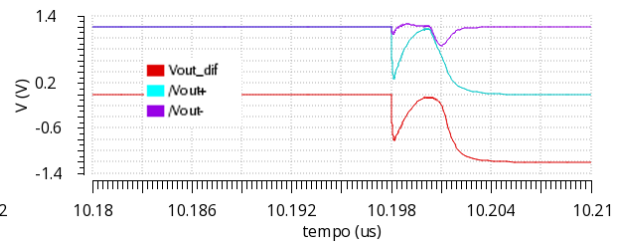
(a) Injeção de falhas em  $(t_{RE} + 1ns)$ .



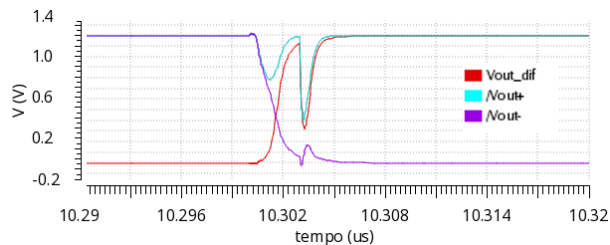
(b) Injeção de falhas em  $(t_{RE} - 1ns)$ .



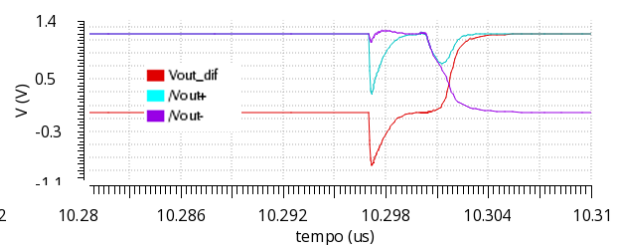
(c) Injeção de falhas em  $(t_{RE} + 2ns)$ .



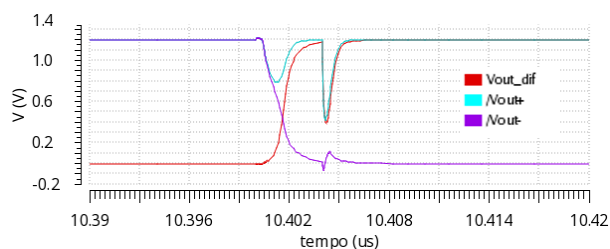
(d) Injeção de falhas em  $(t_{RE} - 2ns)$ .



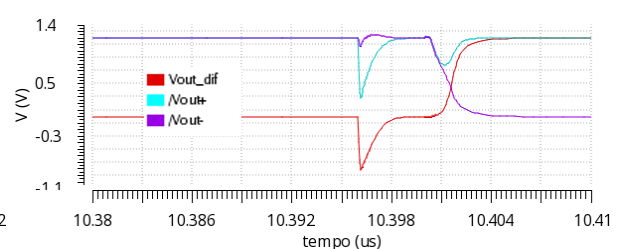
(e) Injeção de falhas em  $(t_{RE} + 3ns)$ .



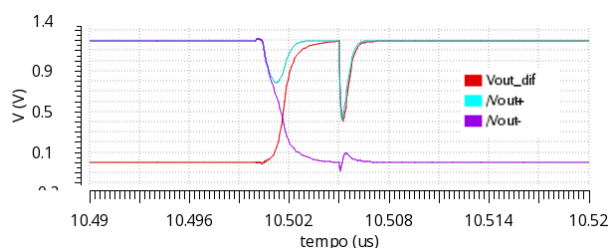
(f) Injeção de falhas em  $(t_{RE} - 3ns)$ .



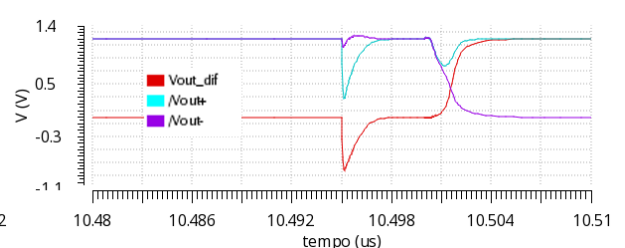
(g) Injeção de falhas em  $(t_{RE} + 4ns)$ .



(h) Injeção de falhas em  $(t_{RE} - 4ns)$ .

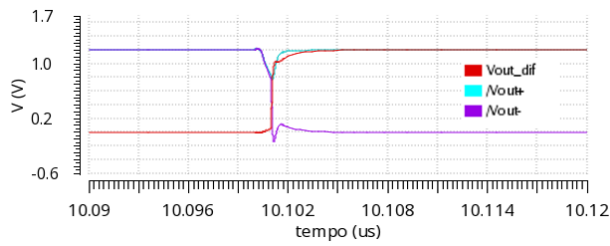


(i) Injeção de falhas em  $(t_{RE} + 5ns)$ .

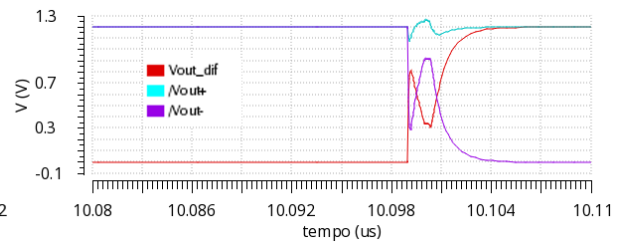


(j) Injeção de falhas em  $(t_{RE} - 5ns)$ .

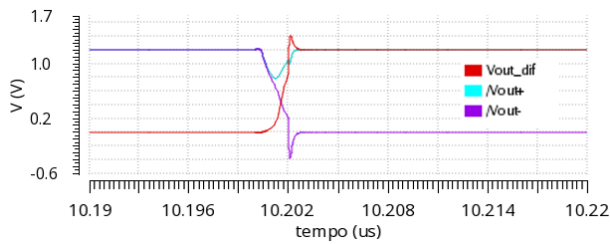
Figura 41 – Simulações de injeção de falhas em volta da borda de subida do *clock*  $t_{RE}$  para absorção por transistor NMOS em  $V_{out-}$  com  $V_{in} = 5mV$ .



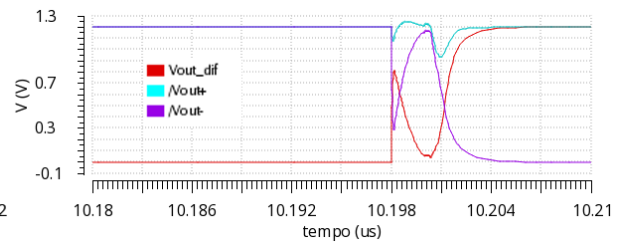
(a) Injeção de falhas em  $(t_{RE} + 1ns)$ .



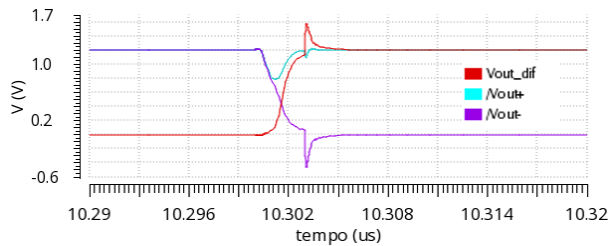
(b) Injeção de falhas em  $(t_{RE} - 1ns)$ .



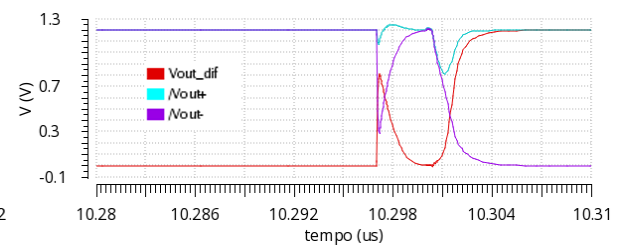
(c) Injeção de falhas em  $(t_{RE} + 2ns)$ .



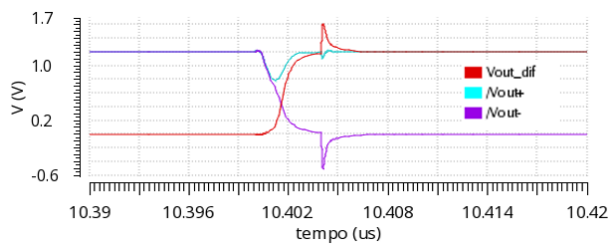
(d) Injeção de falhas em  $(t_{RE} - 2ns)$ .



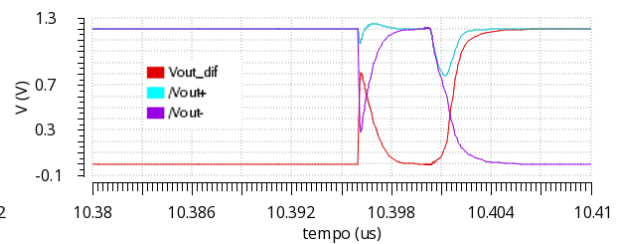
(e) Injeção de falhas em  $(t_{RE} + 3ns)$ .



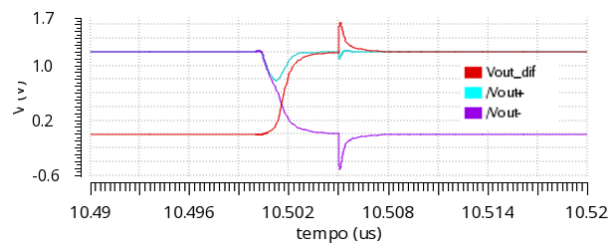
(f) Injeção de falhas em  $(t_{RE} - 3ns)$ .



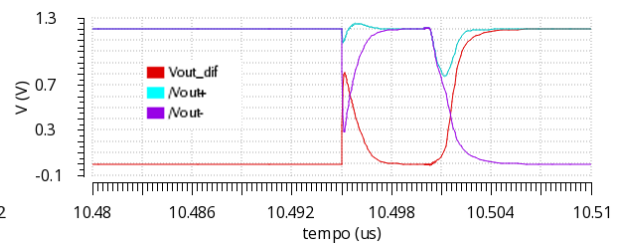
(g) Injeção de falhas em  $(t_{RE} + 4ns)$ .



(h) Injeção de falhas em  $(t_{RE} - 4ns)$ .

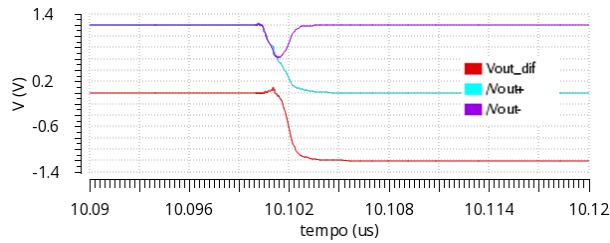


(i) Injeção de falhas em  $(t_{RE} + 5ns)$ .

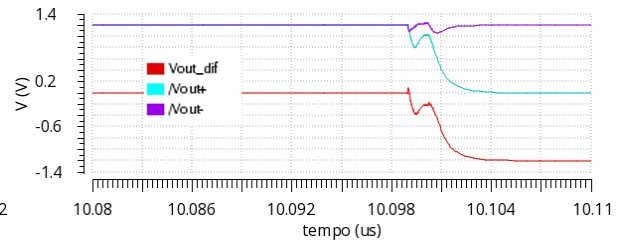


(j) Injeção de falhas em  $(t_{RE} - 5ns)$ .

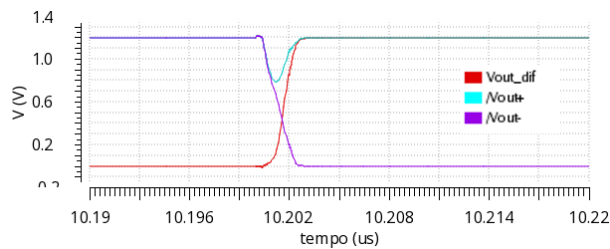
Figura 42 – Simulações de injeção de falhas em volta da borda de subida do *clock*  $t_{RE}$  para absorção por transistor NMOS em Di+ com  $V_{in} = 5mV$ .



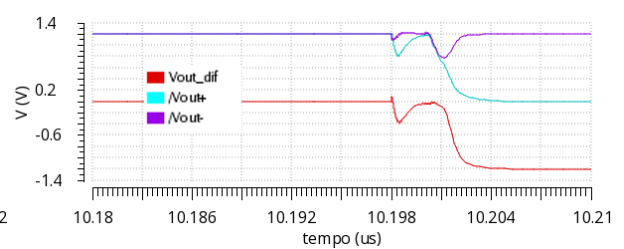
(a) Injeção de falhas em  $(t_{RE} + 1ns)$ .



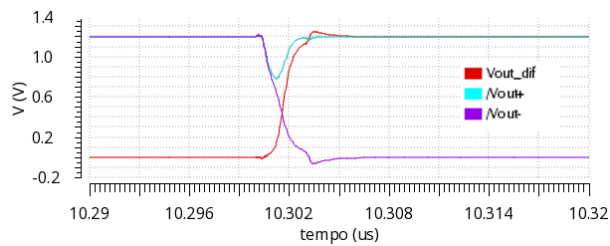
(b) Injeção de falhas em  $(t_{RE} - 1ns)$ .



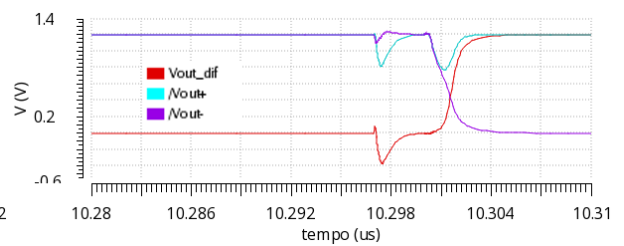
(c) Injeção de falhas em  $(t_{RE} + 2ns)$ .



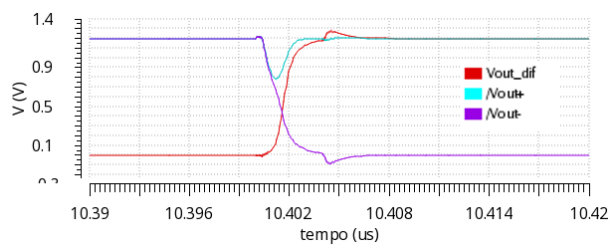
(d) Injeção de falhas em  $(t_{RE} - 2ns)$ .



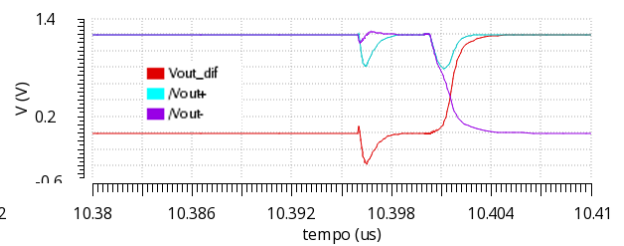
(e) Injeção de falhas em  $(t_{RE} + 3ns)$ .



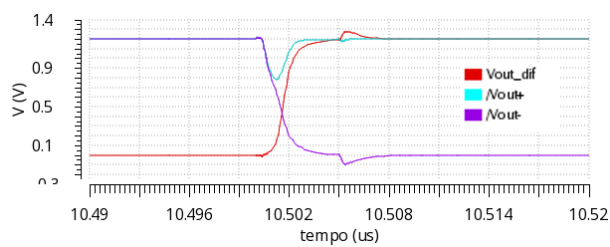
(f) Injeção de falhas em  $(t_{RE} - 3ns)$ .



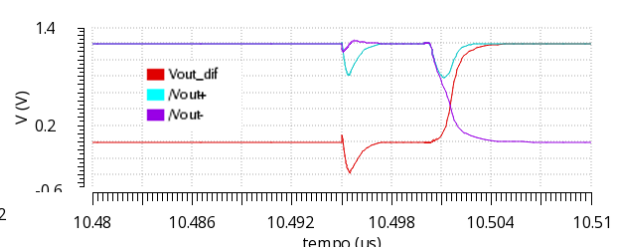
(g) Injeção de falhas em  $(t_{RE} + 4ns)$ .



(h) Injeção de falhas em  $(t_{RE} - 4ns)$ .

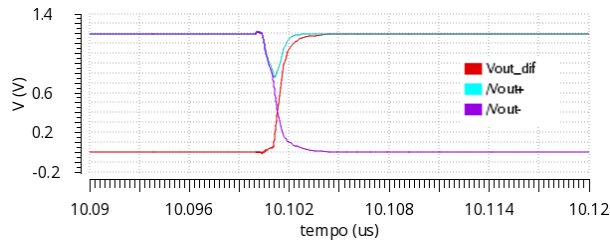


(i) Injeção de falhas em  $(t_{RE} + 5ns)$ .

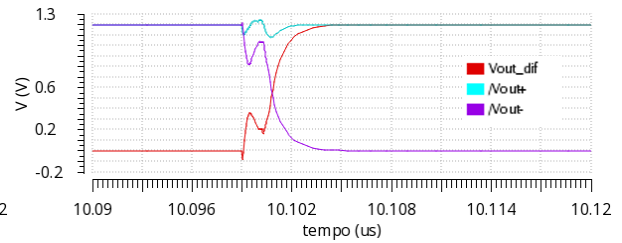


(j) Injeção de falhas em  $(t_{RE} - 5ns)$ .

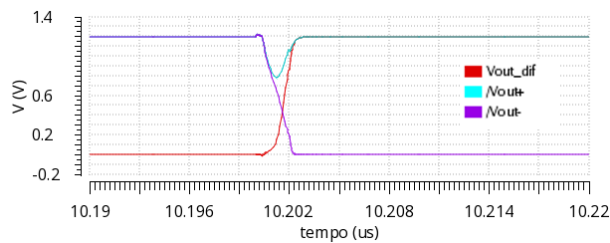
Figura 43 – Simulações de injeção de falhas em volta da borda de subida do *clock*  $t_{RE}$  para absorção por transistor NMOS em Di- com  $V_{in} = 5mV$ .



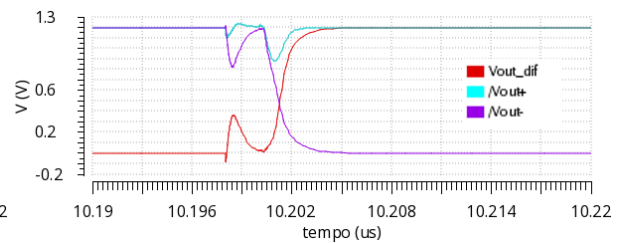
(a) Injeção de falhas em  $(t_{RE} + 1ns)$ .



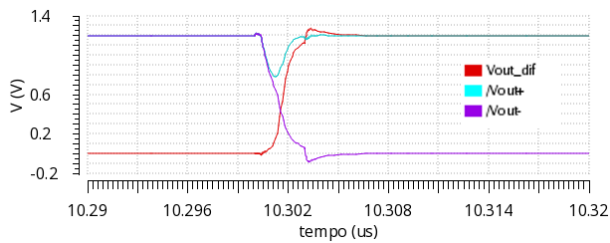
(b) Injeção de falhas em  $(t_{RE} - 1ns)$ .



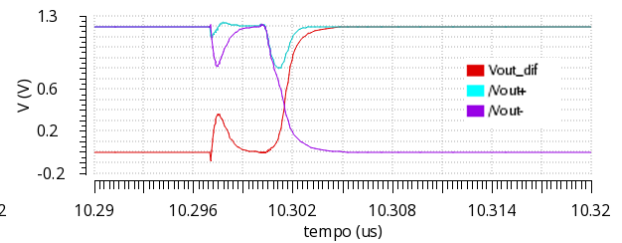
(c) Injeção de falhas em  $(t_{RE} + 2ns)$ .



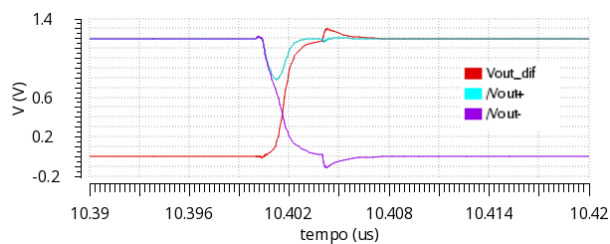
(d) Injeção de falhas em  $(t_{RE} - 2ns)$ .



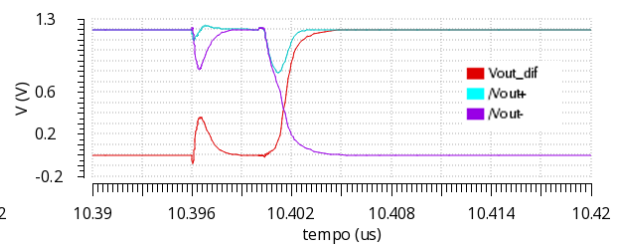
(e) Injeção de falhas em  $(t_{RE} + 3ns)$ .



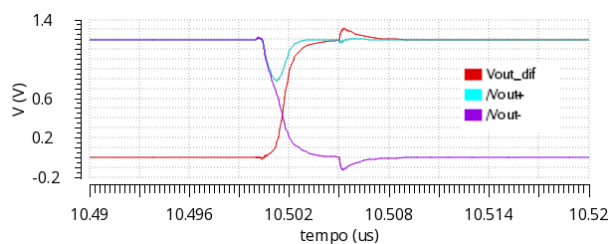
(f) Injeção de falhas em  $(t_{RE} - 3ns)$ .



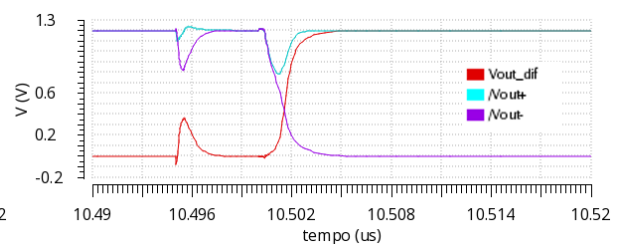
(g) Injeção de falhas em  $(t_{RE} + 4ns)$ .



(h) Injeção de falhas em  $(t_{RE} - 4ns)$ .

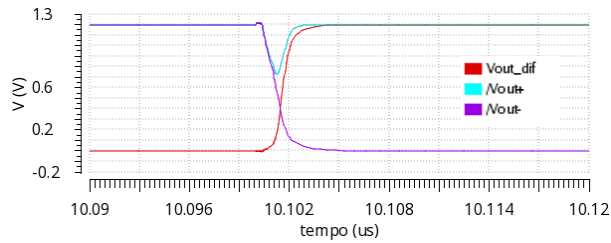


(i) Injeção de falhas em  $(t_{RE} + 5ns)$ .

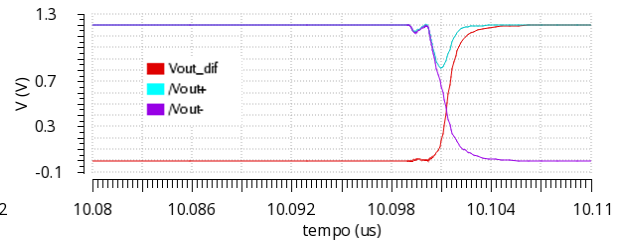


(j) Injeção de falhas em  $(t_{RE} - 5ns)$ .

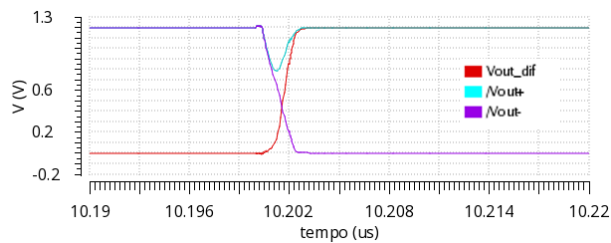
Figura 44 – Simulações de injeção de falhas em volta da borda de subida do  $clock$   $t_{RE}$  para absorção por transistor NMOS em pol com  $V_{in} = 5mV$ .



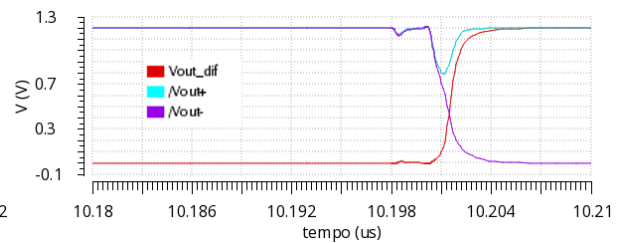
(a) Injeção de falhas em  $(t_{RE} + 1ns)$ .



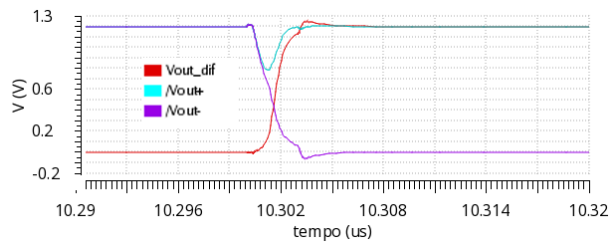
(b) Injeção de falhas em  $(t_{RE} - 1ns)$ .



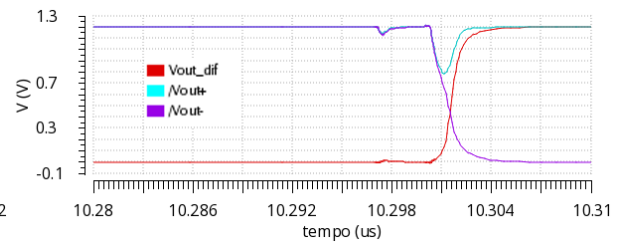
(c) Injeção de falhas em  $(t_{RE} + 2ns)$ .



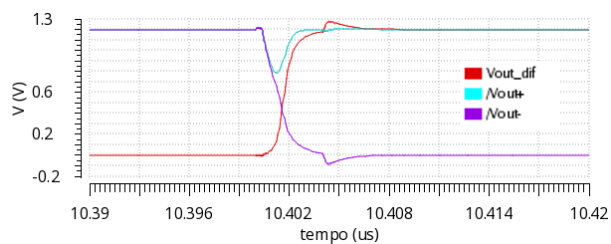
(d) Injeção de falhas em  $(t_{RE} - 2ns)$ .



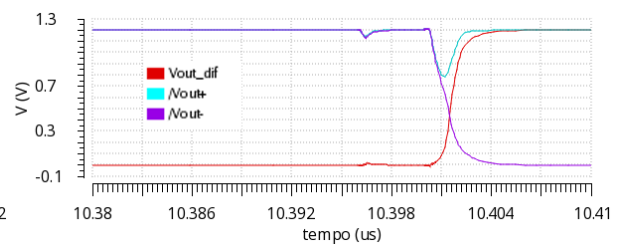
(e) Injeção de falhas em  $(t_{RE} + 3ns)$ .



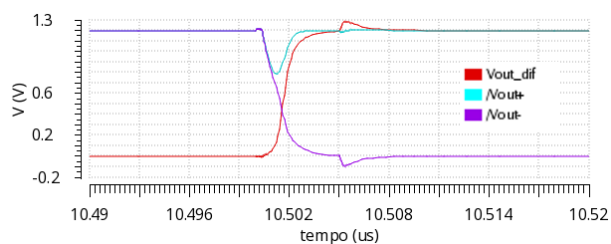
(f) Injeção de falhas em  $(t_{RE} - 3ns)$ .



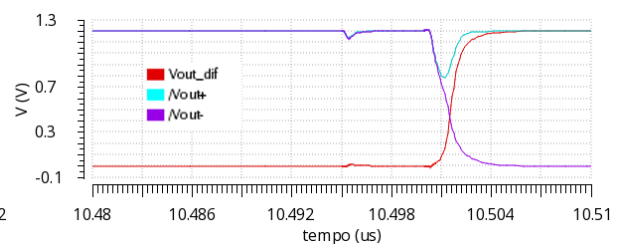
(g) Injeção de falhas em  $(t_{RE} + 4ns)$ .



(h) Injeção de falhas em  $(t_{RE} - 4ns)$ .

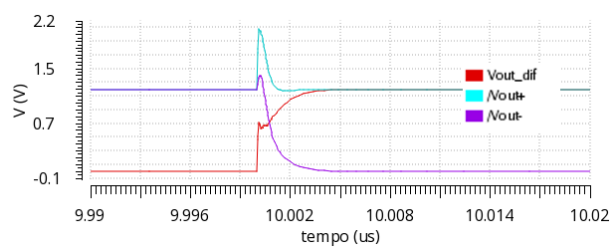


(i) Injeção de falhas em  $(t_{RE} + 5ns)$ .

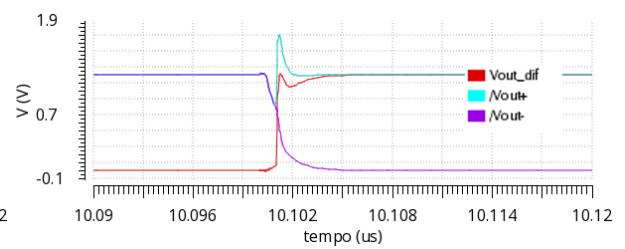


(j) Injeção de falhas em  $(t_{RE} - 5ns)$ .

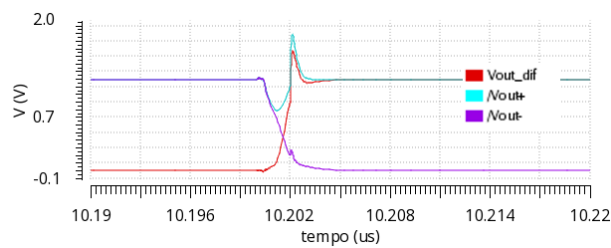
Figura 45 – Simulações de injeção de falhas em volta da borda de subida do *clock*  $t_{RE}$  para absorção por transistor PMOS em  $V_{out+}$  com  $V_{in} = 5mV$ .



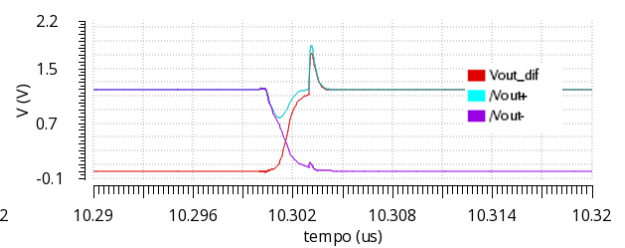
(a) Injeção de falhas em  $(t_{RE} + 0ns)$ .



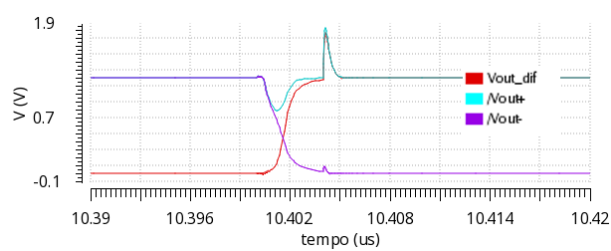
(b) Injeção de falhas em  $(t_{RE} + 1ns)$ .



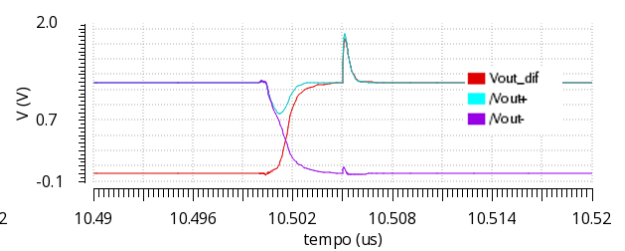
(c) Injeção de falhas em  $(t_{RE} + 2ns)$ .



(d) Injeção de falhas em  $(t_{RE} + 3ns)$ .

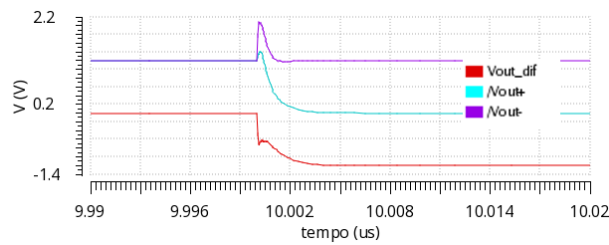


(e) Injeção de falhas em  $(t_{RE} + 4ns)$ .

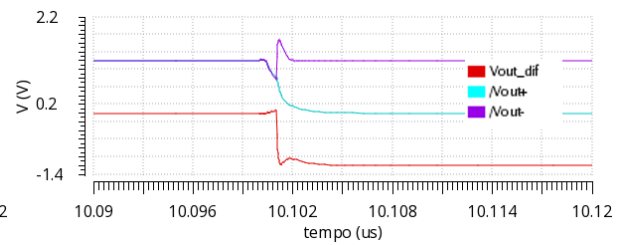


(f) Injeção de falhas em  $(t_{RE} + 5ns)$ .

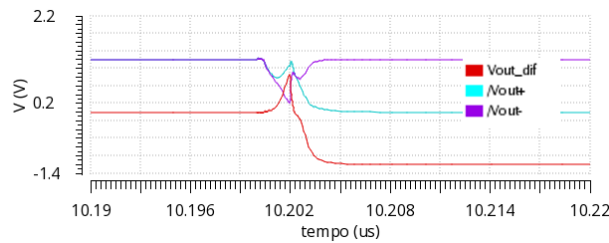
Figura 46 – Simulações de injeção de falhas em volta da borda de subida do *clock*  $t_{RE}$  para absorção por transistor PMOS em  $V_{out-}$  com  $V_{in} = 5mV$ .



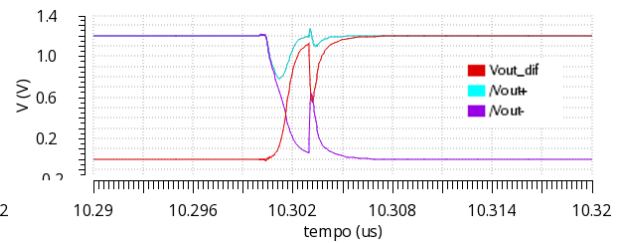
(a) Injeção de falhas em  $(t_{RE} + 0ns)$ .



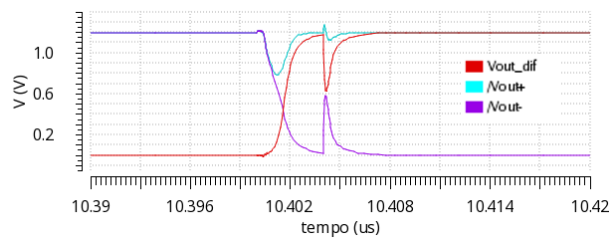
(b) Injeção de falhas em  $(t_{RE} + 1ns)$ .



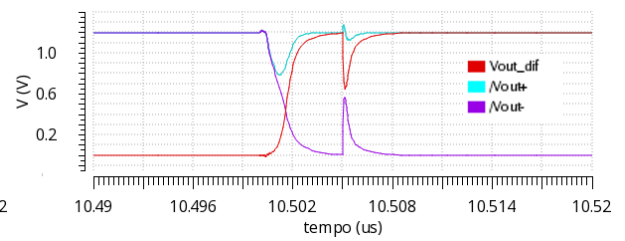
(c) Injeção de falhas em  $(t_{RE} + 2ns)$ .



(d) Injeção de falhas em  $(t_{RE} + 3ns)$ .

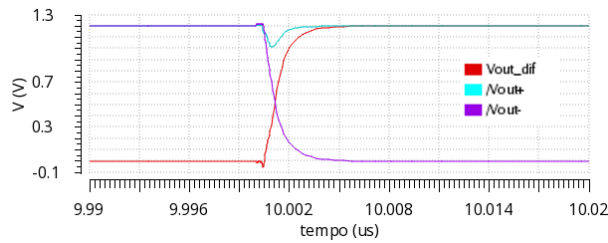


(e) Injeção de falhas em  $(t_{RE} + 4ns)$ .

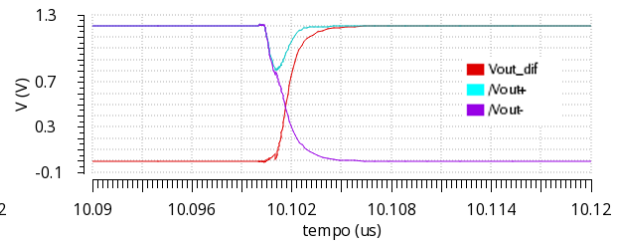


(f) Injeção de falhas em  $(t_{RE} + 5ns)$ .

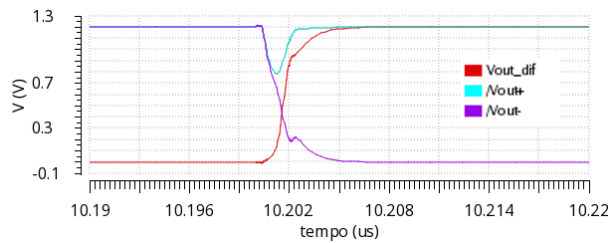
Figura 47 – Simulações de injeção de falhas em volta da borda de subida do *clock*  $t_{RE}$  para absorção por transistor PMOS em Di+ com  $V_{in} = 5mV$ .



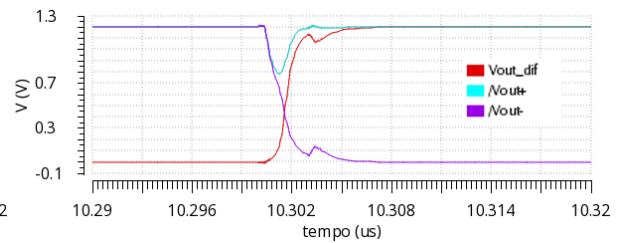
(a) Injeção de falhas em  $(t_{RE} + 0ns)$ .



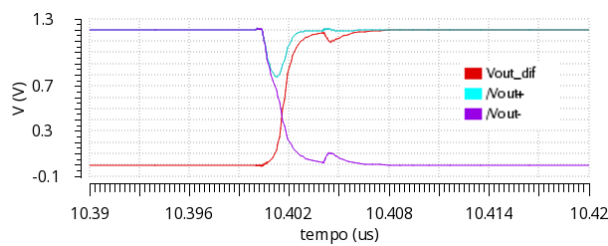
(b) Injeção de falhas em  $(t_{RE} + 1ns)$ .



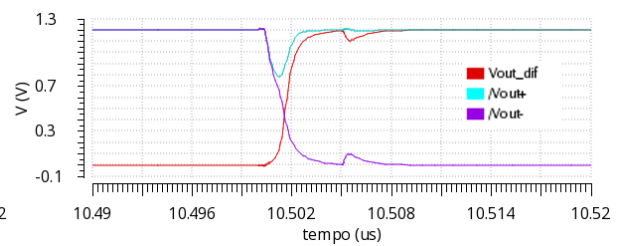
(c) Injeção de falhas em  $(t_{RE} + 2ns)$ .



(d) Injeção de falhas em  $(t_{RE} + 3ns)$ .



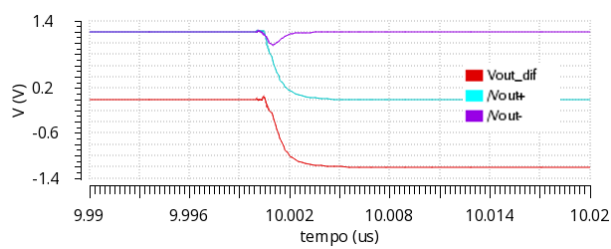
(e) Injeção de falhas em  $(t_{RE} + 4ns)$ .



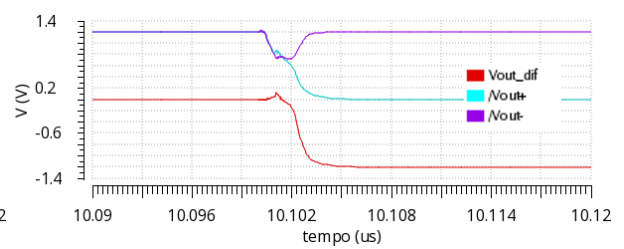
(f) Injeção de falhas em  $(t_{RE} + 5ns)$ .



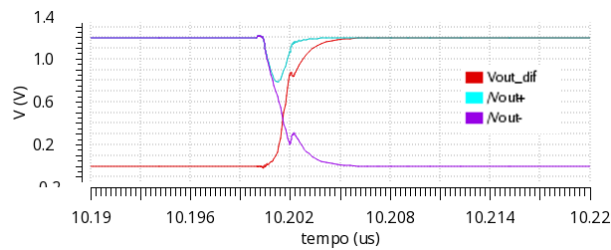
Figura 48 – Simulações de injeção de falhas em volta da borda de subida do *clock*  $t_{RE}$  para absorção por transistor PMOS em Di- com  $V_{in} = 5mV$ .



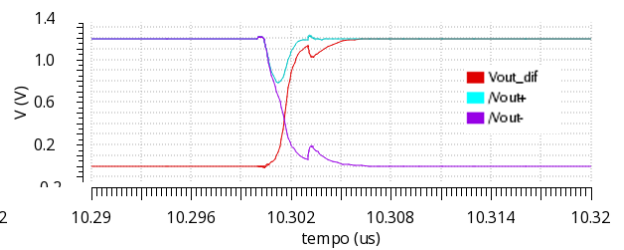
(a) Injeção de falhas em  $(t_{RE} + 0ns)$ .



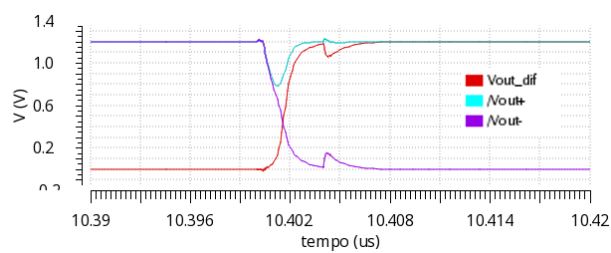
(b) Injeção de falhas em  $(t_{RE} + 1ns)$ .



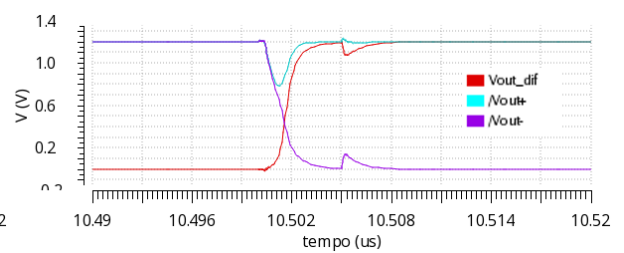
(c) Injeção de falhas em  $(t_{RE} + 2ns)$ .



(d) Injeção de falhas em  $(t_{RE} + 3ns)$ .



(e) Injeção de falhas em  $(t_{RE} + 4ns)$ .



(f) Injeção de falhas em  $(t_{RE} + 5ns)$ .