

SALÃO DE
INICIAÇÃO CIENTÍFICA
XXIX SIC
**UFRGS**
PROPESQ



múltipla 
UNIVERSIDADE
inovadora  inspiradora

Evento	Salão UFRGS 2017: SIC - XXIX SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2017
Local	Campus do Vale
Título	Análise de Configurações de Memória Cache para o Algoritmo "Hexagon Search" para Codificação de Vídeo no padrão HEVC
Autor	BRUNNO ALVES DE ABREU
Orientador	SERGIO BAMPI

Análise de Configurações de Memória Cache para o Algoritmo “Hexagon Search” para Codificação de Vídeo no padrão HEVC

Brunno Alves de Abreu

Orientador: Sergio Bampi

Instituto de Informática - Universidade Federal do Rio Grande do Sul (UFRGS)

O aumento da demanda por vídeos de maiores resoluções trouxe uma maior complexidade na codificação de vídeos digitais. A pesquisa em codificação de vídeo busca encontrar soluções para compactar a representação de um vídeo digital da forma mais rápida possível, desde que as perdas em qualidade mantenham-se pouco perceptíveis ao sistema visual humano. O *High Efficiency Video Coding* (HEVC) é o padrão estado-da-arte em codificação de vídeo e, em comparação ao padrão anterior H.264/AVC, obtém uma redução em até 50% na taxa de bits para uma mesma qualidade de vídeo. Para isso, o HEVC utiliza algoritmos mais sofisticados que requerem acessos à memória de modo intensivo, o que torna este acesso um gargalo em operações críticas do codificador. O uso de memórias *cache on-chip* (módulos de SRAM) para diminuir esse gargalo é uma possível solução, devido ao alto grau de repetição no acesso aos dados pelos codificadores.

Neste projeto de iniciação científica é focada uma das etapas mais custosas do processo de codificação: a Estimção de Movimento (ME), cujo objetivo é encontrar redundâncias temporais em cada bloco do vídeo a ser codificado, procurando-se por blocos semelhantes em quadros codificados anteriormente. Essa exploração por blocos similares depende de um algoritmo de busca, que é responsável por determinar o padrão de varredura dentro de uma área de busca no quadro. A semelhança entre os blocos normalmente é determinada pela métrica quantitativa da Soma das Diferenças Absolutas (SAD). Como esses algoritmos acessam a memória intensamente à procura de blocos, é essencial o uso de um módulo de memória em arquiteturas que implementem o módulo de ME.

Devido à escassez de trabalhos relacionados sobre acesso à memória na ME, o objetivo deste projeto foi realizar uma análise exploratória de diversas configurações de memória cache, variando características como: associatividade, tamanho da linha, número de linhas e número de bancos, a fim de obter configurações que propiciem alta taxa de acerto (*hit-rate*) para cada uma dessas configurações. Nesta análise, foi considerada a implementação que atende à norma do HEVC, o software de referência x265, que traz como principal algoritmo de busca o *Hexagon Search*. Os valores de escrita na memória cache foram extraídos do software de referência com algumas modificações em seu código, escrito em linguagem C++, de forma a obter os valores dos vetores de representação dos blocos que eram acessados durante as buscas do *Hexagon Search*. Para simular o comportamento da memória cache nas diversas configurações, foi implementado um software em linguagem *Python* que recebe os dados extraídos do software de referência, e cuja análise fornece o *hit-rate*, além de valores da banda de dados *on-chip* e *off-chip* necessários, considerando essa taxa de *hit*. Além disso, foram extraídos valores de potência/energia de cada configuração de cache utilizando o software CACTI. Resultados prévios de *hit-rate* atingem taxa de até 93,36% considerando uma cache 2-way de 8K linhas de 8 bytes cada, e de até 96,38% considerando 16K, para sequências Full HD.

Métricas e análises para decisão das melhores configurações para o Hexagon Search ainda estão sendo avaliadas, pois requerem a implementação da arquitetura do algoritmo de busca, que está em desenvolvimento. Como trabalho futuro, a arquitetura para o algoritmo do Hexagon Search será implementada, integrando módulos já desenvolvidos em outras etapas, como o cálculo do SAD e o módulo de memória proposto neste trabalho.