

Luiz Guilherme Enger

**Simulação Elétrica Comparativa de Portas  
Lógicas com MOSFETs de Distintas Gerações  
Tecnológicas**

Brasil

Porto Alegre, 2018

Luiz Guilherme Enger

# **Simulação Elétrica Comparativa de Portas Lógicas com MOSFETs de Distintas Gerações Tecnológicas**

Trabalho de Diplomação em Engenharia Física II apresentado pelo acadêmico Luiz Guilherme Enger como requisito parcial para obtenção do título de Bacharel em Engenharia Física.

Universidade Federal do Rio Grande do Sul - UFRGS

Instituto de Física

Escola de Engenharia

Orientador: Sergio Bampi

Brasil

Porto Alegre, 2018

---

Luiz Guilherme Enger

Simulação Elétrica Comparativa de Portas Lógicas com MOSFETs de Distintas Gerações Tecnológicas/ Luiz Guilherme Enger. – Brasil, Porto Alegre, 2018-72 p.

Orientador: Sergio Bampi

Trabalho de Conclusão de Curso (Graduação) – Universidade Federal do Rio Grande do Sul - UFRGS  
Instituto de Física  
Escola de Engenharia, Porto Alegre, 2018.

1. Transistor MOSFET. 2. CMOS. 3. Portas Lógicas. 4. Semicondutores. 5. Simulação elétrica. I. Bampi, Sergio, orient. II. Título

CDU 02:141:005.7

---

Luiz Guilherme Enger

## **Simulação Elétrica Comparativa de Portas Lógicas com MOSFETs de Distintas Gerações Tecnológicas**

Trabalho de Diplomação em Engenharia Física II apresentado pelo acadêmico Luiz Guilherme Enger como requisito parcial para obtenção do título de Bacharel em Engenharia Física.

Trabalho aprovado. Brasil, 08 de Janeiro de 2018:

---

**Sergio Bampi**  
Orientador

---

**Gabriel Vieira Soares**

---

**Gilson Inácio Wirth**

Brasil  
Porto Alegre, 2018

# Agradecimentos

Em primeiro lugar, o maior dos agradecimentos é destinado a meus pais, Adriana e Flávio. Tudo o que tenho e conquistei devo a eles, que sempre providenciaram educação, lazer e amor. De todo meu coração, muito obrigado. Também agradeço às minhas irmãs Maira e Elena e ao meu irmão Pedro, pela ajuda e participação no meu desenvolvimento e pelos momentos juntos.

Outro agradecimento especial para minha namorada, Giovana Ochoa. Desde o início do nosso relacionamento, tenho certeza de que evoluí muito como pessoa.

Ao Professor Sergio Bampi, primeiramente agradeço por apostar na minha proposta de Trabalho de Diplomação em Engenharia Física. Agradeço especialmente pela dedicação e excelência nas orientações e questionamentos que resultaram em um acréscimo substancial na qualidade final deste trabalho. A Felipe Bortolon, pela disponibilidade e apoio ao longo do desenvolvimento deste trabalho. Aos integrantes do time do Lab 215, por sempre prestarem ajuda quando solicitado.

Aos amigos e colegas de Engenharia Física. Além de um enorme "obrigado", desejo a todos muito sucesso.

*"It's dangerous to go alone! Take this."*

# Resumo

Neste projeto foram realizadas medidas sobre transistores experimentais  $5\mu m$  fabricados no Laboratório de Microeletrônica do Instituto de Física da Universidade Federal do Rio Grande do Sul. Estas medidas foram utilizadas para extrair parâmetros físicos dos dispositivos, que por sua vez foram aplicados no modelo SPICE BSIM, apresentado no simulador Synopsys<sup>®</sup>HSPICE<sup>®</sup> como *level 13*. As curvas experimentais de corrente por tensão foram então utilizadas para um ajuste dos parâmetros, até a obtenção de um modelo SPICE satisfatório. Foram então obtidos os parâmetros do modelo BSIM3 dos transistores da tecnologia  $0.6\mu m$  da *foundry* X-FAB, através do *Process Design Kit*, e dos transistores de tecnologia  $16nm$  FinFET, cujo modelo preditivo foi desenvolvido e disponibilizado pela *Arizona State University*.

Obtidos os modelos, foi descrito em SPICE, para as três tecnologias, um conjunto composto de 34 células digitais. Deste total, há células cuja lógica é idêntica porém apresentam diferentes dimensionamentos dos transistores. Foram utilizados critérios de dimensionamento diferentes para as tecnologias planares,  $5\mu m$  e  $0.6\mu m$ , e a tecnologia FinFET. Realizaram-se simulações com software Cadence<sup>®</sup>Spectre<sup>®</sup>sobre circuitos osciladores em anel descritos em HSPICE<sup>®</sup>, obtendo resultados de atrasos de propagação, frequência, potência e energia dissipada. Como esperado, a tecnologia  $16nm$  FinFET apresentou os menores valores de atraso e consumo de potência, com uma diferença de até três ordens de grandeza em comparação com a tecnologia  $0.6\mu m$  e seis ordens de grandeza em comparação com os transistores experimentais de  $5\mu m$ . Também foi utilizada a ferramenta acadêmica desenvolvida na UFRGS *Static Noise Margin Estimation Tool* (SET) para obter a margem estática de ruído para diversos pares de células. Das três tecnologias, a de  $5\mu m$  apresentou menor percentual de margem estática, computada como percentual da respectiva tensão de alimentação utilizada.

Por último, foram gerados arquivos de parâmetros de temporização e de dissipação no formato *.lib* para as tecnologias  $0.6\mu m$  e  $16nm$  FinFET, através da caracterização do conjunto de células utilizando o software Cadence<sup>®</sup>Virtuoso<sup>®</sup>Liberate<sup>™</sup>. Esta etapa permitiu a realização da síntese lógica de circuitos digitais CMOS de *benchmark*. Para todos os circuitos sintetizados, a utilização da tecnologia  $16nm$  FinFET resultou em menores valores de atraso, menor consumo total de potência e células utilizadas, porém com maior consumo de potência estática.

**Palavras-chaves:** Transistor MOSFET. CMOS. Portas Lógicas. Semicondutores. Simulação elétrica.

# Abstract

In this project, electrical measurements were conducted over  $5\mu m$  transistors, an experimental device construction technology done at Laboratório de Microeletrônica, Instituto de Física, Universidade Federal do Rio Grande do Sul. The results were used to extract physical and electrical parameters of the devices, which were applied in BSIM SPICE model, available in Synopsys<sup>®</sup>HSPICE<sup>®</sup> as *level 13*. Then, the measured I-V curves were used for parameters fitting, and satisfactory BSIM SPICE model parameters were extracted. The X-FAB *foundry*  $0.6\mu m$  technology electrical model parameters were obtained through its *Process Design Kit*, and  $16nm$  FinFET predictive model was developed and is available by *Arizona State University*.

Once the models were obtained, a set of 34 logic cells was described in SPICE for each technology. From this set, some cells present the same logic functions but with different transistors sizing. Distinct sizing criteria were applied to planar technology,  $5\mu m$  and  $0.6\mu m$ , and to FinFET technology. Ring oscillators circuits described in HSPICE<sup>®</sup> were simulated using Cadence<sup>®</sup>Spectre<sup>®</sup>, and results on timing, frequency, power and energy were gathered. As expected,  $16nm$  FinFET technology achieve lower delay and power consumption, with a difference up to three orders of magnitude from  $0.6\mu m$  and six orders of magnitude from  $5\mu m$  experimental transistors. Static noise margin between pairs of logic cells were obtained using *Static Noise Margin Estimation Tool* (SET), an academic tool developed at UFRGS. Among all three technologies, the UFRGS  $5\mu m$  presents the lowest noise margin with respect to supply voltage used.

Finally, *.lib* files were generated for  $0.6\mu m$  and  $16nm$  FinFET technologies, by running Cadence<sup>®</sup>Virtuoso<sup>®</sup>Liberate<sup>™</sup> characterization software. That in turn allowed for logic synthesis of benchmark circuits. For all circuits synthesised, the use of  $16nm$  FinFET technology presented lower delay values, less total power consumption and number of cells used, but higher static power consumption.

**Key-words:** Transistor MOSFET. CMOS. Portas Lógicas. Semicondutores. Simulação elétrica.

# Sumário

<b>1</b>	<b>INTRODUÇÃO</b>	<b>10</b>
<b>1.1</b>	<b>Motivação</b>	<b>10</b>
<b>1.2</b>	<b>Objetivos</b>	<b>13</b>
<b>1.3</b>	<b>Transistor de Efeito de Campo</b>	<b>14</b>
1.3.1	Tecnologia Planar	14
1.3.2	Tecnologia FinFET	15
<b>2</b>	<b>METODOLOGIA DO TRABALHO</b>	<b>17</b>
<b>2.1</b>	<b>Transistores experimentais desenvolvidos no L<math>\mu</math>E-UFRGS</b>	<b>17</b>
2.1.1	Modelo HSPICE <sup>®</sup> /level 13	18
2.1.2	Medidas Experimentais e Extração de Parâmetros	19
2.1.2.1	Medidas de Largura e Comprimento de Canal	20
2.1.2.2	Medidas de Capacitância por Tensão	21
2.1.2.3	Medidas da Corrente de Dreno	22
2.1.3	Aplicação dos Parâmetros no modelo HSPICE <sup>®</sup> /level 13	24
<b>2.2</b>	<b>Tecnologia X-Fab XC06</b>	<b>28</b>
<b>2.3</b>	<b>Tecnologia 16nm FinFET</b>	<b>29</b>
<b>2.4</b>	<b>Desenvolvimento do conjunto de Células Lógicas Digitais</b>	<b>30</b>
2.4.1	Dimensionamento das células	31
2.4.1.1	Dimensionamento de Transistores no SPICE	32
2.4.2	Células desenvolvidas	32
<b>2.5</b>	<b>Preparação para Caracterização das Células</b>	<b>33</b>
2.5.1	Valores de <i>slew</i> e $C_{load}$	33
<b>2.6</b>	<b>Conclusões do Capítulo</b>	<b>36</b>
<b>3</b>	<b>MÉTODOS E MÉTRICAS PARA COMPARAÇÃO</b>	<b>37</b>
<b>3.1</b>	<b>Oscilador em Anel</b>	<b>37</b>
3.1.1	Resultados	40
3.1.1.1	Comparação com Teoria de Dimensionamento de Dennard	41
<b>3.2</b>	<b>Margem Estática de Ruído</b>	<b>43</b>
<b>3.3</b>	<b>Conclusões do Capítulo</b>	<b>45</b>
<b>4</b>	<b>CHARACTERIZAÇÃO DAS CÉLULAS</b>	<b>46</b>
<b>4.1</b>	<b>Geração do arquivo <i>Liberty</i></b>	<b>46</b>
4.1.1	Execução da ferramenta Cadence <sup>®</sup> Virtuoso <sup>®</sup> Liberate <sup>™</sup>	47
<b>4.2</b>	<b>Síntese Lógica</b>	<b>47</b>

4.2.1	Resultados da Síntese . . . . .	48
4.2.1.1	Número de Células . . . . .	49
4.2.1.2	Potência Estática . . . . .	49
<b>4.3</b>	<b>Conclusões do Capítulo . . . . .</b>	<b>50</b>
<b>5</b>	<b>CONCLUSÃO . . . . .</b>	<b>51</b>
	<b>REFERÊNCIAS . . . . .</b>	<b>52</b>
<b>A</b>	<b>ARQUIVOS SPICE E OCEAN . . . . .</b>	<b>55</b>
<b>A.1</b>	<b>Modelo <math>5\mu m</math> . . . . .</b>	<b>55</b>
<b>A.2</b>	<b><i>Sizing</i> em SPICE . . . . .</b>	<b>57</b>
A.2.1	Modelo $5\mu m$ . . . . .	57
A.2.2	Modelo $0.6\mu m$ . . . . .	58
A.2.3	Modelo $16nm$ FinFET . . . . .	58
<b>A.3</b>	<b>Simulação de Potência/Energia . . . . .</b>	<b>59</b>
<b>A.4</b>	<b><i>Script</i> em OCEAN . . . . .</b>	<b>60</b>
<b>B</b>	<b>ARQUIVOS PARA CARACTERIZAÇÃO . . . . .</b>	<b>64</b>
<b>B.1</b>	<b>Arquivos de entrada para execução da ferramenta . . . . .</b>	<b>64</b>
B.1.1	<i>template.tcl</i> . . . . .	64
B.1.2	<i>char.tcl</i> . . . . .	66
<b>B.2</b>	<b>Arquivo <i>Liberty</i> obtido . . . . .</b>	<b>68</b>
<b>C</b>	<b>RESULTADOS SÍNTESE LÓGICA . . . . .</b>	<b>70</b>

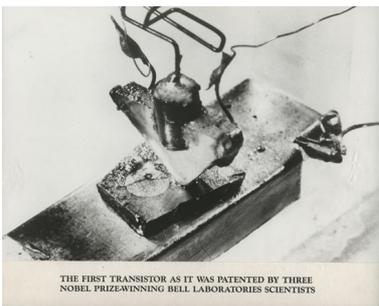
# 1 Introdução

Para o bom desenvolvimento de um trabalho, é imprescindível uma motivação bem definida para sua realização, bem como uma clara identificação de quais objetivos pretendidos no estudo. Estas informações estão nas seções 1.1 e 1.2, respectivamente.

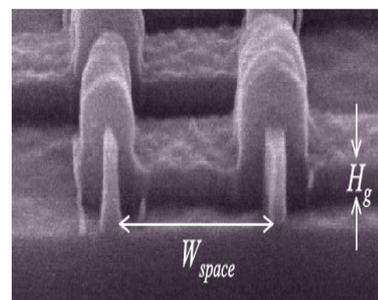
A seção 1.3 apresenta os princípios de funcionamento do dispositivo semiconductor conhecido por transistor de efeito de campo, e possui subseções específicas para apresentação da tecnologia planar e FinFET, ambas utilizadas neste trabalho.

## 1.1 Motivação

Dispositivos semicondutores constituem um campo de enorme interesse acadêmico, exigindo conhecimento que abrange diversas áreas de estudo. Para analisar os materiais utilizados, é necessário conhecer Mecânica Quântica e Física de Estado Sólido. Para saber sobre sua fabricação, é necessário conhecer a Física e a Engenharia de materiais, a Física de Dispositivos Semicondutores e diversas técnicas como litografia, deposição física e química de materiais e implantação de dopantes, além das técnicas de análise como microscopia eletrônica e espectroscopia. Para saber sobre sua aplicação em circuitos integrados, é necessário estudar a concepção destes circuitos integrados e a Eletrônica. Todo este conhecimento, desenvolvido ao longo de anos, possibilitou a criação de diversos dispositivos micro e nano-eletrônicos que estão presentes no dia a dia de quase toda sociedade.



(a) Fruto do trabalho de John Bardeen, Walter Brattain e William Schokley.  
Fonte: [1].



(b) Microscopia Eletrônica de Varredura de um dispositivo FinFET.  
Fonte: [2].

Figura 1 – Evolução dos transistores.

Além disso, semicondutores também constituem uma área de enorme interesse comercial para uma vasta gama de produtos e de aplicações. A demanda por dispositivos cresce no mundo inteiro. De acordo com a *Worldwide Semiconductor Trade Statistics* (WSTS), apenas em 2016 o faturamento no setor atingiu US\$339 bilhões. Segundo previsões

mais recentes desta organização, em 2017 haverá um crescimento muito expressivo de mais de 20% e em 2018 um crescimento de 7%. Estima-se que o faturamento da indústria de semicondutores em 2017 alcançou cerca de US\$408 bilhões (Figura 2).

Autumn 2017	Amounts in US\$M			Year on Year Growth in %		
	2016	2017	2018	2016	2017	2018
Americas	65,537	86,458	95,380	-4.7	31.9	10.3
Europe	32,707	38,048	39,799	-4.5	16.3	4.6
Japan	32,292	36,350	37,990	3.8	12.6	4.5
Asia Pacific	208,395	247,834	264,097	3.6	18.9	6.6
<b>Total World - \$M</b>	<b>338,931</b>	<b>408,691</b>	<b>437,265</b>	<b>1.1</b>	<b>20.6</b>	<b>7.0</b>
Discrete Semiconductors	19,418	21,498	22,490	4.3	10.7	4.6
Optoelectronics	31,994	34,467	37,302	-3.8	7.7	8.2
Sensors	10,821	12,537	13,439	22.7	15.9	7.2
Integrated Circuits	276,698	340,189	364,034	0.8	22.9	7.0
Analog	47,848	52,711	55,909	5.8	10.2	6.1
Micro	60,585	63,147	65,331	-1.2	4.2	3.5
Logic	91,498	101,413	108,467	0.8	10.8	7.0
Memory	76,767	122,918	134,327	-0.6	60.1	9.3
<b>Total Products - \$M</b>	<b>338,931</b>	<b>408,691</b>	<b>437,265</b>	<b>1.1</b>	<b>20.6</b>	<b>7.0</b>

Figura 2 – Fonte: *WSTS Autumn 2017 Forecast Meeting* [3].

Também é verificado um constante crescimento na venda de dispositivos semicondutores através dos dados disponibilizados pelo grupo *Global Semiconductor Alliance* (GSA), cuja missão é acelerar o crescimento e aumentar o retorno de investimentos na indústria global de semicondutores[4]. A Figura 3 apresenta valores reais de crescimento desde 1994 até valores estimados para 2017 e 2018.

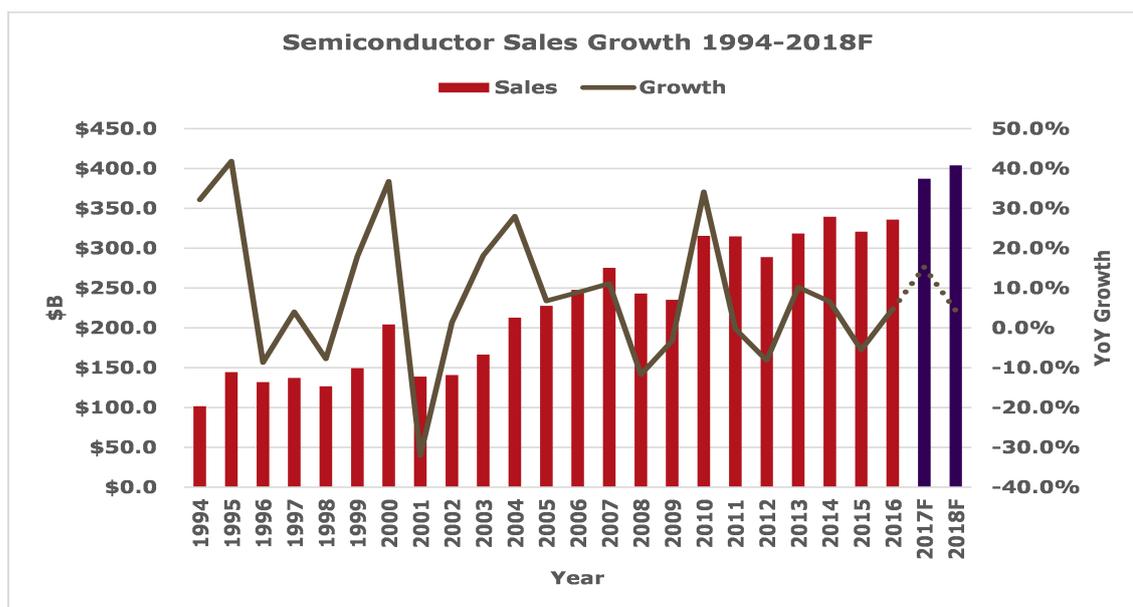
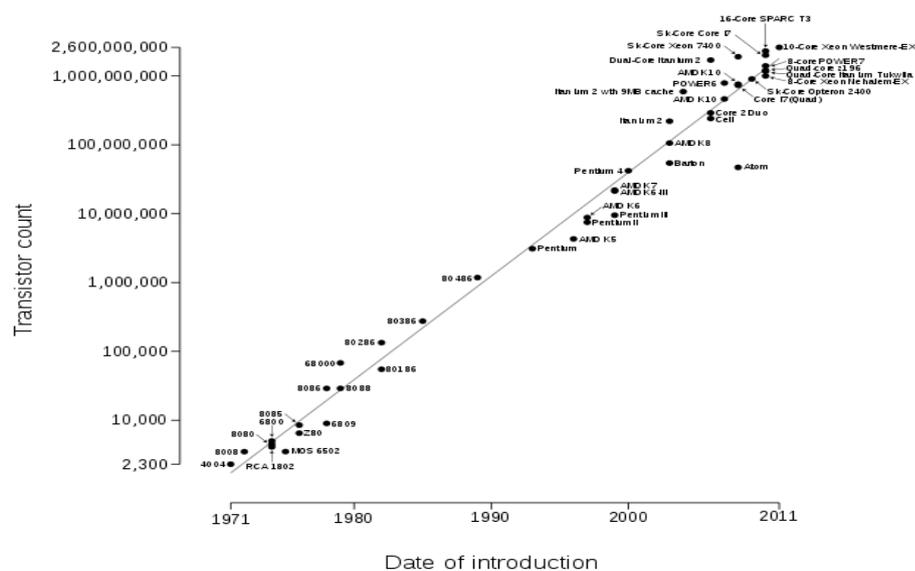


Figura 3 – Valores absolutos (vermelho) e crescimento percentual (marrom). Fonte: [5].

Como verificado na Figura 2, somente Circuitos Integrados (CIs) correspondem a uma fatia acima de 80% do valor total de mercado dos semicondutores. Semicondutores

discretos, optoeletrônicos e sensores semicondutores perfazem o restante do mercado. Para o desenvolvimento de novos CIs, é necessário que as ferramentas de auxílio ao projeto (*design* e simulação) utilizadas apresentem resultados fiéis aos que se pretendem atingir após a efetiva fabricação do dispositivo. A modelagem de transistores em *Simulation Program with Integrated Circuit Emphasis* (SPICE)[6] é um elo de extrema importância entre as *foundries* e o design dos circuitos integrados. Além disso, é essencial o desenvolvimento e posterior caracterização de uma biblioteca de células digitais padrão para a tecnologia a ser empregada em CIs digitais, obtendo assim conhecimento da operação das células básicas e possibilitando seu uso para projetos mais complexos.

Devido a este enorme interesse pela tecnologia planar de fabricação de circuitos integrados, a mesma apresenta uma evolução rápida e constante desde seu nascimento. A Figura 1 apresenta o primeiro transistor, desenvolvido em 1947 no Laboratório da Bell, e um transistor do ano de 2006. Enquanto o primeiro apresenta tamanho macroscópico, capaz de ser perfeitamente observado a olho nu, a observação do segundo requer técnicas de Microscopia Eletrônica. Esta evolução constante foi sistematizada através da constatação e previsão publicada em 1965 por Gordon Moore: o número de transistores incorporado em um chip irá, aproximadamente, dobrar a cada 24 meses (*"The number of transistors incorporated in a chip will approximately double every 24 months."*, tradução livre)[7]. Mais conhecida por Lei de Moore, esta previsão feita em 1965 a partir de apenas 4 pontos em uma curva do tempo, incentiva até hoje a busca por maiores graus de integração. A motivação para a integração prevista na Lei é de natureza técnica e econômica. A previsão foi concretizada ao longo de mais de 5 décadas, por evoluções técnicas sem precedentes ou similar em outras áreas da engenharia de produtos. A Figura 4 apresenta este crescimento exponencial ao longo de 4 décadas.



tecnologia. Para garantir avanços custo-efetivos na performance de Circuitos Integrados e produtos e aplicações avançados que possam empregar tais dispositivos, foi formado o grupo *International Technology Roadmap for Semiconductors* (ITRS), financiado pelas empresas de semicondutores de cinco países (e regiões) líderes do setor de fabricação de chips: Europa, Japão, Coreia, Taiwan e Estados Unidos. Os documentos produzidos pelo grupo ITRS apresentam dados referentes à tecnologia ao longo dos anos, como comprimento mínimo de canal de transistor MOSFET, e o número de transistores integráveis economicamente em um chip único, incluindo previsões para o futuro próximo. A Figura 5 apresenta dados de 1970 até estimativas para 2020.

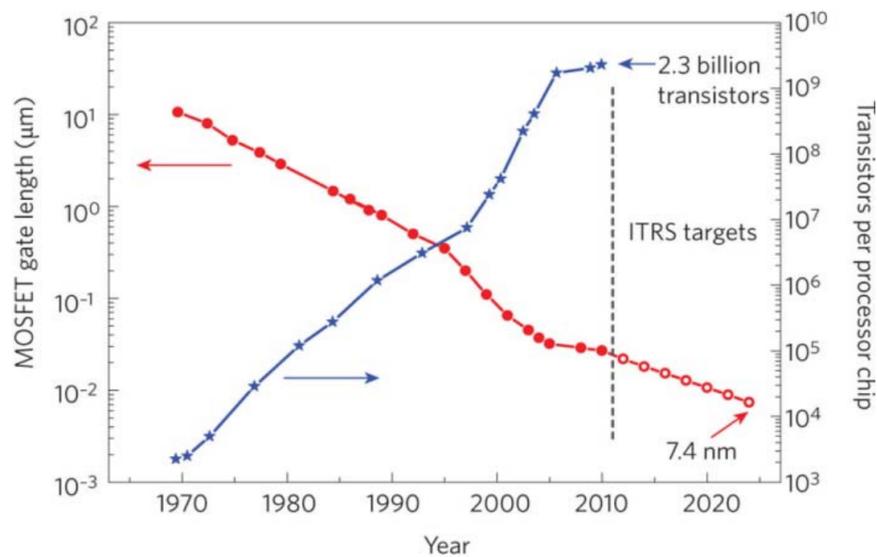


Figura 5 – Crescimento do número de transistores por chip (azul) e diminuição do comprimento de canal (vermelho). Fonte: [9].

No ambiente de estudos vivenciado pelo autor ao longo da graduação em Engenharia Física, foram identificadas três tecnologias de interesse para estudo e comparações: MOSFETs de  $5\mu\text{m}$ , transistores experimentais desenvolvidos no Laboratório de Microeletrônica do Instituto de Física da UFRGS, tecnologia CMOS  $0.6\mu\text{m}$ , adquirida pela empresa CEITEC S.A. de uma empresa alemã para fabricação de CIs em Porto Alegre, e transistores de  $16\text{nm}$  to tipo FinFET, utilizados para estudos em design de circuitos digitais durante período de iniciação científica voluntária no Instituto de Informática da UFRGS. Para os FinFETs o autor valeu-se do modelo preditivo de domínio público para simulação elétrica, disponibilizado pela Universidade do estado do Arizona (EUA).

## 1.2 Objetivos

O objetivo deste trabalho consiste em investigar o impacto do avanço tecnológico sobre Circuitos Integrados, explorando diferentes gerações de transistores através de simulações SPICE. O projeto almeja apresentar em um só documento resultados de

operação transiente, margem estática de ruído e caracterização de células padrão referentes a três esferas de tecnologia: Universidade Federal do Rio Grande do Sul, Brasil e mundo. Ao longo do desenvolvimento deste trabalho, também espera-se obter conhecimento sobre o uso de ferramentas consolidadas na indústria de semicondutores.

Para realizar simulações dos transistores experimentais de  $5\mu m$ , foi necessária a geração por parte do autor de um modelo SPICE, sendo esta a primeira contribuição deste trabalho. Uma vez com este modelo obtido, o mesmo pode ser utilizado para realizar simulações de quaisquer circuitos desejados, obtendo assim resultados estimados caso o circuito em questão seja de fato fabricado. O modelo será disponibilizado para uso por estudantes do curso de Engenharia Física e quaisquer outros interessados.

## 1.3 Transistor de Efeito de Campo

O transistor de efeito de campo (FET, de *Field Effect Transistor*) é um componente eletrônico, de material semicondutor, com utilização em larga escala na eletrônica atual. É o bloco construtor básico de qualquer circuito integrado (digital ou analógico), pois através da aplicação de tensão em um de seus terminais (porta), é possível controlar a passagem de corrente entre outros dois terminais (dreno e fonte). Este controle de passagem de corrente é modelado por sofisticados modelos elétricos, que devem ser continuamente aperfeiçoados para estimar o transporte de cargas neste dispositivo.

A passagem de corrente pelos terminais de fonte e dreno apresenta diversas regiões de operação, porém não é do escopo deste trabalho um detalhamento da Física de dispositivos semicondutores, bem como os processos de manufatura envolvidos. Para uma melhor compreensão, recomenda-se a leitura de livros como *Physics of Semiconductor Devices*[10] e *Digital Integrated Circuits - A Design Perspective*[11].

### 1.3.1 Tecnologia Planar

Patenteada em 1959, é a tecnologia dominante na fabricação de dispositivos e circuitos semicondutores atualmente. Sua fabricação consiste na deposição sequencial de filmes delgados, e na definição de geometrias nestes filmes. Esta definição é realizada através da etapa de litografia, seguida de decapagem química (*etching*) e/ou implantação de dopantes, recozimentos de filmes, deposição física e química de filmes (isolantes, metais ou semicondutores), crescimento de filmes e a realização sucessiva de etapas de fabricação. Por não ser a fabricação o foco deste trabalho, estas etapas não serão abordadas neste texto.

A Figura 6 representa uma das estruturas possíveis de obter com o processo planar - é um dispositivo transistor de efeito de campo elétrico, de quatro terminais, com porta isolada sobre o semicondutor - um dispositivo MOSFET básico fabricado sobre o substrato semicondutor. O funcionamento do MOSFET é obtido ao aplicar uma tensão no terminal

de porta (*gate*), de modo que portadores de carga são atraídos ou repelidos da interface entre o substrato e o óxido de porta (*gate oxide*) devido campo elétrico entre porta e substrato, podendo formar um canal de portadores entre os terminais fonte (*source*) e dreno (*drain*). Caso haja uma diferença de potencial entre estes dois terminais, haverá transporte de carga próximo da interface isolante-substrato.

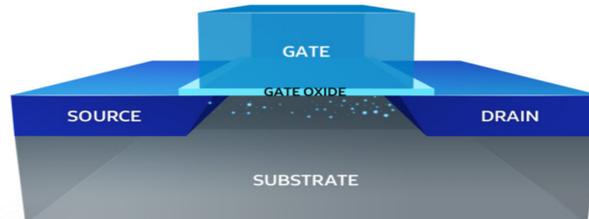


Figura 6 – Seção transversal de um MOSFET planar. Fonte: [12].

### 1.3.2 Tecnologia FinFET

Na busca por dispositivos cada vez menores, as geometrias laterais e verticais da Figura 6 são reduzidas. Há dificuldade em manter o comportamento adequado da corrente do MOSFET planar, ao aproximar fonte e dreno. Para obter menores dimensões e manter o comportamento elétrico correto (controle mais efetivo da porta sobre o canal de portadores, reduzindo a corrente de sublimiar), mudanças no processo de fabricação planar foram introduzidas, de modo a obter nanofios de silício, em estrutura tridimensional, com porta envolvendo o nanofio, formando assim um FinFET. É uma estrutura na qual o canal para transporte de carga é posicionado sobre o substrato de silício, em nanofio em formato que remete a uma barbatana (*fin*, em inglês). Este nanofio pode ser isolado do substrato, com o uso de camada de silício sobre isolante (*Silicon On Insulator*, SOI)[13]. FinFETs já são fabricados em larga escala comercialmente por algumas empresas. A empresa Intel desenvolveu um FinFET com seção transversal piramidal, porém não isolado, como mostrado na Figura 7. O terminal de porta envolve o canal também pelas laterais, obtendo-se melhor controle sobre a passagem de corrente. A Figura 7 demonstra esta estrutura em três dimensões, e a Figura 8 apresenta comparação com o processo planar.

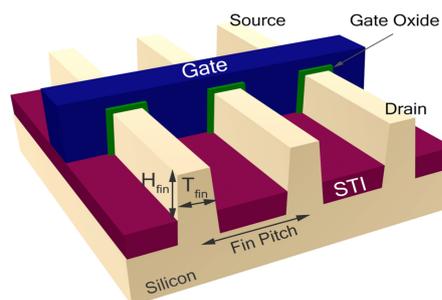
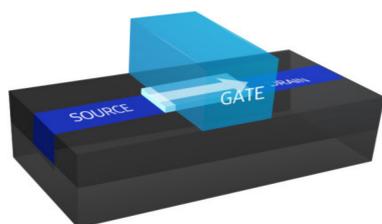
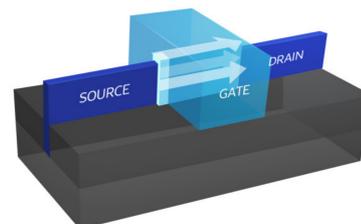


Figura 7 – Dimensões de interesse em um FinFET. Fonte: [14].



(a) Corrente somente paralela à superfície do substrato.



(b) Corrente paralela às interfaces canal-porta.

Figura 8 – Diferenças no transporte de carga. Fonte: [12].

A utilização de uma estrutura semelhante a um nanofio de silício como canal fornece ao FinFET uma excelente redução da corrente de sublimiar do transistor. A redução da corrente DC em estado não-operante do transistor traz vantagem essencial para circuitos CMOS com bilhões de transistores. As tecnologias CMOS com FinFETs estão entre as mais avançadas atualmente, em termos de densidade e desempenho.

## 2 Metodologia do Trabalho

O primeiro passo para realizar a comparação entre as três diferentes tecnologias é obter um modelo computacional para as mesmas. O simulador SPICE é largamente utilizado para obter predições de comportamentos de circuitos integrados, inclusive ao nível de transistores.

Neste capítulo, será introduzido o modelo SPICE de cada tecnologia utilizado na comparação. Para os transistores experimentais presentes no Laboratório de Microeletrônica - IF - UFRGS, foi necessário o desenvolvimento do modelo computacional, através da extração de parâmetros de medidas elétricas e a aplicação destes em um modelo SPICE pré-existente. A primeira seção deste capítulo trata deste procedimento. O modelo da tecnologia  $0.6\mu\text{m}$  é apresentado na seção 3.2, enquanto que a seção 3.3 apresenta o modelo da tecnologia  $16\text{nm}$  FinFET. Então, na seção 2.4 são apresentadas as células lógicas desenvolvidas, e o capítulo finaliza na seção 2.5 ao apresentar as condições para realizar a caracterização das células.

### 2.1 Transistores experimentais desenvolvidos no $L\mu\text{E}$ -UFRGS

Para ser possível a comparação entre as simulações de três gerações de MOSFETs, primeiro foi necessário obter um modelo computacional dos transistores fabricados no Laboratório de Microeletrônica - UFRGS. Para tal, decidiu-se utilizar o modelo SPICE BSIM, presente como *level 13* no simulador HSPICE<sup>®</sup>. Este modelo, baseado no SPICE 2G.6 BSIM[15], é utilizado para modelar transistores de pequenas geometrias e apresenta, entre outros efeitos, velocidade de saturação, dependência da mobilidade de portadores no campo vertical e sensibilidade da tensão de limiar devido *Drain-induced Barrier Lowering*. Além disso, a família de modelos BSIM é integrante do *Compact Model Coalition*[16], grupo responsável por validar modelos computacionais de transistores para uso na indústria.

Os parâmetros empregados no modelo computacional foram extraídos através de medições realizadas sobre transistores de teste presentes no circuito fabricado em [17], e alguns parâmetros foram retirados diretamente da Tese de Doutorado, pois na mesma também foi realizada a extração de parâmetros para aplicação em modelo SPICE, inclusive com a utilização do software *Advanced Design System* para um ajuste automático de parâmetros. Entretanto, no trabalho publicado em 2008, foi utilizado o Modelo Empírico, presente no HSPICE<sup>®</sup> como *level 3*, que não apresenta efeito de redução da mobilidade devido campo de dreno e não integra o *Compact Model Coalition*. Também não foram realizadas simulações para analisar comportamento de células lógicas. Logo, ao utilizar o *level 13*, espera-se obter um modelo mais próximo da realidade e dentro dos padrões da

indústria.

As medidas utilizadas no presente trabalho foram obtidas ao longo da disciplina de Microfabricação, a qual é obrigatório para estudantes do curso de Engenharia Física.

### 2.1.1 Modelo HSPICE<sup>®</sup> level 13

Para obtenção do modelo de simulação, foi escolhido o modelo SPICE *Berkeley Short Channel Insulated Gate Field Effect Transistor*, indicado como modelo *level 13* no simulador HSPICE<sup>®</sup>[15]. Ainda que hoje em dia há diversos modelos mais complexos, os mesmos contemplam efeitos não dominantes na tecnologia de  $5\mu m$  ou são utilizados para dispositivos *double gate*, enquanto que modelo *level 13* já apresenta efeitos de canal curto, saturação de velocidade dos portadores e aproximação para corrente de *subthreshold*. Além disso, a família de modelos BSIM é integrante do *Compact Model Coalition* (CMC), grupo colaborativo que busca padronizar os modelos SPICE. Uma vez o modelo aceito pelo CMC, o mesmo é incorporado nas ferramentas de simulação utilizadas na indústria[16].

A Tabela 1 apresenta os parâmetros do modelo *level 13* que foram utilizados neste trabalho.

Parâmetro	Unidade	Valor Padrão	Descrição
TOX	$\mu m/\text{Å}$	-	Espessura do óxido de porta
LD	$m$	0	Difusão lateral do dreno/fonte para canal
VFBO	$V$	-0.3	Tensão de banda plana
PHI0	$V$	0.7	Duas vezes o Potencial de Fermi
MUZ	$cm^2/V.s$	600	Mobilidade a baixo campo de dreno
MUS	$cm^2/V.s$	600	Mobilidade a alto campo de dreno
U00	$V^{-1}$	0	Fator de redução da mobilidade devido campo de porta
U1	$\mu m/V$	0	Fator de redução da mobilidade devido campo de dreno
RSH	$ohm/sq$	0	Resistência de folha
K1	$V^{\frac{1}{2}}$	0.5	Coefficiente da raiz quadrada de $V_{SB}$ sobre tensão de limiar
ETA0	-	0.0	Coefficiente linear de $V_{DS}$ sobre tensão de limiar
TNOM	$^{\circ}C$	25	Temperatura nominal do modelo
CJ	$F/m^2$	$4.5 \times 10^{-5}$	Capacitância de fundo a tensão nula na porta
CJSW	$F/m$	0.0	Capacitância <i>sidewall</i> a tensão nula na porta
CGSO	$F/m$	$1.5 \times 10^{-9}$	Capacitância parasita entre porta e fonte
CGDO	$F/m$	$1.5 \times 10^{-9}$	Capacitância parasita entre porta e dreno
PJ	$V$	0.8	Potencial de junção com o substrato
N0	-	0.5	Coefficiente de inversão fraca a baixo campo na porta

Tabela 1 – Parâmetros do modelo utilizados neste trabalho.

O modelo apresenta diversos outros parâmetros, principalmente referentes à sensibilidade do processo de fabricação, que alteram o valor efetivo dos parâmetros principais. Como as medidas foram realizadas sobre um mesmo *wafer*, estes dados sequer são possíveis de serem obtidos. Além disso, não foram utilizados parâmetros referentes à tensão entre fonte e corpo ( $V_{sb}$ ) devido impossibilidade de aplicar tensão entre estes terminais no circuito fabricado. Além disso, o parâmetro  $N0$  é utilizado pois, ao indicar o valor de 200, o modelo

não calcula corrente de *subthreshold*, visto que esta região de operação não é de interesse para este trabalho. Para quem desejar obter conhecimento mais profundo, recomenda-se a leitura do documento HSPICE®Reference Manual: MOSFET Models[15]. Ao simular um circuito, os parâmetros são utilizados no cálculo da corrente de dreno através das seguintes equações:

- Na região de *cut-off*,  $v_{gs} < v_{th}$ :

$$i_{ds} = 0 \quad (2.1)$$

- Na região de triodo,  $v_{ds} < v_{dsat}$ :

$$i_{ds} = \frac{\beta}{1 + xu1 \cdot v_{ds}} \cdot [(v_{gs} - v_{th}) \cdot v_{ds} - \frac{body}{2} \cdot v_{ds}^2] \quad (2.2)$$

- Na região de saturação,  $v_{ds} \geq v_{dsat}$ :

$$i_{ds} = \frac{\beta}{2 \cdot body \cdot arg} \cdot (v_{gs} - v_{th})^2 \quad (2.3)$$

Onde:

$$\beta = u_{eff} \cdot COX \cdot \frac{W_{eff}}{L_{eff}} \quad (2.4)$$

$$body = 1 + \frac{g \cdot zk1}{2 \cdot (zphi + v_{sb})^{1/2}} \quad (2.5)$$

$$g = 1 - \frac{1}{1.744 + 0.8364 \cdot (zphi + v_{sb})} \quad (2.6)$$

$$arg = \frac{1}{2} \cdot [1 + v_c + (1 + 2 \cdot v_c)^{1/2}] \quad (2.7)$$

$$v_{th} = zvfb + zphi + gamma \cdot (zphi + v_{sb})^{1/2} - xeta \cdot v_{ds} \quad (2.8)$$

As demais equações não estão presentes pois não são essenciais para a compreensão do trabalho. Novamente, recomenda-se a leitura do documento HSPICE®Reference Manual: MOSFET Models para um entendimento mais aprofundado sobre o modelo utilizado.

### 2.1.2 Medidas Experimentais e Extração de Parâmetros

Para obtenção dos dados experimentais, foram utilizados os equipamentos disponíveis no Laboratório de Microeletrônica do Instituto de Física, UFRGS. Foram realizadas medidas de capacitância e corrente utilizando equipamentos automáticos e medidas dimensionais utilizando microscópio óptico. A Figura 10 mostra o esquema de medição utilizado para obter valores de capacitância e corrente por tensão, enquanto que a figura 9 mostra as ponteiros de prova realizando contato nos terminais de dreno, porta e fonte de um dispositivo NMOS.

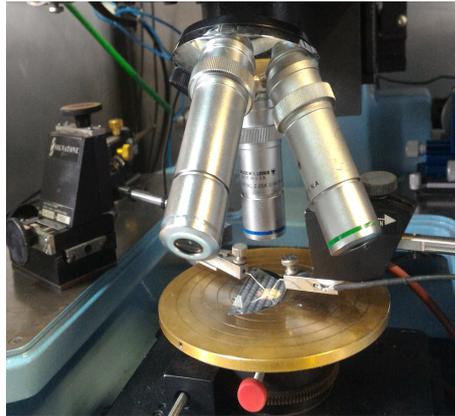


Figura 9 – Esquema para medição dos capacitores. Para medir transistores, necessário adicionar uma terceira ponteira de contato. Fonte: autor.

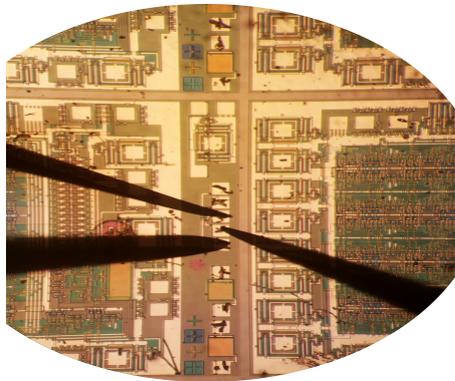


Figura 10 – Imagem de microscopia óptica da medição de transistores. Fonte: João Pedro Kleinubing Abal.

#### 2.1.2.1 Medidas de Largura e Comprimento de Canal

Foi utilizado o microscópio óptico presente na sala limpa do Laboratório de Microeletrônica para obter estimativas dos valores de largura e comprimento de canal,  $W$  e  $L$  respectivamente, dos dispositivos NMOS e PMOS. É necessário realizar estas medidas, e não utilizar os valores nominais das máscaras de fabricação, devido às variações no processo de fabricação, considerando dispersão da fotolitografia, efeitos de decapagem química (*etching*) e difusão. Foram obtidos os valores apresentados na Tabela 2

	NMOS	PMOS
$W$ [ $\mu m$ ]	10	27.5
$L$ [ $\mu m$ ]	3.75	3.75

Tabela 2 – PMOS com maior largura para compensar menor mobilidade dos portadores.

De fato, ainda que para a fabricação tenham sido utilizadas máscaras referentes a um comprimento de canal de 5 micrômetros, o valor finalmente obtido sob o silício foi menor, assim como a largura do PMOS, que apresentava 30 micrômetros na máscara. Esta

variação é devido ao efeito de difração da onda eletromagnética e alta difusividade do elemento Boro no Silício, visto que o primeiro foi utilizado como dopante.

### 2.1.2.2 Medidas de Capacitância por Tensão

Para as medidas de capacitância por tensão foi utilizado o equipamento HP 4284A Precision LCR Meter (Figura 11). Foi gerado um sinal variando de -5V a 5V em passos de 100mV, com frequência de 100kHz, sobre capacitores de  $4 \times 10^{-4} \text{cm}^2$  de área. Primeiramente o equipamento verifica se o substrato é tipo-p ou tipo-n ao calcular a capacitância nos dois extremos de tensão. Após o usuário confirmar o tipo de dopagem do substrato, é realizada uma varredura em tensão, que inicia na região de inversão do capacitor para região de acumulação. Foram realizadas 10 medidas em capacitores com substrato tipo-p e 10 medidas em capacitores com substrato tipo-n.



Figura 11 – Equipamento para medição de capacitância por tensão. Fonte: autor.

Além de fornecer gráficos de capacitância por tensão representados na Figura 12, os procedimentos de extração e cálculo realizados pelo equipamento também informam parâmetros como espessura do óxido, abertura máxima da camada de depleção, potencial de Fermi, concentração de portadores, tensão de banda plana, capacitância de banda plana, carga efetiva e tensão de limiar do capacitor. A Tabela 3 apresenta os valores médios dos parâmetros de interesse para o modelo obtidos através das medidas de capacitância como função da tensão de polarização entre o terminal de porta e o substrato.

A curva de capacitância por tensão da Figura 12b indica que a estrutura MOS (*Metal Oxide Semiconductor*) sobre substrato tipo-p exibe uma transição muito gradual entre o regime de acumulação e de inversão forte. Esta transição gradual é devido provavelmente ao fato de que a densidade de estados de interface é muito alta neste dispositivo.

Parâmetro	Substrato tipo-n	Substrato tipo-p
$t_{ox}$ [Å]	445.5694	466.1028
$\phi_F$ [V]	0.29818	0.41076
$V_{FB}$ [V]	-0.011526	-0.94120

Tabela 3 – Valores a serem aplicados no modelo HSPICE<sup>®</sup> *level* 13.

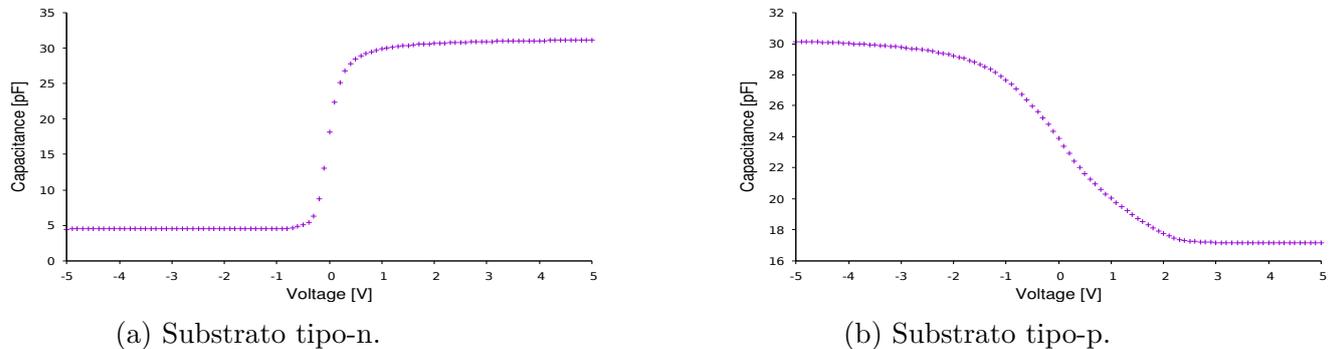


Figura 12 – Curvas de capacitância obtida em alta frequência (100kHz). Fonte: autor.

### 2.1.2.3 Medidas da Corrente de Dreno

Para as medidas de corrente de dreno foi utilizado o equipamento HP 4155A *Semiconductor Parameter Analyzer* (Figura 13). Foram realizadas medidas em cinco transistores PMOS e cinco transistores NMOS. A corrente de dreno foi medida em três configurações:

1. Porta e dreno em curto com tensão variável, fonte como nodo comum
2. Porta com tensão variável, dreno em tensão constante de 50mV, fonte como nodo comum
3. Porta e dreno em tensões variáveis e independentes, fonte como nodo comum



Figura 13 – Equipamento para medição de corrente de dreno. Fonte: autor.

Enquanto que as medições realizadas na configuração 3 foram utilizadas para obter comparações entre dados simulados e experimentais, as medições nas condições 1 e 2 foram realizadas para obter estimativas de mobilidade dos portadores, através da aproximação de corrente de dreno pelo Modelo Quadrático simplificado:

$$I_{DS} = C_{ox}\mu \frac{W}{L} [(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2}] \quad (2.9)$$

Os valores de  $W$  e  $L$  foram obtidos através de medidas com microscópio óptico, e o valor de  $C_{ox}$  foi obtido através das medidas de capacitância, visto que o mesmo óxido foi crescido sobre os capacitores e os transistores.

Na configuração 1, é sempre satisfeita a condição de  $V_{GS} > V_{DS} - V_T$ , logo o transistor é mantido em saturação. Desta forma, a equação de corrente de dreno é reduzida para

$$I_{DS} = \frac{1}{2} C_{ox}\mu \frac{W}{L} (V_{GS} - V_T)^2 \quad (2.10)$$

É possível obter o valor estimado da mobilidade dos portadores no canal ao traçar um gráfico de  $\sqrt{I_{DS}}$  por  $V_{GS}$  e ajustar uma reta na região linear da curva. A inclinação desta reta é  $\sqrt{\frac{1}{2} C_{ox} \frac{W}{L} \mu}$ , e  $\mu$  pode ser estimado utilizando-se os valores previamente medidos e estimados para  $t_{ox}$  e as dimensões  $W$  e  $L$  efetivas dos transistores. Assim é obtida a estimativa da mobilidade a alto campo de dreno.

Na configuração 2, como o valor de  $V_{DS}$  é fixado em  $\pm 50mV$  (NMOS e PMOS) e o valor da tensão de limiar também é considerada fixa, a corrente de dreno depende apenas de  $V_{GS}$ . Ao realizar um ajuste na região linear na curva de corrente de dreno por tensão na porta, o valor da inclinação de reta é dado por  $C_{ox}\mu \frac{W}{L} V_{DS}$ . Assim é obtida a estimativa da mobilidade a baixo campo de dreno.

Este procedimento foi aplicado sobre um total de 20 curvas de transistores, sendo obtidos os seguintes valores médios de mobilidade para os portadores no canal dos MOS-FETs:

	NMOS	PMOS
$\mu$ em alto campo de dreno [ $cm^2/V \cdot s$ ]	$2.413 \times 10^2$	$1.806 \times 10^2$
$\mu$ em baixo campo de dreno [ $cm^2/V \cdot s$ ]	$6.132 \times 10^2$	$2.624 \times 10^2$

Tabela 4 – Resultados obtidos através das medidas em configurações 1 e 2.

Como esperado, o dispositivo NMOS apresenta maior mobilidade, visto que os portadores de carga são elétrons, enquanto que no dispositivo PMOS os portadores de carga são lacunas. Esta mobilidade depende do livre caminho médio e da massa efetiva dos portadores, porém a devida explicação está além do escopo deste trabalho.

### 2.1.3 Aplicação dos Parâmetros no modelo HSPICE<sup>®</sup> level 13

Primeiro, decidiu-se utilizar para parâmetros presentes no *level 3* e no *level 13* os mesmos valores obtidos em [17], visto que o processo de extração dos valores foi otimizado através do uso de software específico para este propósito. Os parâmetros assim obtidos estão indicados na tabela 5.

<i>Level 3</i>	<i>Level 13</i>	NMOS	PMOS
PB	PJ	0.64	0.6
GAMMA	K1	2.32	0.45
RSH	RSH	18	319
ETA	ETA0	0.0097	0.024
LD	LD	$0.2\mu$	$0.54\mu$
THETA	U00	0.145	0.05

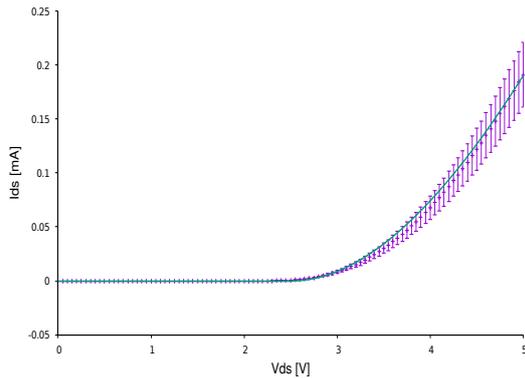
Tabela 5 – Relação dos parâmetros entre *level 3* e *level 13*.

Após, foram aplicados os valores de parâmetros extraídos através das medidas realizadas, e deu-se início ao processo de otimização dos parâmetros, tendo como base os valores médio de corrente obtidos nas configurações 1 e 2 e os valores de tensão de limiar obtidos na Tese de Doutorado de Giovani Pesenti[17]. O processo ocorreu de maneira paralela, comparando visualmente as curvas de corrente experimentais e simuladas a cada alteração nos valores dos parâmetros. Os valores de TNOM, TOX, PJ, K1, MUS e MUZ não foram alterados ao longo do processo.

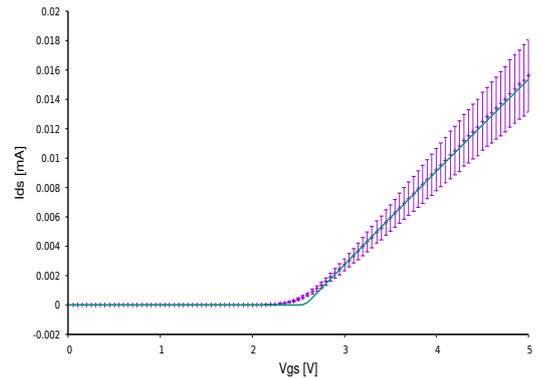
Dada esta configuração, verificou-se uma grande diferença ao longo da curva de corrente nas situações em que  $V_{DS}$  foi mantido fixo, ou seja, na configuração 2. Para corrigir este caso, decidiu-se alterar o valor do parâmetro U00, responsável pela diminuição da mobilidade (e conseqüentemente da corrente) com aumento da tensão entre porta e dreno, pois como  $V_{DS}$  é mantido em  $\pm 50mV$ , apenas a variação de  $V_{GS}$  provoca mudanças no valor de corrente. Nas curvas das 3 configurações também ficou nítida a diferença dos valores de tensão de limiar, e foram então realizadas alterações nos valores de PHI0 e VFB0, visto a dependência direta de  $v_{th}$  nestes parâmetros, como consta na Equação 2.8. Como a tensão de limiar impacta no cálculo da corrente, a otimização expandiu-se para mais parâmetros. Para o modelo do NMOS foi incluído o parâmetro U1, que simula a redução da mobilidade com o aumento do campo de dreno, visto que na configuração 2 ( $V_{DS}$  fixo) a curva simulada estava próxima à experimental mas na configuração 1 ( $V_{DS}$  variável e igual a  $V_{GS}$ , com porta e dreno no mesmo potencial) havia grande diferença. Ou seja, a variação da corrente era devido à variação da tensão entre dreno e fonte. A necessidade deste parâmetro pode ser verificada pela diferença da mobilidade entre os casos de baixo e alto campo de dreno. Enquanto isso, o modelo do PMOS apresentava maiores diferenças entre os valores simulados e experimentais da tensão de limiar nas diferentes curvas da configuração 3 (curva característica de um MOSFET). Como apenas a tensão entre dreno e fonte é responsável pelo valor da tensão de limiar neste modelo, o

valor do parâmetro  $\text{ETA0}$ , coeficiente linear de  $V_{DS}$  sobre tensão de limiar, foi alterado.

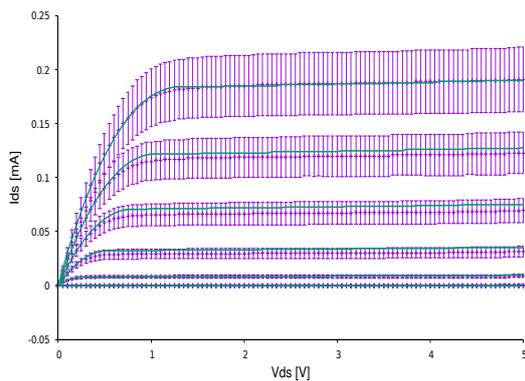
Seguem na Figura 14 e na Figura 15 comparações visuais entre as curvas experimentais e simuladas, após o término do processo de otimização dos parâmetros. As curvas experimentais são montadas com base no valor médio das 5 medidas em cada configuração para cada dispositivo, incluindo o desvio padrão. Apenas para a curva característica do dispositivo PMOS as barras de desvio padrão não foram incluídas pois desta forma o gráfico seria ilegível. A Tabela 6 apresenta os respectivos valores de tensão de limiar.



(a) Curva obtida na configuração 1.



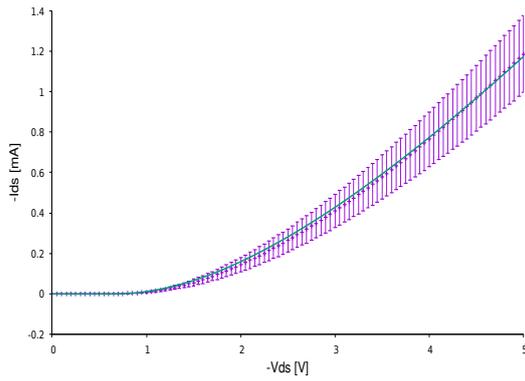
(b) Curva obtida na configuração 2.



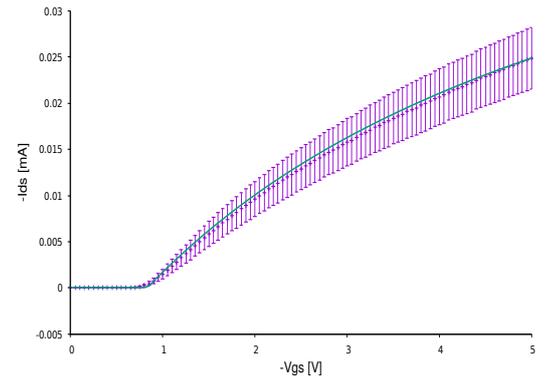
(c) Curva obtida na configuração 3.

Figura 14 – Comparação entre curvas experimentais e simuladas para dispositivo NMOS.

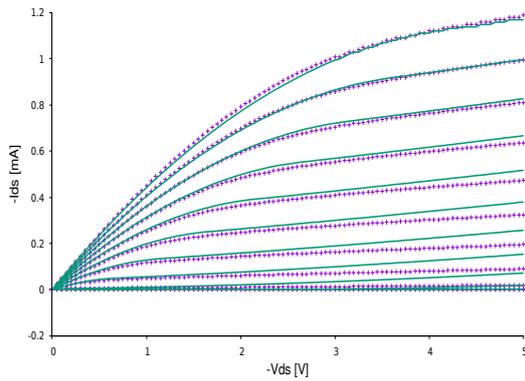
Fonte: autor.



(a) Curva obtida na configuração 1.



(b) Curva obtida na configuração 2.



(c) Curva obtida na configuração 3.

Figura 15 – Comparação entre curvas experimentais e simuladas para dispositivo PMOS.  
Fonte: autor.

Foram obtidos os seguintes valores de tensão de limiar:

$$\frac{\text{NMOS}}{2.53V} \quad \frac{\text{PMOS}}{-0.809V}$$

Tabela 6 – Valores de  $v_{th}$  ao término do ajuste dos parâmetros.

Visualmente, as curvas experimentais e simuladas são semelhantes entre si. Todavia, deve ser realizada uma análise mais precisa através de comparações numéricas. Para isto, foi desenvolvido um *script* em linguagem Python para calcular o erro absoluto médio para cada curva, da seguinte forma:

$$erro = \frac{1}{N} \sum_{i=1}^N \left| \frac{Experimental_i - Simulado_i}{Experimental_i} \right| \quad (2.11)$$

Onde  $N$  é o número de pontos da curva. Comparando todos os pontos das curvas, ou seja, com  $V_{GS}$  variando de  $0V$  a  $\pm 5V$ , observou-se um alto valor de erro (vide Tabela 7), uma vez que o modelo utilizado não é adequado nem otimizado para modelar a corrente de dreno na região de sublimiar. Porém, ao considerar valores de  $V_{GS}$  igual ou maior que  $\pm 2.5V$ , a qual é a região de interesse deste trabalho, observou-se um erro máximo de 7.64%, como pode ser verificado na Tabela 8. Conclui-se que o modelo apresenta boa

correspondência com o dispositivo real na região de operação de saturação, utilizada em circuitos lógicos operando na tensão nominal.

Configuração	NMOS	PMOS
1	55.99%	22.99%
2	50.23%	20.41%
3	76.71%	450.3%

Tabela 7 – Valores de erro ao iniciar comparação em  $V_{GS} = 0V$

Configuração	NMOS	PMOS
1	7.36%	1.25%
2	4.28%	1.06%
3	7.64%	1.96%

Tabela 8 – Valores de erro ao iniciar comparação em  $V_{GS} = \pm 2.5V$

O dispositivo NMOS apresentou maior erro que o PMOS, após iniciar comparação em  $V_{GS} = \pm 2.5V$  pois esse apresenta maior valor da tensão de limiar, ao comparar o módulo dos valores.

Após atingir um ajuste do modo de operação DC considerado satisfatório pelo autor deste trabalho, foram calculados os valores de capacitâncias parasitas, para tornar mais próximo do real a operação transiente. Foram então utilizadas as seguintes equações:

$$CJ, CJSW = \sqrt{q \cdot \varepsilon_{Si} \cdot N_{SUB} \cdot \frac{M_{J,JSW}}{P_J}} \quad (2.12)$$

$$CGDO, CGSO = L_D \cdot C_{ox} \quad (2.13)$$

Sendo o valor da concentração de portadores obtido pela equação

$$\phi_F = 2 \cdot \frac{k_B \cdot T}{q} \ln\left(\frac{N_{SUB}}{n_i}\right) \quad (2.14)$$

e  $M_{J,JSW}$  o coeficiente do gradiente de junção. Ao considerar uma junção do tipo degrau tem-se  $M_{J,JSW} = 0.5$ . Após obter estes parâmetros, foi considerada finalizada a etapa de obtenção do modelo SPICE para tecnologia  $5\mu m$ .

Todas as medidas foram realizadas sobre circuitos presentes na mesma seção de um mesmo *wafers*, logo os parâmetros calculados para o modelo representam o comportamento de um número limitado de circuitos fabricados no L $\mu$ E do Instituto de Física da UFRGS. Para obter parâmetros de modelo mais representativos, seriam necessárias mais medidas, inclusive de outros lotes de produção. Como as amostras foram obtidas em trabalho experimental e acadêmico, para demonstrar a viabilidade da obtenção dos transistores, não há na UFRGS disponibilidade para obter e medir um número grande de *wafers*. Em escala industrial, por exemplo, um lote de *wafers* é um *batch* de até 25 lâminas de silício. Caso

Parâmetro	NMOS	PMOS	Unidade
TOX	4.661e+02	4.456e+02	Å
RSH	18	319	ohm/sq
TNOM	20	20	°C
U00	0.0095	0.1796	$V^{-1}$
K1	2.32	0.45	$V^{1/2}$
PHI0	0.9215	0.4734	V
LD	2e-07	5.4e-07	m
MUS	241.3	180.6	$cm^2/V \cdot s$
MUZ	613.2	262.4	$cm^2/V \cdot s$
ETA0	0.0097	0.155	-
PJ	0.64	0.6	V
VFB0	-0.6141	0.02657	V
U1	0.585	-	$\mu m/V$
CJ	2.483e-08	2.819e-09	$F/m^2$
CJSW	2.483e-08	2.819e-09	$F/m$
CGSO	1.482e-10	4.185e-10	$F/m$
CGDO	1.482e-10	4.185e-10	$F/m$
N0	200	200	-

Tabela 9 – Valores exatos dos parâmetros como consta no arquivo *models.sp*, utilizado nas simulações.

o trabalho de obtenção do modelo fosse prolongado, também haveria a possibilidade de incluir um maior número de parâmetros. Porém, como a extração de parâmetros consiste em apenas uma etapa deste trabalho, foi decidido que o modelo e os parâmetros extraídos para o mesmo atingiram um desempenho satisfatório.

## 2.2 Tecnologia X-Fab XC06

Fundada em 2008 através de um decreto presidencial, a CEITEC S.A. é uma empresa pública vinculada ao Ministério da Ciência, Tecnologia, Inovações e Comunicações, que atua no segmento de semicondutores desenvolvendo soluções para identificação automática (RFID e smartcards) e para aplicações específicas (ASICs)[18]. A empresa, localizada em Porto Alegre, possui seu próprio *design center* e fábrica, e trabalha com tecnologia CMOS comercial transferida por acordo comercial de licenciamento da *foundry* alemã X-FAB[19].

Para desenvolver o processo fabril da CEITEC, esta adquiriu o processo planar CMOS XC06, tecnologia modular de sinal misto com possibilidades (opções de etapas de processo) para fabricar memória não-volátil EEPROM embarcada e opções de operação com alta tensão[20]. A Figura 16 apresenta uma visão esquemática transversal (um corte

vertical) dos dispositivos possíveis de obter com a sequência de etapas de fabricação do CMOS XC06.

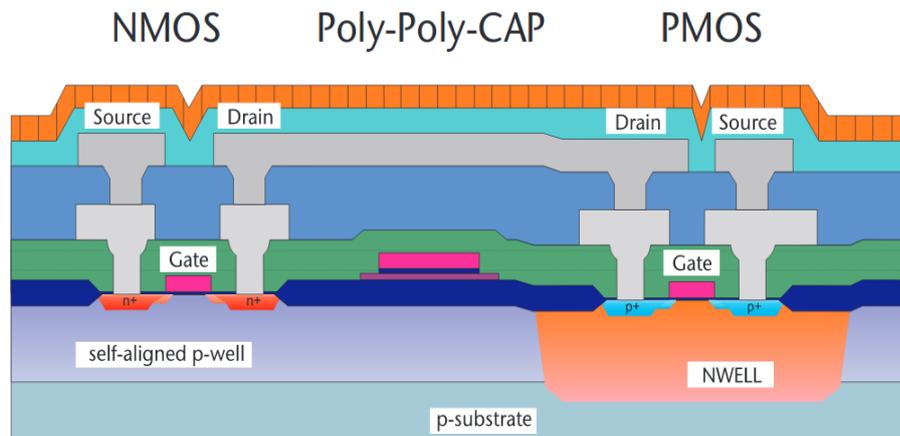


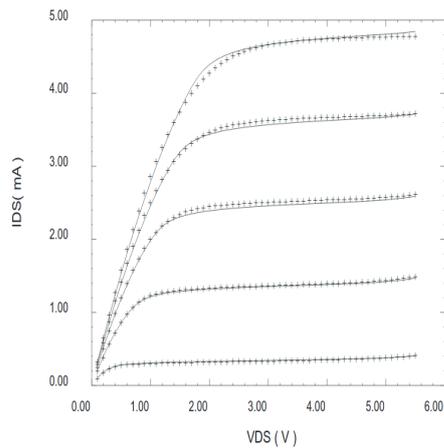
Figura 16 – Seção transversal dos dispositivos operantes a 5V. Fonte: [20].

De acordo com o *data sheet* do processo XC06, na aquisição do mesmo também são disponibilizados os parâmetros de modelos elétricos SPICE BSIM3V3 para os transistores desta tecnologia, com grau de precisão aceitável para um processo industrial. O Instituto de Física da Universidade Federal do Rio Grande do Sul possui o *Process Design Kit* desta tecnologia, permitindo a utilização dos modelos em simulações elétricas SPICE. O modelo BSIM3V3, suportado no simulador comercial HSPICE® como *level 49*, é a terceira versão do BSIM3, que por sua vez é um aperfeiçoamento do modelo BSIM, utilizado na seção anterior.

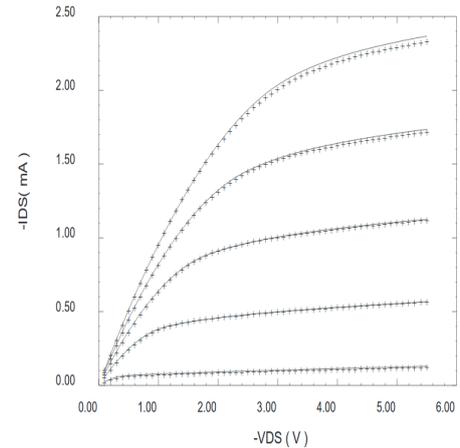
Por ter sido desenvolvido pela própria *foundry*, a extração dos parâmetros para o modelo BSIM3v3 foi realizada sobre uma amostragem muito mais significativa (múltiplos lotes de fabricação), apresentando maior proximidade aos dados experimentais que os outros modelos utilizados. Uma comparação visual entre as curvas simuladas e experimentais pode ser efetuada através da Figura 17 que são divulgadas pela XFAB na sua documentação para transistores NMOS e PMOS típicos do processo de fabricação.

## 2.3 Tecnologia 16nm FinFET

Desenvolvido pelo grupo *Nanoscale Integration and Modeling* da Arizona State University (ASU) em colaboração com a empresa ARM, os modelos preditivos da tecnologia 16nm FinFET LSTP (*low stand-by power*) fornecem resultados do que se espera de performance desta tecnologia[21]. Os parâmetros elétricos dos transistores são para os modelos denominados de BSIM-CMG (*common-multigate*), selecionado como o primeiro padrão industrial para FinFET[14], e apresentado no HSPICE® como modelo *level 72*. A Tabela 10 apresenta valores de alguns parâmetros estruturais característicos (e previstos



(a) Comparação entre curva experimental e simulada para dispositivo NMOS. Fonte: [20].



(b) Comparação entre curva experimental e simulada para dispositivo PMOS. Fonte: [20].

Figura 17 – Comparações da tecnologia  $0.6\mu\text{m}$ , disponibilizadas pela *foundry* X-FAB.

pela ASU) dos transistores típicos para uma tecnologia FinFET  $16\text{nm}$  utilizados no modelo BSIM-CMG.

Parâmetro	Descrição	Valor
tfin	Largura da <i>fin</i>	$12\text{nm}$
hfin	Altura da <i>fin</i>	$26\text{nm}$
l	Comprimento do canal	$20\text{nm}$
tox	Espessura física do óxido de porta	$13.5\text{Å}$

Tabela 10 – Parâmetros dimensionais do modelo preditivo.

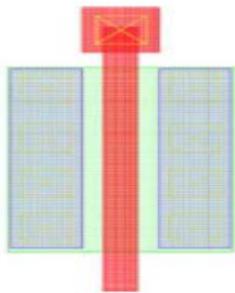
Ainda que o grupo da ASU responsável pelo modelo informe que o modelo preditivo apresenta resultados precisos, estes parâmetros elétricos foram obtidos (como divulgado publicamente) sem dados experimentais para calibrar efetivamente os parâmetros a um processo físico real. O uso de um modelo preditivo (PTM) acadêmico ocorre pelo fato de que nenhuma *foundry* comercial fornece o modelo completo desenvolvido internamente para a tecnologia FinFET, e seus respectivos parâmetros que modelam o comportamento efetivo dos FinFETs. Esta informação é considerada propriedade intelectual sensível, e é divulgada somente mediante acordo de confidencialidade pelas fábricas comerciais.

## 2.4 Desenvolvimento do conjunto de Células Lógicas Digitais

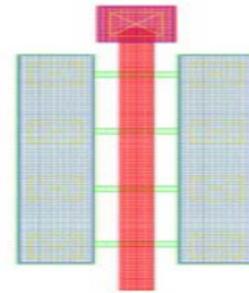
Foi desenvolvido o mesmo conjunto de 34 células lógicas CMOS para cada tecnologia utilizada neste estudo, previamente elaborada neste capítulo. As células desenvolvidas implementam ao total 8 funções lógicas. A diferença entre o número de células e de funções se dá pelo fato de que uma mesma função lógica foi implementada em número variado de entradas nas células e diferentes *driving strengths* para quase todas as funções implemen-

tadas. Para isso, primeiramente foi necessário definir critérios de dimensionamento para cada tecnologia. Como as tecnologias  $5\mu m$  e  $0.6\mu m$  são planares, utilizou-se para ambas o mesmo critério de dimensionamento relativo (NMOS/PMOS), que por sua vez é diferente do critério adotado para a tecnologia FinFET.

### 2.4.1 Dimensionamento das células



(a) *Layout* de um transistor *bulk*.



(b) *Layout* de um transistor FinFET.

Figura 18 – Em verde, conexões entre fonte e dreno. Para dispositivos FinFETs, a largura é discretizada. Fonte: [22].

Para as tecnologias de  $5\mu m$  e  $0.6\mu m$  o critério utilizado foi  $\frac{W_p}{W_n} = 1.5$ , de acordo com [11], e o tamanho mínimo de  $W$  é definido pela tecnologia em si. Para células que apresentem transistores em série, os mesmos são redimensionados para levar em conta a maior resistência desta associação. Caso a largura de dispositivos PMOS seja 1X, porém uma célula apresente 3 PMOS em série, os mesmos terão largura 3X. A lógica é mantida para qualquer número de transistores, e para dispositivos NMOS.

Porém, para as células desenvolvidas com tecnologia  $16nm$  FinFET, o *sizing* deve ser discreto, pois no processo de fabricação desta tecnologia não se alteram as dimensões do *fin*[22]. Para um dispositivo com maior  $W$ , o mesmo é fabricado com diversos *fin*s em paralelo. A Figura 18 demonstra na visão *layout* a diferença entre tecnologia planar e FinFET. Em [2] foi desenvolvido um algoritmo de dimensionamento sintetizando diversas células e buscando o menor consumo de potência. O resultado obtido foi que cerca de 86% de todas as portas de todos os transistores apresentaram apenas uma *fin*. Portanto, para este trabalho foi decidido que cada célula de menor tamanho apresentará apenas um *fin* para cada PMOS e NMOS, independente se há conexão em série ou paralelo entre transistores. Para células de tamanho 2 e 4 vezes o tamanho mínimo, por exemplo, todos os transistores apresentam duas e quatro *fin*s, respectivamente. Após definir este critério de dimensionamento, verificou-se que em [23], artigo escrito pelo grupo *Nanoscale Integration and Modeling*, o mesmo critério foi utilizado, indicando ter sido uma boa estratégia de dimensionamento aplicada aos FinFETs.

### 2.4.1.1 Dimensionamento de Transistores no SPICE

A implementação de transistores de diferentes tamanhos no SPICE é realizada na própria instanciação dos mesmos. Para modelo HSPICE<sup>®</sup> *level 72* basta variar o número de *fins*, enquanto que para os modelos HSPICE<sup>®</sup> *level 13* e *level 49* é necessário explicitar a largura  $W$ . Para levar em conta a variação das capacitâncias parasitas de acordo com a variação da largura, nos modelos dos transistores de  $5\mu\text{m}$  e  $0.6\mu\text{m}$  é necessário adicionar uma seção que calcula as áreas de dreno e fonte de acordo com  $W$ . Para o modelo da tecnologia  $16\text{nm}$  FinFET, basta indicar o número de *fins* para que este cálculo seja realizado[14]. O Apêndice A possui trechos dos arquivos SPICE explicitando a variação da largura dos transistores, bem como o cálculo das áreas de dreno e fonte realizado no modelo  $5\mu\text{m}$ .

### 2.4.2 Células desenvolvidas

Segue indicação de nomenclatura das 34 células desenvolvidas. O primeiro dígito presente no nome da célula indica o número de entradas, exceto para células inversores, que apresentam apenas uma entrada. Cada célula foi construída com quatro valores diferentes para largura de canal  $W$ , para que sua operação possa ser analisada em diferentes *driving strengths*. Na nomenclatura, a célula com  $W = W_{min}$  tem terminação 'X1', a célula com largura  $W = 2 \times W_{min}$  tem terminação 'X2' e assim por diante.

As células inversoras, NAND, NOR e XOR3 foram desenvolvidas na topologia estática CMOS usual. As células XOR2 e MUX foram desenvolvidas por *transmission gate*.

INVX1	INVX2	INVX4	INVX8
NAND2X1	NAND2X2	NAND2X4	NAND2X8
NAND3X1	NAND3X2	NAND3X4	NAND3X8
NOR2X1	NOR2X2	NOR2X4	NOR2X8
NOR3X1	NOR3X2	NOR3X4	NOR3X8
XOR2X1	XOR2X2	XOR2X4	XOR2X8
XOR3X1	XOR3X2	XOR3X4	XOR3X8
AOI21X1	AOI22X1	OAI21X1	OAI22X1
PowerPC DFF		MUX 2:1	

Tabela 11 – Células lógicas desenvolvidas.

Foi decidido desenvolver o *flip-flop* tipo D *PowerPC* pois em um trabalho desenvolvido previamente no Instituto de Informática da UFRGS foi demonstrado que, entre diferentes topologias, esta apresenta menores valores de *Power-Delay Product*.

## 2.5 Preparação para Caracterização das Células

A caracterização elétrica das células foi realizada através do software comercial Cadence®Virtuoso®Liberate™. Este software de caracterização utiliza análise de circuito ao nível de transistores, gerando todas as combinações de estímulos e estados lógicos relevantes para obter valores de *timing* e potência da célula a ser analisada[24]. Assim, são obtidas vistas elétricas em formato padronizado na indústria.

Para realizar a caracterização, é necessário definir a tensão e temperatura de operação e para quais valores de atraso de subida do sinal (*input slew*) de entrada e capacitância de carga ( $C_{load}$ ) as células serão analisadas. Estes parâmetros estão diretamente relacionados com a tecnologia a ser caracterizada, exceto a temperatura. Portanto, foi necessário obter valores de *input slew* e capacitância de carga para cada geração de transistores através de simulações. Cada tecnologia apresenta seu valor nominal para tensão de operação.

Após definir quais células serão analisadas e em quais condições, o software Liberate™ gera tabelas cujos conteúdos são os tempos de subida e descida da célula, seus atrasos de subida e descida referente à entrada e a potência consumida. Tais matrizes são geradas automaticamente para cada possível transição do sinal de saída e para cada sinal de entrada, dependendo da lógica da célula e número de pinos.

### 2.5.1 Valores de *slew* e $C_{load}$

O valor mínimo para capacitância de carga foi definido como a capacitância de entrada de um INVX1 da respectiva tecnologia, enquanto que a capacitância máxima foi obtida calculando oito vezes (*fan-out 8*) a capacitância de entrada da entrada B da célula XOR3X8, pois esta apresenta a maior capacitância de entrada do conjunto de células. Verifica-se pelo esquemático da porta (Figura 19) que a entrada B é conectada em 3 NMOS e 3 PMOS, pois a inversão ocorre dentro da célula. Os inversores utilizados apresentam a mesmo tamanho da célula em questão, ou seja, para XOR3X8 foram utilizados três INVX8. A metodologia utilizada neste trabalho para obtenção dos valores mínimos e máximos foi baseada em [25].

O valor mínimo do atraso de subida do sinal de entrada foi definido como o tempo que um *buffer* (simples sequência dos quatro tamanhos de inversores disponíveis) leva para carregar a entrada de um INVX1, ao ser carregado por dois INVX2 em série. O valor máximo para atraso do sinal de entrada foi obtido ao verificar o atraso para uma porta XOR3X8 carregar um capacitor cuja capacitância é um valor arredondado para cima de  $C_{load_{max}}$ , ao ter a entrada B (conforme esquemático) carregada por dois INVX8 em série enquanto que as entradas A e C estão conectadas em GND. A Figura 20 apresenta os esquemáticos simbólicos dos circuitos utilizados para medição. Em ambos os casos, é considerado o tempo necessário para que o nó em questão seja carregado de 10% a 90% do valor de  $V_{DD}$  referente à cada tecnologia. A Figura 21 apresenta valores assim obtidos

para os transistores experimentais de  $5\mu m$ .

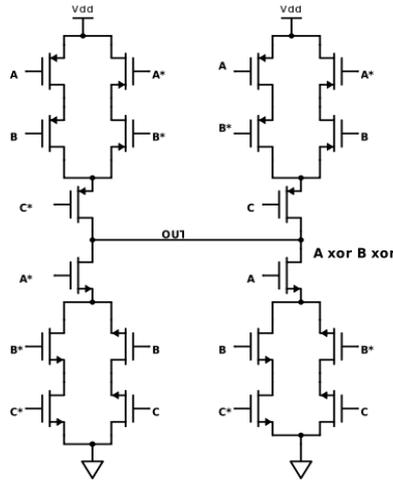


Figura 19 – Símbolo "\*" indica sinal invertido. Inversores internos omitidos. Fonte: autor.

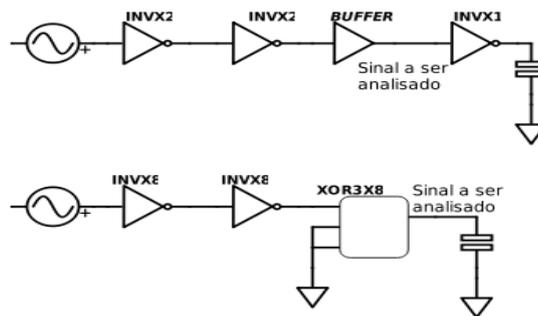


Figura 20 – Esquema para obtenção dos valores mínimo e máximo de *input slew*. Fonte: autor.

Os valores máximos e mínimos de *input slew* e  $C_{load}$  foram obtidos através de simulações pelo software Cadence® Spectre® de *netlists* escritas em HSPICE®. Uma vez obtidos estes valores que delimitam o intervalo, valores intermediários foram calculados por uma simples progressão linear. Foi decidido utilizar ao total cinco valores para *input slew* e cinco valores para capacitância de carga. A Tabela 12 e a Tabela 13 apresentam os valores assim calculados.

Além disso, para caracterizar células sequências como PowerPC DFF, é necessário informar diferentes tempos de subida do sinal de relógio. Os valores utilizados para esta caracterização foram decididos com base nos resultados de tempos de atraso das células puramente combinacionais e no exemplo de caracterização de célula sequencial disponibilizado pela própria Cadence®. Também são necessários valores de tempo de subida do sinal de dado. Estes, assim como nos exemplos disponibilizados pela empresa

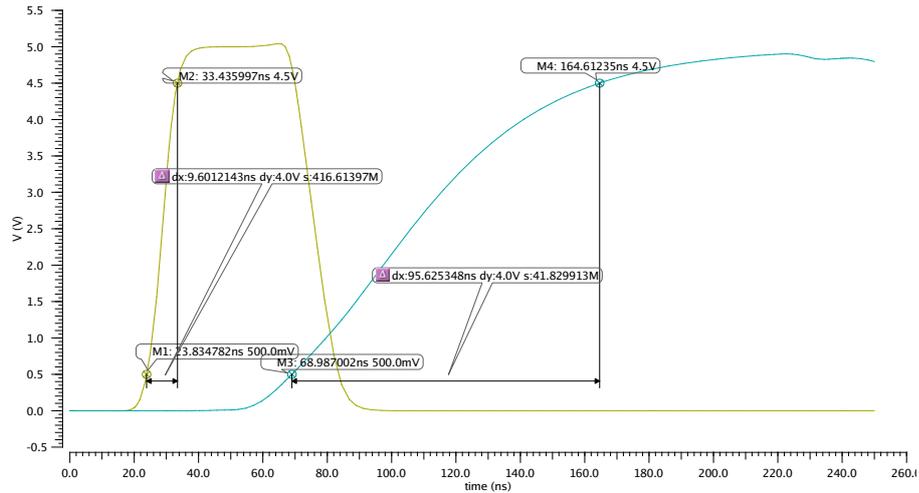


Figura 21 – Valores mínimo e máximo de *input slew* para tecnologia  $5\mu m$ . Fonte: autor.

responsável pela ferramenta, foram considerados iguais aos valores de *clock slew*. A Tabela 14 apresenta os valores de *clock slew* para as tecnologias  $0.6\mu m$  e  $16nm$  FinFET.

<i>ns</i>	$16nmFinFET$	$0.6\mu m$	$5\mu m$
Valor mínimo	$2.87 \times 10^{-3}$	$2.10 \times 10^{-1}$	$9.60 \times 10^0$
	$3.74 \times 10^{-1}$	$5.05 \times 10^{-1}$	$3.11 \times 10^1$
	$7.45 \times 10^{-1}$	$8.00 \times 10^{-1}$	$5.26 \times 10^1$
	$1.12 \times 10^0$	$1.09 \times 10^0$	$7.41 \times 10^1$
Valor máximo	$1.49 \times 10^0$	$1.39 \times 10^0$	$9.56 \times 10^1$

Tabela 12 – Valores de *input slew*, em ns.

<i>pF</i>	$16nmFinFET$	$0.6\mu m$	$5\mu m$
Valor mínimo	$1.23 \times 10^{-4}$	$3.04 \times 10^{-3}$	$3.36 \times 10^{-2}$
	$5.98 \times 10^{-3}$	$0.579 \times 10^{-1}$	$4.86 \times 10^0$
	$1.18 \times 10^{-2}$	$1.15 \times 10^0$	$9.68 \times 10^0$
	$1.77 \times 10^{-2}$	$1.73 \times 10^0$	$1.45 \times 10^1$
Valor máximo	$2.36 \times 10^{-2}$	$2.31 \times 10^0$	$1.93 \times 10^1$

Tabela 13 – Valores de  $C_{load}$ .

Para os transistores de  $5\mu m$  não foram determinados valores de tempo de atraso do sinal do relógio, pois a caracterização considerando apenas células combinacionais não foi realizada, visto que o modelo HSPICE<sup>®</sup> *level 13* não é suportado pelo software Liberate<sup>™</sup>, fato que foi verificado apenas após atingir esta etapa do trabalho.

<i>ns</i>	<i>16nmFinFET</i>	<i>0.6μm</i>
Valor mínimo	0.001	0.1
	0.005	0.2
	0.01	0.5
	0.05	1
Valor máximo	0.1	1.5

Tabela 14 – Valores de *clock slew*.

Os valores de *clock slew* são necessários para obter resultados de  $T_{setup}$  e  $T_{hold}$  de células sequenciais.  $T_{setup}$  representa quanto tempo o sinal na entrada do *flip-flop* deve estar estável antes da borda de subida do sinal de relógio, e  $T_{hold}$  representa quanto tempo o sinal de entrada deve permanecer estável após a borda de subida do sinal de relógio, considerando um *flip-flop* tipo D *positive-triggered*. Respeitando estes valores, o sinal de entrada é corretamente propagado para a saída.

## 2.6 Conclusões do Capítulo

Este capítulo iniciou com a apresentação do modelo HSPICE<sup>®</sup> *level 13*, o processo de extração de parâmetros dos transistores experimentais  $5\mu m$  da UFRGS e a aplicação e refinamento destes parâmetros no modelo. Também foram apresentados os parâmetros mais importantes dos modelos das tecnologias  $0.6\mu m$  (aplicando o modelo BSIM3v3) e  $16nm$  FinFET (aplicando o modelo BSIM-CMG), citando as respectivas fontes que desenvolveram estes modelos.

A seguir, o capítulo tratou de descrever os critérios de dimensionamento utilizados para transistores planares e tridimensionais, bem como o conjunto das células lógicas que foram dimensionadas e desenvolvidas neste trabalho. Por fim, foram apresentados os métodos sistemáticos de obtenção e os valores de *slew* de entradas das portas lógicas e os valores de capacitância de carga a serem utilizados na etapa do trabalho referente à caracterização do comportamento transiente das células lógicas. As etapas de caracterização das células e da aplicação destas em circuitos de teste serão tratadas no próximo capítulo.

## 3 Métodos e Métricas para Comparação

Após obter os modelos SPICE e definir as condições de caracterização, foram primeiramente realizadas simulações para obter métricas básicas de comparação entre as tecnologias, como tempos de subida e descida, atraso, consumo de potência e margem de ruído.

Na primeira seção deste capítulo são apresentados resultados de *timing*, frequência e energia consumida por estágio obtidos em simulações de osciladores em anel, bem como a comparação entre os valores obtidos e o esperado pela teoria de dimensionamento de Dennard.

Na segunda seção, são apresentados resultados de margem estática de ruído, obtidos através do software *Static Noise Margin Estimation Tool*, que oferece uma solução para calcular automaticamente a margem estática de ruído entre duas células utilizando o método de *butterfly plot*.

### 3.1 Oscilador em Anel

Para cada tecnologia foram simuladas as seguintes configurações de osciladores em anel: utilizando inversores INVX1 e INVX4, com *Fan-Out 1* e *Fan-Out 4*, em 11 e 31 estágios. Diferentes configurações de osciladores em anel foram aplicadas para possibilitar a comparação dentro de apenas uma tecnologia, ao invés de apenas entre diferentes tecnologias.

Como um oscilador em anel deve apresentar um número ímpar de inversores, foram selecionados 11 e 31 estágios para analisar a variação no atraso por estágio, que deve se manter constante, visto que a frequência de operação que depende do número de estágios. Como em um projeto maior as células básicas são conectadas em diferentes valores de capacitância, foi decidido realizar simulações para *Fan-Out 1* (Figura 22) e *Fan-Out 4* (Figura 23), e para analisar a variação dependente do *sizing* dos transistores, foram construídos osciladores com inversores INVX1 e INVX4.

Foram obtidos resultados de tempos de subida e descida, tempo de atraso médio, frequência de oscilação e energia consumida por um estágio do circuito oscilador, considerando um par de transições.

Para otimizar a coleta de resultados, foi desenvolvido um *script* em *Open Command Environment for Analysis* (OCEAN), linguagem de programação baseada em Cadence®SKILL[26]. Esta linguagem consiste de comandos a serem executados pelo simulador Cadence®Spectre®, como preparar e executar simulações até realizar cálculos sobre as formas de onda obtidas.

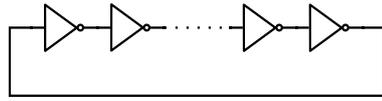


Figura 22 – Esquema do oscilador em anel com *fan-out 1*. Fonte: autor.

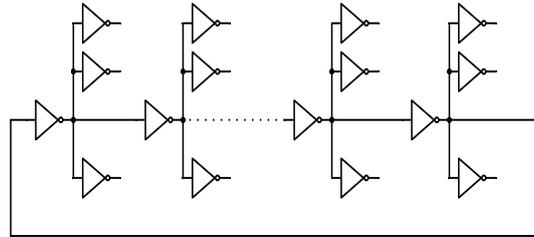


Figura 23 – Esquema do oscilador em anel com *fan-out 4*. Fonte: autor.

O *script* desenvolvido é responsável por calcular a média de dez diferentes medidas de tempo de subida ( $T_{rise}$ ), descida  $T_{fall}$  e atrasos ( $T_D$ ) em três inversores distintos de um oscilador em anel. Os valores obtidos foram somados e divididos por três, obtendo valores médios por estágio para uma determinada configuração de oscilador em anel. A frequência de operação do oscilador em anel foi então determinada por

$$F = \frac{1}{2 \cdot N \cdot T_D} \tag{3.1}$$

onde  $N$  é o número de estágios do oscilador em anel e  $T_D$  é o atraso médio por estágio.

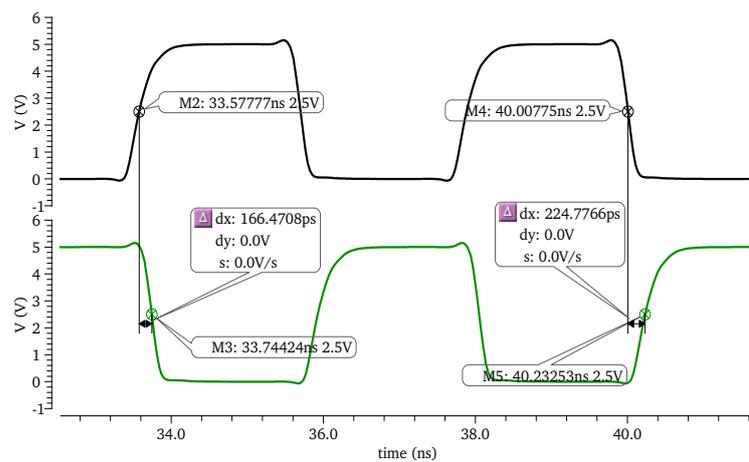


Figura 24 – Sinais de entrada (em preto) e saída (em verde) para um inversor do anel na tecnologia  $0.6\mu m$ . Fonte: autor.

Para calcular  $T_D$ , mede-se o intervalo de tempo entre o sinal de entrada atingir 50% da tensão de alimentação e o respectivo sinal de saída atingir o mesmo valor. Este tempo é computado nas transições *high*  $\rightarrow$  *low* e *low*  $\rightarrow$  *high*, e o valor de  $T_D$  é uma média simples

dos dois valores.

$$T_D = \frac{T_D^{hl} + T_D^{lh}}{2} \quad (3.2)$$

No exemplo da figura 24, tem-se  $T_D^{hl} = 166.47ps$  e  $T_D^{lh} = 224.78ps$ , logo nesta simulação específica  $T_D = 195.6ps$ .

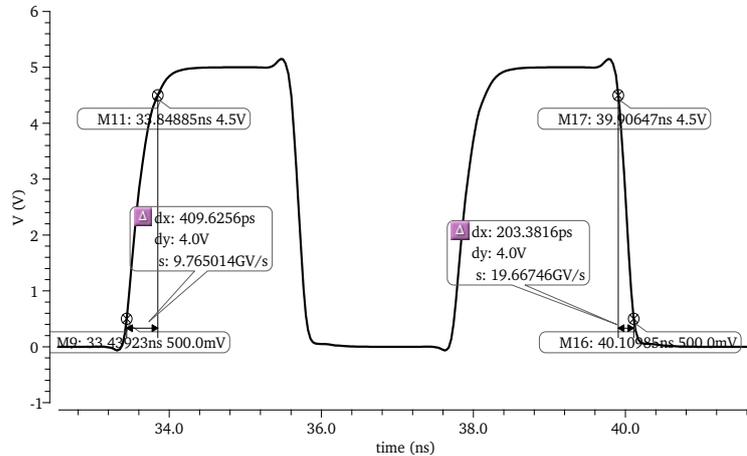


Figura 25 – Medidas de tempo de subida e descida para tecnologia  $0.6\mu m$ . Fonte: autor.

Os tempos de subida ( $T_{rise}$ ) e descida ( $T_{fall}$ ) são determinados pelo intervalo de tempo que o sinal leva entre os valores de 10% e 90% do respectivo  $V_{DD}$ , como apresentado na Figura 25.

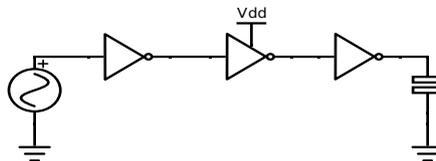


Figura 26 – É analisada a corrente de alimentação do inversor intermediário. Fonte: autor.

Para obter a potência e energia consumida por um estágio do circuito oscilador em anel para um par de transições, foram simulados três inversores em série, como uma seção do oscilador em anel. A entrada deste circuito de teste é uma fonte alternada ideal cuja frequência de oscilação é igual à frequência obtida nas simulações anteriores, e possui tempos de subida e descida semelhantes aos tempos obtidos nos sinais dos osciladores em anel. Utiliza-se um inversor prévio para que o sinal de entrada na célula analisada seja mais próximo do real, e a saída do inversor intermediário é conectada em um ou quatro inversores, conforme o circuito oscilador em anel a ser analisado. A Figura 26 apresenta o circuito montado para obter a potência nos osciladores em anel com *fan-out* 1. É calculado o valor *rms* (*root mean square*) da corrente proveniente da fonte de alimentação do inversor intermediário, e esse valor é multiplicado pelo  $V_{DD}$  da tecnologia para obter a potência consumida. Por fim, o valor de potência é multiplicado pelo período da fonte alternada, e é obtido o valor de energia consumida por um par de transições *low*  $\rightarrow$  *high* e *high*  $\rightarrow$  *low*.

### 3.1.1 Resultados

Os resultados das simulações transientes estão apresentados por configuração dos osciladores em anel, com valores para as três tecnologias consideradas. Nas Tabelas 15 e 16 tem-se resultados referentes a osciladores de 11 estágios, e nas Tabelas 17 e 18 resultados referentes a osciladores de 31 estágios.

	16nm FinFET		0.6 $\mu$ m		5 $\mu$ m	
	FO1	FO4	FO1	FO4	FO1	FO4
$T_{rise}[ns]$	$3.75 \times 10^{-3}$	$1.45 \times 10^{-2}$	$4.10 \times 10^{-1}$	$9.49 \times 10^{-1}$	$6.10 \times 10^1$	$6.44 \times 10^1$
$T_{fall}[ns]$	$3.25 \times 10^{-3}$	$1.31 \times 10^{-2}$	$2.01 \times 10^{-1}$	$5.53 \times 10^{-1}$	$8.96 \times 10^1$	$9.48 \times 10^1$
$T_D[ns]$	$3.42 \times 10^{-3}$	$1.10 \times 10^{-2}$	$1.96 \times 10^{-1}$	$4.67 \times 10^{-1}$	$4.99 \times 10^1$	$5.25 \times 10^1$
F [MHz]	$1.33 \times 10^4$	$4.12 \times 10^3$	$2.32 \times 10^2$	$9.74 \times 10^1$	$9.11 \times 10^{-1}$	$8.66 \times 10^{-1}$
P [mW]	$7.97 \times 10^{-3}$	$7.25 \times 10^{-3}$	$1.21 \times 10^{-1}$	$1.27 \times 10^{-1}$	$1.47 \times 10^{-1}$	$1.50 \times 10^{-1}$
E [pJ]	$5.99 \times 10^{-4}$	$1.76 \times 10^{-3}$	$5.44 \times 10^{-1}$	$1.31 \times 10^0$	$1.62 \times 10^2$	$1.74 \times 10^2$

Tabela 15 – Oscilador em Anel de 11 estágios com INVX1.

	16nm FinFET		0.6 $\mu$ m		5 $\mu$ m	
	FO1	FO4	FO1	FO4	FO1	FO4
$T_{rise}[ns]$	$3.76 \times 10^{-3}$	$1.45 \times 10^{-2}$	$3.56 \times 10^{-1}$	$9.42 \times 10^{-1}$	$1.33 \times 10^1$	$1.66 \times 10^1$
$T_{fall}[ns]$	$3.25 \times 10^{-3}$	$1.31 \times 10^{-2}$	$2.09 \times 10^{-1}$	$7.09 \times 10^{-1}$	$1.93 \times 10^1$	$2.47 \times 10^1$
$T_D[ns]$	$3.42 \times 10^{-3}$	$1.10 \times 10^{-2}$	$1.78 \times 10^{-1}$	$4.88 \times 10^{-1}$	$1.09 \times 10^1$	$1.36 \times 10^1$
F [MHz]	$1.33 \times 10^4$	$4.12 \times 10^3$	$2.55 \times 10^2$	$9.30 \times 10^1$	$4.16 \times 10^0$	$3.35 \times 10^0$
P [mW]	$3.18 \times 10^{-2}$	$2.90 \times 10^{-2}$	$6.26 \times 10^{-1}$	$6.03 \times 10^{-1}$	$5.79 \times 10^{-1}$	$6.17 \times 10^{-1}$
E [pJ]	$2.39 \times 10^{-3}$	$7.03 \times 10^{-3}$	$2.44 \times 10^0$	$6.48 \times 10^0$	$1.45 \times 10^2$	$1.85 \times 10^2$

Tabela 16 – Oscilador em Anel de 11 estágios com INVX4.

Como esperado, todas as configurações apresentam menor consumo de energia para anéis com carga menor (*fan-out* unitário, ou FO1), visto que a capacitância a ser carregada é menor. Percebe-se também que para o modelo 5 $\mu$ m, em anel de 11 estágios, é obtida maior frequência utilizando inversores quatro vezes o tamanho mínimo, possivelmente devido ao maior *driving strength* das células e uma subestimação das capacitâncias parasitas de fonte e dreno. Na tecnologia 0.6 $\mu$ m também é atingida frequência maior utilizando inversores INVX4, porém apenas no caso de FO1. Na simulação elétrica dos osciladores com FinFETs verificou-se que os tempos  $T_{rise}$  e  $T_{fall}$ , os atrasos médios e a frequência de operação são similares para osciladores constituídos por inversores INVX1 e INVX4, o que decorre provavelmente de um modelo preditivo (PTM da ASU) que não modela em detalhe as capacitâncias parasitas relacionadas ao número de *fins* efetivamente presentes na porta. Os transistores experimentais de 5 $\mu$ m e a tecnologia XC06 0.6 $\mu$ m apresentam valores de potência na mesma ordem de grandeza, porém com desempenhos em frequência de oscilação do anel muito distintos. Verifica-se que há duas a três ordens de grandeza de diferença ao comparar a energia consumida por um par de transições.

No geral, a diferença entre tempo de atraso por estágio foi de duas ordens de grandeza

entre cada geração de tecnologia. Apenas entre as tecnologias 16nm FinFET e 0.6 $\mu$ m, nos casos em FO4, a diferença foi de apenas uma ordem de grandeza. Ao verificar a energia, a tecnologia 16nm FinFET consome entre duas e três ordens de grandeza abaixo do consumo da tecnologia 0.6 $\mu$ m, que por sua vez apresenta valores entre uma a três ordens de grandeza abaixo daquela estimada para os transistores experimentais de 5 $\mu$ m. Ainda que uma maior frequência de operação aumente a potência dinâmica, a mesma é diminuída pela menor capacitância de carga.

	16nm FinFET		0.6 $\mu$ m		5 $\mu$ m	
	FO1	FO4	FO1	FO4	FO1	FO4
$T_{rise}[ns]$	$3.76 \times 10^{-3}$	$1.45 \times 10^{-2}$	$4.10 \times 10^{-1}$	$9.49 \times 10^{-1}$	$6.11 \times 10^1$	$6.43 \times 10^1$
$T_{fall}[ns]$	$3.25 \times 10^{-3}$	$1.31 \times 10^{-2}$	$2.03 \times 10^{-1}$	$5.53 \times 10^{-1}$	$8.96 \times 10^1$	$9.48 \times 10^1$
$T_D[ns]$	$3.42 \times 10^{-3}$	$1.10 \times 10^{-2}$	$1.96 \times 10^{-1}$	$4.67 \times 10^{-1}$	$4.99 \times 10^1$	$5.25 \times 10^1$
F [MHz]	$4.72 \times 10^3$	$1.46 \times 10^3$	$8.24 \times 10^1$	$3.45 \times 10^1$	$3.23 \times 10^{-1}$	$3.04 \times 10^{-1}$
P [mW]	$4.74 \times 10^{-3}$	$4.32 \times 10^{-3}$	$7.98 \times 10^{-2}$	$8.99 \times 10^{-2}$	$8.80 \times 10^{-2}$	$8.88 \times 10^{-2}$
E [pJ]	$1.00 \times 10^{-3}$	$2.95 \times 10^{-3}$	$9.58 \times 10^{-1}$	$2.61 \times 10^0$	$2.73 \times 10^2$	$2.89 \times 10^2$

Tabela 17 – Oscilador em Anel de 31 estágios com INVX1.

	16nm FinFET		0.6 $\mu$ m		5 $\mu$ m	
	FO1	FO4	FO1	FO4	FO1	FO4
$T_{rise}[ns]$	$3.76 \times 10^{-3}$	$1.45 \times 10^{-2}$	$3.56 \times 10^{-1}$	$9.42 \times 10^{-1}$	$1.33 \times 10^1$	$1.66 \times 10^1$
$T_{fall}[ns]$	$3.25 \times 10^{-3}$	$1.31 \times 10^{-2}$	$2.08 \times 10^{-1}$	$7.09 \times 10^{-1}$	$1.93 \times 10^1$	$2.47 \times 10^1$
$T_D[ns]$	$3.42 \times 10^{-3}$	$1.10 \times 10^{-2}$	$1.78 \times 10^{-1}$	$4.88 \times 10^{-1}$	$1.09 \times 10^1$	$1.36 \times 10^1$
F [MHz]	$4.72 \times 10^3$	$1.46 \times 10^3$	$9.06 \times 10^1$	$3.30 \times 10^1$	$1.48 \times 10^0$	$1.19 \times 10^0$
P [mW]	$1.89 \times 10^{-2}$	$1.74 \times 10^{-2}$	$3.67 \times 10^{-1}$	$3.82 \times 10^{-1}$	$3.52 \times 10^{-1}$	$3.70 \times 10^{-1}$
E [pJ]	$4.01 \times 10^{-3}$	$1.19 \times 10^{-2}$	$4.04 \times 10^0$	$1.16 \times 10^1$	$2.37 \times 10^2$	$3.11 \times 10^2$

Tabela 18 – Oscilador em Anel de 31 estágios com INVX4.

### 3.1.1.1 Comparação com Teoria de Dimensionamento de Dennard

No trabalho de Dennard et al. [27] foi proposta uma relação entre o dimensionamento dos transistores, tensão de operação e potência consumida, entre outros, supondo um fator fixo de escalamento (redução) tanto para a geometria dos transistores quanto para a tensão dos terminais. Naquele artigo foi proposto um esquema de *scaling* ideal que, ao diminuir as dimensões de  $W$ ,  $L$  e  $t_{ox}$  dos MOSFETs de uma geração de tecnologia para outra, os valores de tensão de alimentação e de limiar fossem reduzidos pelo mesmo fator.

Esta relação ideal de Dennard não é seguida na prática, ao considerar-se a evolução tecnológica ocorrida em CMOS, visto que há dificuldades práticas para escalar  $V_{DD}$  e as tensões de limiar por um fator constante de uma geração a outra. Por isto, podem ser considerados três distintos casos para modelar o *scaling*: *Full Scaling* (ou *Constant Electric Field Scaling*, tal como proposto em [27]), em que há apenas um coeficiente de redução, *General Scaling*, no qual são utilizados dois coeficientes de diferentes valores (um para dimensionamento de  $W$ ,  $L$  e  $t_{ox}$ , e outro para o escalamento em tensão) e, finalmente,

o *Fixed-Voltage Scaling*, caso em que as tensões de alimentação e limiar são mantidas fixas e é utilizado um coeficiente de dimensionamento geométrico. A Tabela 19 apresenta o cálculo dos coeficientes e os parâmetros a serem comparados neste trabalho.

Parâmetro	<i>Full Scaling</i>	<i>General Scaling</i>	<i>Fixed-Voltage Scaling</i>
$W, L, t_{ox}$	$1/S$	$1/S$	$1/S$
$V_{DD}, V_T$	$1/S$	$1/U$	1
Atraso	$1/S$	$1/S$	$1/S$
Potência	$1/S^2$	$1/U^2$	1

Tabela 19 – Dependência dos parâmetros de redução na comparação entre tecnologias. Fonte: [11].

Para comparação entre os circuitos com transistores de comprimento  $5\mu m$  e  $0.6\mu m$ , foi utilizado o critério de *Fixed-Voltage Scaling*, visto que ambos operam com a mesma tensão de alimentação  $V_{DD} = 5V$ . Para esta comparação, o coeficiente  $S$  foi calculado de duas maneiras: pelo dimensionamento do comprimento de canal ( $L$ , dado em  $\mu m$ ) e pela espessura do óxido de porta ( $t_{ox}$ , em Å). A Tabela 20 apresenta os valores de potência esperado e os valores de atraso estimados para cada valor de  $S$ , bem como comparação com os resultados das simulações.

O critério de *General Scaling* foi aplicado na comparação entre as tecnologias  $0.6\mu m$  e  $16nm$  FinFET, uma vez que há variações geométricas e de tensão de operação. Para obter o coeficiente  $U$ , foi verificada a relação entre os valores de alimentação ( $V_{DD}$ , em  $V$ ) e o coeficiente  $S$  foi calculado através da variação em  $L$  (aqui apresentado em  $nm$ ) e da espessura do óxido de porta (também em Å). A Tabela 21 apresenta os valores obtidos desta maneira, ao lado dos resultados das simulações.

Em ambas tabelas, há o erro percentual entre o valor esperado pela teoria de escalamento e o valor obtido nas simulações elétricas efetuadas neste trabalho. O cálculo do erro foi realizado da seguinte maneira:

$$erro = \frac{|PrevisãoTeórica - ResultadoSimulação|}{PrevisãoTeórica} \quad (3.3)$$

Os resultados utilizados para comparação foram os correspondentes ao oscilador em anel de 11 estágios, com INVX1 e FO4 (segunda coluna de cada tecnologia da Tabela 15).

Como verificado previamente, as tecnologias  $5\mu m$  e  $0.6\mu m$  apresentam valores próximos de consumo de potência. Como no critério de *Fixed-Voltage Scaling* a teoria prevê os mesmos valores de potência após dimensionamento, nesta comparação foi obtido baixo valor de erro. Entretanto, os resultados de atraso apresentam valores de até duas ordens de grandeza menores que o esperado pela teoria.

Contrária à comparação anterior, o dimensionamento entre tecnologias  $0.6\mu m$  e  $16nm$  FinFET apresentou o maior erro na variação de potência, e menor erro ao comparar atraso utilizando coeficiente  $S$  obtido devido variação de  $L$ . Entretanto, a comparação

	Previsão Teórica	Resultado Obtido	Erro
Potência [mW]	$1.499 \times 10^{-1}$	$1.275 \times 10^{-1}$	14.9%
Fator $S_L$	$\frac{3.75}{0.6} = 6.25$	-	-
Atraso [ns]	$8.400 \times 10^0$	$4.668 \times 10^{-1}$	94.4%
Fator $S_{t_{ox}}$	$\frac{445.84}{125} = 3.65$	-	-
Atraso [ns]	$1.438 \times 10^1$	$4.668 \times 10^{-1}$	96.7%

Tabela 20 – *Scaling* de  $5\mu m$  para  $0.6\mu m$ .

	Previsão Teórica	Resultado Obtido	Erro
Fator U	$\frac{5}{0.85} = 5.88$	-	-
Potência [mW]	$3.688 \times 10^{-3}$	$7.246 \times 10^{-3}$	96.5%
Fator $S_L$	$\frac{600}{16} = 37.5$	-	-
Atraso [ns]	$1.2448 \times 10^{-2}$	$1.1028 \times 10^{-2}$	11.4%
Fator $S_{t_{ox}}$	$\frac{125}{13.5} = 9.26$	-	-
Atraso [ns]	$5.041 \times 10^{-2}$	$1.1028 \times 10^{-2}$	78.1%

Tabela 21 – *Scaling* de  $0.6\mu m$  para  $16nm$  FinFET.

por comprimento de canal não é justa entre estas duas tecnologias, visto que uma é planar e outra usa estrutura tridimensional em escala nanométrica. Estes resultados corroboram o fato de que esta teoria de escalamento ideal, apresentada em 1974, não captura todas complexidades e parâmetros envolvidos na redução da geometria dos transistores MOSFETs.

## 3.2 Margem Estática de Ruído

A margem estática de ruído (*static noise margin*, em inglês) é um indicativo de quanto a tensão de entrada pode variar sem causar uma alteração no estado lógico do sinal de saída. É uma medida de quão robusta é a tecnologia em relação a ruídos elétricos nas interconexões. Uma maneira de obter tal parâmetro é conectar um par de células lógicas de maneira circular, como consta na Figura 27, e utilizar a técnica *butterfly plot*. A técnica consiste em adicionar em um mesmo gráfico as curvas de tensão de saída por tensão de entrada para ambas células, porém com eixos invertidos, formando assim duas

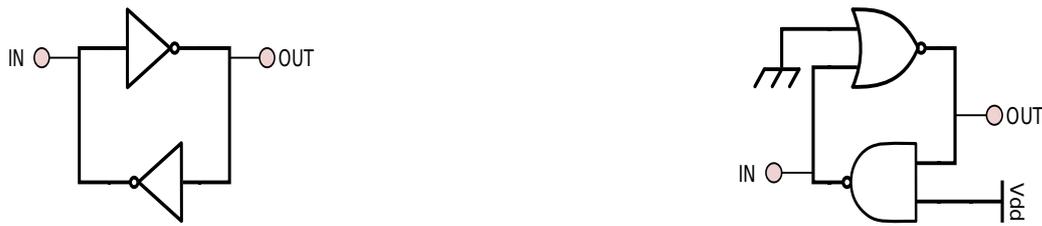


Figura 27 – Exemplos de medição da margem estática de ruído. Fonte: autor.

regiões de intersecção entre as curvas. Então, é calculado o lado do maior quadrado possível de ser inserido na menor das áreas de intersecção. Este valor representa a margem estática de ruído. A Figura 28 apresenta um exemplo do gráfico obtido desta maneira.

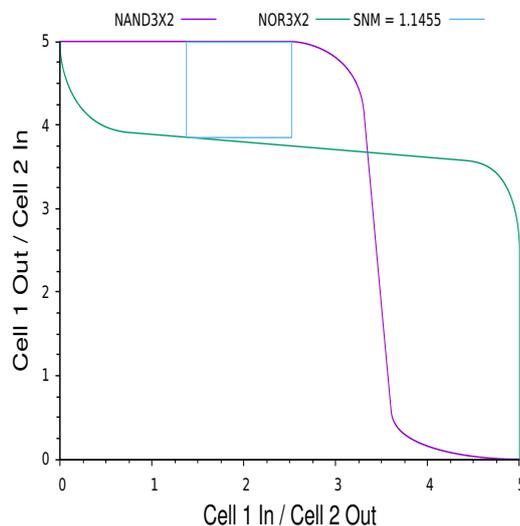


Figura 28 – Cálculo de margem de ruído para tecnologia  $5\mu m$ . Fonte: autor.

Foram obtidos valores de margem estática de ruído para oito pares de células, utilizando a ferramenta *Static Noise Margin Tool* (SET), desenvolvida na UFRGS[28]. Os resultados para cada tecnologia, assim como cálculo de valor médio e comparação com a tensão de alimentação, estão presentes na Tabela 22. Das três tecnologias analisadas, a tecnologia experimental de  $5\mu m$  apresentou a menor margem de ruído relativa à tensão de alimentação. Ou seja, esta tecnologia é mais suscetível a apresentar um mal funcionamento devido presença de ruído nas entradas das portas lógicas e nas interconexões entre as células. Esta menor margem deve-se ao valor assimétrico das tensões de limiares dos transistores NMOS e PMOS experimentais fabricados na UFRGS.

[V]	16nm FinFET	0.6 $\mu$ m	5 $\mu$ m
Tensão nominal de alimentação	0.85	5	5
INVX1 - INVX1	0.3672	1.719	1.308
INVX1 - INVX4	0.3672	1.634	1.308
INVX4 - INVX4	0.3672	1.646	1.308
NOR3X2 - NOR3X2	0.3638	1.643	1.153
NAND3X2 - NAND3X2	0.3646	1.522	1.439
NOR3X2 - NAND3X2	0.3544	1.31	1.145
INVX1 - AOI22	0.3646	1.596	1.243
INVX1 - OAI22	0.3646	1.6345	1.289
Média	0.3642	1.588	1.274
% de $V_{DD}$	42.85	31.77	25.49

Tabela 22 – Valores de Margem de Ruído Estática.

### 3.3 Conclusões do Capítulo

Neste capítulo foram comparados os desempenhos em resposta transiente para circuitos osciladores em anel nas três distintas tecnologias. Também foi apresentada a comparação com teorias básicas de dimensionamento de transistores de uma geração para outra. Este capítulo é concluído com valores obtidos para a margem estática de ruído estimada para pares de portas lógicas.

Como esperado, a tecnologia 16nm FinFET apresentou os melhores resultados em atraso, desempenho e consumo de potência. A margem estática de ruído é melhor (considerado o percentual sobre  $V_{DD}$ ), de acordo com o método de análise aplicado. Esta melhor performance das gerações CMOS atuais já era esperada, o que foi confirmado pelas simulações realizadas, visto que CMOS 16nm é uma tecnologia mais avançada. Entretanto, é bom salientar que o modelo SPICE BSIM-MG utilizado para os transistores é preditivo, logo os resultados podem ser otimistas em relação aos dados efetivos de tecnologias comerciais. Os resultados obtidos por simulação mais próximos à realidade são os referentes à tecnologia comercial 0.6 $\mu$ m, pois os parâmetros do modelo SPICE foram extraídos e ajustados pela própria *foundry*, após mais de 20 anos de operação deste processo CMOS, utilizando medidas experimentais típicas obtidas sobre dispositivos efetivamente fabricados.

## 4 Caracterização das Células

O processo de caracterização de células lógicas CMOS é uma etapa do fluxo de validação de uma tecnologia. O objetivo desta etapa é obter *Look-Up Tables* (LUTs) de uma biblioteca de células padrão que represente de maneira eficiente e com precisão o comportamento dos atrasos e da dissipação de energia destas células. O comportamento é representado por valores de tempos e potência presentes em tabelas do arquivo *Liberty* (*.lib*), que é um formato de arquivo padrão utilizado na indústria para este objetivo de estimativa de desempenho da lógica digital. A seção 4.1 apresenta a geração deste arquivo.

Obtido o arquivo *.lib* para cada célula-padrão, o mesmo é utilizado para realizar a síntese lógica dos circuitos projetados, buscando estimar as limitações dos circuitos digitais em área, potência consumida ou atraso. Na Seção 4.2, os arquivos resultantes da caracterização das tecnologias  $0.6\mu\text{m}$  e  $16\text{nm}$  FinFET foram utilizados para realizar síntese lógica de circuitos de *benchmark*.

### 4.1 Geração do arquivo *Liberty*

Neste trabalho, foi utilizada a ferramenta Cadence®Virtuoso®Liberate™, que gera vistas elétricas das células para *timing*, potência e integridade de sinal, além de valores de capacitância de entrada[24]. Para sua execução, esta ferramenta requer um arquivo *template* indicando os nomes das células a serem caracterizadas, quais são os pinos de entrada e saída destas células e para quais condições os resultados serão obtidos. Neste arquivo também é possível indicar uma célula específica para servir de *driver*, para que o sinal de entrada da simulação seja mais próximo do real. Outro arquivo necessário é responsável por definir a tensão e temperatura de operação, bem como carregar os respectivos arquivos SPICE (modelo e *netlists*) da tecnologia a ser caracterizada e indicar em quais diretórios os resultados devem ser armazenados. Ambos arquivos são escritos em *Tool Command Language* (extensão *.tcl*)[29].

Para gerar as LUTs previamente mencionadas, a ferramenta define cada possível arco de transição do sinal de saída, considerando todas as entradas de todas as células, e realiza simulações elétricas através do simulador Cadence®Spectre®. Através das simulações, são geradas tabelas com valores de potência consumida e tempos  $T_{rise}$ ,  $T_{fall}$ ,  $T_p^{hl}$ ,  $T_p^{lh}$ ,  $T_{setup}$  e  $T_{hold}$ . Os diversos valores destes parâmetros são obtidos ao repetir as simulações para diferentes valores de *slew* (*input*, *clock* e *data*) e capacitância de carga. As tabelas resultantes no arquivo *.lib* tem como identificador de linha um valor de *input slew* e como identificador de coluna um valor de capacitância de carga. Exemplos dos arquivos de entrada (*template.tcl* e *char.tcl*) e do arquivo de saída (*.lib*) da etapa de caracterização

são apresentados no Apêndice B.

#### 4.1.1 Execução da ferramenta Cadence<sup>®</sup>Virtuoso<sup>®</sup>Liberate<sup>™</sup>

A caracterização para as trinta e quatro células de ambas tecnologias foi realizada em uma temperatura de 25°C, utilizando a célula INVX4 como *driver*. Para a obtenção dos valores de *timing*, foi considerado o intervalo de tempo em que o sinal de saída apresenta 10% e 90% do respectivo  $V_{DD}$  da tecnologia, sendo 0.85V para tecnologia 16nm FinFET e 5V para tecnologia 0.6 $\mu$ m. Também foi necessário explicitar o uso do simulador Spectre<sup>®</sup>, visto sua compatibilidade com o modelo HSPICE<sup>®</sup> level 72, e indicar que a obtenção de um resultado específico poderia levar mais tempo que o determinado por padrão, pois para a tecnologia 0.6 $\mu$ m a ferramenta cancelava sua execução devido maior tempo necessário para computar resultados.

Como apresentado na Seção 2.5.1, foram calculados cinco valores de *input slew*, capacitância de carga ( $C_{load}$ ) e *clock slew*, obtendo vinte e cinco possíveis combinações para cada arco de transição das células combinacionais e sequenciais. Todos os arcos são então simulados para cada combinação de  $C_{load}$  e *slew*, e após cada simulação uma posição de determinada tabela é preenchida.

Definidos os arquivos *template.tcl* e *char.tcl* de cada tecnologia, a ferramenta Liberize<sup>™</sup> foi executada e todas as 34 células, de ambas tecnologias, passaram na etapa de caracterização. Visto que não foram gerados *layouts* para as células lógicas, os resultados obtidos de área são todos nulos.

## 4.2 Síntese Lógica

A síntese lógica consiste em utilizar as *Look-Up Tables*, obtidas no processo de caracterização, para construção de um circuito utilizando as células padrão mais indicadas. Para isso, o projetista do circuito define restrições de área, potência ou atraso, e a ferramenta busca na biblioteca de células quais devem ser aplicadas com o objetivo de otimizar o parâmetro em questão. Os resultados de síntese lógica presentes neste trabalho foram obtidos utilizando a ferramenta Cadence<sup>®</sup>Genus<sup>™</sup>Synthesis Solutions, cujo objetivo é, entre outros, entregar a maior *Quality of Results* na implementação final de um circuito[30].

Segue um simples exemplo para melhor compreensão da funcionalidade da ferramenta: um circuito teste é montado utilizando apenas inversores INVX2, porém apresenta um atraso acima do limite permitido. A ferramenta de síntese lógica verifica então o arquivo *.lib* da tecnologia utilizada e decide trocar alguns inversores por INVX4, visto que estes apresentam atrasos menores para uma capacitância de carga maior. Após esta troca, o circuito teste apresenta um atraso abaixo da restrição, e é aprovado.

Visto que não é do escopo deste trabalho projetar um circuito mais complexo além de células lógicas básicas, a validação dos arquivos *.lib* obtidos na caracterização foi realizada

através da síntese lógica de circuitos de *benchmarks* apresentados no IEEE International Symposium on Circuits & Systems (IEEE-ISCAS), nos anos de 1985 e 1989. Os circuitos cujo nome inicia pela letra "c" são de lógica puramente combinacional, e os circuitos cujo nome inicia pela letra "s" apresentam lógica sequencial. Para melhor compreensão destes circuitos, recomenda-se acessar [31] e [32]. Para este trabalho, a síntese lógica foi realizada buscando o menor valor de atraso dos circuitos. A Seção 4.2.1 apresenta resultados obtidos na síntese de determinados circuitos, enquanto que no Apêndice C estão incluídos os resultados de todos circuitos de *benchmark* sintetizados.

#### 4.2.1 Resultados da Síntese

Na Tabela 23 e na Tabela 24 estão presentes resultados de potência e atraso para um conjunto dos circuitos de *benchmark* ISCAS85 e ISCAS89. Os circuitos foram sintetizados de forma a otimizar seu caminho crítico. Ainda que estes circuitos não sejam tão reais quanto desejado, os mesmos empregam um número considerável das portas lógicas desenvolvidas. Além disso, por se tratarem de circuitos de *benchmark*, os resultados obtidos podem ser utilizados para comparações com outras gerações tecnológicas não presentes neste trabalho.

Os circuitos sintetizados não apresentam topologias fixas, e sim funcionalidade. Por isso, o mesmo circuito pode apresentar um número diferentes de células, dependendo da tecnologia utilizada e restrição definida pelo projetista.

Circuito	Potência [ $nW$ ]			Atraso [ $ns$ ]	Número de células
	Estática	Dinâmica	Estática/Total [%]		
c1908	$4.51 \times 10^{-1}$	$5.18 \times 10^7$	$8.71 \times 10^{-7}$	$1.17 \times 10^1$	739
c6288	$2.36 \times 10^0$	$3.36 \times 10^8$	$7.02 \times 10^{-7}$	$3.12 \times 10^1$	3549
s1488	$4.34 \times 10^{-1}$	$1.57 \times 10^7$	$2.76 \times 10^{-6}$	$6.95 \times 10^0$	670
s27	$1.50 \times 10^{-2}$	$7.45 \times 10^5$	$2.01 \times 10^{-6}$	$6.39 \times 10^0$	26
s38584	$6.49 \times 10^0$	$2.11 \times 10^8$	$3.08 \times 10^{-6}$	$1.20 \times 10^1$	9417

Tabela 23 – Resultados parciais da síntese com tecnologia  $0.6\mu m$ .

Circuito	Potência [ $nW$ ]			Atraso [ $ns$ ]	Número de células
	Estática	Dinâmica	Estática/Total [%]		
c1908	$2.79 \times 10^1$	$1.88 \times 10^5$	$1.49 \times 10^{-2}$	$6.25 \times 10^{-1}$	252
c6288	$2.78 \times 10^2$	$7.01 \times 10^5$	$3.96 \times 10^{-2}$	$1.00 \times 10^0$	2208
s1488	$2.45 \times 10^1$	$5.58 \times 10^4$	$4.37 \times 10^{-1}$	$4.68 \times 10^{-1}$	466
s27	$6.53 \times 10^{-1}$	$3.17 \times 10^3$	$2.06 \times 10^{-2}$	$4.33 \times 10^{-1}$	13
s38584	$2.65 \times 10^2$	$8.43 \times 10^5$	$3.14 \times 10^{-2}$	$5.31 \times 10^{-1}$	7959

Tabela 24 – Resultados parciais da síntese com tecnologia  $16nm$  FinFET.

Em acordo com os resultados apresentados na Seção 3.1.1, a tecnologia  $16nm$  FinFET apresenta menores valores de consumo de potência dinâmica e atraso, com

diferenças de até três e duas ordens de grandeza, respectivamente. Entretanto, estes dispositivos apresentam um percentual de consumo de potência estática de até cinco ordens de grandeza maior.

#### 4.2.1.1 Número de Células

O fato da tecnologia  $16nm$  FinFET apresentar menores valores de atraso é refletido nos números de células utilizadas em cada circuito, sempre menores que nos circuitos sintetizados com tecnologia  $0.6\mu m$ . Como a síntese lógica foi realizada buscando otimização do tempo de atraso, e por ser uma tecnologia mais rápida, a ferramenta atinge as restrições de *timing* impostas pelo projetista mais facilmente. Ademais, o modelo preditivo  $16nm$  FinFET é otimista, pois não possui valores de capacitâncias parasitas.

#### 4.2.1.2 Potência Estática

O consumo de potência estática de um circuito de transistores de efeito de campo é devido à presença de correntes de fuga. As correntes de fuga nos terminais de porta, fonte e dreno são devidas a três efeitos: a existência de corrente de sublimiar ao longo do canal, a corrente de tunelamento pelo óxido de porta ultra-delgado (significante apenas em transistores com  $t_{ox}$  abaixo de  $25\text{\AA}$ ), e a corrente de fuga de junções. A Figura 29 ilustra, qualitativamente apenas, a relação entre o comprimento de canal, potência dinâmica e correntes de fuga ao longo do tempo, buscando ser representativa da evolução dos MOSFETs ao longo de distintas gerações tecnológicas desde 1990.

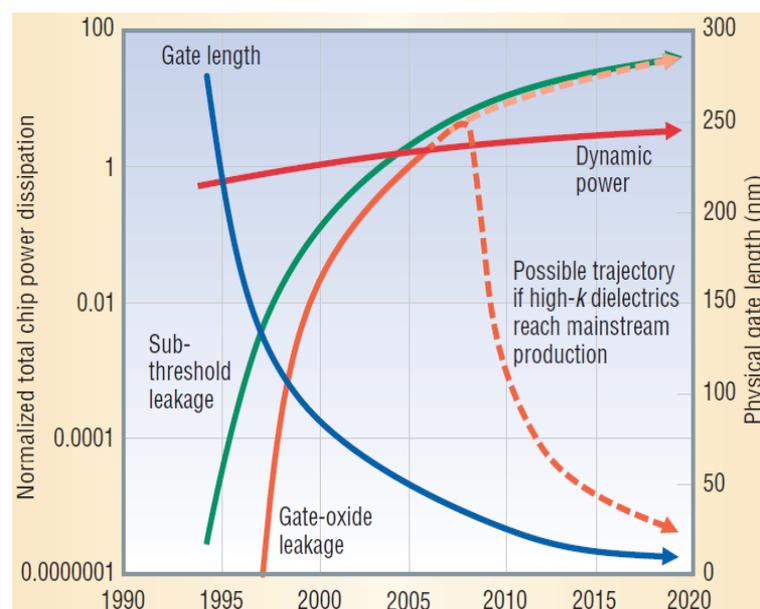


Figura 29 – Valores de potência estimados para até 2020, normalizados sobre dados de 2001. Fonte: [33].

A tecnologia  $16nm$  FinFET apresenta maior corrente de fuga por dois motivos: menor tensão de limiar dos transistores e menores dimensões físicas dos dispositivos.

A diminuição da tensão de limiar torna mais difícil o devido controle sobre o canal, visto que a diferença entre as tensões para ativar e desativar o dispositivo é menor. Logo, ocorre maior passagem de corrente em regime de operação abaixo da tensão de limiar. De fato, a estrutura de canal em três dimensões que possa ter controle pelo contato de porta também nas laterais foi concebida de maneira a atingir um melhor controle sobre a passagem de corrente em tensões sublimiares. A Equação 4.1 apresenta uma modelagem para corrente de fuga dependente da tensão de limiar[34], na qual  $K_1$  e  $n$  são parâmetros experimentais e  $V_\theta$  é a tensão térmica,  $k_B T/q$ , aproximadamente  $25mV$  em temperatura ambiente. Nota-se um crescimento exponencial da corrente com a diminuição da tensão de limiar.

$$I_{sub} = K_1 W e^{-V_{th}/nV_\theta} \cdot (1 - e^{-V/V_\theta}) \quad (4.1)$$

O dimensionamento da largura ( $W$ ) e comprimento ( $L$ ) de canal é acompanhado pela variação da espessura do óxido de porta. Para dispositivos menores, é utilizada uma camada mais fina de óxido. Por ser um óxido de menor espessura, a barreira de potencial vista pelos elétrons presentes no canal é menor em largura. Desta maneira, aumenta-se a probabilidade de ocorrer efeito de tunelamento através da camada de óxido. Não é do escopo deste trabalho explicar minuciosamente este efeito quântico. Em [34] foi apresentado um modelo para a corrente de fuga através do óxido de porta, apresentado na Equação 4.2. Os parâmetros  $K_2$  e  $\alpha$  são ajustes experimentais.

$$I_{tox} = K_2 W \left(\frac{V}{t_{ox}}\right)^2 e^{-\alpha t_{ox}/V} \quad (4.2)$$

Esta equação apresenta duas componentes que aumentam de valor com a diminuição da espessura do óxido: uma de maneira quadrática e outra de maneira exponencial. Esta corrente de fuga torna-se expressiva para valores cada vez menores de  $t_{ox}$ . Para diminuir esta corrente, a alternativa predominante na indústria CMOS é utilizar óxidos de alta constante dielétrica, conhecidos por *high-k*, como consta na Figura 29.

### 4.3 Conclusões do Capítulo

Este capítulo apresentou o processo de caracterização de células, bem como a obtenção, descrição e propósito do arquivo *Liberty*. A estrutura geral dos arquivos de entrada foi definida, juntamente de comentários sobre o conteúdo específico destes arquivos para o trabalho. Também foram incluídas informações sobre a etapa de síntese lógica de circuitos, como ferramenta utilizada, o uso do arquivo *.lib* e resultados de consumo de potência, atraso e número de células de circuitos sintetizados.

## 5 Conclusão

Através das medidas elétricas e resultados disponíveis antes do início deste trabalho, foi obtido um modelo SPICE considerado aceitável para simulações dos transistores experimentais de comprimento mínimo na máscara de  $5\mu m$ , operando na tensão nominal de  $5V$ . Esta etapa do trabalho também foi responsável por aprofundar o conhecimento do autor sobre a Física de dispositivos semicondutores, o processo de obtenção de um modelo computacional e ferramentas de simulação.

No processo de obtenção dos resultados de operação transiente, foi desenvolvido o conhecimento sobre a linguagem de *script* OCEAN, utilizada também na indústria, que otimizou o tempo necessário para executar todas as simulações. Os resultados em si confirmaram o esperado: transistores experimentais de  $5\mu m$  apresentam maiores valores de atraso e consumo de energia, enquanto que a tecnologia  $16nm$  FinFET apresenta os menores valores. Também foi verificada que uma teoria de dimensionamento baseada em no máximo dois coeficientes não possui complexidade a fim de estimar valores próximos aos de fato obtidos. Por fim, a etapa de obtenção de margem estática de ruído fez com que o autor do trabalho obtivesse contato com um método anteriormente desconhecido, e indicou que a tecnologia  $16nm$  FinFET possui a maior resistência à ruídos elétricos, porém é válido lembrar que o modelo utilizado, por ser preditivo, é otimista.

O autor obteve neste trabalho o domínio sobre o uso de ferramentas utilizadas na indústria para caracterização de células lógicas, bem como a consequente aplicação dos resultados assim obtidos e a validação de um projeto de um circuito integrado digital. Através da síntese lógica de circuitos de *benchmark*, as caracterizações das tecnologias  $0.6\mu m$  e  $16nm$  FinFET foram validadas e foi novamente verificado que a tecnologia mais atual apresenta menor atraso e consumo total de potência. Também foram analisados modelos de corrente de fuga.

Não foi possível obter a síntese de circuitos digitais utilizando as células digitais com transistores de  $5\mu m$ , pois a ferramenta de caracterização dos parâmetros de atraso e potência das células não suporta o modelo SPICE simplificado (*level* 13 no simulador HSPICE®) utilizado neste trabalho. Entretanto, este trabalho apresenta comparações de operação transiente e margem estática de ruído para os três tipos de MOSFETs mencionados no capítulo inicial: FETs experimentais da Universidade Federal do Rio Grande do Sul, produção CMOS  $0.6\mu m$  no Brasil e uma tecnologia de classe mundial  $16nm$  dominada por poucas empresas. Ademais, o autor aprofundou e desenvolveu conhecimentos sobre semicondutores, além de ter obtido familiaridade com ferramentas utilizadas nas indústrias de semicondutores.

# Referências

- [1] Kelly Allen. Gadget That Changed The World. <http://navylive.dodlive.mil/2012/12/13/gadget-that-changed-the-world/>. [Online; acessado 05 de Julho de 2017]. 10
- [2] B. Swahn and Soha Hassoun. Gate sizing: finfets vs 32nm bulk mosfets. In *2006 43rd ACM/IEEE Design Automation Conference*, pages 528–531, July 2006. 10, 31
- [3] Worldwide Semiconductor Trade Statistics. WSTS Semiconductor Market Forecast Autumn 2017. <https://www.wsts.org/76/Recent-News-Release>. [Online; acessado 18 de Dezembro de 2017]. 11
- [4] Global Semiconductor Alliance. About Us. <https://www.gsaglobal.org/about-us/>. [Online; acessado 12 de Dezembro de 2017]. 11
- [5] Global Semiconductor Alliance. Forecasts. <https://www.gsaglobal.org/gsa-resources/forecasts/>. [Online; acessado 12 de Dezembro de 2017]. 11
- [6] T. Quarles, D. Pederson, R. Newton, A. Sangiovanni-Vincentelli, and Christopher Wayne. The Spice Home Page. <http://bwrcs.eecs.berkeley.edu/Classes/IcBook/SPICE/>. [Online; acessado 24 de Julho de 2017]. 12
- [7] Intel. Moore’s Law and Intel Innovation. <https://www.intel.com.br/content/www/br/pt/history/museum-gordon-moore-law.html>. [Online; acessado 12 de Dezembro de 2017]. 12
- [8] Moore’s law. [https://en.wikipedia.org/wiki/Moores\\_law](https://en.wikipedia.org/wiki/Moores_law). [Online; acessado 12 de Dezembro de 2017]. 12
- [9] Shuangxi Sun, Jie Bao, Wei Mu, Yifeng Fu, Yong Zhang, Lilei Ye, and Johan Liu. Cooling hot spots by hexagonal boron nitride heat spreaders. 2015:1658–1663, 07 2015. 13
- [10] S. M. Zse; Kwok K. Ng. *Physics of Semiconductor Devices*. John Wiley & Sons, 3rd edition, 2007. 14
- [11] Jan M. Rabaey; Anantha Chandrakasan; Borivoje Nikolic. *Digital Integrated Circuits - A Design Perspective*. Pearson, 2nd edition, 2006. 14, 31, 42
- [12] Samsung. *FinFET Process*, 2017. 15, 16
- [13] J.-P. Colinge, editor. *FinFETs and Other Multigate Transistors*. Springer US, 1st edition, 2008. 15

- [14] Yogesh Singh Chauhan (Senior Member IEEE) Juan Pablo Duarte Srivatsava Jandhyala Ali M. Niknejad (Fellow IEEE) Chenming Calvin Hu (Fellow IEEE) Navid Paydavosi, Sriramkumar Venugopalan. BSIM - SPICE Models Enable FinFET and UTB IC Designs. 2013. 15, 29, 32
- [15] Synopsys<sup>®</sup>. *HSPICE<sup>®</sup> Reference Manual: MOSFET Models*, December 2010. 17, 18, 19
- [16] Silicon Integration Initiative, Inc. Compact Model Coalition. <http://www.si2.org/cmc/>. [Online; acessado 10 de Julho de 2017]. 17, 18
- [17] Giovani Cheuiche Pesenti. *Desenvolvimento e otimização de tecnologia CMOS com porta de silício policristalino*. PhD thesis, PGMicro - Universidade Federal do Rio Grande do Sul, 2008. 17, 24
- [18] CEITEC S.A. <http://www.ceitec-sa.com/empresa/SitePages/apresentacao.aspx>. [Online; acessado 17 de Novembro de 2017]. 28
- [19] FIERGS. Ceitec assina acordo tecnológico com empresa alemã. <http://www.fiergs.org.br/pt-br/noticia/ceitec-assina-acordo-tecnologico-com-empresa-alema>. [Online; acessado 17 de Novembro de 2017]. 28
- [20] X-FAB. *0.6μm CMOS Process Data sheet*. 28, 29, 30
- [21] Nanoscale Integration and Modeling Group ASU. Predictive Technology Model. <http://ptm.asu.edu/>. [Online; acessado 19 de Novembro de 2017]. 29
- [22] G. Posser, J. Belomo, C. Meinhardt, and R. Reis. Performance improvement with dedicated transistor sizing for mosfet and finfet devices. In *2014 IEEE Computer Society Annual Symposium on VLSI*, pages 418–423, July 2014. 31
- [23] Saurabh Sinha, Brian Cline, Greg Yeric, Vikas Chandra, and Yu Cao. Design benchmarking to 7nm with finfet predictive technology models. In *2012 ACM/IEEE International Symposium on Low Power Electronics and Design*, July 2012. 31
- [24] Cadence<sup>®</sup>. *Virtuoso Liberate Characterization Datasheet*, 2014. 33, 46
- [25] Matheus Gibiluka. Analysis of Voltage Scaling Effects in the Design of Resilient Circuits. Mestrado em Ciência da Computação, PPGCC - FACIN - PUCRS, Porto Alegre, 2016. 33
- [26] Cadence<sup>®</sup>. *OCEAN Reference*, April 2001. 37

- [27] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, and A. R. LeBlanc. Design of ion-implanted mosfet's with very small physical dimensions. *IEEE Journal of Solid-State Circuits*, 9(5):256–268, Oct 1974. 41
- [28] Felipe Bortolon. Static Noise Margin Analysis for CMOS Logic Cells in Near-Threshold. Mestrado em Microeletrônica, PGMicro - UFRGS, Porto Alegre, 2017. 44
- [29] Tcl community. Tcl Developer Xchange. <https://www.tcl.tk/>. [Online; acessado 12 de Dezembro de 2017]. 46
- [30] Cadence®. Genus Synthesis Solution. [https://www.cadence.com/content/cadence-www/global/en\\_US/home/tools/digital-design-and-signoff/synthesis/genus-synthesis-solution.html](https://www.cadence.com/content/cadence-www/global/en_US/home/tools/digital-design-and-signoff/synthesis/genus-synthesis-solution.html). [Online; acessado 13 de Dezembro de 2017]. 47
- [31] Maksim Jenihhin. ISCAS85 Benchmarks. <http://www.pld.ttu.ee/~maksim/benchmarks/iscas85/>. [Online; acessado 12 de Dezembro de 2017]. 48
- [32] Maksim Jenihhin. ISCAS89 Benchmarks. <http://www.pld.ttu.ee/~maksim/benchmarks/iscas89/>. [Online; acessado 12 de Dezembro de 2017]. 48
- [33] N. S. Kim, T. Austin, D. Baauw, T. Mudge, K. Flautner, J. S. Hu, M. J. Irwin, M. Kandemir, and V. Narayanan. Leakage current: Moore's law meets static power. *Computer*, 36(12):68–75, Dec 2003. 49
- [34] F. Fox A. Chandrakasan, W. Bowhill. *Design of High-Performance Microprocessor Circuits*. Wiley-IEEE Press, 1st edition, 2000. 50

# A Arquivos SPICE e OCEAN

Neste apêndice são apresentados exemplos dos arquivos SPICE desenvolvidos ao longo do trabalho, incluindo o arquivo do modelo obtido para os transistores experimentais  $5\mu\text{m}$ , trechos de *netlist* de cada tecnologia e um dos arquivos de simulação para cálculo de potência/energia consumida por estágio de osciladores em anel. Também é apresentado um exemplo de *script* de simulação desenvolvido em OCEAN.

## A.1 Modelo $5\mu\text{m}$

Nesta seção é apresentado o arquivo SPICE completo do modelo obtido para os transistores experimentais de  $L = 5\mu\text{m}$  (na máscara) obtidos no IF/UFRGS. Neste arquivo consta também a instanciação dos dispositivos NMOS e PMOS utilizando o modelo em questão. Na seção da instanciação, é realizado o cálculo das áreas de dreno e fonte, com base no valor especificado para a largura do transistor (parâmetro  $W$ ). Os valores utilizados no cálculo foram obtidos através de microscopia óptica.

Para o modelo HSPICE<sup>®</sup> *level* 49, referente à tecnologia  $0.6\mu\text{m}$ , o cálculo das áreas de dreno e fonte é realizado de maneira semelhante, porém outros valores são utilizados. No modelo dos transistores  $16\text{nmFinFET}$ , HSPICE<sup>®</sup> *level* 72, o cálculo das capacitâncias parasitas de dreno e fonte é realizado com base no número de *fin*s do transistor, logo esta seção do arquivo não consta no modelo.

```
.LIB LuE

.LIB './models.sp' h5u

.subckt nmos5um d g s b w=10e-6 l=3.75e-6
.param adl='(w<18e-6)?(22.5e-6*22.5e-6+10e-6*w):(22.5e-6*w)'
+ asl='(w<18e-6)?(22.5e-6*22.5e-6+10e-6*w):(22.5e-6*w)'
+ pdl='(w<18e-6)?(w+2*10e-6+22.5e-6-w+2*22.5e-6+22.5e-6):(2*w+2*22.5e-6)'
+ psl='(w<18e-6)?(w+2*10e-6+22.5e-6-w+2*22.5e-6+22.5e-6):(2*w+2*22.5e-6)'
MN0 d g s b nfet w=w l=l ad=adl as=asl pd=pdl ps=psl

.ends nmos5um

.subckt pmos5um d g s b w=27.5e-6 l=3.75e-6
.param adl='(w<18e-6)?(22.5e-6*22.5e-6+10e-6*w):(22.5e-6*w)'
```

```
+ asl='(w<18e-6)?(22.5e-6*22.5e-6+10e-6*w):(22.5e-6*w)'  
+ pdl='(w<18e-6)?(w+2*10e-6+22.5e-6-w+2*22.5e-6+22.5e-6):(2*w+2*22.5e-6)'  
+ ps1='(w<18e-6)?(w+2*10e-6+22.5e-6-w+2*22.5e-6+22.5e-6):(2*w+2*22.5e-6)'  
MPO d g s b pfet w=w l=1 ad=adl as=asl pd=pdl ps=ps1
```

```
.ends pmos5um
```

```
.ENDL LuE
```

```
*****
```

```
*****
```

```
*****
```

```
.LIB h5u
```

```
.model nfet nmos level=13
```

```
+ TOX = 4.661027717e+002 RSH = 18  
+ TNOM = 20 K1 = 2.32  
+ U00 = 0.0095 PHI0 = 0.9215246245  
+ LD = 2e-07  
+ MUS = 2.412990409e+02 MUZ = 6.131931228e+02  
+ ETA0 = 0.0097 PJ = 0.64  
+ VFB0 = -6.1412029166e-01  
+ U1 = 0.585  
+ CJ = 2.483e-08 CJSW = 2.483e-08  
+ CGS0 = 1.4817e-10 CGD0 = 1.4817e-10  
+ NO = 200
```

```
.model pfet pmos level=13
```

```
+ TOX = 4.455693891e+02 RSH = 319  
+ TNOM = 20 K1 = 0.45  
+ U00 = 0.1796 PHI0 = 0.4733656846  
+ LD = 5.4e-07  
+ MUS = 1.805916843e+02 MUZ = 2.624461970e+02  
+ ETA0 = 0.155 PJ = 0.6  
+ VFB0 = 2.65742e-2  
+ CJ = 2.81883e-9 CJSW = 2.81883e-9  
+ CGS0 4.185e-10 CGD0 = 4.185e-10  
+ NO = 200
```

```
.ENDL h5u
```

## A.2 Sizing em SPICE

São apresentados trechos dos arquivos *subckts.sp* desenvolvidos para os modelos SPICE de  $5\mu m$ ,  $0.6\mu m$  e  $16nm$  FinFET para demonstração de como foram aplicados os critérios de dimensionamento. Este arquivo contém a descrição a nível de transistores de todas as portas lógicas construídas. Foi selecionado o trecho referente às células NAND3X2 e NAND3X4 por apresentar dois dimensionamentos de uma mesma célula e transistores conectados em série.

### A.2.1 Modelo $5\mu m$

```

:

*****
***** NAND3 X2
*****

.SUBCKT nand3x2 in0 in1 in2 out VDD GND
MP0 out in0 VDD VDD pmos5um W = 15u
MP1 out in1 VDD VDD pmos5um W = 15u
MP2 out in2 VDD VDD pmos5um W = 15u

MNO out in0 node0 GND nmos5um W = 30u
MN1 node0 in1 node1 GND nmos5um W = 30u
MN2 node1 in2 GND GND nmos5um W = 30u
.ENDS

*****
***** NAND3 X4
*****

.SUBCKT nand3x4 in0 in1 in2 out VDD GND
MP0 out in0 VDD VDD pmos5um W = 30u
MP1 out in1 VDD VDD pmos5um W = 30u
MP2 out in2 VDD VDD pmos5um W = 30u

MNO out in0 node0 GND nmos5um W = 60u
MN1 node0 in1 node1 GND nmos5um W = 60u
MN2 node1 in2 GND GND nmos5um W = 60u
.ENDS

:

```

A.2.2 Modelo  $0.6\mu m$ 

```

:

*****
***** NAND3 X2
*****

.SUBCKT nand3x2 in0 in1 in2 out VDD GND
MP0 out in0 VDD VDD pmos4 W = 1.8u
MP1 out in1 VDD VDD pmos4 W = 1.8u
MP2 out in2 VDD VDD pmos4 W = 1.8u

MNO out in0 node0 GND nmos4 W = 3.6u
MN1 node0 in1 node1 GND nmos4 W = 3.6u
MN2 node1 in2 GND GND nmos4 W = 3.6u
.ENDS

*****
***** NAND3 X4
*****

.SUBCKT nand3x4 in0 in1 in2 out VDD GND
MP0 out in0 VDD VDD pmos4 W = 3.6u
MP1 out in1 VDD VDD pmos4 W = 3.6u
MP2 out in2 VDD VDD pmos4 W = 3.6u

MNO out in0 node0 GND nmos4 W = 7.2u
MN1 node0 in1 node1 GND nmos4 W = 7.2u
MN2 node1 in2 GND GND nmos4 W = 7.2u
.ENDS

:

```

A.2.3 Modelo  $16nm$  FinFET

```

:

*****
***** NAND3 X2
*****

.SUBCKT nand3x2 in0 in1 in2 out VDD GND
MP0 out in0 VDD VDD pfet nfin = 2 l = 20n
MP1 out in1 VDD VDD pfet nfin = 2 l = 20n

```

```

MP2 out in2 VDD VDD pfet nfin = 2 l = 20n

MNO out in0 node0 GND nfet nfin = 2 l = 20n
MN1 node0 in1 node1 GND nfet nfin = 2 l = 20n
MN2 node1 in2 GND GND nfet nfin = 2 l = 20n
.ENDS
*****
***** NAND3 X4
*****
.SUBCKT nand3x4 in0 in1 in2 out VDD GND
MP0 out in0 VDD VDD pfet nfin = 4 l = 20n
MP1 out in1 VDD VDD pfet nfin = 4 l = 20n
MP2 out in2 VDD VDD pfet nfin = 4 l = 20n

MNO out in0 node0 GND nfet nfin = 4 l = 20n
MN1 node0 in1 node1 GND nfet nfin = 4 l = 20n
MN2 node1 in2 GND GND nfet nfin = 4 l = 20n
.ENDS

:

```

### A.3 Simulação de Potência/Energia

Segue o arquivo *energy\_FO4.sp* referente ao modelo  $5\mu m$ , desenvolvido para cálculo do consumo de potência e energia por estágio para um par de transições dos osciladores em anel com *Fan-Out 4*. A adaptação para oscilador de 11 ou 31 estágios é realizada ao alterar a o período da fonte alternada, cujo valor utilizado provém do *script* desenvolvido em OCEAN, e para obter resultados utilizando células INVX1 ou INVX4, apenas substitui-se a célula instanciada. Basta alterar o modelo padrão, tensão de alimentação e valores de tempo para que o arquivo seja utilizado com as tecnologias  $0.6\mu m$  e  $16nm$  FinFET.

```

simulator lang=spice

.lib '../models/models.sp' LuE
.include '../netlist/subckts.sp'

.param v_supply = 5V
.param period = 841.4n
.param rise = 20n
***CIRCUIT***

```

```

xinv0 vin 1 VDD 0 invx4
xinv1 1 2 VDDa 0 invx4
xinv2 2 3 VDD 0 invx4

xinv3 2 4 VDD 0 invx4
xinv4 2 5 VDD 0 invx4
xinv5 2 6 VDD 0 invx4
*****STIMULI**
Vdd VDD 0 DC = 'v_supply'
Vdda VDDa 0 DC = 'v_supply'
Vin vin 0 DC=0 PULSE 0 'v_supply' 0 'rise' 'rise' 'period/2' 'period'
*****

****ANALYSIS***
.tran STEP = 10p STOP=500u
.measure tran Irms RMS I(Vdda) from=0n to=500u
.measure Prms param='Irms*v_supply'
.measure Erms param='Prms*period'
*****

.end

```

## A.4 Script em OCEAN

Segue o *script* completo para cálculo dos valores de *timing* e frequência de um oscilador em anel de 11 estágios com INVX4, da tecnologia  $0.6\mu m$ . Para obtenção dos outros resultados, basta alterar o valor referente ao número de estágios, e a adaptação à outras tecnologias é feita pela correção dos valores de tensão de alimentação e tempo de simulação.

```

; set correct license for checkout
envSetVal("license" "ADELicenseCheckoutOrder" 'string "GXL,L,XL")

; set up simulation environment
setup(?precision 15)
simulator('spectre)
option(
    ?categ 'turboOpts
    'uniMode "APS"

```

```
)  
design("./netlist")  
resultsDir(".")  
  
fp = outfile("./timing_R011X4.txt", "w")  
  
analysis( 'tran ?start 0n ?stop 200n)  
run()  
  
selectResults('tran)  
  
TriseA5 = 0  
TriseB5 = 0  
TriseA7 = 0  
TriseB7 = 0  
TriseA9 = 0  
TriseB9 = 0  
TfallA5 = 0  
TfallB5 = 0  
TfallA7 = 0  
TfallB7 = 0  
TfallA9 = 0  
TfallB9 = 0  
Th1A5 = 0  
Th1A7 = 0  
Th1A9 = 0  
TlhA5 = 0  
TlhA7 = 0  
TlhA9 = 0  
Th1B5 = 0  
Th1B7 = 0  
Th1B9 = 0  
TlhB5 = 0  
TlhB7 = 0  
TlhB9 = 0  
cont = 0  
aux = 5  
  
for( aux 5 14
```

```

TriseA5 = TriseA5 + ( cross( v("a5") 4.5 aux 'rising ) -
cross( v("a5") 0.5 aux+1 'rising ) )
TriseA7 = TriseA7 + ( cross( v("a7") 4.5 aux 'rising ) -
cross( v("a7") 0.5 aux+1 'rising ) )
TriseA9 = TriseA9 + ( cross( v("a9") 4.5 aux 'rising ) -
cross( v("a9") 0.5 aux+1 'rising ) )

TriseB5 = TriseB5 + ( cross( v("b5") 4.5 aux 'rising ) -
cross( v("b5") 0.5 aux+1 'rising ) )
TriseB7 = TriseB7 + ( cross( v("b7") 4.5 aux 'rising ) -
cross( v("b7") 0.5 aux+1 'rising ) )
TriseB9 = TriseB9 + ( cross( v("b9") 4.5 aux 'rising ) -
cross( v("b9") 0.5 aux+1 'rising ) )

TfallA5 = TfallA5 + ( cross( v("a5") 0.5 aux+1 'falling ) -
cross( v("a5") 4.5 aux 'falling ) )
TfallA7 = TfallA7 + ( cross( v("a7") 0.5 aux+1 'falling ) -
cross( v("a7") 4.5 aux 'falling ) )
TfallA9 = TfallA9 + ( cross( v("a9") 0.5 aux+1 'falling ) -
cross( v("a9") 4.5 aux 'falling ) )

TfallB5 = TfallB5 + ( cross( v("b5") 0.5 aux+1 'falling ) -
cross( v("b5") 4.5 aux 'falling ) )
TfallB7 = TfallB7 + ( cross( v("b7") 0.5 aux+1 'falling ) -
cross( v("b7") 4.5 aux 'falling ) )
TfallB9 = TfallB9 + ( cross( v("b9") 0.5 aux+1 'falling ) -
cross( v("b9") 4.5 aux 'falling ) )

ThlA5 = ThlA5 + delay( v("a4") 2.5 aux+1 'rising v("a5") 2.5 aux 'falling )
ThlA7 = ThlA7 + delay( v("a6") 2.5 aux+1 'rising v("a7") 2.5 aux 'falling )
ThlA9 = ThlA9 + delay( v("a8") 2.5 aux+1 'rising v("a9") 2.5 aux 'falling )

TlhA5 = TlhA5 + delay( v("a4") 2.5 aux 'falling v("a5") 2.5 aux 'rising )
TlhA7 = TlhA7 + delay( v("a6") 2.5 aux 'falling v("a7") 2.5 aux 'rising )
TlhA9 = TlhA9 + delay( v("a8") 2.5 aux 'falling v("a9") 2.5 aux 'rising )

ThlB5 = ThlB5 + delay( v("b4") 2.5 aux+1 'rising v("b5") 2.5 aux 'falling )
ThlB7 = ThlB7 + delay( v("b6") 2.5 aux+1 'rising v("b7") 2.5 aux 'falling )

```

```

ThlB9 = ThlB9 + delay( v("b8") 2.5 aux+1 'rising v("b9") 2.5 aux 'falling )

TlhB5 = TlhB5 + delay( v("b4") 2.5 aux 'falling v("b5") 2.5 aux 'rising )
TlhB7 = TlhB7 + delay( v("b6") 2.5 aux 'falling v("b7") 2.5 aux 'rising )
TlhB9 = TlhB9 + delay( v("b8") 2.5 aux 'falling v("b9") 2.5 aux 'rising )
cont = cont + 1
)

TriseA = (TriseA5/10 + TriseA7/10 + TriseA9/10)/3
TriseB = (TriseB5/10 + TriseB7/10 + TriseB9/10)/3
TfallA = (TfallA5/10 + TfallA7/10 + TfallA9/10)/3
TfallB = (TfallB5/10 + TfallB7/10 + TfallB9/10)/3

ThlA = (ThlA5/10 + ThlA7/10 + ThlA9/10)/3
TlhA = (TlhA5/10 + TlhA7/10 + TlhA9/10)/3
ThlB = (ThlB5/10 + ThlB7/10 + ThlB9/10)/3
TlhB = (TlhB5/10 + TlhB7/10 + TlhB9/10)/3

FA = 1/(11*(ThlA+TlhA))
FB = 1/(11*(ThlB+TlhB))

TdA = 1/(2*11*FA)
TdB = 1/(2*11*FB)

fprintf(fp "Contador: %d \n\n" cont)
fprintf(fp "\t ### -- R011X4 F01 -- ### \n")
fprintf(fp "Rise time A: %e s\n" TriseA)
fprintf(fp "Fall time A: %e s\n" TfallA)
fprintf(fp "Oscillator frequency: %e Hz\n" FA)
fprintf(fp "TD = %e s\n" TdA)
fprintf(fp "\t ### -- R011X4 F04 -- ### \n")
fprintf(fp "Rise time B: %e\n" TriseB)
fprintf(fp "Fall time B: %e \n" TfallB)
fprintf(fp "Oscillator frequency: %e Hz\n" FB)
fprintf(fp "TD = %e s\n" TdB)
close(fp)

```

## B Arquivos para Caracterização

Para melhor compreensão do processo de caracterização, neste Apêndice são apresentados os arquivos de entrada e saída relacionados à execução da ferramenta Cadence®Virtuoso®Liberate™. Especificamente, são apresentados por completo os arquivos *template.tcl* e *char.tcl* e trechos do arquivo *.lib* da tecnologia  $0.6\mu m$ . A única diferença para os arquivos de entrada referentes à tecnologia  $16nm$  FinFET são os valores de tensão de operação, *slew* e capacitância de carga.

### B.1 Arquivos de entrada para execução da ferramenta

#### B.1.1 *template.tcl*

```
# Set the output transition thresholds to 10-90%
set_var slew_lower_rise 0.1
set_var slew_upper_rise 0.9
set_var slew_lower_fall 0.1
set_var slew_upper_fall 0.9

set_var measure_slew_lower_rise 0.1
set_var measure_slew_upper_rise 0.9
set_var measure_slew_lower_fall 0.1
set_var measure_slew_upper_fall 0.9
#seta as celulas a serem caracterizadas, o nome deve ser o mesmo do subckt
set cells { \
invx1 \
invx2 \
invx4 \
invx8 \
nand2x1 \
nand2x2 \
nand2x4 \
nand2x8 \
nand3x1 \
nand3x2 \
nand3x4 \
nand3x8 \
```

```
nor2x1 \  
nor2x2 \  
nor2x4 \  
nor2x8 \  
nor3x1 \  
nor3x2 \  
nor3x4 \  
nor3x8 \  
tgxor2x1 \  
tgxor2x2 \  
tgxor2x4 \  
tgxor2x8 \  
cxor3x1 \  
cxor3x2 \  
cxor3x4 \  
cxor3x8 \  
mux21 \  
aoi21 \  
aoi22 \  
oai21 \  
oai22 \  
ppcdf   
}
```

```
set inputs {vi in0 in1 sel in2 in3 D}  
set outputs {vo out Q}  
set clocks {CLK}  
set asyncs {}
```

```
# Set the output transition thresholds to 10-90%
```

```
#sinal de teste vem da driver_cell, para nao ser ideal  
set_driver_cell \  
-input_transition 5e-12 \  
invx4
```

```
#tipo delay, para obter tempos de atraso no sinal de saida  
#neste tipo, index_1 representa os valores de input slew  
# e index_2 representa a capacitancia de carga
```

```

define_template -type delay \
    -index_1      {0.21 0.505 0.8 1.095 1.39} \
    -index_2      {0.003039759 0.5791666193 1.15529348 1.73142034 2.3075472}
    delay_template_5x5

#tipo power, obtem dinamico, estatico e hidden
#neste tipo index_1 representa input slew
# e index_2 representa capacitancia de carga
define_template -type power \
    -index_1      {0.21 0.505 0.8 1.095 1.39} \
    -index_2      {0.003039759 0.5791666193 1.15529348 1.73142034 2.3075472}
    power_template_5x5
#o tipo constraint eh utilizado para obter tempos de setup e hold
#neste tipo, index_1 representa os valores de input slew do data signal
# e index_2 representa os slews do clock
define_template -type constraint \
    -index_1      {0.1 0.2 0.5 1 1.5} \
    -index_2      {0.1 0.2 0.5 1 1.5} \
    constraint_template_5x5

#define como caracterizar cada celula
define_cell \
    -input $inputs -output $outputs -clock $clocks -async $asyncs \
    -delay      delay_template_5x5 \
    -power      power_template_5x5 \
-constraint constraint_template_5x5 \
$cells

```

### B.1.2 *char.tcl*

```

#biblioteca que esta referenciando aos modelos e possui
#todos subcircuitos das celulas
#no exemplo. a 'variavel' spicefiles é carregada com diversos arquivos:
# o modelo e o .sp de cada subckt
set rundir $env(PWD)

#cria os diretorios onde vai gravar arquivos gerados
exec mkdir -p ${rundir}/library

```

```
exec mkdir -p ${rundir}/datasheet

### Define temperature and default voltage ###
set_operating_condition -voltage 5 -temp 25

# SPECIFY SPICE ENGINES and OPTIONS
set partsim "aps"; # other valid values: finesim, spectre
set charsim "aps"; # other valid values: spectre
if {$partsim == "aps"} {
set_var fastsim_cmd "spectre"
set_var fastsim_cmd_option "+aps +apice -64 -format sst2 +mt=4 +errpreset=liberal"
set partsim "spectre"
} elseif {$partsim == "finesim"} {
;
}

if {$charsim == "aps"} {
# APS related
set_var extsim_cmd "spectre"
set_var extsim_cmd_option "+aps +spice -64"
set_var extsim_option "soft_bin=allmodels"
set_var extsim_model_include "${rundir}/models/include_${process}.sp"
set charsim "spectre"
}

## Load template information for each cell ##
source ${rundir}/template/xc06_template.tcl

set spicefiles $rundir/models/include.sp
lappend spicefiles ${rundir}/netlist/subckts.sp

##le os arquivos carregados na 'variavel' spicefiles
read_spice -format spectre $spicefiles

set_var sim_estimate_duration 0
set_var sim_duration 1e-3
## Alspice nao suporta lvl 72, necessario mudar extsim_exclusive
set_var extsim_exclusive 1
```

```
## Characterize the library for NLDL (default) delay format
char_library -cells ${cells} -extsim spectre

write_library -overwrite ${rundir}/library/xc06.lib

## Generate ascii datasheet ###
write_datasheet -format text ${rundir}/datasheet/xc06
```

## B.2 Arquivo *Liberty* obtido

Visto que o arquivo original possui mais de 16 mil linhas, são apresentados trechos selecionados para que o leitor obtenha melhor compreensão acerca da apresentação dos resultados. O valor de área é nulo pois neste trabalho não foram realizados *layouts* para nenhuma das células.

```
delay_model : table_lookup;
capacitive_load_unit (1,pf);
current_unit : "1mA";
leakage_power_unit : "1nW";
pulling_resistance_unit : "1kohm";
time_unit : "1ns";
voltage_unit : "1V";
\vdots
input_threshold_pct_fall : 50;
input_threshold_pct_rise : 50;
nom_process : 1;
nom_temperature : 25;
nom_voltage : 5;
output_threshold_pct_fall : 50;
output_threshold_pct_rise : 50;
slew_derate_from_library : 1;
slew_lower_threshold_pct_fall : 10;
slew_lower_threshold_pct_rise : 10;
slew_upper_threshold_pct_fall : 90;
slew_upper_threshold_pct_rise : 90;

:

cell (oai22) {
```

```

area : 0;
cell_leakage_power : 0.000984664;
leakage_power () {
    value : 0.000879785;
    when : "(in0 * in1 * in2 * in3 * !(out))";
}
leakage_power () {
    value : 0.00129398;
    when : "(in0 * in1 * in2 * !(in3) * !(out))";
}

:

timing () {
    related_pin : "in0";
    sdf_cond : "(~(in1) & in2 & in3)";
    timing_sense : negative_unate;
    timing_type : combinational;
    when : "(!(in1) * in2 * in3)";
    cell_rise (delay_template_5x5) {
        index_1 ("0.21, 0.505, 0.8, 1.095, 1.39");
        index_2 ("0.0244854, 0.600613, 1.17674, 1.75287, 2.329");
        values ( \
            "0.707118, 12.6988, 24.6704, 36.6515, 48.6133", \
            "0.747672, 12.7473, 24.7153, 36.6884, 48.678", \
            "0.783006, 12.7843, 24.7609, 36.7256, 48.6972", \
            "0.81629, 12.8155, 24.7949, 36.7754, 48.7427", \
            "0.848487, 12.8534, 24.8208, 36.7932, 48.7631" \
        );
    }
    rise_transition (delay_template_5x5) {
        index_1 ("0.21, 0.505, 0.8, 1.095, 1.39");
        index_2 ("0.0244854, 0.600613, 1.17674, 1.75287, 2.329");
        values ( \
            "1.04053, 28.2216, 55.4191, 82.631, 109.829", \
            "1.05999, 28.2183, 55.4119, 82.6307, 109.837", \
            "1.08928, 28.2157, 55.4279, 82.6262, 109.83", \
            "1.12216, 28.2216, 55.4324, 82.6208, 109.836", \
            "1.1587, 28.219, 55.4175, 82.6303, 109.83" \
        );
    }
}

```

## C Resultados Síntese Lógica

Neste apêndice são apresentados os resultados da síntese lógica realizada para os vinte e nove circuitos de *benchmark* utilizados como veículos de comparação neste trabalho. A Tabela 25 apresenta resultados na tecnologia  $0.6\mu m$  e a Tabela 26 apresenta resultados na tecnologia  $16nm$  FinFET.

Circuito	Potência [ $nW$ ]		Atraso [ $ns$ ]	Número de células
	Estática	Dinâmica		
c17	$1.00 \times 10^{-2}$	$2.01 \times 10^6$	$5.42 \times 10^0$	16
c1908	$4.51 \times 10^{-1}$	$5.18 \times 10^7$	$1.17 \times 10^1$	739
c2670	$8.74 \times 10^{-1}$	$8.24 \times 10^7$	$1.07 \times 10^1$	1474
c3540	$8.12 \times 10^{-1}$	$7.19 \times 10^7$	$1.56 \times 10^1$	1299
c432	$2.47 \times 10^{-1}$	$1.52 \times 10^7$	$1.27 \times 10^1$	418
c499	$4.76 \times 10^{-1}$	$5.37 \times 10^7$	$1.12 \times 10^1$	769
c5315	$1.59 \times 10^0$	$1.56 \times 10^8$	$1.33 \times 10^1$	2601
c6288	$2.36 \times 10^0$	$3.36 \times 10^8$	$3.12 \times 10^1$	3549
c880	$4.66 \times 10^{-1}$	$3.82 \times 10^7$	$1.02 \times 10^1$	767
s1196	$4.71 \times 10^{-1}$	$1.49 \times 10^7$	$9.73 \times 10^0$	767
s1238	$4.43 \times 10^{-1}$	$1.33 \times 10^7$	$1.02 \times 10^1$	713
s13207	$1.71 \times 10^0$	$7.99 \times 10^7$	$1.08 \times 10^1$	2519
s1423	$4.12 \times 10^{-1}$	$9.60 \times 10^6$	$8.55 \times 10^0$	581
s1488	$4.43 \times 10^{-1}$	$1.57 \times 10^7$	$6.95 \times 10^0$	670
s1494	$4.17 \times 10^{-1}$	$1.52 \times 10^7$	$6.96 \times 10^0$	635
s15850	$2.25 \times 10^0$	$1.01 \times 10^8$	$1.28 \times 10^1$	3334
s27	$1.50 \times 10^{-2}$	$7.45 \times 10^5$	$6.39 \times 10^0$	26
s35932	$5.37 \times 10^0$	$4.48 \times 10^8$	$7.32 \times 10^0$	5663
s38417	$5.53 \times 10^0$	$1.64 \times 10^8$	$6.40 \times 10^0$	7581
s38584	$6.49 \times 10^0$	$2.11 \times 10^8$	$1.20 \times 10^1$	9417
s386	$9.80 \times 10^{-2}$	$2.11 \times 10^6$	$6.81 \times 10^0$	164
s420	$1.22 \times 10^{-1}$	$2.75 \times 10^6$	$7.09 \times 10^0$	176
s5378	$1.01 \times 10^0$	$7.63 \times 10^7$	$9.10 \times 10^0$	1497
s641	$2.33 \times 10^{-1}$	$1.38 \times 10^7$	$7.97 \times 10^0$	408
s713	$2.25 \times 10^{-1}$	$1.30 \times 10^7$	$7.80 \times 10^0$	390
s820	$2.02 \times 10^{-1}$	$7.30 \times 10^6$	$6.29 \times 10^0$	332
s832	$2.04 \times 10^{-1}$	$7.38 \times 10^6$	$6.64 \times 10^0$	335
s838	$2.37 \times 10^{-1}$	$6.06 \times 10^6$	$7.75 \times 10^0$	341
s9234	$1.07 \times 10^0$	$3.33 \times 10^7$	$6.60 \times 10^0$	1531

Tabela 25 – Síntese lógica com modelo  $0.6\mu m$ .

Circuito	Potência [ $nW$ ]		Atraso [ $ns$ ]	Número de células
	Estática	Dinâmica		
c17	$1.58 \times 10^0$	$7.45 \times 10^3$	$4.33 \times 10^{-1}$	17
c1908	$2.79 \times 10^1$	$1.88 \times 10^5$	$6.25 \times 10^{-1}$	252
c2670	$6.47 \times 10^1$	$3.07 \times 10^5$	$5.31 \times 10^{-1}$	648
c3540	$8.18 \times 10^1$	$2.23 \times 10^5$	$6.25 \times 10^{-1}$	872
c432	$1.66 \times 10^1$	$4.46 \times 10^4$	$6.24 \times 10^{-1}$	195
c499	$3.74 \times 10^1$	$1.09 \times 10^5$	$6.25 \times 10^{-1}$	354
c5315	$8.26 \times 10^1$	$6.55 \times 10^5$	$7.50 \times 10^{-1}$	945
c6288	$2.78 \times 10^2$	$7.01 \times 10^5$	$1.00 \times 10^0$	2208
c880	$2.35 \times 10^1$	$1.34 \times 10^5$	$1.00 \times 10^0$	258
s1196	$4.71 \times 10^1$	$3.74 \times 10^4$	$5.00 \times 10^{-1}$	640
s1238	$4.50 \times 10^1$	$3.68 \times 10^4$	$5.00 \times 10^{-1}$	609
s13207	$1.06 \times 10^{-2}$	$4.13 \times 10^5$	$5.00 \times 10^{-1}$	2028
s1423	$2.15 \times 10^1$	$2.83 \times 10^4$	$5.00 \times 10^{-1}$	490
s1488	$2.45 \times 10^1$	$5.58 \times 10^4$	$4.68 \times 10^{-1}$	466
s1494	$2.49 \times 10^1$	$5.57 \times 10^4$	$4.65 \times 10^{-1}$	475
s15850	$1.10 \times 10^2$	$4.71 \times 10^5$	$6.25 \times 10^{-1}$	2284
s27	$6.53 \times 10^{-1}$	$3.17 \times 10^3$	$4.33 \times 10^{-1}$	13
s35932	$3.29 \times 10^2$	$1.28 \times 10^6$	$4.68 \times 10^{-1}$	4778
s38417	$2.83 \times 10^2$	$7.35 \times 10^5$	$4.37 \times 10^{-1}$	6372
s38584	$2.65 \times 10^2$	$8.43 \times 10^5$	$5.31 \times 10^{-1}$	7959
s386	$6.42 \times 10^0$	$5.57 \times 10^3$	$4.68 \times 10^{-1}$	106
s420	$7.47 \times 10^0$	$6.08 \times 10^3$	$4.68 \times 10^{-1}$	116
s5378	$6.54 \times 10^1$	$2.99 \times 10^5$	$4.84 \times 10^{-1}$	1016
s641	$1.68 \times 10^1$	$5.19 \times 10^4$	$5.00 \times 10^{-1}$	226
s713	$1.53 \times 10^1$	$4.88 \times 10^4$	$5.00 \times 10^{-1}$	201
s820	$1.10 \times 10^1$	$2.64 \times 10^4$	$4.68 \times 10^{-1}$	209
s832	$1.05 \times 10^1$	$2.63 \times 10^4$	$4.68 \times 10^{-1}$	218
s838	$1.71 \times 10^1$	$8.87 \times 10^3$	$4.68 \times 10^{-1}$	256
s9234	$4.86 \times 10^1$	$1.14 \times 10^5$	$4.37 \times 10^{-1}$	1162

Tabela 26 – Síntese lógica com modelo 16nm FinFET.