

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

LUCAS BERNARDO ZILCH

**DESENVOLVIMENTO DE UMA TOOLBOX EM MATLAB PARA
DETERMINAÇÃO DE CONFIGURAÇÕES OTIMIZADAS PARA TESTES DE
CIRCUITOS ANALÓGICOS ATRAVÉS DE SIMULAÇÕES SPICE
AUTOMATIZADAS**

Porto Alegre

2017

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

LUCAS BERNARDO ZILCH

**DESENVOLVIMENTO DE UMA TOOLBOX EM MATLAB PARA
DETERMINAÇÃO DE CONFIGURAÇÕES OTIMIZADAS PARA TESTE DE
CIRCUITOS ANALÓGICOS ATRAVÉS DE SIMULAÇÕES SPICE
AUTOMATIZADAS**

Trabalho de Conclusão de Curso apresentado
como requisito parcial para a obtenção do grau de
Bacharel em Engenharia Elétrica na Universidade
Federal do Rio Grande do Sul.

Orientador: Prof. Dr. Tiago Roberto Balen

Porto Alegre

2017

CIP - Catalogação na Publicação

Zilch, Lucas Bernardo

Desenvolvimento de uma Toolbox em MATLAB para
Determinação de Configurações Otimizadas para Teste de
Circuitos Analógicos através de Simulações SPICE
Automatizadas / Lucas Bernardo Zilch. -- 2017.
85 f.

Orientador: Tiago Roberto Balen.

Trabalho de conclusão de curso (Graduação) --
Universidade Federal do Rio Grande do Sul, Escola de
Engenharia, Curso de Engenharia Elétrica, Porto
Alegre, BR-RS, 2017.

1. Circuitos Integrados Analógicos. 2. Teste. 3.
Dicionário de Falhas. 4. Vetores de Teste. 5.
Cobertura de Falhas. I. Balen, Tiago Roberto,
orient. II. Título.

LUCAS BERNARDO ZILCH

**DESENVOLVIMENTO DE UMA TOOLBOX EM MATLAB PARA
DETERMINAÇÃO DE CONFIGURAÇÕES OTIMIZADAS PARA TESTE DE
CIRCUITOS ANALÓGICOS ATRAVÉS DE SIMULAÇÕES SPICE
AUTOMATIZADAS**

Este Trabalho de Conclusão de Curso foi analisado e julgado adequado para obtenção do grau de Bacharel em Engenharia Elétrica e aprovado na sua forma final pelo Orientador e pela Banca Examinadora designada pelo Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul.

Prof. Dr. Tiago Roberto Balen

Orientador – UFRGS

Prof. Dr. Ály Flores Ferreira Filho

Chefe do Departamento de Engenharia

Elétrica (DELET) – UFRGS

Aprovado em: ___/___/___

BANCA EXAMINADORA

Prof. Dr. Tiago Roberto Balen – UFRGS

Prof. Dr. Marcelo Soares Lubaszewski – UFRGS

Prof. Dr. Marcelo Negreiros – UFRGS

À minha família: meu pai Antenor Zilch (em memória), minha mãe Regina Beatriz da Ros Farias Zilch e minha irmã Daniela Maria Zilch, que sempre me deram todo apoio necessário para que eu chegasse até aqui.

AGRADECIMENTOS

Agradeço à minha família por todo incentivo que me foi dado e pelos exemplos que sempre representaram para mim.

Agradeço à minha namorada, Bianca Scherer, pela compreensão ao longo da execução desse trabalho e pelos auxílios em aspectos de escrita.

Agradeço ao Prof. Dr. Tiago Roberto Balen por toda a orientação dada ao desenvolvimento do presente trabalho e, principalmente, por se demonstrar muito prestativo em sanar os meus questionamentos.

RESUMO

Este trabalho se refere à determinação de configurações otimizadas para testes em circuitos integrados analógicos, utilizando a metodologia de teste estrutural. Em outras palavras, se refere à determinação tanto dos nós a serem utilizados nos testes, quanto dos sinais a serem aplicados na entrada do circuito, de modo que se maximize a detecção de falhas. Foi desenvolvida uma toolbox em MATLAB para possibilitar a análise automatizada das configurações de teste em um circuito analógico qualquer. Nessa ferramenta, através da descrição do circuito e do modelo de falhas a ser considerado, são determinados o dicionário de falhas, a cobertura de falhas nos nós e o conjunto considerado como os melhores testes. A validação do funcionamento dessa toolbox se deu através da reprodução idêntica de três estudos passados que levaram em consideração circuitos amplificadores operando em malha aberta. No primeiro, utilizou-se dois amplificadores de dois estágios com saídas simples em topologias complementares, dos quais foram analisadas as coberturas de falhas para tensões contínuas aplicadas na entrada, onde observou-se que 79,17% das falhas modeladas eram capazes de serem detectadas em um único teste. No segundo estudo, levando em consideração três tensões contínuas diferentes aplicadas na entrada, foi determinado que a cobertura de falhas para um amplificador totalmente diferencial de um estágio projetado por Oliveira, Severo e Girardi (2014) seria de 78,33%. No terceiro e último estudo, utilizando-se o mesmo circuito do anterior, foi determinado a cobertura de falhas em função da frequência do sinal de entrada, onde se observou que 100% das falhas seriam detectadas com apenas dois testes. Entretanto, a execução desses testes era impossibilitada, pois demandava a diferenciação de décimos de microvolt nas tensões nodais a serem medidas. Levando em consideração condições mais reais, chegou-se a um máximo de 80% das falhas detectadas com a execução de quatro testes. Com a ferramenta validada, foram executados dois estudos de caso, nos quais esses mesmos amplificadores foram simulados em malha fechada. Observou-se que, ao passar da configuração em malha aberta para a em malha fechada, melhorou-se as condições de teste, pois as margens dos sinais de entrada requeridos e o módulo das tensões a serem medidas nos nós aumentaram, sem que houvesse prejuízo às coberturas de falhas, que permaneceram as mesmas (79,17%) para os amplificadores com dois estágios e saídas simples e, inclusive, aumentou de 80% para 84,17% no caso do amplificador totalmente diferencial, necessitando, nesse caso, apenas 2 testes.

Palavras Chave: Circuitos integrados analógicos, teste, dicionário de falhas, vetores de teste, cobertura de falhas.

ABSTRACT

This work refers to determination of optimized setups to test of analog integrated circuits, using the structural test methodology. In other words, refers to selection of the test nodes and the teste stimuli in order to maximize the fault detection. A MATLAB toolbox was developed to allow the automated analysis of test setups for any analog circuit. In this tool, the circuit description and the fault model are used to create the analog fault dictionary, calculate the number of detected faults in each node and determinate the best tests. The toolbox was validated by the identical reproduction of three past case studies, which used amplifiers circuits in open loop. In the fist, two single output amplifiers with two stages in complementary topologies were analyzed with direct voltage on inputs, the total fault coverage was 79.17% and requires only one test per circuit. In the second, considering three different direct voltages on input, was determined that the fault coverage to a single stage fully differential amplifier designed by Oliveira, Severo e Girardi (2014) is 78.33%. In the third, using the same circuit of the last, it was determined the fault coverage according to input signal frequency, in this case, 100% of faults could be detected with only two tests, but the execution of these tests is impossible, because demands a differentiation of tenths of microvolts on nodes voltage. Under more real conditions, the maximum fault coverage was 80% and demands four tests. After validating the tool, two additional case studies have been done, in which the same amplifiers were analyzed in closed loop. It was observed that the closed loop test conditions were best than open loop conditions, because the range of possible input values and the modulus of nodes voltage has increased, while the fault coverage of single output amplifiers with two stages remained the same (79.17%) and the fault coverage of single stage fully differential has increased to 84.17% and requires, now, only two tests.

Keywords: Analog integrated circuits, test, fault dictionary, test vectors, fault coverage.

LISTA DE FIGURAS

Figura 1 - Estimativa de custo por falha detectada em cada etapa de produção.	17
Figura 2 - <i>Corners</i> de uma tecnologia.	21
Figura 3 - Bloco conceitual do circuito CMFB do FDA.	22
Figura 4 - Fluxograma geral da toolbox para análise de configurações de teste em circuitos analógicos.	24
Figura 5 - Fluxograma de funcionamento da janela "AnalogCircuitsTest".	25
Figura 6 - Primeira etapa da Janela "AnalogCircuitsTest".	26
Figura 7 - Exemplo de arquivo de descrição de falhas.	27
Figura 8 - Inserção de parâmetros para análise DC.	28
Figura 9 - Inserção de parâmetros para análise AC.	28
Figura 10 - Descrição do modelo de falhas.	29
Figura 11 - Seleção dos Nós.	30
Figura 12 - Janela "Results" um único teste possível em cada nó.	34
Figura 13 - Janela para consulta dos modelos de falhas utilizados.	35
Figura 14 - Janela para alteração dos nós de teste.	35
Figura 15 - Janela "Results" para o caso AC.	36
Figura 16 - Gráfico com a resposta dos <i>corners</i> aberto através do botão " <i>View Corners</i> " para nó "vop".	38
Figura 17 - Topologias de amplificadores usados como estudo de caso. A- Configuração PMOS-DA, B- Configuração NMOS-DA.	40
Figura 18 - Esquemático do amplificador totalmente diferencial de um estágio.	42
Figura 19 - Esquemático elétrico do circuito CMFB.	42
Figura 20 - Configuração inversora com ganho igual a 2.	45
Figura 21 - FDA na configuração em malha fechada.	47
Figura 22 - Janela "Results" para circuito PMOS-DA em malha aberta e com entradas aterradas. A- Conjunto dos melhores testes, B- Cobertura de falhas.	50
Figura 23 - Janela "Results" para circuito NMOS-DA em malha aberta e com entradas aterradas. A- Conjunto dos melhores testes, B- Cobertura de falhas.	51
Figura 24 - Janela "Results" para circuito PMOS-DA em malha aberta e levando em consideração todos os sinais de entrada simulados. A- Conjunto dos melhores testes, B- Cobertura de falhas.	52

Figura 25 - Janela "Results" para circuito NMOS-DA em malha aberta e levando em consideração todos os sinais de entrada simulados. A- Conjunto dos melhores testes, B- Cobertura de falhas.	53
Figura 26 - Janela "Results" para análise AC do FDA em malha aberta. A- Conjunto dos melhores testes, B- Cobertura de falhas.	55
Figura 27 - Análise AC do FDA em malha aberta com $\pm 0.5\text{mV}$ de amplitude mínima para os limites de detecção em torno da resposta nominal do circuito. A- Conjunto dos melhores testes, B- Cobertura de falhas.	58
Figura 28 - Análise AC do FDA em malha aberta para novos nós de teste com $\pm 0.5\text{mV}$ de diferença mínima entre os limites de detecção e a resposta nominal. A- Conjunto dos melhores testes, B- Cobertura de falhas.	59
Figura 29 - Janela "Results" para circuito PMOS-DA em malha fechada. A- Conjunto dos melhores testes, B- Cobertura de falhas.	61
Figura 30 - Janela "Results" para circuito NMOS-DA em malha fechada. A- Conjunto dos melhores testes, B- Cobertura de falhas.	62
Figura 31 - Análise AC para o FDA em malha fechada. A- Conjunto dos melhores testes, B- Cobertura de falhas.	64

LISTA DE TABELAS

Tabela 1 - Especificações do projeto das duas topologias estudadas.....	40
Tabela 2 - Especificações do projeto do circuito FDA.....	43
Tabela 3 - Tensões DC de entrada nas três configurações de teste analisadas.....	44
Tabela 4 - Tempos de execução do algoritmo.....	48
Tabela 5 - Cobertura de falhas em cada nó dos circuitos.	49
Tabela 6 - Tensões no nó Vcmc1 para circuito nominal e com <i>corners</i>	54
Tabela 7 - Cobertura de falhas no nó Vcmc1 do FDA para testes DC.....	54
Tabela 8 - Amplitude de tensão nominal e limites para os testes mostrados na Figura 26.	56
Tabela 9 - Amplitude de tensão nominal e limites para os testes mostrados na Figura 28.	57
Tabela 10 - Amplitude nominal e limites para os testes determinados pela toolbox.	63

LISTAS DE ABREVIATURAS E SIGLAS

AC	Alternating Current
ADC	Analog to digital converter
ATE	Automatic Test Equipment
CI	Circuito Integrado
CMFB	Common-Mode Feed-Back
CUT	Circuit Under Test
DA	Differential Amplifier
DC	Direct Current
FDA	Fully Differential Amplifier
FF	Fast-Fast
FS	Fast-Slow
GBW	Gain-Bandwidth product
NMOS	N-channel Metal Oxide Semicondutor
NMOS-DA	NMOS - Differential Amplifier
OpAmp	Operational Amplifier
PMOS	P-channel Metal Oxide Semicondutor
PMOS-DA	PMOS - Differential Amplifier
SF	Slow-Fast
SPICE	Simulation Program with Integrated Circuits Emphasis
SS	Slow-Slow
TT	Typical-Typical
WO	Worst Case One Condition
WP	Worst Case Power Condition
WS	Worst Case Speed Condition
WZ	Worst Case Zero Condition

SUMÁRIO

1	INTRODUÇÃO	13
2	REVISÃO BIBLIOGRÁFICA	16
2.1	TESTES DE CIRCUITOS ANALÓGICOS.....	16
2.1.1	Teste em produção	16
2.1.2	Teste Funcional <i>versus</i> Teste Estrutural	18
2.1.3	Modelo de Falhas Para Teste Analógico	18
2.1.4	Dicionário de Falhas	19
2.2	ANÁLISE DE <i>CORNERS</i>	20
2.3	AMPLIFICADORES TOTALMENTE DIFERENCIAIS	21
3	DESCRIÇÃO DA TOOLBOX	23
3.1	JANELA “ANOLOGCIRCUITTEST”	24
3.1.1	Etapa 1: Inserção de Arquivos para Simulação	25
3.1.2	Etapa 2: Parâmetros de Simulação	27
3.1.3	Etapa 3: Escolha do Modelo de Falhas	29
3.1.4	Etapa 4: Determinação da Matriz de Falhas e Resultados	30
3.2	JANELA “RESULTS”	31
3.2.1	Cálculos Executados	32
3.2.2	Exibição dos Resultados Para Condição de um Único Sinal de Entrada	34
3.2.3	Exibição dos Resultados Para Condição de Múltiplos Sinais de Entrada	36
4	METODOLOGIA EXPERIMENTAL	39
4.1	VALIDAÇÃO DA TOOLBOX.....	39
4.1.1	Amplificadores Diferenciais de dois Estágios com Saída Simples em Malha Aberta	39
4.1.2	Amplificador Totalmente Diferencial de um Estágio em Análise DC	41
4.1.3	Amplificador Totalmente Diferencial de um Estágio em Análise AC	45
4.2	ESTUDOS DE CASO	45
4.2.1	Amplificadores Diferenciais de dois Estágios com Saída Simples em Malha Fechada	45
4.2.2	Amplificador Totalmente Diferencial de um Estágio em Malha Fechada	46
5	RESULTADOS E DISCUSSÕES	48
5.1	VALIDAÇÃO DA TOOLBOX.....	48
5.1.1	Amplificadores Diferenciais de dois Estágios com Saída Simples	48
5.1.2	Amplificador Totalmente Diferencial de um Estágio em Análise DC	54

5.1.3	Amplificador Totalmente Diferencial de um Estágio em Análise AC	54
5.2	ESTUDOS DE CASO	60
5.2.1	Amplificadores Diferenciais de dois Estágios com Saída Simples em Malha Fechada	60
5.2.2	Amplificador Totalmente Diferencial de um Estágio em Malha Fechada	63
6	CONCLUSÃO	65
7	SUGESTÕES PARA TRABALHOS FUTUROS	67
	REFERÊNCIAS	68
	APÊNDICE A – DESCRIÇÃO SPICE DOS CIRCUITOS PMOS-DA E NMOS-DA EM MALHA ABERTA	71
	APÊNDICE B – DESCRIÇÃO SPICE DOS CIRCUITOS PMOS-DA E NMOS-DA EM MALHA FECHADA	73
	APÊNDICE – DESCRIÇÃO SPICE FDA EM MALHA ABERTA	75
	APÊNDICE D – DESCRIÇÃO SPICE FDA EM MALHA FECHADA	77
	APÊNDICE E – ARQUIVO DE DESCRIÇÃO DE FALHAS PARA CIRCUITOS PMOS-DA E NMOS-DA	79
	APÊNDICE F – ARQUIVO DE DESCRIÇÃO DE FALHAS PARA O FDA	80
	APÊNDICE G – ALGORITMO PARA DETERMINAÇÃO DO CONJUNTO DE TESTES OTIMIZADO	82
	APÊNDICE H – FUNÇÃO QUE DETERMINA O MELHOR TESTE	83

1 INTRODUÇÃO

Nos dias atuais, aproximadamente 70 anos após a criação do primeiro transistor nos laboratórios Bell, a indústria eletrônica alcançou patamares gigantescos. Nesse tempo, passou-se dos primeiros transistores, que eram encapsulados de forma individual, até os CIs (circuitos integrados) de hoje em dia, que chegam a conter bilhões desses componentes interligados em um mesmo chip. Essa evolução foi possibilitada pela profunda diminuição das dimensões dos transistores e ocorreu de acordo com a lei de Moore (SEGURA; HAWKINS, 2004; ARSLAN; ORAILOGLU, 2013), a qual propõe que a capacidade de integração dos transistores em um circuito integrado digital dobra a cada 18 meses (MOORE, 1965). Como consequência, os atuais circuitos eletrônicos se tornaram muito mais complexos e funcionais do que os de antigamente, além de se tornarem mais eficientes em consumo energético. Hoje, com um *smartphone* suficientemente pequeno para caber no bolso, consegue-se executar tarefas como: vídeo-chamadas, acessar a internet, fazer compras, consultas bancárias, entre outras infinitudes de funções.

Entretanto, essa evolução da eletrônica trouxe alguns problemas adicionais para a etapa de fabricação desses circuitos. Com a diminuição do tamanho dos transistores, aumentou-se os efeitos de canal curto, nos quais há uma diminuição da tensão de *threshold*. Além disso, houve um aumento exponencial das correntes de fuga, em função da diminuição da espessura do óxido (TAUR et al., 1996).

Ao longo dessa evolução, a implementação de circuitos digitais foi preferida em relação a de analógicos. Isso porque, em muitas aplicações, o projeto de um circuito digital se mostra muito mais simples que o do seu equivalente analógico, devido ao fato de que os digitais possuem finitos possíveis estados, diferentemente dos analógicos que, por sua vez, apresentam infinitos possíveis valores de saída. Entretanto, muitas aplicações exigem a utilização de circuitos analógicos, ou seja, não existem equivalentes digitais. O interfaceamento dos circuitos eletrônicos com as variáveis físicas é um bom exemplo disso, pois o mundo físico é, por natureza, analógico. Nesse contexto, os circuitos amplificadores são de fundamental importância, pois são utilizados tanto nos estágios de condicionamento dos sinais analógicos, quanto na implementação de filtros ativos, indispensáveis em quase todas as situações em que um sinal analógico é amostrado por um ADC (*Analog to digital converter*) de modo a tornar-se digital.

Para a indústria eletrônica, garantir o correto funcionamento dos circuitos é essencial e, ao mesmo tempo, desafiador. Sistemas de alta segurança – como, por exemplo, de automóveis, aviões, trens de alta velocidade e plantas nucleares – não podem tolerar falhas e, por isso,

requerem procedimentos altamente confiáveis para detecção de falhas nos chips (LUBASZEWSKI; MIR; KOLARIK; NIELSEN; COURTOIS, 2000). Entretanto, o aumento da complexidade funcional, aliada à diminuição do tamanho dos chips, tem tornado cada vez mais difícil a tarefa de executar testes nos circuitos eletrônicos, principalmente em um contexto de constante busca pela potencialização da qualidade e minimização do preço (KABISATPATHY; BARUA; SINHA, 2005).

Buscando testes de boa qualidade e baixo custo para circuitos integrados (CIs), a metodologia mais indicada é a do teste estrutural (RENOVELL, 2004). Segundo ela, é proposto um modelo de falhas para o circuito em análise, com o qual, através de simulações, levanta-se o dicionário de falhas. Nesse contexto, a determinação dos vetores de teste para circuitos analógicos é feita, em geral, por tentativa e erro. Entretanto, embora ferramentas para determinação de vetores de teste otimizados para circuitos digitais já existam há mais de três décadas, essa determinação, para testes analógicos, ainda não é totalmente automatizada (KABISATPATHY; BARUA; SINHA, 2005). Dessa forma, a carência por uma ferramenta de automatização pode inviabilizar a análise de um grande número de possíveis vetores de teste para circuitos analógicos.

Dentro desse contexto, a motivação para esse trabalho surgiu a partir da ideia desenvolvida por Chinazzo (2016). Em seu trabalho, o autor desenvolveu códigos em MATLAB para execução de simulações SPICE¹ automatizadas, através das quais é possível gerar e simular a descrição de circuitos contendo falhas pré-estabelecidas para, então, analisar quais são as melhores configurações de teste. Entretanto, não havia nenhuma interface gráfica do algoritmo com o usuário, de modo que os parâmetros de simulação eram definidos ao longo o próprio código, e os resultados eram expostos na janela de comando. Além disso, o algoritmo não possibilitava a rápida releitura dos resultados e nem alterações nas condições simuladas.

Utilizando esses códigos, a proposta para esse trabalho foi criar uma toolbox em MATLAB que possibilitasse uma interface amigável entre o usuário e o algoritmo de automatização. Além disso, também foi feita a modificação dos códigos, de modo a inserir novas funções, como, por exemplo, adicionar a possibilidade de analisar mais do que um sinal de entrada no caso de tensões DC (*Direct Current*), criar novas lógicas para determinação dos

¹ NAGEL, L. W.; PEDERSON, D. **SPICE (Simulation Program with Integrated Circuit Emphasis)**. [S.l.], 1973.

limites de detecção das falhas e possibilitar uma rápida releitura de resultados determinados anteriormente. Por fim, em relação aos resultados, foi criada uma lógica para determinação do melhor conjunto de testes, além de tornar possível a mudança das condições de teste, como, por exemplo, seleção de novos nós, alteração dos limites de detecção e restrição dos possíveis sinais de entrada, fazendo com que o algoritmo recalcule os resultados para as novas condições.

O presente trabalho divide-se em sete capítulos. No capítulo 2, é feita uma revisão bibliográfica sobre testes em circuitos integrados, dando-se ênfase ao analógicos, que são os objetos de estudo. A descrição geral da *toolbox* desenvolvida se encontra no capítulo 3, onde são detalhados tanto aspectos operacionais de utilização da ferramenta, quanto aspectos de programação, como a lógica utilizada na determinação dos resultados. No capítulo 4, são detalhadas as metodologias experimentais utilizadas, tanto nos estudos de validação da ferramenta, quanto nos estudos de caso desenvolvidos. Os resultados desses estudos, juntamente com as considerações feitas, são encontrados no capítulo 5. Após a exposição dos resultados, são feitas as conclusões acerca de todo o trabalho executado, as quais se encontram no capítulo 6. Por fim, no capítulo 7, são abordadas sugestões de melhorias para a *toolbox* desenvolvida, juntamente com possíveis sugestões para continuação desse trabalho.

2 REVISÃO BIBLIOGRÁFICA

2.1 TESTES DE CIRCUITOS ANALÓGICOS

Na indústria de semicondutores, a utilização de circuitos integrados que incorporam tanto funções digitais quanto analógicas está se tornando cada vez mais comum. Entretanto, enquanto as metodologias de testes para circuitos digitais já estão bem estabelecidas, as técnicas de teste para circuitos integrados analógicos ainda são pouco padronizadas. Ferramentas computacionais para geração de testes automatizados em circuitos integrados digitais já existem há mais de três décadas, ao mesmo tempo que a determinação de sinais otimizados para testes em circuitos analógicos ainda não é totalmente automatizada, normalmente dependendo da experiência do projetista e de especificações sobre a funcionalidade do circuito (KABISATPATHY; BARUA; SINHA, 2005; MILOR, 1998). Isso se deve ao fato de que os circuitos digitais, por possuírem finitos possíveis estados, apresentam uma definição clara da distinção entre um circuito falho e outro funcional, enquanto que os circuitos analógicos não possuem esse limite bem definido. Sendo assim, os testes com circuitos analógicos determinam, na verdade, o quão funcional o circuito se apresenta, onde a distinção entre circuitos falhos ou funcionais é feita através de limites pré-estabelecidos (KABISATPATHY; BARUA; SINHA, 2005).

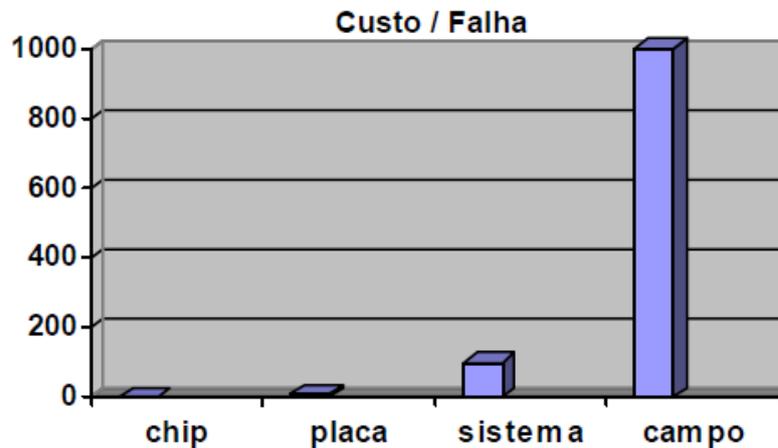
Para definição de métricas para determinação da qualidade de um teste, são utilizados dois parâmetros: a cobertura de falhas e o tempo de execução (BALEN, 2006). Para um bom teste, a cobertura de falhas, ou seja, o percentual de falhas que podem ser detectadas, deve ser a maior possível, enquanto que o tempo de execução deve ser o menor possível. No entanto, escolher, na prática, a metodologia de teste a ser adotada em um determinado circuito se torna uma questão complexa, haja vista a interdependência existente entre esses dois parâmetros, aliada às influências que cada um deles têm sobre custo do teste.

2.1.1 Teste em produção

No processo de fabricação de circuitos eletrônicos, é extremamente preferível detectar falhas o quanto antes. Uma teoria bastante aceita na indústria, chamada de *rule of ten*, determina que o custo para reparo de uma falha é multiplicado por dez a cada etapa do processo de produção em que ela passa despercebida, assim como ilustra a Figura 1. Essa teoria é tão aceita que, inclusive, cogita-se a hipótese de alterá-la para *rule of twenty*, haja vista o enorme aumento de complexidade dos chips e sistemas atuais em relação aos antigos, dos quais, de forma empírica, derivou-se essa teoria (DAVIS, 1982). Por isso, a primeira etapa de teste, conhecida em inglês como *wafer probe*, é feita sobre o próprio *wafer* de silício, antes mesmo do encapsulamento. Nesse teste, através da comparação entre o real desempenho e as

especificações do circuito, são discriminados aqueles que possuem falhas, os quais são, em seguida, descartados (MILOR; VISVANATHAN, 1989).

Figura 1 - Estimativa de custo por falha detectada em cada etapa de produção.



Fonte: Balen (2006, p. 19)

Na etapa de produção, os testes são realizados por um equipamento conhecido por ATE (*Automatic Test Equipment*), cujo preço ultrapassa facilmente a casa dos milhões de dólares (CHINAZZO, 2016). Dessa forma, o custo do teste de um CI é diretamente proporcional ao custo do equipamento e ao tempo gasto (*throughput*) (SOUDERS; STENBAKKEN, 1990), uma vez que o preço do ATE é amortizado entre todos os CIs nele testados, ou seja, quanto menor o tempo de teste, mais CIs poderão ser testados, e a parcela de custo atribuída a cada um será menor. Como a cobertura de falha possui uma relação direta com o tempo de execução, ela também influencia no custo. Em outras palavras, para atingir uma cobertura de falhas maior, é necessário utilizar um teste mais demorado, o que eleva os custos (ARSLAN; ORAILOGLU, 2013). Nesse contexto, buscando uma relação ótima entre a custo e a qualidade do teste, ressalta-se a necessidade de determinar testes otimizados, nos quais, dependendo da aplicação, seja alcançada a maior cobertura de falhas possível em um período de tempo pré-determinado, ou uma cobertura de falhas pré-determinada no menor período de tempo possível.

Na indústria, tanto o teste DC, quanto o teste AC (*Alternating Current*) são considerados confiáveis e efetivos para detecção de falhas em circuitos analógicos. Entretanto, quando se precisa de uma maior cobertura de falhas, o teste mais indicado é o AC, pois esse é capaz de transparecer mais informações sobre o circuito do que o teste DC para um número limitado de nós de teste (KABISATPATHY; BARUA; SINHA, 2005). Obviamente, para que seja válida essa superioridade do teste AC frente ao DC na cobertura de falhas, é necessário que a frequência do sinal de estímulo seja escolhida corretamente, para que se potencialize as diferenças de respostas dos circuitos com e sem falhas.

2.1.2 Teste Funcional *versus* Teste Estrutural

Em relação aos objetivos dos testes, é possível classificá-los em dois grupos: o dos testes funcionais e o dos testes estruturais. O primeiro deles, como o próprio nome já diz, busca a validação do funcionamento do circuito fabricado através de comparações com as especificações (teste orientado às especificações). Enquanto que os testes estruturais buscam a identificação de diferenças na própria estrutura do CUT (*Circuit Under Test*) em relação ao projeto (teste orientado aos defeitos).

Sendo assim, um circuito falha no teste funcional se algum parâmetro do seu funcionamento estiver diferente do que foi especificado em projeto. Por exemplo, um circuito de áudio falha no teste funcional se a potência do sinal de saída estiver abaixo dos limites especificados. Um problema para essa metodologia é que, para circuitos complexos, pode existir um número muito elevado de especificações, o que pode tornar esse teste demorado e, consequentemente, caro.

Por outro lado, o teste estrutural visa à detecção de defeitos. Esse método se baseia em modelar um grande número de falhas que possam vir a ocorrer no circuito e, então, utilizar essas informações para determinar o dicionário de falhas, que representa as informações sobre quais dessas falhas poderão ser detectadas em quais testes. Como empecilho à utilização dessa técnica, pode-se citar a necessidade de conhecer o modelo de falhas de maneira precisa (ARSLAN; ORAILOGLU, 2013).

Para tentar diminuir o custo dos testes funcionais, os próprios vetores utilizados para validação do circuito nas etapas de simulação do projeto podem ser utilizados no teste. Dessa forma, esses vetores já existem e não impõem nenhum custo adicional para sua geração. O que não é possível para o caso dos testes estruturais, cujos custos devem levar em consideração tanto a determinação dos vetores de teste, quanto a execução do teste propriamente dito (RENOVELL, 2004).

Segundo Renovell (2004), os testes estruturais se mostram soluções mais viáveis, sendo aplicados em situações onde se busca alta qualidade. Entretanto, o aumento da complexidade dos chips criou novos desafios a esta técnica.

2.1.3 Modelo de Falhas Para Teste Analógico

Para testes em circuitos digitais, existe um modelo chamado de *Stuck-at*, que se aplica a quase todos os circuitos. De acordo com esse modelo, é considerado que apenas um nó do circuito é falho, estando esse “preso” no nível lógico alto ou baixo, independente do sinal de entrada. Com isso, o número total de falhas em um circuito digital cresce linearmente com o número de nós, sendo igual ao dobro deste número (HUGHES, 1988).

Segundo Kondagunturi, Bradley, Maggard e Stroud (1999), as falhas em circuitos analógicos podem ser divididas em duas categorias: falhas catastróficas e paramétricas. Onde as falhas catastróficas, analogamente ao modelo *Stuck-at*, são curtos-circuitos (*Stuck-short*) ou circuitos-abertos (*Stuck-open*). No primeiro caso, há o contato elétrico indesejado entre dois terminais de um componente, enquanto que, no segundo, há a perda de contato entre o terminal de um componente e o resto do circuito. Já as falhas paramétricas são desvios de parâmetros dos componentes que gerem um funcionamento fora de limites especificados.

As falhas catastróficas são decorrentes de partículas indesejadas que se depositam sobre a máscara durante o processo de fabricação do CI (RENOVELL, 2004). Para simulação dessas falhas, vários autores propõem a utilização de resistores para modelar esses defeitos de circuito-aberto e curto-circuito. Entretanto, os autores divergem quanto aos valores dessas resistências: Kondagunturi et al. (1999) sugerem que o circuito-aberto e o curto-circuito sejam modelados por resistências de $100\text{M}\Omega$ e de 1Ω , respectivamente; Deng, Shi e Zhang (2012) utilizam, em suas análises, resistências de $1\text{M}\Omega$ e de 100Ω ; Petrashin, Dualibe, Lancioni e Toledo (2013) propõem que essas resistências sejam de $10\text{M}\Omega$ e de 10Ω .

Por outro lado, há um consenso entre alguns autores com relação à criação de modelos para as falhas paramétricas. Sugere-se que essas falhas sejam modeladas por variações nos parâmetros dos componentes do circuito que estejam entre três e seis desvios padrões em torno dos seus valores nominais (KONDAGUNTURI et al., 1999; DENG et al., 2012). Sendo assim, esses valores dependem da variabilidade da tecnologia utilizada.

2.1.4 Dicionário de Falhas

O dicionário de falhas para um circuito analógico traz informações referentes à detecção de falhas em determinados nós do circuito para determinados sinais de entrada. Sendo assim, o primeiro passo para sua definição é a escolha de um modelo de falhas adequado. Essa é a principal razão pela qual os circuitos analógicos estão muito atrasados em relação aos digitais na definição de metodologias para testes, pois, para os analógicos, ainda há uma carência por modelos de falhas mais adequados (KABISATPATHY; BARUA; SINHA, 2005).

A segunda etapa para criação do dicionário de falhas consiste em escolher quais nós do circuito serão possíveis nós de teste. Inicialmente, pode-se levar em consideração todos os nós do circuito, de modo a determinar quais são os melhores na detecção de falhas. No entanto, nem todos são acessíveis e podem ter os seus valores de tensão medidos, por isso, é dada preferência aos nós de saída, pois esses podem ser monitorados sem nenhuma alteração no circuito. Caso algum nó interno apresente resultados muito melhores na detecção de falhas se comparado ao de saída, pode se tornar interessante inserir, no circuito, uma estrutura adicional de teste que

possibilite o monitoramento da tensão desse nó. Entretanto, a inserção dessa nova estrutura pode impactar no funcionamento do circuito, demandando análises adicionais, assim como feito por Bender (2015).

Por fim, para criação do dicionário de falhas, também é necessário determinar quais sinais de entrada serão considerados. Essa decisão parte de aspectos mais gerais, como, por exemplo, se o teste utilizará valores de tensão DC ou AC, e se estende até a definição de vetores de teste otimizados, ou seja, que maximizam a detecção de falhas nos nós de teste. Segundo Kabisatpathy et al. (2005), até então, a determinação de vetores de teste para circuitos analógicos não era feita de forma totalmente automatizada. Normalmente é utilizada a metodologia de tentativa e erro, assim como fez Bender (2015).

Uma vez definidos todos esses aspectos, a metodologia para determinação do dicionário de falhas consiste em simular o circuito sem falhas (*fault free*) para todos os sinais de entrada estipulados, juntamente com os circuitos contendo cada uma das falhas modeladas. Posteriormente, deve-se analisar as tensões em cada nó de teste, de modo a levantar as informações sobre quais falhas são detectadas com cada um dos sinais de entrada.

Obviamente, é necessário definir limites a partir dos quais as respostas do CUT serão consideradas falhas. Nesse trabalho, para determinação do dicionário de falha, foram utilizados os códigos em MATLAB desenvolvidos por Chinazzo (2016), no quais é utilizada uma faixa de tolerância, de modo que, se a resposta do circuito estiver fora desse limite, o mesmo é considerado falho. Como o próprio autor justifica, essa proposta foi derivada do conceito de teste *go/no-go* (MILOR; VISVANATHAN, 1987). Com isso, a chamada matriz de falhas, na qual ficam armazenadas as informações sobre o dicionário de falhas, possui apenas valores “1” ou “0”, representando, respectivamente, se a falha é ou não detectada naquela condição.

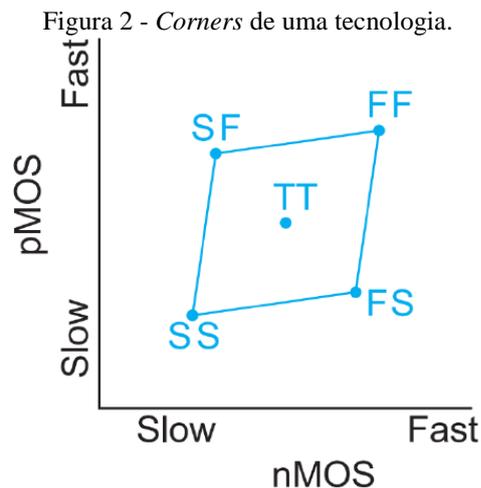
2.2 ANÁLISE DE *CORNERS*

Durante a etapa de projeto de circuitos eletrônicos, fazer simulações computacionais vem se tornando cada vez mais importante. Nesse contexto, para que se tenha bons resultados, é importantíssimo levar em consideração a variabilidade do processo (RAPPITSCH; SEEBACHER; KOCHER; STADLOBER, 2004). Uma maneira de modelar essa variabilidade é através dos *corners*. Segundo esse método, os limites de variação toleráveis para os parâmetros dos transistores fabricados são representados pelos chamados *corners* da tecnologia.

A variabilidade no processo de fabricação dos transistores tem quatro extremos: o pior caso no quesito velocidade, o pior caso no quesito consumo energético, o pior caso um e o pior caso zero. Nesse contexto, quando se fala em pior caso no quesito velocidade, tanto os transistores NMOS (N-channel Metal Oxide Semiconductor), quanto os PMOS (P-channel

Metal Oxide Semiconductor) assumem parâmetros que os fazem ser considerados “lentos”. De forma análoga, quando se fala em consumo energético, o pior caso acontece quando os transistores são ditos “rápidos”. No pior caso um, os transistores NMOS e PMOS são, respectivamente, “rápidos” e “lentos”, ao mesmo tempo em que, no pior caso zero, acontece o inverso, onde os NMOS são “lentos”, e os PMOS são “rápidos”. Dessa forma, existem quatro corners, os quais são representados pelas siglas: SS (*Slow-Slow*); SF (*Slow-Fast*); FS (*Fast-Slow*); e FF (*Fast-Fast*), onde a primeira letra representa a condição de “rápido” ou “lento” aplicada ao transistor NMOS, e a segunda, ao PMOS (RAPPITSCH et al., 2004).

Na Figura 2, são mostrados os quatro *corners* de um processo de fabricação fictício. Nela, é possível observar linhas que interligam esses *corners* e representam os limites de tolerância para os parâmetros dos componentes. No centro da área delimitada por essas linhas, tem-se a condição típica, representada pela sigla TT (*Typical-Typical*).



Fonte: Chinazzo (2016, p.24) adaptado de Weste e Harris (2010, p. 245).

Analisar a variabilidade de um circuito integrado através da metodologia de *corners* traz vantagens quanto ao custo computacional. A determinação de limites toleráveis nas respostas dos circuitos fabricados, segundo essa técnica, requer menos simulações se comparada à técnica de Monte Carlo. Entretanto, Monte Carlo pode ser mais eficiente em descrever as variabilidades do processo, pois trabalha com os conceitos de média e desvio padrão ao invés dos limites.

2.3 AMPLIFICADORES TOTALMENTE DIFERENCIAIS

Diferente de um DA (*Differential Amplifier*) com saída simples, um FDA (*Fully Differential Amplifier*) apresenta suas tensões de saída também na forma diferencial. Atualmente, a maior aplicação dos FDAs é no condicionamento de sinais para a entrada de ADCs (KARKI, 2002).

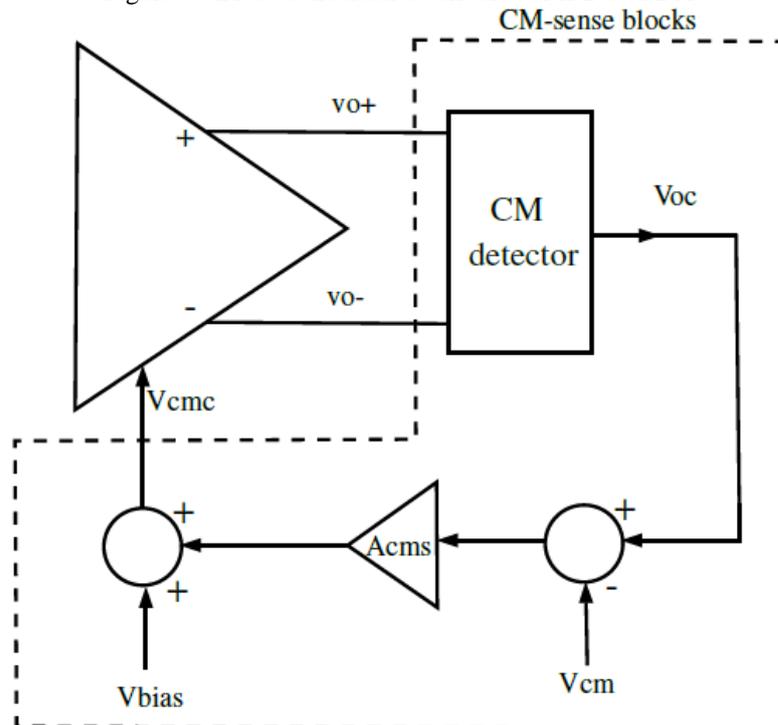
De acordo com Karki (2002), os FDAs apresentam diversas vantagens se comparados aos outros amplificadores. Em primeiro lugar, por rejeitarem a tensão de modo comum, são

sistemas menos suscetíveis aos efeitos do ruído. Além disso, apresentam menores distorções harmônicas de ordem par em virtude da simetria dessas distorções nas saídas diferenciais. Por fim, devido à diferença de fase entre as duas saídas diferenciais, os FDAs também têm as suas excursões dinâmicas duplicadas.

Como desvantagem ao uso dos FDAs, pode-se citar a necessidade que esses amplificadores têm de possuírem um circuito adicional chamado de CMFB (*Common-Mode Feed-Back*). Esse circuito serve para estabilizar, em um valor desejado, a tensão de modo comum nas saídas. Sendo assim, na ausência ou mal funcionamento do CMFB, o FDA pode se tornar instável (OLIVEIRA; SEVERO; GIRARDI, 2014). O CMFB deve fornecer tensões de modo comum estáveis em toda a faixa de frequências em que o FDA opere e deve operar independentemente do nível DC do sinal de entrada (XU; EMBABI, 2000; ALZAKER; ELWAN; ISMAIL, 2003).

Na Figura 3, é possível observar o bloco conceitual do circuito CMFB do FDA. Nele, as duas tensões de saída do amplificador (“vo+” e “vo-”) são lidas por um bloco detector de modo comum, cuja saída será “Voc”, correspondente à média entre “vo+” e “vo-”. “Vcm” corresponde à saída de modo comum desejada, ela é subtraída da tensão de modo comum do circuito e, então, amplificada pelo bloco “Acms”. Essa tensão amplificada é adicionada a “Vbias” e, em seguida, conectada à malha de polarização do OpAmp (*Operational Amplifier*).

Figura 3 - Bloco conceitual do circuito CMFB do FDA.



Fonte: Oliveira; Severo; Girardi (2014).

3 DESCRIÇÃO DA TOOLBOX

Nesse capítulo, será descrito todo o funcionamento da toolbox criada em MATLAB R2015a para análise de configurações de teste em circuitos analógicos. A descrição vai desde aspectos de mais alto nível, como, por exemplo, quais dados o usuário precisa inserir, até aspectos de programação, como, por exemplo, a lógica utilizada na determinação dos resultados.

Sabendo que a metodologia de teste mais adequada é a de teste estrutural (RENOVELL, 2004) e que a determinação dos vetores otimizados para execução desses testes em circuito analógicos ainda não é totalmente automatizada (KABISATPATHY; BARUA; SINHA, 2005), o intuito principal da criação dessa ferramenta foi, justamente, possibilitar essa automatização. Sendo assim, buscou-se, através do desenvolvimento dessa toolbox, a possibilidade de analisar um grande número de vetores de teste em um tempo extremamente menor que o da análise manual.

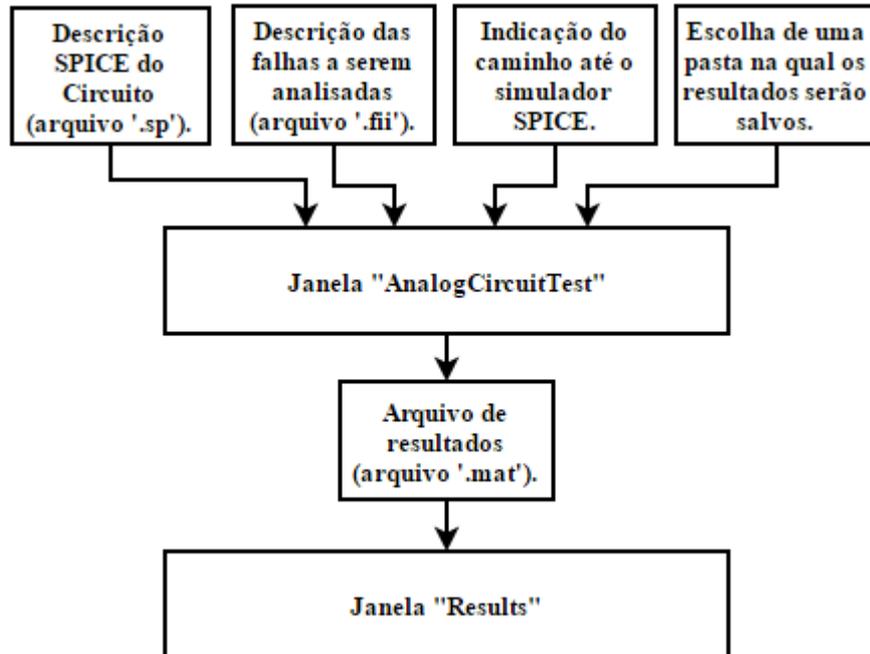
Nessa toolbox, para executar a análise de falhas em um circuito analógico, é necessário dispor da sua descrição em linguagem SPICE (extensão ‘.sp’) e do arquivo com a descrição das falhas a serem analisadas (extensão ‘.fii’). Além disso, também é necessário que se tenha um simulador SPICE – nesse trabalho, foi utilizado o HSPICE.

Na definição da metodologia, foi considerado que a probabilidade de uma falha mascarar os efeitos de outra é muito baixa, o que torna possível a análise individual de cada falha. Sendo assim, o algoritmo cria, para cada uma das falhas listadas no arquivo com extensão ‘.fii’, uma descrição SPICE do circuito em análise, contendo essa falha em questão. Posteriormente, através da simulação de todos esses circuitos com e sem falhas, o programa determina, para cada um dos sinais de entrada simulados, quais defeitos podem ser detectados em cada nó do circuito. É claro que a discriminação entre um defeito detectável, ou não, depende da definição de um limite que, no caso, precisa ser escolhido durante a execução da análise.

Assim como mostra a Figura 4, a análise das configurações de teste em um circuito analógico requer a utilização de duas janelas da toolbox. A primeira delas, chamada “AnalogCircuitsTest” e descrita na seção 3.1, é responsável por criar e simular todos as descrições SPICE dos circuitos com *corners* e falhas, ler os arquivos resultantes dessas simulações, determinar a matriz de falhas e, por fim, salvar os resultados das simulações SPICE, juntamente com a matriz de falhas, em um arquivo no formato ‘.mat’ (específico do MATLAB). A segunda janela, chamada de “Results” e descrita na seção 3.2, encarrega-se de ler o arquivo

‘.mat’ de resultados que foi criado pela janela “AnalogCircuitsTest”, para, então, calcular a cobertura de falhas e determinar o conjunto de testes otimizados para o circuito.

Figura 4 - Fluxograma geral da toolbox para análise de configurações de teste em circuitos analógicos.



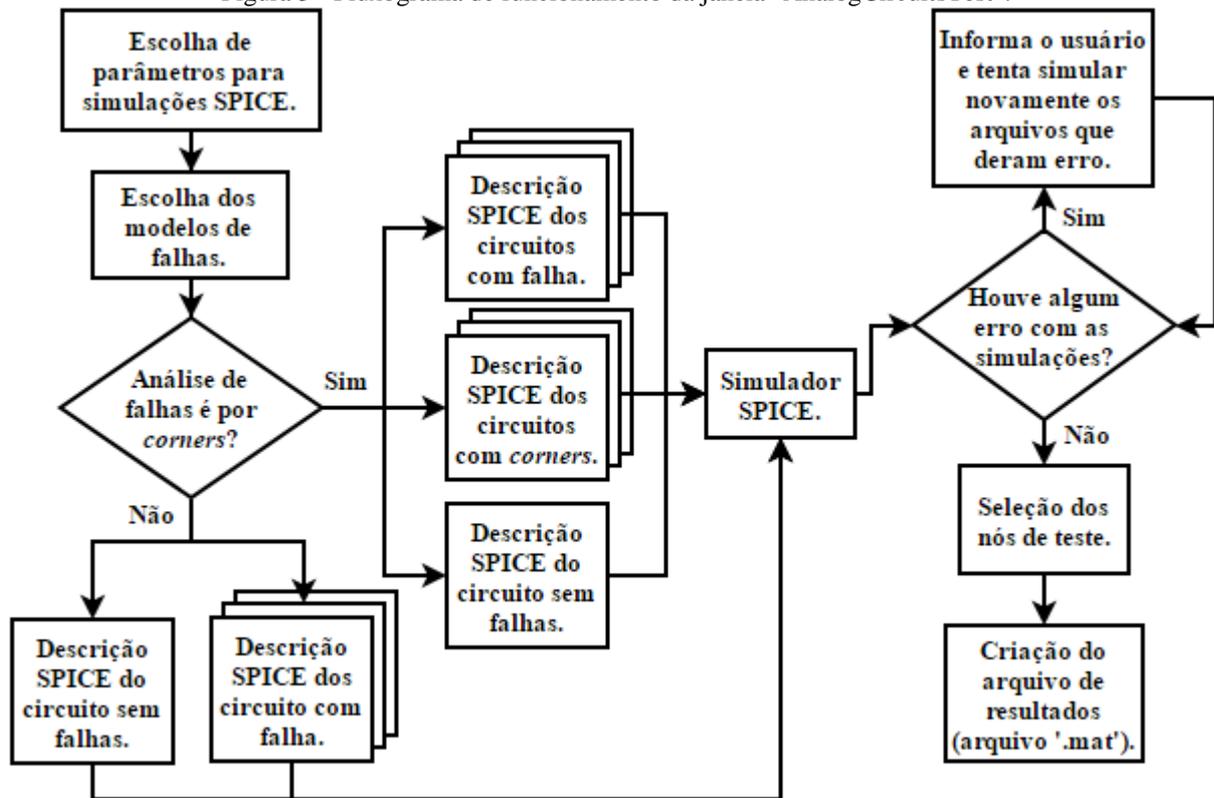
Fonte: elaborado pelo autor.

Durante a descrição do funcionamento da toolbox, serão mostradas imagens das suas janelas em execução. Para esses exemplos, meramente ilustrativos, foi utilizado o amplificador totalmente diferencial de um estágio, que será descrito em maiores detalhes na seção 4.1.2. Sendo assim, para essas figuras, contidas na seção 3.1 e na seção 3.2, o intuito principal não é demonstrar os resultados contidos nelas e, sim, ilustrar as funções que as janelas oferecem.

3.1 JANELA “ANOLOGCIRCUITTEST”

A primeira janela que deve ser aberta para analisar as possíveis configuração de teste em um circuito frente às falhas selecionadas é a chamada “AnalogCircuitsTest”. Nas subseções 3.1.1 até 3.1.4, são descritas cada uma das etapas de execução dessa janela, enquanto que o seu fluxograma geral de funcionamento é mostrado pela Figura 5.

Figura 5 - Fluxograma de funcionamento da janela "AnalogCircuitsTest".



Fonte: elaborado pelo autor.

3.1.1 Etapa 1: Inserção de Arquivos para Simulação

Quando o comando “AnalogCircuitsTest” é chamado através da linha de comando do MATLAB, aparecerá a janela mostrada na Figura 6. Nela, será necessário a inserção de quatro caminhos para arquivos, sendo eles: o arquivo de descrição SPICE do circuito sem falhas (extensão ‘.sp’), o arquivo com a descrição de quais falhas serão analisadas (extensão ‘.fii’), o caminho para o simulador SPICE (arquivo com extensão ‘.bat’) e a pasta na qual os arquivos gerados serão salvos.

O arquivo com a descrição SPICE do circuito sem falhas (extensão ‘.sp’) deve conter a descrição do caminho até a biblioteca da tecnologia. Isso porque, na futura criação dos arquivos de descrição SPICE dos circuitos com falhas, será considerado esse mesmo caminho até a biblioteca. Então, se houver algum problema com essa descrição, além de haver problema na simulação do circuito sem falhas, também ocorrerá erro nas simulações de todos os arquivos com falhas gerados de forma automática pelo programa.

A topologia do arquivo de descrição de falhas (extensão ‘.fii’) foi estipulada por Chinazzo (2016). Nesse arquivo, para descrever uma falha de circuito aberto, é escrito o nome do componente em questão (utilizado na descrição SPICE), a palavra “open” e o índice do terminal do componente no qual se deseja inserir a falha. Esse índice se refere à ordem com que os nós do componente em questão são descritos em SPICE, ou seja, um índice “1” representa o

primeiro nó descrito, que, se tratando de um transistor, seria o terminal de *dreno*. Analogamente, para descrever uma falha de curto-circuito, é escrito o nome do componente, a palavra “*short*” e os dois índices dos terminais que serão curto-circuitados. Para descrever uma falha paramétrica, é necessário escrever o nome do componente, a palavra “*param*”, o parâmetro a ser alterado e o seu desvio. Segundo o autor, a sintaxe foi escolhida de modo a possibilitar uma fácil compreensão das falhas descritas.

Figura 6 - Primeira etapa da Janela "AnalogCircuitsTest".

Fonte: elaborado pelo autor.

Na Figura 7 é mostrado um exemplo de arquivo de descrição de falhas para o caso de um filtro RC. Nesse exemplo, são descritas três falhas: circuito aberto do terminal 1 do capacitor, curto-circuito entre os dois terminais do resistor e uma variação de 10% no valor da capacitância.

Após efetuar a correta seleção de todos os arquivos e caminhos, deve-se clicar no botão “Next” para que o programa avance até a etapa 2, onde são inseridos os parâmetros de simulação.

Figura 7 - Exemplo de arquivo de descrição de falhas.

Exemplo de <i>netlist</i> (.sp)	Exemplo de arquivo de descrição de falha (.fii)
<pre>*RC Example C1 in out c=1u R1 out 0 r=1k . . .</pre>	<pre>C1 open 1 R1 short 1 2 C1 param c 10%</pre>

Fonte: adaptado de Chinazzo (2016, p. 29)

3.1.2 Etapa 2: Parâmetros de Simulação

Nessa etapa, são inseridos os parâmetros que dizem respeito ao tipo de simulação SPICE que se deseja executar, ou seja, simulação AC ou DC. Se o tipo de simulação selecionado for o DC, será necessário escolher um nó do circuito como sendo o terminal de entrada, no qual serão aplicadas as tensões contínuas do teste. Além disso, os valores de tensão também precisarão ser especificados. No caso, será necessário inserir um valor inicial (*start*), final (*stop*) e o incremento entre cada um dos valores simulados (*step*), assim como mostra a Figura 8. Entretanto, se o tipo de simulação escolhido for o AC, será necessário informar qual deve ser o range de frequência da análise, juntamente com quantos pontos por década serão analisados, assim como mostra a Figura 9. No caso AC, a descrição de qual nó do circuito será o terminal de entrada, que receberá os sinais simulados, deverá ser feita na própria descrição SPICE do circuito sem falhas, pois a topologia da linguagem SPICE não permite que essa informação seja inserida na linha onde se descreve o comando de controle (no caso, “.ac”), diferentemente do caso DC, que permite a inserção dessa informação.

Outro parâmetro que precisa ser escolhido é o limite a ser considerado para discriminar as falhas detectáveis das não detectáveis. A primeira opção que a toolbox oferece corresponde à análise por *corners*, onde os valores mínimo e máximo de tensões, que compõem esse limite, ficam sendo as próprias respostas mínima e máxima entre os circuitos de *corners* analisados. Para esse caso, é necessário inserir as siglas de cada *corner* nas caixas de texto do bloco “*corners*” da Figura 8 e da Figura 9. Outra opção para determinação do limite de detecção é um percentual específico de variação em torno da resposta nominal do circuito sem falhas. A última opção corresponde a uma faixa fixa de tensão em torno da resposta nominal do circuito sem falhas. Posteriormente, durante a análise dos resultados na janela “Results”, é possível estipular um valor mínimo de tensão para a diferença entre os limites de detecção e a resposta nominal do circuito. Isso porque a precisão do instrumento de medida, combinada ao nível de ruído, faz

com que a distinção de dois valores de tensão se torne impossível quando esses forem muito próximos. Dessa forma, a escolha dessa diferença mínima deve levar em consideração esses dois fatores – precisão do equipamento de medida e o nível de ruído.

Figura 8 - Inserção de parâmetros para análise DC.

The screenshot shows the 'Fault Coverage Calculator' window in 'AnalogCircuitsTest' mode, page 2 of 4. The 'Simulation Parameters' section is active. Under 'Type of Test', 'DC' is selected. 'Tolerance Limits' are set to 'By Corners'. 'Time Delay Between Simulations' is 0 [s]. The 'Tolerance' is 0 [%]. Under 'Corners', 'SF' and 'FF' are selected. The 'DC' section includes 'Voltage Interval' with 'Start' and 'Stop' fields, and 'Source Name' and 'Voltage Step' fields. 'Back' and 'Next' buttons are at the bottom.

Fonte: elaborado pelo autor.

Figura 9 - Inserção de parâmetros para análise AC.

The screenshot shows the 'Fault Coverage Calculator' window in 'AnalogCircuitsTest' mode, page 2 of 4. The 'Simulation Parameters' section is active. Under 'Type of Test', 'AC' is selected. 'Tolerance Limits' are set to 'By Corners'. 'Time Delay Between Simulations' is 0 [s]. The 'Tolerance' is 0 [%]. Under 'Corners', 'SF' and 'FF' are selected. The 'AC' section includes 'Frequency Range' with 'Minimum Freq.' and 'Maximum Freq.' fields (both in Hz), and 'Points per Dec' field. 'Back' and 'Next' buttons are at the bottom.

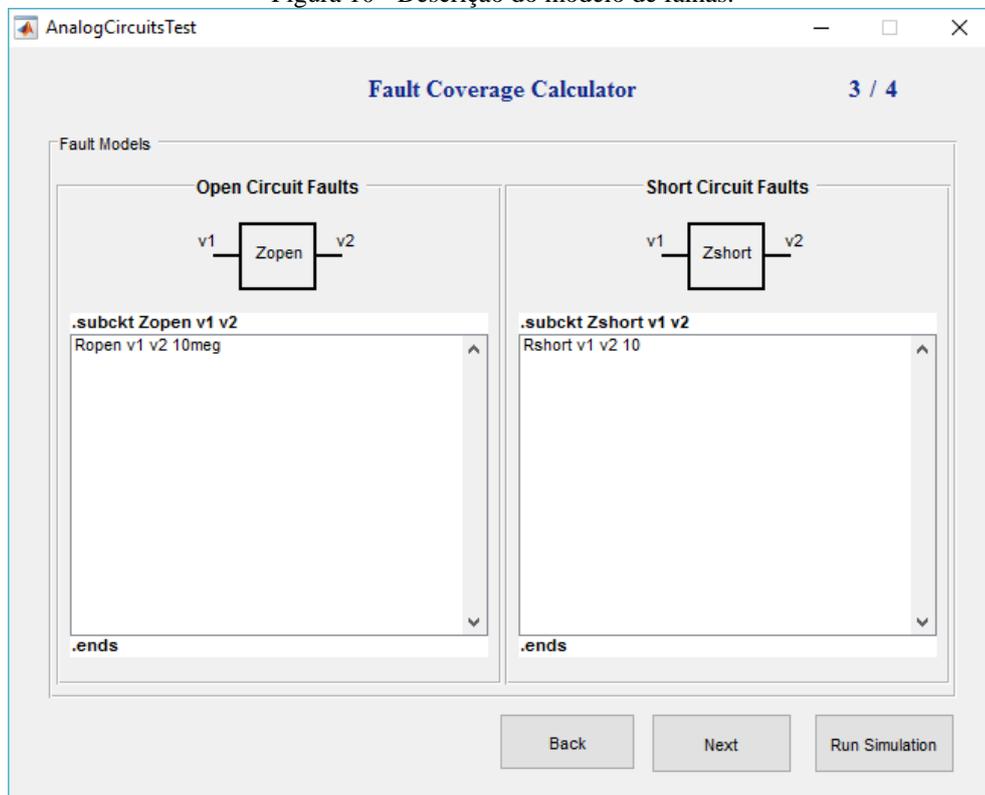
Fonte: elaborado pelo autor.

Ao final dessa etapa, com todos os parâmetros de simulação devidamente escolhidos, deve-se clicar novamente no botão “Next”. Então, o programa seguirá para a etapa 3, referente à escolha do modelo de falhas.

3.1.3 Etapa 3: Escolha do Modelo de Falhas.

Nessa etapa, será necessário descrever quais serão os modelos de falhas para circuito-aberto e curto-circuito. Para possibilitar essa descrição, assim como mostra a Figura 10, o programa disponibiliza duas caixas de texto para que sejam escritos esses dois modelos em linguagem SPICE. Inicialmente, o programa pré-determina esses modelos como resistências com valores de $10M\Omega$, para o caso do circuito-aberto, e 10Ω , para o caso de curto-circuito, que são os valores utilizados por Petrashin et al. (2013).

Figura 10 - Descrição do modelo de falhas.



Fonte: elaborado pelo autor.

Ao terminar de descrever o modelo de falhas, deve-se clicar no botão “*Run Simulation*”. Nesse momento, o programa cria um novo arquivo SPICE para representar o circuito sem falhas. Esse arquivo será igual ao arquivo de entrada escolhido na etapa 1 (seção 3.1.1), com exceção da linha onde são descritos os parâmetros de simulação, que, nesse caso, corresponderão ao que foi escolhido pelo usuário na etapa 2 (seção 3.1.2).

Depois disso, o programa roda os códigos desenvolvidos por Chinazzo (2016) para gerar e simular os circuitos com falhas e com *corners* (se essa tiver sido a opção selecionada). Para criar os arquivos de *corners*, o algoritmo altera a linha onde está descrita a biblioteca de modelos

da tecnologia de fabricação, colocando a sigla do *corner* em questão. Assim como descrito na seção 3.1.2, cabe ao usuário a denominação da sigla de cada *corner* a ser analisado.

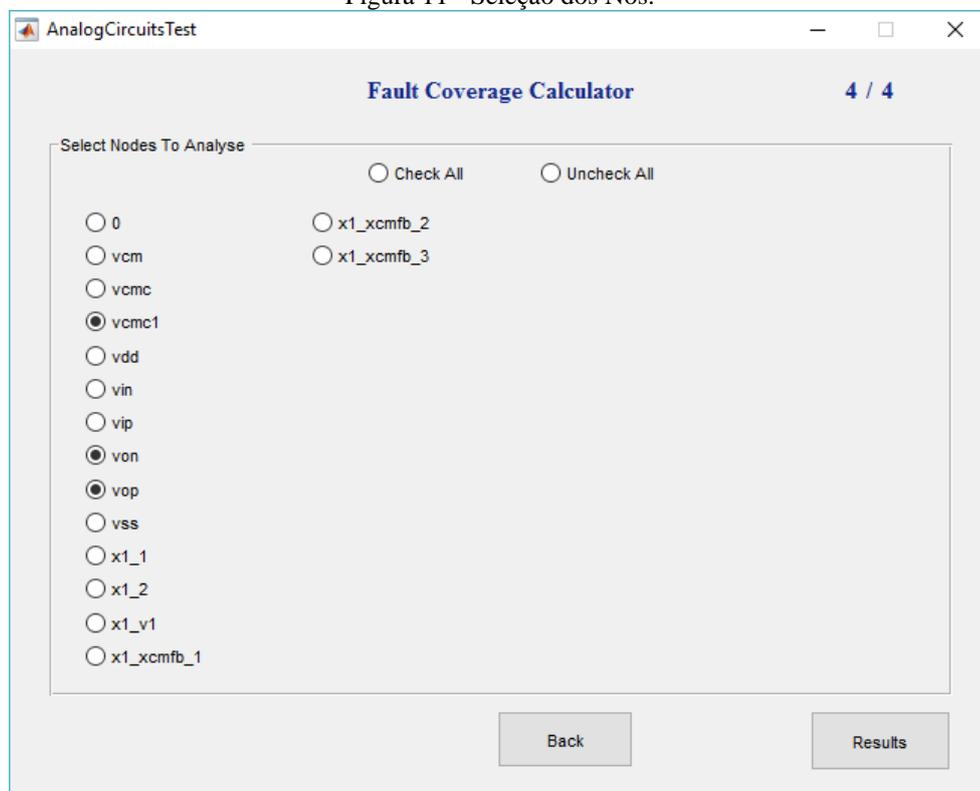
Segundo Chinazzo (2016), como as chamadas ao simulador são externas ao ambiente MATLAB, via sistema operacional, é possível que algumas deem erro. Por isso, quando o programa termina de rodar as simulações SPICE, é feita a verificação de todos os arquivos gerados para identificação de possíveis erros. Caso tenha ocorrido algum problema, o programa informa ao usuário e tenta rodar novamente as simulações que falharam.

Ao alcançar o êxito em todas as simulações, a janela “AnalogCircuitsTest” segue para a etapa de escolha dos nós que serão possíveis pontos de teste para o circuito e que, por isso, terão as suas coberturas de falhas calculadas posteriormente pela janela “Results”. Sendo essa etapa de escolha dos nós descrita na seção 3.1.4.

3.1.4 Etapa 4: Determinação da Matriz de Falhas e Resultados.

Na quarta e última etapa da janela “AnalogCircuitsTest”, utilizando a HSPICE Toolbox for MATLAB (PERROTT, 2011), os nomes de todos os nós do circuito sem falhas são carregados para o ambiente MATLAB. Com isso, fica disponível, ao usuário, selecionar quais destes nós serão pontos de teste do circuito, assim como no exemplo ilustrativo da Figura 11.

Figura 11 - Seleção dos Nós.



Fonte: elaborado pelo autor.

Quando o botão “Results” é pressionado, são utilizados novamente os códigos desenvolvidos por Chinazzo (2016) e por Perrott (2011) para ler as tensões de todos os nós de

todos os circuitos com falha, compará-las com os limites estipulados para detecção e gerar a matriz de falhas. Nesse momento, o programa salva, na pasta escolhida pelo usuário na etapa 1 (seção 3.1.1), um arquivo na extensão ‘.mat’ (específico do MATLAB), contendo todas essas tensão nodais, juntamente com a matriz de falhas e outras variáveis que dizem respeito aos parâmetros utilizados nas simulações. Dessa forma, esse arquivo contém todas as informações necessárias para a análise dos resultados, determinação da cobertura de falhas e das melhores configurações de teste para o circuito em questão, operações que serão feitas por outra janela da toolbox, chamada de “Results”, que será descrita na seção 3.2.

Vale a pena ressaltar que, embora sejam selecionados nós para serem possíveis pontos de teste do circuito, o programa armazena no arquivo de resultados as tensões de todos os nós e a matriz de falhas também considerando todos os nós. A informação de quais são os possíveis nós de teste é armazenada como um vetor, no qual cada posição possui um valor referente ao índice de um nó escolhido. Com isso, a janela “Results”, que faz a análise dos resultados, leva em consideração apenas os nós que possuem os índices que constam nesse vetor, e, caso se deseje analisar outros nós, apenas esse vetor de índices é alterado, sem necessitar a releitura dos arquivos resultantes das simulações SPICE, operação que demandaria muito mais tempo de processamento.

A matriz de falhas possui três dimensões. Os índices da primeira delas representam os valores de tensão ou de frequência dos sinais de entrada simulados em SPICE, dependendo, respectivamente, se o tipo de simulação executada tenha sido a DC ou a AC. Os índices da segunda dimensão representam os nós do circuito, e os da terceira, as falhas. Sendo assim, cada posição dessa matriz recebe um valor “0” ou “1”, onde o “0” sinaliza que aquela falha específica não pode ser detectada naquele nó com aquele sinal de entrada, e, analogamente, o valor “1” representa que aquela falha específica pode ser detectada naquele nó com aquele sinal de entrada.

Por fim, a janela “AnalogCircuitsTest” chama a execução da janela “Results” (descrita na seção 3.2) e, então, encerra sua execução automaticamente.

3.2 JANELA “RESULTS”

A janela “Results” lê o arquivo ‘.mat’, que possui os resultados das simulações gerados pela janela “AnalogCircuitsTest” (descrita na seção 3.1), e determina quais são as melhores configurações de teste dentro das condições estabelecidas pelo usuário. Essa janela pode ser chamada de duas maneiras diferentes. A primeira delas ao final da execução da própria janela “AnalogCircuitsTest”, onde ela é chamada de forma automática, e o arquivo de resultados já é carregado automaticamente. A outra forma é através da linha de comando, mas, nesse caso, ao

abri-la, ainda será necessário carregar o arquivo ‘.mat’ contendo os resultados que se deseja analisar.

Visando a melhor explicação do funcionamento da janela “Results”, foi escolhida a seguinte divisão dessa seção: os cálculos executados por esse algoritmo são descritos na seção 3.2.1, enquanto que, nas seções 3.2.2 e 3.2.3, são descritas as particularidades nas exibições de alguns resultados para os casos de existirem, ou não, mais do que um possível sinal de entrada nas análises.

3.2.1 Cálculos Executados

Na janela “Results”, são mostradas informações sobre os parâmetros utilizados nas simulações SPICE, a máxima cobertura de falhas que pode ser atingida dentre todas as condições simuladas, as máximas coberturas de falhas em cada nó e o conjunto de testes considerado como o melhor possível.

Com exceção dos parâmetros de simulação, todas as outras informações, citadas no parágrafo anterior, são derivadas de cálculos sobre a matriz de falhas. Assim como descrito na seção 3.1.4, essa matriz possui três dimensões, onde os índices de cada uma delas possuem um significado específico. Os índices da primeira dimensão representam cada um dos sinais de entrada simulados, podendo ser valores de tensão contínua ou valores de frequência para os respectivos casos de análise DC ou AC. Os índices da segunda dimensão representam os nós do circuito, e os da terceira, as falhas. O número contido em uma posição específica dessa matriz assume valores “1” ou “0”, representando, respectivamente, que a falha é ou não detectada naquele nó, naquela frequência (ou tensão, se for análise DC).

Sendo assim, para determinar a máxima cobertura de falhas, o programa analisa individualmente cada uma das falhas para identificar se ela pode ser detectada em pelo menos uma configuração de teste². Para fazer essa determinação, o programa fixa o índice da terceira dimensão da matriz de falhas no valor referente a essa falha específica e, então, soma todos os termos da nova matriz. Se essa soma for diferente de zero, pode-se concluir que essa falha é detectada em pelo menos uma configuração de teste.

Para determinar a máxima cobertura de falhas em cada nó, o programa fixa o índice referente a um nó específico na segunda dimensão da matriz, depois analisa individualmente cada uma das falhas, através da inserção do seu índice na terceira dimensão da matriz de falhas

² Configuração de teste corresponde a combinação de nó (no qual será executada a medida de tensão) e sinal de entrada utilizados em um teste.

e da posterior soma da matriz resultante. Se essa soma for diferente de zero, quer dizer que pelo menos um sinal de entrada faz com que essa falha seja detectada nesse nó.

Por fim, demandando um pouco mais de tempo de processamento, o programa determina um conjunto de testes otimizado, através dos algoritmos mostrados no Apêndice G e no Apêndice H. Esse conjunto é mostrado em uma tabela que contém, para cada um dos testes, as informações de qual nó deve ser monitorado e com qual sinal de entrada aplicado no circuito. Por se tratar de um sinal analógico, esse sinal de entrada não é um valor único e, sim, uma faixa de possíveis valores, todos remetendo à mesma cobertura de falhas. Nessa mesma tabela, também são mostradas as coberturas de falhas individuais dos testes e a acumulada, ou seja, a cobertura de falhas do teste em questão junto com os anteriores.

O conjunto de testes é determinado de forma sequencial, onde o primeiro e melhor deles é aquele que resulta na maior cobertura de falhas. Uma vez que já se tenha um teste definido, o programa analisa qual é o segundo melhor, que, agora, não é mais necessariamente aquele que possui a segunda maior cobertura de falhas. Isso porque as falhas que são detectadas no primeiro teste não precisam ser detectadas no segundo. Sendo assim, o segundo melhor teste é aquele que apresenta a maior cobertura de falhas, levando em consideração apenas as falhas que não foram detectadas no primeiro. Os próximos testes seguem a mesma lógica, sendo sempre aqueles que apresentam a maior cobertura de falhas possível, considerando apenas as falhas que ainda não foram detectadas pelos anteriores. Como critério de desempate, se dois testes apresentarem a mesma cobertura de falhas entre as que ainda não foram detectadas, o programa escolhe como melhor aquele que possui a maior cobertura de falhas total. Além disso, se dois testes empatarem nesses dois quesitos, o programa escolhe aquele que possibilita uma faixa maior de possíveis sinais de entrada. A cada adição de novo teste, o programa analisa se a cobertura de falhas do conjunto é igual à máxima cobertura de falhas possível, que já foi determinada anteriormente. Uma vez havendo a igualdade entre esses dois valores, o programa para de inserir testes ao conjunto, pois os que ainda não foram adicionados só serão capazes de detectar falhas que os testes do conjunto já detectam.

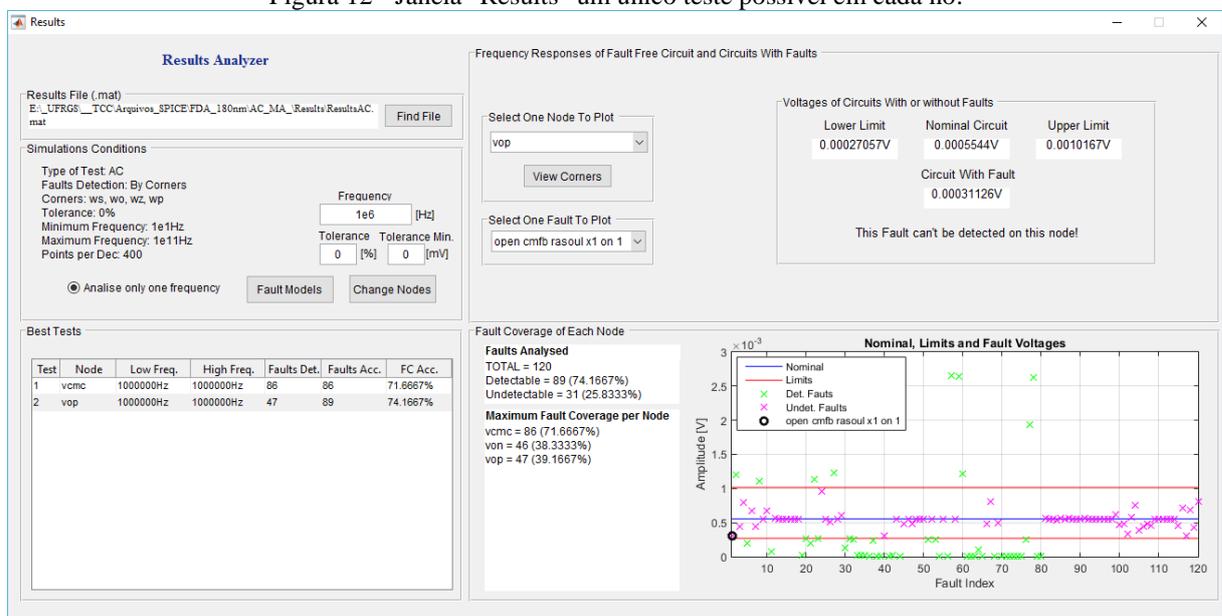
Usando esses critérios, pode-se dizer que o conjunto de testes que o programa escolhe detecta todas as falhas ditas detectáveis (que podem ser detectadas em pelo menos uma configuração de teste simulada). Além disso, pode-se dizer também que, se for de interesse fazer apenas “n” testes em um circuito, cujo conjunto de testes determinado pelo programa possua mais do que “n” testes, a maior cobertura de falhas possível será aquela com os “n” primeiros testes determinados pelo programa. Isso faz com que o projetista tenha a liberdade

de optar por uma cobertura de falhas menor do que a máxima possível se, por exemplo, seja do seu interesse reduzir os custos do teste.

3.2.2 Exibição dos Resultados Para Condição de um Único Sinal de Entrada.

Se os parâmetros das simulações SPICE, selecionados na janela “AnalogCircuitsTest”, forem tais que apenas um sinal de entrada tenha sido simulado, haverá apenas um possível teste em cada nó do circuito. Além disso, mesmo que vários sinais de entrada tenham sido simulados, a janela “Results” oferece a opção de escolha de quais deles serão levados em consideração nos cálculos descritos na seção 3.2.1, e, por isso, pode-se restringir a análise a um único sinal de entrada. Nessa condição, a janela “Results”, para um exemplo hipotético, assume a forma mostrada pela Figura 12. A tabela contida no quadro “Best Tests” dessa figura mostra o conjunto dos melhores testes, contendo, para cada um deles, as informações de qual nó deve ser monitorado (*node*), qual a faixa de sinais de entrada requerida (*Low Freq.* e *High Freq.*), juntamente com o número de falhas detectadas por esse teste (*Faults Det.*), o número de falhas detectadas pelo teste em conjunto com os anteriores (*Faults Acc.*) e a cobertura de falhas percentual também desse teste em conjunto com os anteriores (*FC Acc.*).

Figura 12 - Janela "Results" um único teste possível em cada nó.



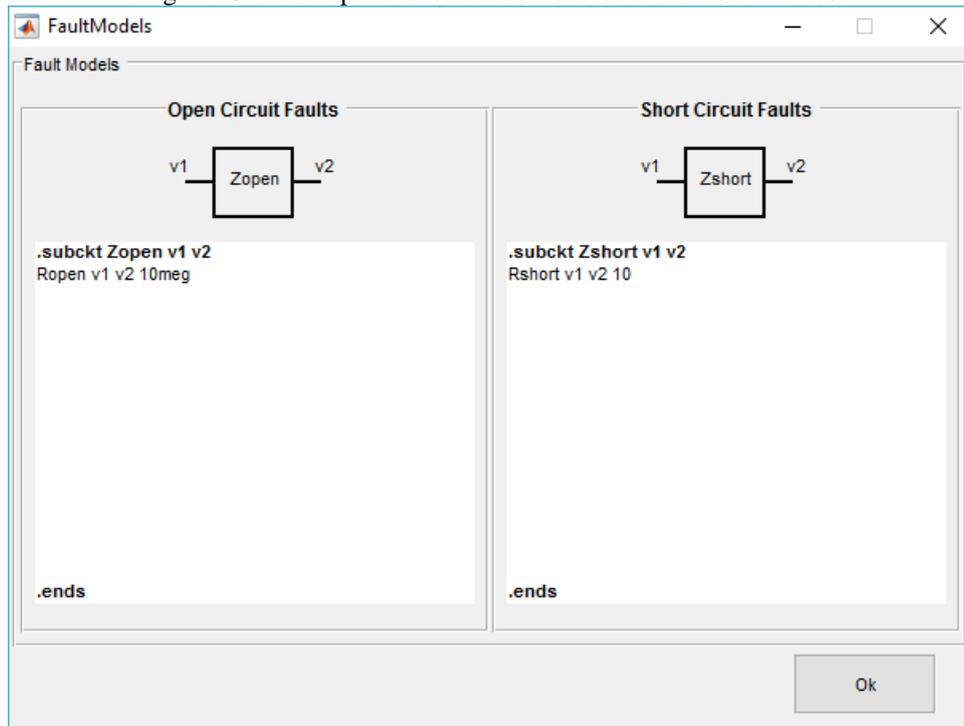
Fonte: elaborado pelo autor.

Assim como mostra a Figura 12, existem dois botões que podem ser pressionados. O primeiro deles, chamado de “*Fault Models*”, serve para consulta de quais modelos foram utilizados para falhas de circuito-aberto e curto-circuito. Ao pressioná-lo, aparece uma janela semelhante à Figura 13, mostrando a descrição SPICE desses modelos de falhas. O segundo botão, chamado de “*Change Nodes*”, serve para trocar os nós de teste. Ao pressioná-lo, aparece

a janela da Figura 14, onde pode-se efetuar a seleção de novos nós de teste. Clicando no botão “Ok”, o programa recalcula todos os resultados, levando em consideração esses novos nós.

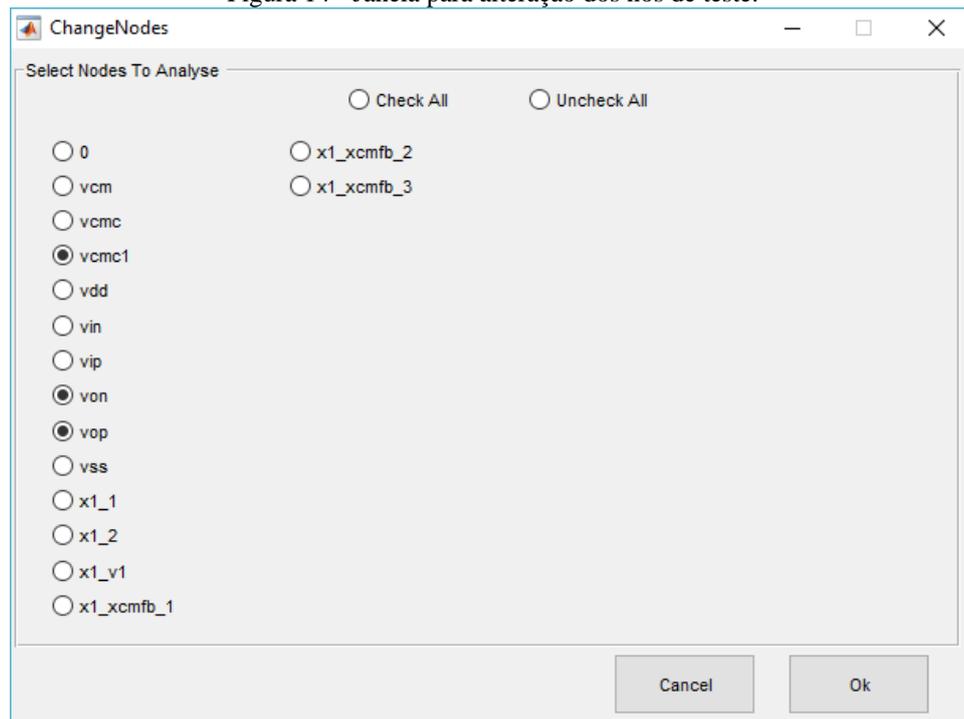
A qualquer momento, pode-se alterar o percentual de tolerância que determina a faixa de tensões em que as falhas não são detectadas. Com isso, o programa recalcula todos os resultados, levando em consideração essa nova margem.

Figura 13 - Janela para consulta dos modelos de falhas utilizados.



Fonte: elaborado pelo autor.

Figura 14 - Janela para alteração dos nós de teste.



Fonte: elaborado pelo autor.

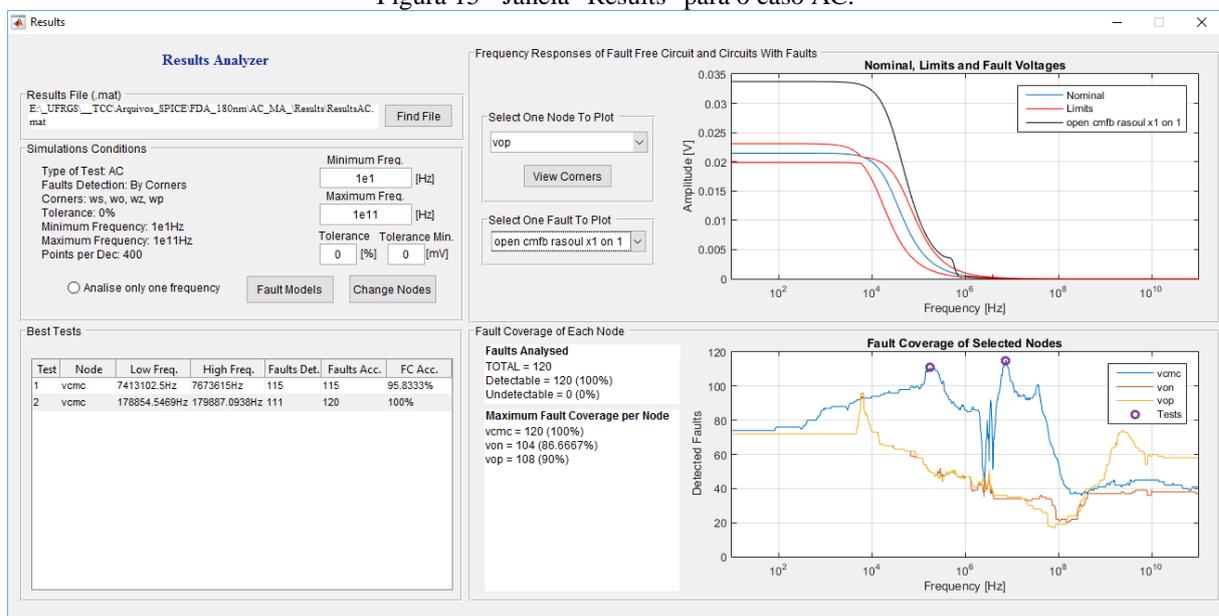
É possível visualizar as tensões de um nó específico. Para isso, basta selecionar esse nó no pop-up menu com indicação “*Select One Node To Plot*” para que o programa informe qual é a tensão nominal, juntamente com os limites toleráveis. O programa também mostra, no gráfico “*Nominal, Limits and Fault Voltages*”, esses valores de tensão (nominal e limites do nó selecionado), juntamente com os pontos que representam as tensões em cada um dos circuitos com falhas.

Além disso, para um nó selecionado, pode-se escolher uma falha específica através do pop-up menu com indicação “*Select One Fault To Plot*”. Fazendo isso, o programa informa se essa falha é ou não detectável nesse nó, mostra qual a tensão que esse circuito com falha apresentou no nó selecionado e também indica qual é o ponto no gráfico que representa essa falha.

3.2.3 Exibição dos Resultados Para Condição de Múltiplos Sinais de Entrada.

Se as simulações SPICE tiverem considerado mais de um sinal de entrada, haverá mais de um possível teste em cada nó do circuito. Nessa condição, para um exemplo hipotético, a janela “Results” assume a forma mostrada pela Figura 15.

Figura 15 - Janela "Results" para o caso AC.



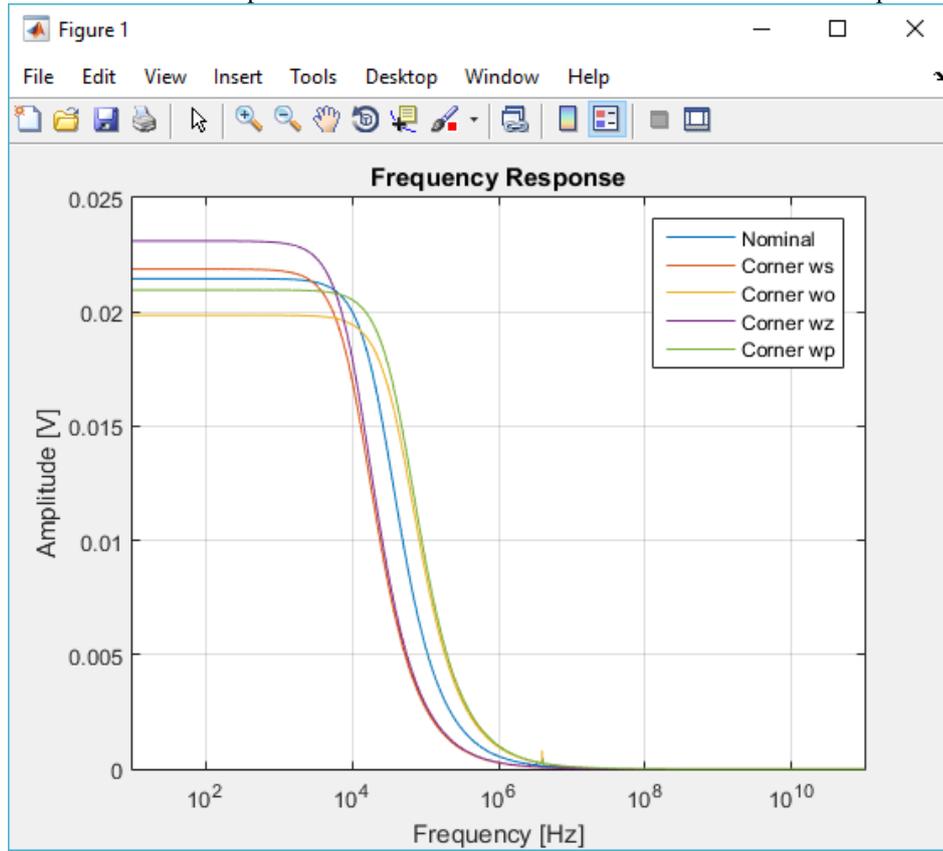
Fonte: elaborado pelo autor.

Assim como pode ser visto na Figura 15, existem dois botões possíveis de serem pressionados. O primeiro deles, chamado de “*Fault Models*”, serve para a visualização dos modelos de falhas utilizados nas simulações, que, ao ser pressionado, abre uma janela semelhante à da Figura 13. O segundo deles, chamado “*Change Nodes*”, serve para o usuário trocar os nós de teste. Para isso, ao pressioná-lo, é aberta uma janela semelhante à da Figura 14.

Selecione novos nós e clicando no botão “Ok”, o programa se encarrega de recalculer os resultados para os novos nós de teste.

Também é possível efetuar a alteração do percentual de tolerância, que determina a faixa de tensões em que as falhas não são detectadas, além do range de sinais de entrada que serão levados em consideração, ou seja, frequências (análise AC) ou tensões (análise DC) de entrada máxima e mínima que compõem o intervalo de análise. Qualquer uma dessas alterações faz com que o programa recalcule os resultados para a nova condição. As frequências ou tensões de entrada máxima e mínima não podem extrapolar o intervalo utilizado nas simulações SPICE, pois a única maneira de analisar valores fora desse intervalo é utilizar a janela “AnalogCircuitsTest”, descrita na seção 3.1, para rodar novamente as simulações SPICE com um novo intervalo.

Na Figura 15 são mostrados dois gráficos. O primeiro deles, chamado “*Nominal, Limits and Fault Voltages*”, mostra a tensão em função do sinal de entrada no nó do circuito sem falhas, selecionado através do pop-up menu com indicação “*Select One Node To Plot*”. Nesse mesmo gráfico, também são mostrados os limites considerados para a detecção das falhas nesse nó, juntamente com a tensão de um circuito com falhas que tenha sido selecionado no pop-up menu com indicação “*Select One Fault To Plot*”. No segundo gráfico, chamado “*Fault Coverage of Selected Nodes*”, são mostradas as coberturas de falhas dos nós de teste em função do sinal de entrada. Nesse mesmo gráfico, são marcados os pontos que compõem o conjunto de testes determinado pelo programa. Além disso, através do botão “*View Corners*”, é possível visualizar as respostas dos circuitos com *corners* referentes ao nó plotado no gráfico “*Nominal, Limits and Fault Voltages*”. Como exemplo, é mostrada, na Figura 16, a resposta dos circuitos com *corners* para o nó “vop” que está selecionado no pop-up menu “*Select One Node To Plot*” da Figura 15.

Figura 16 - Gráfico com a resposta dos *corners* aberto através do botão "View Corners" para nó "vop".

Fonte: elaborado pelo autor.

4 METODOLOGIA EXPERIMENTAL

Nesse capítulo, serão detalhadas as metodologias utilizadas para realização dos estudos de configurações de teste feitos através da toolbox desenvolvida. Em um primeiro momento, buscou-se a validação da ferramenta através da reprodução idêntica de três estudos de caso, os dois primeiros feitos por Bender (2015) e o terceiro por Chinazzo (2016), todos levando em consideração circuitos amplificadores operando em malha aberta. Em um segundo momento, utilizando os mesmos circuitos da etapa de validação, foram feitos dois estudos de caso, nos quais os amplificadores foram simulados em malha fechada.

4.1 VALIDAÇÃO DA TOOLBOX

4.1.1 Amplificadores Diferenciais de dois Estágios com Saída Simples em Malha

Aberta

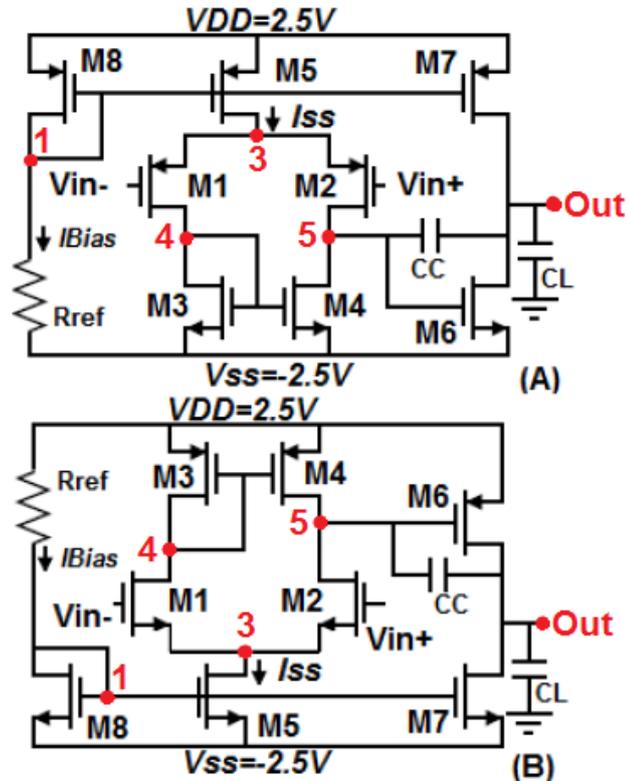
Para efeitos de comparação, o primeiro teste escolhido para a toolbox desenvolvida foi o estudo de caso feito por Bender (2015), que levou em consideração dois amplificadores operacionais com compensação Miller projetados por Cardoso (2012). O primeiro deles, com o par diferencial de entrada constituído por transistores do tipo PMOS e, por isso, chamado de PMOS-DA (PMOS - *Diferencial Amplifier*). E o segundo, com par diferencial de entrada composto por transistores NMOS e, por isso, chamado de NMOS-DA (CARDOSO, 2012).

Esse mesmo estudo foi utilizado por Chinazzo (2016) para efetuar o *debugging* dos códigos que fazem a automatização das simulações SPICE, leitura dos arquivos resultantes e criação da matriz de falhas. Assim como descrito na seção 3.1.3, esses códigos foram utilizados no presente trabalho para a criação da toolbox. Entretanto, foram necessárias várias alterações nesses códigos para inserção de algumas funcionalidades à toolbox. Modificações essas que fizeram com que os resultados pudessem não ser os mesmos que os do autor e, por isso, se fez necessário validar a ferramenta novamente.

Na Figura 17, são mostrados os esquemáticos dos dois amplificadores, juntamente com a identificação, em vermelho, dos nós que foram levados em consideração nas análises de Bender (2015). Enquanto que as especificações dos componentes são descritas na Tabela 1. A tecnologia utilizada foi a AMI 0,5 μ m.

Nos dois amplificadores, os transistores M1 e M2 formam o par diferencial de entrada e são os responsáveis pelo primeiro estágio de ganho, enquanto que M3 e M4, compondo um espelho de corrente, servem como carga ativa para esse par diferencial. O dispositivo M5 forma um espelho de corrente com o transistor M8 e é o responsável pela corrente de polarização do par diferencial da entrada. Já o transistor M6, conectado na configuração fonte comum, implementa o segundo estágio de ganho, o qual tem o transistor M7 como carga ativa.

Figura 17 - Topologias de amplificadores usados como estudo de caso. A- Configuração PMOS-DA, B- Configuração NMOS-DA.



Fonte: adaptado de Cardoso (2012, p. 42).

Tabela 1 - Especificações do projeto das duas topologias estudadas.

Parâmetros	PMOS-DA	NMOS-DA
$W_1/L_1, W_2/L_2$ [$\mu\text{m}/\mu\text{m}$]	1.5/1	4/1
$W_3/L_3, W_4/L_4$ [$\mu\text{m}/\mu\text{m}$]	5/1	1/1
W_5/L_5 [$\mu\text{m}/\mu\text{m}$]	1.5/1	2.5/1
W_6/L_6 [$\mu\text{m}/\mu\text{m}$]	60/1	24/1
W_7/L_7 [$\mu\text{m}/\mu\text{m}$]	9/1	30/1
W_8/L_8 [$\mu\text{m}/\mu\text{m}$]	1.5/1	2.5/1
Capacitor CC [pF]	4.4	4.4
Resistor R_{ref} [$\text{k}\Omega$]	335	352
$P_{\text{dissipada}}$ [μW]	650	350

Fonte: Adaptada de Cardoso (2012, p. 52).

No estudo feito por Bender (2015), as análises de falhas desses dois amplificadores foram feitas através de testes DC, nos quais as entradas dos circuitos foram aterradas, e as tensões de alimentação estipuladas em seus valores nominais. Entretanto, como a toolbox desenvolvida possibilita a fácil análise de vários sinais de excitação, escolheu-se aterrar as entradas negativas dos circuitos (“Vin-”) e, nas entradas positivas, simular sinais de -500mV a 500mV, com passos de 0,5mV. Dessa forma, para fins de validação, é possível comparar os resultados da toolbox com os de Bender (2015) através da limitação, na janela “Results”, dos

sinais de entrada para a condição simulada pela autora, e, também, estender a análise para novos valores.

Assim como no estudo de Bender (2015), foi utilizada uma faixa de $\pm 5\%$ em torno da resposta nominal do circuito sem falhas como limite para distinção entre falhas detectáveis e não detectáveis. A autora optou por levar em consideração apenas falhas catastróficas ocorrendo nos terminais dos transistores. Dessa maneira, o modelo de falhas completo para cada um desses componentes compreende 6 falhas, sendo elas: circuito-aberto nos terminais de *gate*, *dreno* e *source*; e curto-circuito entre *gate* e *dreno*, entre *gate* e *source* e entre *dreno* e *source*. Com isso, tem-se um total de 96 falhas (48 por amplificador). Para modelar essas falhas, a autora usou resistências com os mesmos valores que já são predefinições da toolbox, ou seja, $10\text{M}\Omega$ para circuito-aberto e 10Ω para curto-circuito.

4.1.2 Amplificador Totalmente Diferencial de um Estágio em Análise DC

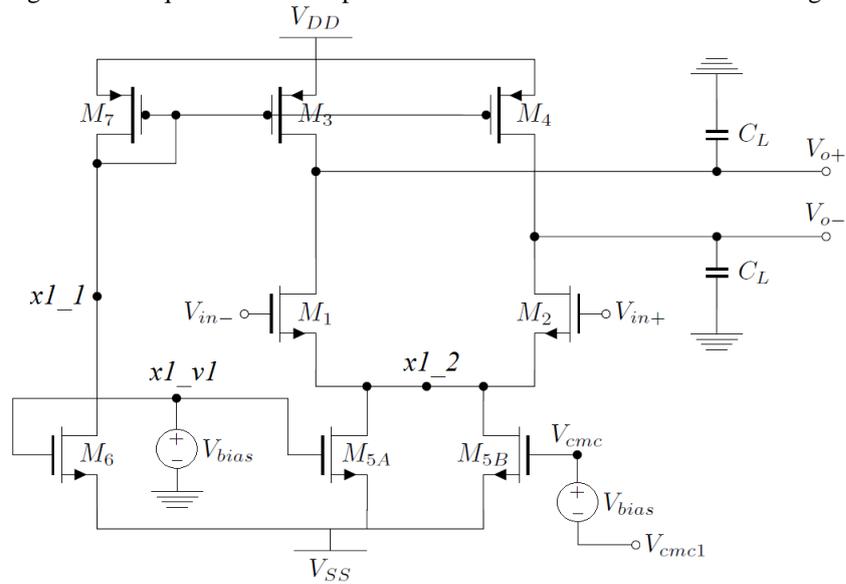
Visando à utilização de um modelo de falhas mais completo, contendo também falhas paramétricas, a segunda etapa de validação da toolbox desenvolvida consistiu em utilizar os resultados do segundo estudo de caso de Bender (2015). Nesse estudo, a autora analisa três configurações de teste DC e duas de testes transientes em um FDA projetado por Oliveira, Severo e Girardi (2014), na tecnologia XFAB $0,18\mu\text{m}$. Entretanto, como a opção de análise transiente não foi configurada na toolbox, foram refeitos apenas os estudos sobre as três configurações DC, todos levando em consideração o circuito em malha aberta.

Na Figura 18, é possível observar o esquemático elétrico do FDA utilizado. Nele, os transistores M1 e M2 formam o par diferencial de entrada e são os responsáveis pelo ganho do amplificador. Esse par diferencial tem, como carga ativa, os transistores M3 e M4, que estão conectados em espelho de corrente com o dispositivo M7. Esse espelho de corrente e o par diferencial de entrada são polarizados pelas respectivas correntes dos transistores M6 e M5.

Tanto Bender (2015), em suas análises DC para esse circuito, quanto Chinazzo (2016), em sua análise AC (descrita, posteriormente, na seção 4.1.3), dividiram o nó chamado de “Vcmc” em dois. Um deles foi chamado de “Vcmc1”, e, entre eles, inseriu-se uma fonte de tensão com o mesmo valor da de polarização (“Vbias”), assim como mostra a Figura 18.

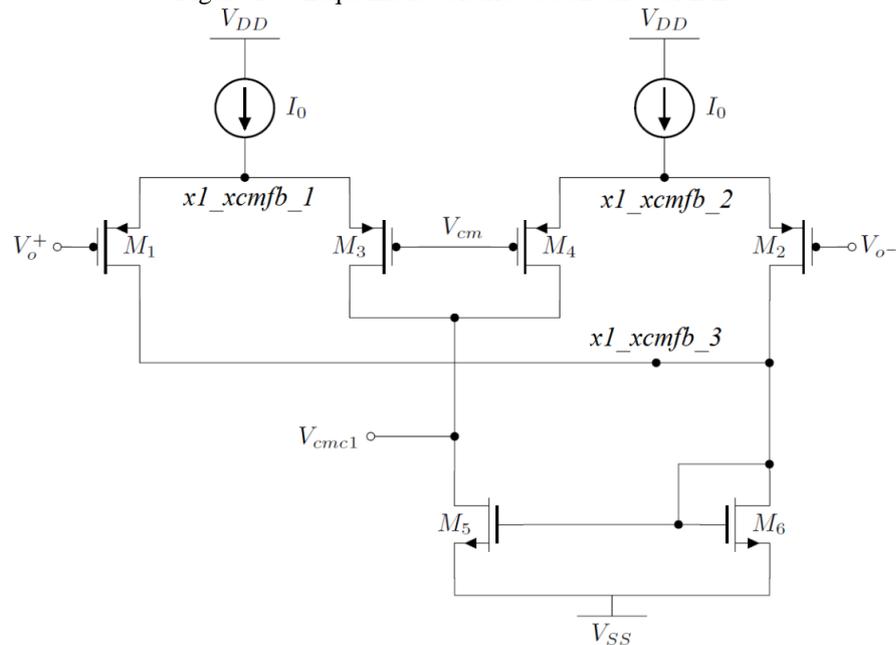
Já o circuito CMFB é mostrado na Figura 19, onde os transistores M1 e M2 são casados e recebem, respectivamente, a saída positiva e negativa do amplificador. Os dispositivos M3 e M4 são os responsáveis pela comparação do sinal, proveniente do amplificador, com a tensão de modo comum desejada (“Vcm”). Os transistores M5 e M6, conectados em espelho de corrente, juntamente com as fontes de corrente, são os responsáveis pela polarização do circuito (BENDER, 2015).

Figura 18 - Esquemático do amplificador totalmente diferencial de um estágio.



Fonte: adaptado de Oliveira; Severo; Girardi (2014).

Figura 19 - Esquemático elétrico do circuito CMFB.



Fonte: adaptado de Oliveira; Severo; Girardi (2014).

Na descrição SPICE, tanto o FDA (Figura 18), quanto o circuito de CMFD (Figura 19) foram descritos como subcircuitos. Nessa descrição, dentro do subcircuito do FDA, já é feita a adição do bloco CMFB, através da adição desse subcircuito com o nome “xcmfb”. Dessa forma, para descrever o circuito como um todo, foi necessário apenas declarar esse subcircuito do FDA, chamando-o de “x1”, e interligar as tensões: de alimentação, de modo comum desejado e de entrada.

Na toolbox, os nós internos de um subcircuito recebem um prefixo, referente ao nome dado a esse subcircuito na sua declaração, seguido de um “_”. Dessa forma, como pode ser visto na Figura 18, o nó chamado na descrição SPICE de “1”, que pertence ao subcircuito

chamado “x1”, será chamado, pela toolbox, de “x1_1”. Na Figura 19, é possível identificar um caso onde há um subcircuito dentro de outro. Seguindo a mesma lógica, o nó chamado de “1”, que pertence ao subcircuito “xcmfb”, que, por sua vez, pertence ao subcircuito “x1”, será chamado de “x1_xcmfb_1”.

Na Tabela 2 são mostrados os parâmetros dos componentes do circuito FDA. Vale a pena ressaltar que a tensão de polarização “Vbias” e a corrente de polarização I_0 foram consideradas ideais.

Tabela 2 - Especificações do projeto do circuito FDA.

Parâmetro	Amp. Diferencial	CMFB
W_1/L_1 [$\mu\text{m}/\mu\text{m}$]	39,29/0,197	35,91/0,8918
W_2/L_2 [$\mu\text{m}/\mu\text{m}$]	39,29/0,197	35,91/0,8918
W_3/L_3 [$\mu\text{m}/\mu\text{m}$]	27,41/6,83	35,91/0,8918
W_4/L_4 [$\mu\text{m}/\mu\text{m}$]	27,41/6,83	35,91/0,8918
W_5/L_5 [$\mu\text{m}/\mu\text{m}$]	15,3/9,75	7,19/0,4628
W_6/L_6 [$\mu\text{m}/\mu\text{m}$]	15,3/9,75	7,19/0,4628
W_7/L_7 [$\mu\text{m}/\mu\text{m}$]	27,41/6,83	-
Vbias [V]	-167,045	-
I_0 [μA]	-	15,19

Fonte: Chinazzo (2016, p. 34) adaptado de Oliveira, Severo e Girardi (2014).

O modelo de falhas utilizado por Bender (2015) nas suas análises levou em consideração as mesmas seis falhas catastróficas por transistor consideradas na seção 4.1.1. No entanto, foram excluídas do modelo as falhas de curto-circuito entre os terminais de *gate* e *dreno* dos transmissores M6 do CMFB e M7 do bloco principal, haja vista a existência desses curtos-circuitos no próprio projeto do circuito. Além disso, uma vez que as tensões de polarização “Vbias” sejam consideradas ideais, as falhas de curto-circuito entre os terminais de *gate* e *source* dos transistores M5A e M6 do bloco principal também foram excluídas do modelo.

Com relação as falhas paramétricas, a autora levou em consideração variações do comprimento do canal e da tensão de *threshold* em cada transistor. As variações de comprimento de canal foram de $\pm 25\%$, escolha que a autora justificou com base em Brosa e Figueiras (2000). Já as variações da tensão de *threshold* foram definidas em $\pm 50\text{mV}$, a autora justificou que – segundo Borkar, Karnik, Narendra, Tschanz, Keshavarzi e De (2003) – a variação de três desvios padrões da tensão de *threshold* na tecnologia de 180nm é 30mV, ao mesmo tempo em que Deng, Shi e Zhang (2012) definem que as falhas paramétricas devem

estar dentro do intervalo de três a seis desvios padrões, ou seja, nesse caso, de $\pm 30\text{mV}$ até $\pm 60\text{mV}$.

As falhas paramétricas de redução de 25% do comprimento de canal dos transistores M1 e M2 do bloco principal foram excluídas do modelo, assim como fez Bender (2015), uma vez que os comprimentos de canal nesses casos se tornariam inferiores ao limite da tecnologia ($0,18\ \mu\text{m}$). Com isso, se chegou a um total de 120 falhas analisadas (três falhas paramétricas e seis catastróficas por transistor, com exclusão das seis mencionadas anteriormente).

Os limites de tensão que a autora utilizou para discriminação das falhas detectáveis das não-detectáveis se basearam nas respostas dos circuitos com *corners*. As siglas dos quatro *corners* são: wo (*Worst Case One Condition*), wp (*Worst Case Power Condition*), ws (*Worst Case Speed Condition*) e wz (*Worst Case Zero Condition*).

No entanto, Bender (2015) não utilizou os limites de detecção por *corners* da mesma forma com que foi implementado na toolbox desenvolvida nesse trabalho. Ao invés de considerar as próprias respostas mínima e máxima dos circuitos com *corners* como os limites, a autora simulou as respostas dos *corners* e, observando que o máximo desvio percentual da resposta nominal do circuito em relação aos *corners* foi 35%, utilizou o desvio de 35% em relação à resposta nominal do circuito como o limite para detecção das falhas. Dessa forma, utilizando a toolbox, em um primeiro momento foi realizada a simulação dos *corners* para comparação das tensões nodais obtidas com as informadas pela autora e, posteriormente, utilizando o limite de detecção de $\pm 35\%$, foi refeita a análise para, aí sim, fazer a comparação das coberturas de falhas.

Por fim, em cada uma das três configurações de teste DC analisadas por Bender (2015), foram considerados valores diferentes de tensões de entrada para o circuito. Na Tabela 3, são mostrados quais foram esses valores em cada um dos testes, onde $+0,9\text{V}$ e $-0,9\text{V}$ são as respectivas tensões de alimentação positiva e negativa do circuito.

Tabela 3 - Tensões DC de entrada nas três configurações de teste analisadas.

Configuração de Teste	Vin+	Vin-
DC1	0 [V]	0 [V]
DC2	0,9 [V]	-0,9 [V]
DC3	-0,9 [V]	0,9 [V]

Fonte: elaborado pelo autor.

Assim como mostra a Tabela 3, de um teste para o outro há sempre a variação de duas tensões de entrada. Sendo assim, não foi possível executar uma única análise DC da toolbox, pois, nela, é possível variar apenas a tensão DC de uma fonte, em virtude da topologia de simulação SPICE. Sendo assim, foi necessário executar em separado cada um desses testes DC.

4.1.3 Amplificador Totalmente Diferencial de um Estágio em Análise AC

Para validar a análise AC fornecida pela toolbox, foi repetido o estudo feito por Chinazzo (2016) em relação ao mesmo FDA projetado por Oliveira, Severo e Girardi (2014) e descrito na seção 4.1.2. Nesse estudo, utilizando o modelo de falhas descrito nessa seção, foi analisada a cobertura de falhas desse circuito no caso da execução de testes AC. Dessa vez, os limites para detecção das falhas foram as próprias respostas mínima e máxima dos circuitos com *corners*.

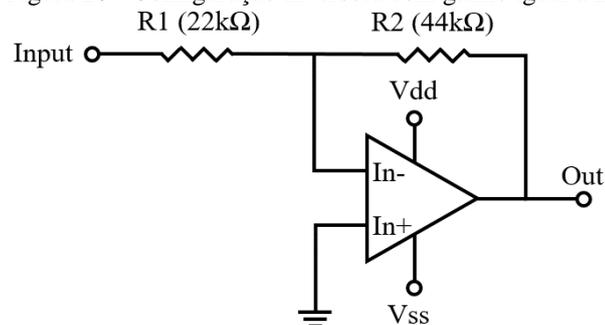
Chinazzo (2016) utilizou sinais de entrada senoidais de 1mv de amplitude, aplicados entre as entradas positiva e negativa do circuito, sendo considerados valores de frequência de 10Hz até 100GHz, com a simulação de 400 pontos em cada década. Essa amplitude de 1mv foi escolhida pelo autor em função do circuito estar sendo simulado em malha aberta, e, por isso, valores mais elevados de tensão poderiam ocasionar a saturação das tensões de saída do circuito.

4.2 ESTUDOS DE CASO

4.2.1 Amplificadores Diferenciais de dois Estágios com Saída Simples em Malha Fechada.

Utilizando os mesmos circuitos descritos na seção 4.1.1, foram analisadas configurações diferentes das estipuladas por Bender (2015). Escolheu-se simular os amplificadores em malha fechada na configuração inversora e com ganho igual a 2, assim como mostra a Figura 20. A escolha da configuração em malha fechada se deu pelo fato de que os amplificadores operacionais possuem ganhos elevados, o que faz com que, em malha aberta, variações da ordem de alguns milivolts na tensão de entrada já podem fazer com que a saída excursionasse de um dos seus limites ao outro. Sendo assim, não idealidades, como a tensão de offset e o ruído, que não foram levados em consideração nas simulações SPICE, podem interferir severamente nos resultados.

Figura 20 - Configuração inversora com ganho igual a 2.



Fonte: elaborado pelo autor.

Os resistores responsáveis pela realimentação do circuito foram escolhidos empiricamente, de modo a não possibilitarem a extrapolação dos limites de corrente dos amplificadores, além de satisfazerem um ganho de dois para o circuito. Escolheu-se simular sinais de entrada, contemplando desde a tensão de alimentação negativa dos amplificadores até a positiva (-2,5V até 2,5V), com passos de 0,5mV.

As falhas simuladas, juntamente com os seus modelos, foram os mesmos utilizados na seção 4.1.1, ou seja, 96 falhas (48 por amplificador), modeladas por resistores de $10M\Omega$ e 10Ω para os respectivos casos de circuito-aberto e curto-circuito. Essa escolha teve o intuito de proporcionar a comparação entre as coberturas de falhas e as melhores configurações de teste entre essas duas configurações (malha aberta e fechada).

Como limite para detecção das falhas, foi utilizada a faixa de $\pm 5\%$ em torno da resposta nominal, assim como na seção 4.1.1. Entretanto, foi estipulado que a mínima diferença entre a tensão nominal do circuito sem falhas e os limites de detecção seja $\pm 0,5mV$, devido a questões práticas que serão descritas na seção 5.1.3.

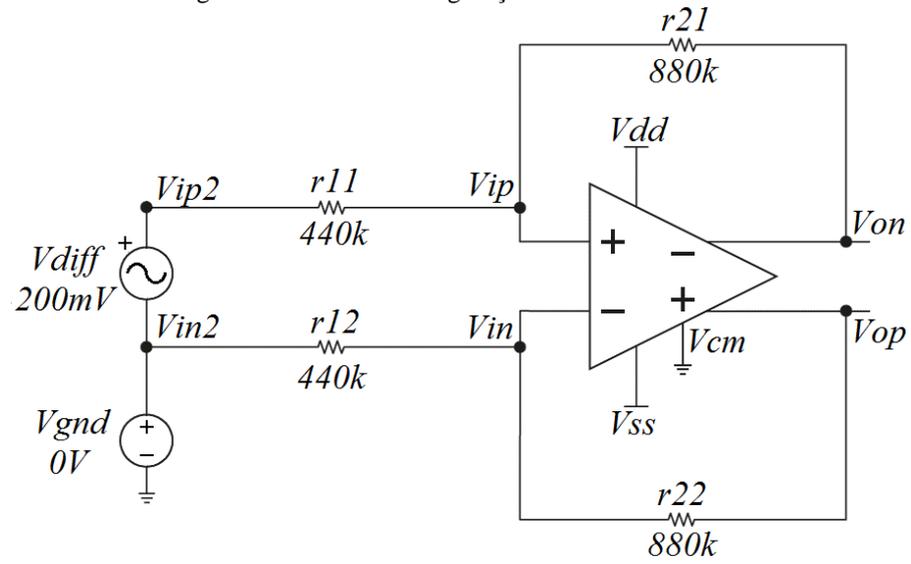
4.2.2 Amplificador Totalmente Diferencial de um Estágio em Malha Fechada

Utilizando o mesmo FDA descrito na seção 4.1.2 e projetado por Oliveira, Severo e Girardi (2014), se propôs a análise AC do circuito em malha fechada. Isso porque, assim como comentado na seção 4.2.1, amplificadores operacionais possuem, normalmente, um ganho muito elevado em malha aberta, o que faz com que a faixa de sinais de entrada, que resulta em uma resposta linear do circuito, seja bastante estreita.

A configuração em malha fechada escolhida para o circuito é mostrada na Figura 21. Nela, segundo Karki (2002), a simetria dos dois laços de realimentação é importantíssima para garantir uma boa rejeição da tensão de modo comum nas saídas. Os resistores desses laços foram escolhidos de modo a proporcionar um ganho de tensão diferencial igual a dois, assim como feito para o amplificador de saída simples na seção 4.2.1. As tensões de entrada (V_{diff}) consideradas foram sinais harmônicos, com 200 mV de amplitude e frequências de 10Hz até 2MHz, com a simulação de 400 pontos por década. O limite superior de 2MHz foi escolhido como sendo o dobro do produto ganho-faixa desse amplificador, uma vez que, segundo Oliveira, Severo e Girardi (2014), o GBW (*Gain-Bandwidth product*) desse FDA é 1,08MHz.

O modelo de falhas também foi o mesmo que o descrito na seção 4.1.2. Como critério para a definição do limite de distinção das falhas detectáveis das não detectáveis, foi utilizado as respostas mínima e máxima dos circuitos com *corners* e fixado que a amplitude dessa faixa seja, no mínimo, $\pm 0,5mV$ em torno da resposta nominal do circuito sem falhas, por questões práticas referentes à aplicabilidade dos testes, comentadas na seção 5.1.3.

Figura 21 - FDA na configuração em malha fechada.



Fonte: adaptado de Karki (2002).

5 RESULTADOS E DISCUSSÕES

Nesse capítulo são mostrados os resultados para os estudos descritos no capítulo 4. Em um primeiro momento, na seção 5.1, é observado o bom funcionamento da ferramenta através da igualdade entre os seus resultados e os obtidos anteriormente por Bender (2015) e Chinazzo (2016). Já na seção 5.2, são observadas vantagens da configuração em malha aberta em relação à em malha fechada para teste dos amplificadores analisados.

Na Tabela 4 são mostrados os tempos de execução do algoritmo para cada um dos resultados presentes nesse capítulo. Onde o “Tempo 1” se refere ao tempo para criar e simular todas as descrições SPICE, e o “Tempo 2” se refere ao tempo para ler os arquivos resultantes, calcular a matriz de falhas, salvar o arquivo de resultados, abrir a janela “Results”, calcular as coberturas de falhas e determinar o conjunto dos melhores testes. Todas essas análises foram executadas em um notebook com 64bits de barramento de dados, processador Intel® Core™ i-5 de 2,5GHz e memória RAM de 6GB.

Tabela 4 - Tempos de execução do algoritmo.

Seção	Circuito	Tempo 1	Tempo 2	Nº de Falhas Analisadas
5.1.1	PMOS-DA	2min e 40s	9s	48
5.1.1	NMOS-DA	3min e 03s	8s	48
5.1.2	FDA	23min e 08s	1min 07s	120
5.1.3	FDA	7min 49s	26s	120
5.2.1	PMOS-DA	3min 25s	19s	48
5.2.1	NMOS-DA	3min 18s	20s	48
5.2.2	FDA	7min 55s	16s	120

Fonte: elaborado pelo autor.

5.1 VALIDAÇÃO DA TOOLBOX

5.1.1 Amplificadores Diferenciais de dois Estágios com Saída Simples

Bender (2015) apresenta várias tabelas de resultados para o estudo de caso do NMOS-DA e PMOS-DA. Nelas são mostradas as tensões nodais dos circuitos sem falhas, juntamente com as tensões nos casos de falhas no transistor M1. Esses valores foram de fundamental importância para validação da ferramenta desenvolvida, pois proporcionaram uma rápida identificação de erros contidos nos códigos.

Para o caso de se ter as entradas dos circuitos aterradas, os resultados obtidos foram os mesmo da autora, assim como mostra a Tabela 5. Esses resultados foram expostos pela toolbox no quadro “*Maximum Fault Coverage per Node*”, assim como mostram a Figura 22B e a Figura 23B.

Tabela 5 - Cobertura de falhas em cada nó dos circuitos.

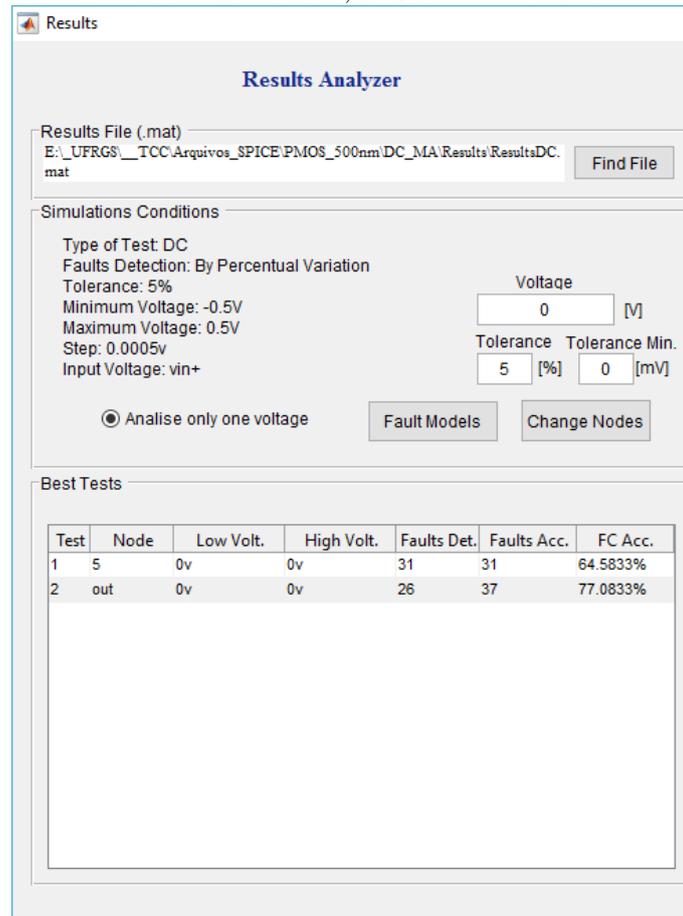
Nó	CF PMOS-DA [%]	CF PMOS-DA [%]
1	16,67	16,67
3	41,67	52,08
4	54,17	54,17
5	64,58	64,58
out	54,17	77,08

Fonte: Adaptada de Bender (2015, p. 38).

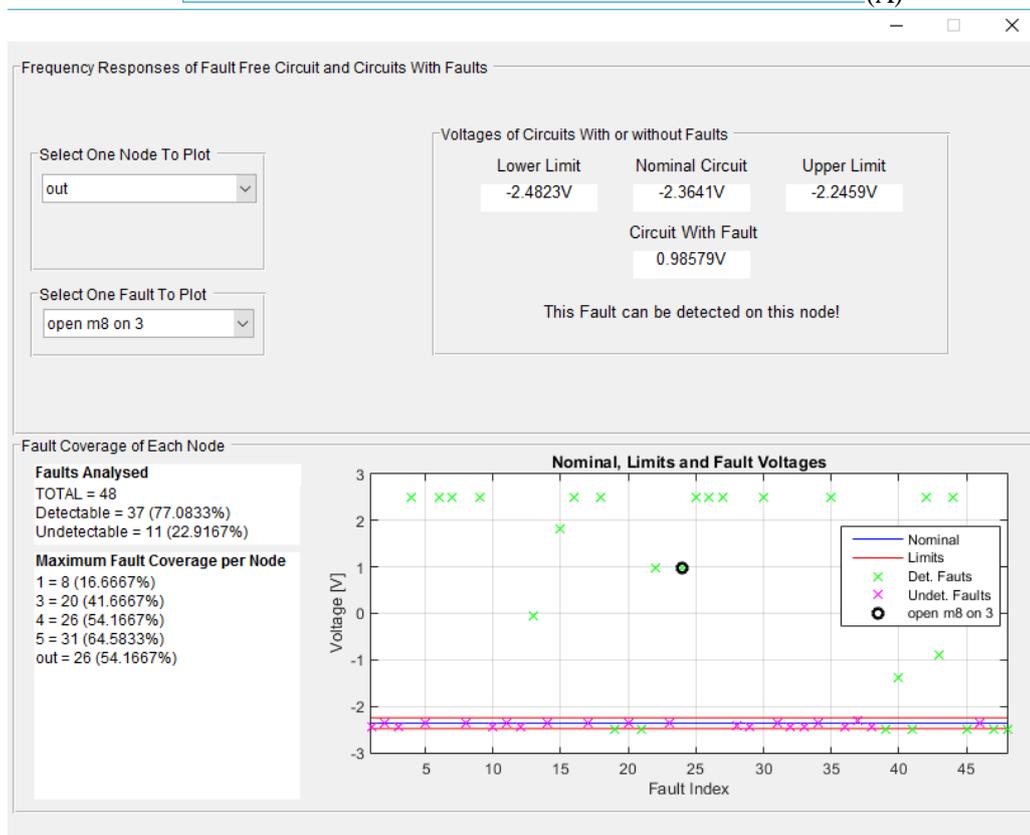
Levando em consideração todos os sinais de entrada simulados, pode-se observar que existem valores de tensão DC que, aplicados nas entradas positivas dos circuitos, possibilitam testes com maiores coberturas falhas do que os executados por Bender (2015). Para o caso do PMOS-DA, tensões de 8,5mV até 16,5mV possibilitam uma cobertura de falhas de 79,17% no nó de saída. Enquanto que, no NMOS-DA, essa mesma cobertura de falhas pode ser alcançada no nó de saída para tensões de entrada entre 4mV à 5,5mV, assim como mostra o quadro “*Best Tests*” da Figura 24A e da Figura 25A.

Pode-se perceber que essas faixas de tensões de entrada, escolhidos como melhores testes pelo programa, são bem estreitas devido ao fato de que o circuito está sendo analisado em malha aberta. Essa informação demonstra que essa pode não ser a configuração mais indicada para teste desses circuitos, pois, assim como mencionado anteriormente, não idealidades, como a tensão de offset e o ruído, poderiam inviabilizar os testes. Esses resultados motivaram a simulação desses mesmos circuitos em malha fechada (seção 4.2.1), onde se buscou um possível aumento dessas faixas de sinais de entrada necessários nos testes, ou, até mesmo, um aumento na cobertura de falhas.

Figura 22 - Janela "Results" para circuito PMOS-DA em malha aberta e com entradas aterradas. A- Conjunto dos melhores testes, B- Cobertura de falhas.



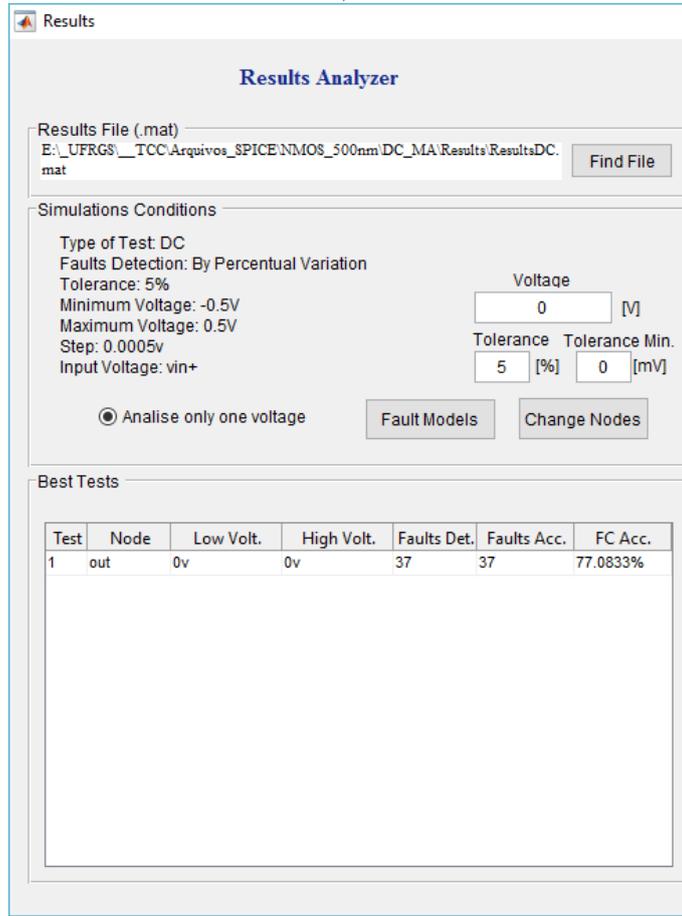
(A)



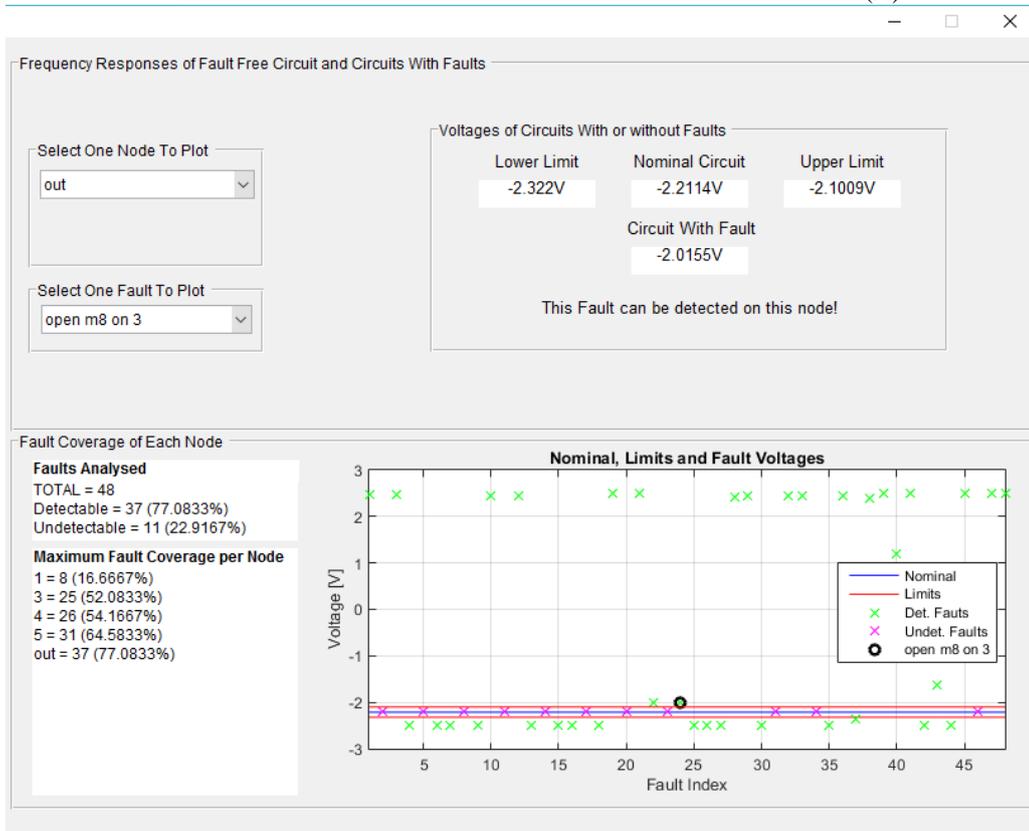
(B)

Fonte: elaborado pelo autor.

Figura 23 - Janela "Results" para circuito NMOS-DA em malha aberta e com entradas aterradas. A- Conjunto dos melhores testes, B- Cobertura de falhas.



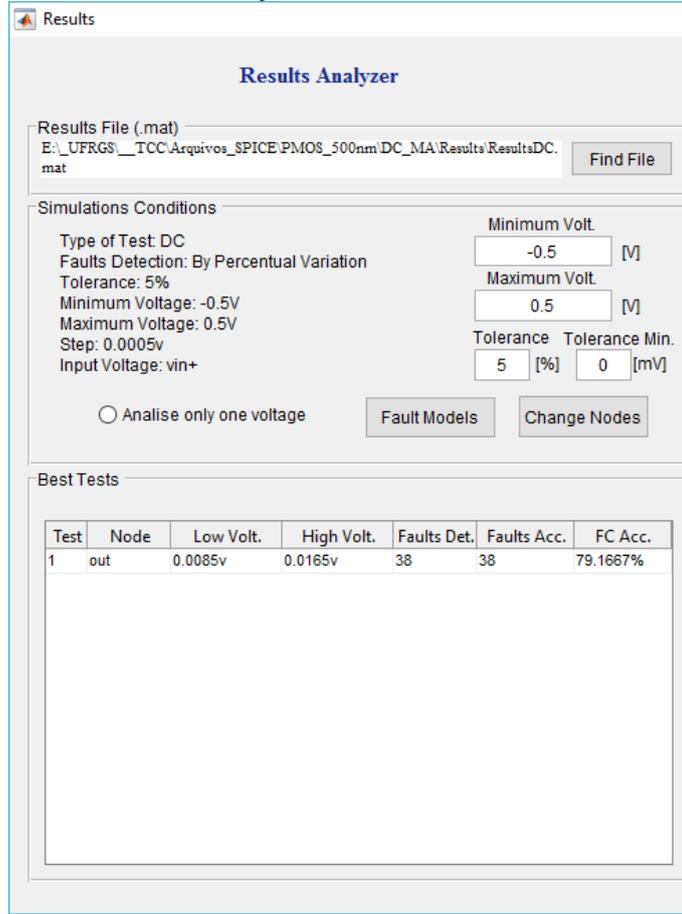
(A)



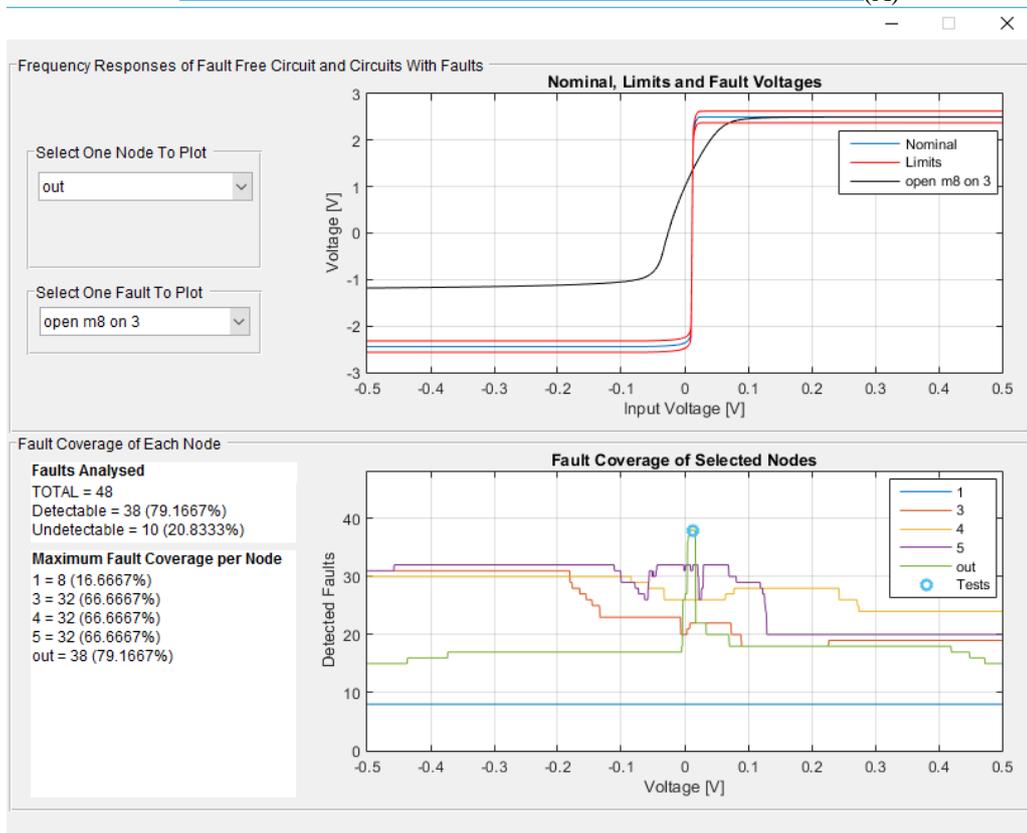
(B)

Fonte: elaborado pelo autor.

Figura 24 - Janela "Results" para circuito PMOS-DA em malha aberta e levando em consideração todos os sinais de entrada simulados. A- Conjunto dos melhores testes, B- Cobertura de falhas.



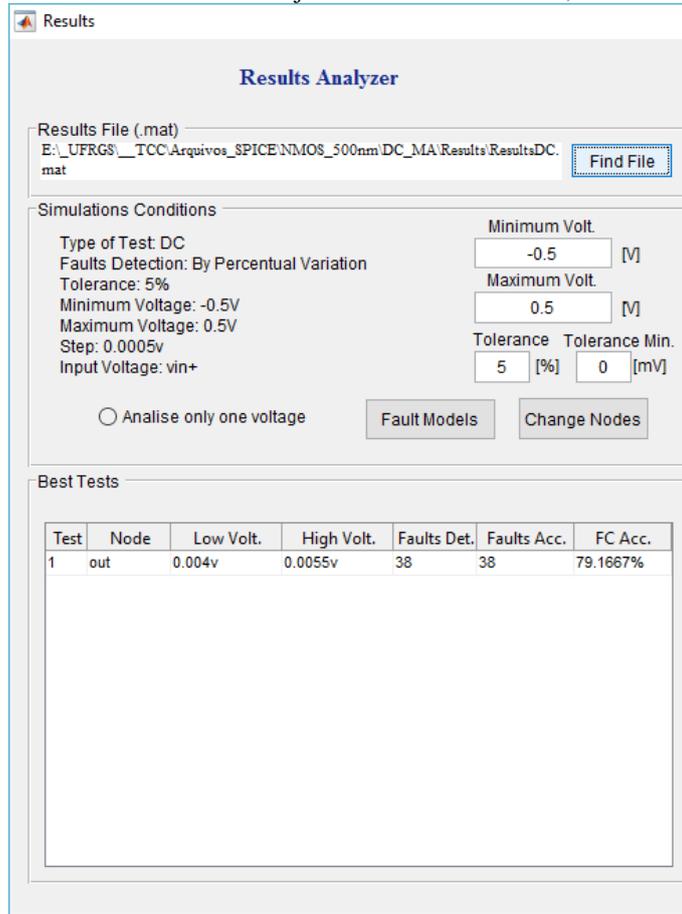
(A)



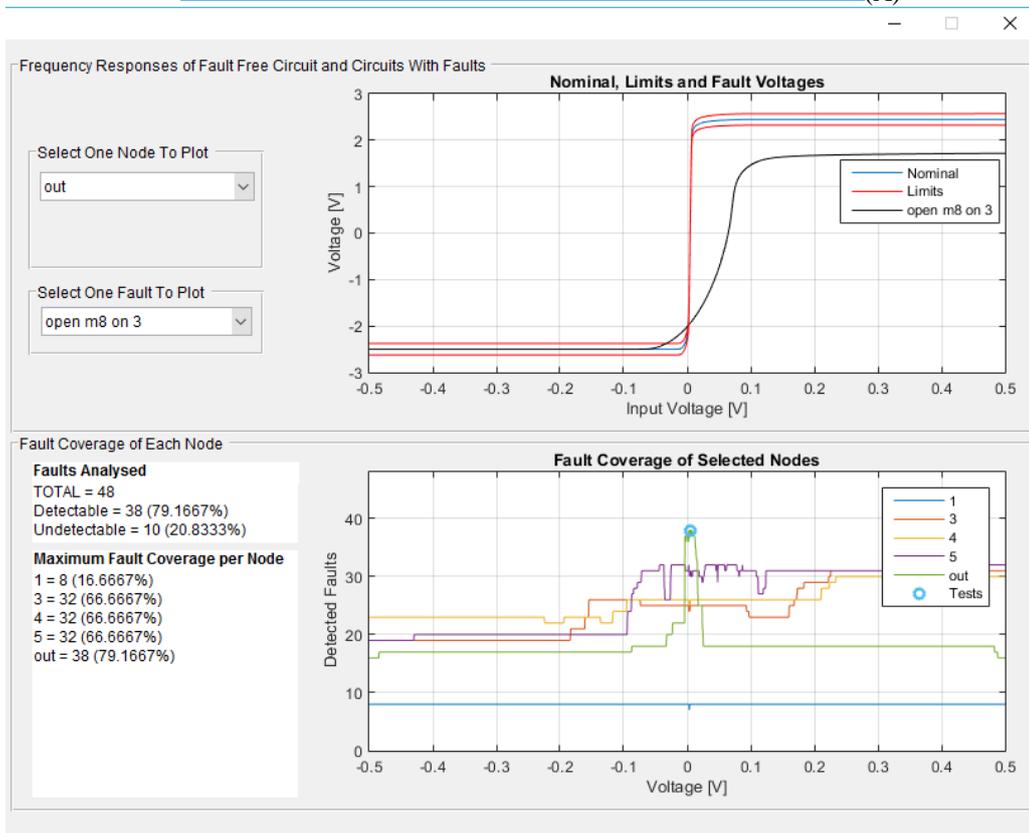
(B)

Fonte: elaborado pelo autor.

Figura 25 - Janela "Results" para circuito NMOS-DA em malha aberta e levando em consideração todos os sinais de entrada simulados. A- Conjunto dos melhores testes, B- Cobertura de falhas.



(A)



(B)

Fonte: elaborado pelo autor.

5.1.2 Amplificador Totalmente Diferencial de um Estágio em Análise DC

Nas análises de Bender (2015), é mostrada uma tabela com as tensões nodais dos circuitos simulados para os quatro *corners*. Esses valores foram de fundamental importância na validação das simulações dos *corners* feitas pela toolbox. Assim como mostra a Tabela 6, os resultados obtidos foram os mesmos que os da autora.

Tabela 6 - Tensões no nó Vcm1 para circuito nominal e com *corners*.

<i>Corner</i>	Teste DC1	Teste DC2	Teste DC3
Nominal	746,03 μV	-170,31 mV	-170,31 mV
WO	584,67 μV	-222,53 mV	-222,53 mV
WP	771,58 μV	-227,00 mV	-227,00 mV
WS	727,88 μV	-113,73 mV	-113,73 mV
WZ	878,14 μV	-117,61 mV	-117,61 mV

Fonte: Adaptada de Bender (2015, p. 49).

Bender (2015) escolheu o nó “Vcm1” como o nó de teste para o circuito. Sendo assim, foi mostrada apenas a cobertura de falhas desse nó. O teste chamado “DC1” teve sua cobertura de falhas total informada, enquanto que os testes “DC2” e DC3” foram sequencialmente combinados com o teste “DC1”, e apenas a informação da cobertura de falhas do conjunto é que foi mostrada. Assim como mostra a Tabela 7, os resultados obtidos para o nó “Vcm1” foram os mesmos que os da autora.

Tabela 7 - Cobertura de falhas no nó Vcm1 do FDA para testes DC.

Configurações de Teste	Vcmc	Vo+	Vo-
DC1	58,33%	80,00%	80,00%
DC1 e DC2	73,33%	80,00%	83,33%
DC1, DC2 e DC3	78,33%	83,33%	83,33%

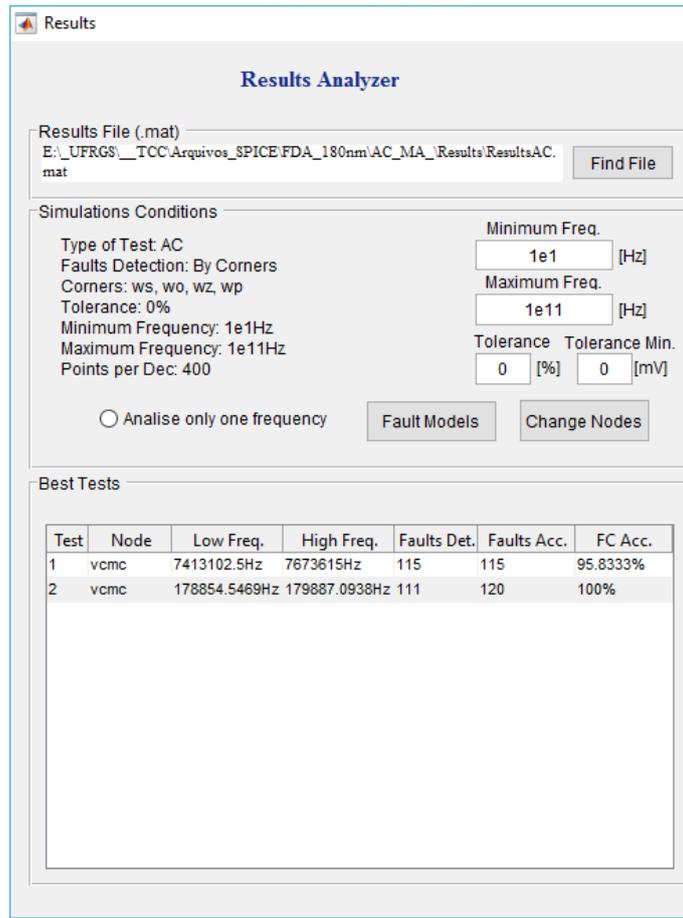
Fonte: elaborado pelo autor.

5.1.3 Amplificador Totalmente Diferencial de um Estágio em Análise AC

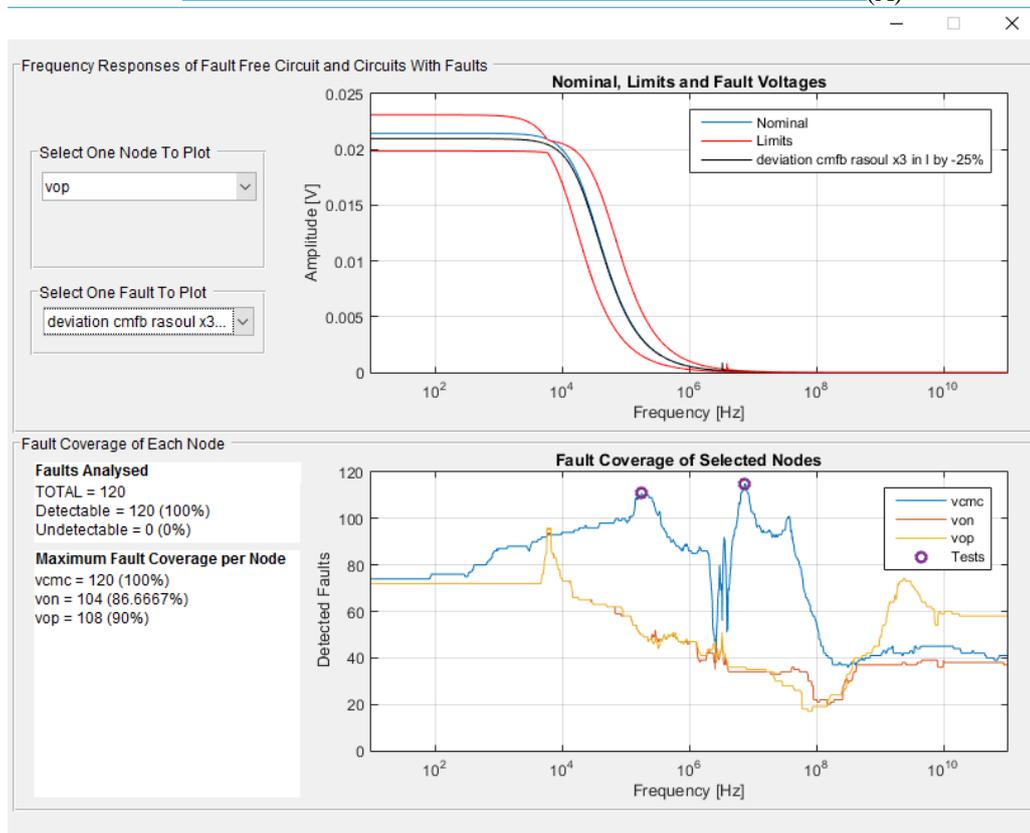
Chinazzo (2016) apresenta um gráfico do número de falhas detectadas em função da frequência do sinal de entrada para os nós “Vcmc”, “Vop” e “Von”, no qual a cobertura de 100% das falhas é possível de ser alcançada com apenas dois testes no nó “Vcmc”. Rodando a mesma análise na toolbox, as coberturas de falhas desses três nós foram as mesmas, assim como mostra a Figura 26.

O autor utilizou, para determinação dos melhores testes, um algoritmo totalmente diferente do implementado no desenvolvimento dessa toolbox. Primeiramente, esse algoritmo não levava em consideração a determinação de uma faixa de possíveis frequências do sinal de entrada, e, sim, retornava um valor único. Além disso, os critérios de escolha eram totalmente diferentes do que os implementados na toolbox.

Figura 26 - Janela "Results" para análise AC do FDA em malha aberta. A- Conjunto dos melhores testes, B- Cobertura de falhas.



(A)



(B)

Fonte: elaborado pelo autor.

Comparando os melhores testes determinados pelo autor e pela toolbox, é possível observar que há diferenças e semelhanças. Ambos os conjuntos de teste levam em consideração dois testes no nó “Vcmc” para atingir uma cobertura de falhas de 100%. O melhor teste determinado por Chinazzo (2016) requer 7,5858 MHz como frequência do sinal de entrada, valor contido na faixa determinada pela toolbox para o melhor teste. Entretanto, o segundo melhor teste determinado pelo autor não foi o mesmo que o determinado pela toolbox, pois requeria uma frequência de 3,6308 MHz para o sinal de entrada. Pode-se dizer que, tanto o segundo melhor teste determinado por Chinazzo (2016), quanto o determinado pela toolbox, detectam a mesma quantidade de falhas que ainda não foram detectadas pelo primeiro. Entretanto, a toolbox escolheu, utilizando o critério de desempate descrito na seção 3.2.1, o teste que detectava mais falhas no total.

Analisando a aplicabilidade desses testes, se chegou à conclusão de que as coberturas de falhas em função da frequência, mostradas na Figura 26, não são realistas. Primeiramente, porque o nó “Vcmc”, considerado como o melhor para execução de testes, possui uma amplitude de tensão inferior a 0,7mV em todas as condições simuladas. Assim como mostra a Tabela 8, para a frequência de sinal de entrada correspondente ao melhor teste, a tensão desse nó, no circuito nominal, seria 6,5508 μ V, e os limites inferior e superior utilizados para discriminar falhas detectáveis das não detectáveis seriam, respectivamente, 6,5508 μ V e 7,1369 μ V, valores muito difíceis de serem distinguidos, isso sem comentar a questão do ruído, que agravaria ainda mais a situação. Além disso, o segundo melhor teste apresenta amplitudes de tensão ainda menores. Dessa forma, a alta detecção de falhas, nessas configurações de teste, é fruto da estreita faixa de tensões que delimitam os limites da detecção, e não uma real vantagem desse nó em relação aos outros. O mesmo pode ser dito sobre o aumento na detecção de falhas nos nós de saída para frequências maiores que 100MHz. Uma vez que o circuito em malha aberta se comporta como um filtro passa-baixas, o que faz com que essas tensões, nessas frequências, também se tornem da ordem de unidade de microvolt.

Tabela 8 - Amplitude de tensão nominal e limites para os testes mostrados na Figura 26.

Teste	Nó	Tensão Nominal	Limite Inferior	Limite Superior
1	Vcmc	6,5508 μ V	6,5508 μ V	7,1369 μ V
2	Vcmc	1,2702 μ V	1,2702 μ V	1,4384 μ V

Fonte: elaborado pelo autor.

Tentando obter resultados mais satisfatórios, foi imposto um limite mínimo para a amplitude da faixa de detecção, segundo o qual essa amplitude é forçadamente imposta em $\pm 0,5$ mV, em torno da resposta nominal do circuito, nos casos onde ela assumiria uma amplitude

menor. Com isso, assim como mostra a Figura 27, os resultados foram diferentes, havendo uma forte diminuição da detecção de falhas no nó “Vcmc”. Além disso, como era de se esperar, a cobertura de falhas nas saídas acompanhou o ganho do circuito, ou seja, conforme o módulo dessas tensões diminuiu, a cobertura de falhas diminuiu junto.

Através da Figura 27, na qual é mostrada a tensão nominal e limites de detecção para o nó “Vcmc”, é possível perceber que há um pico de ressonância em uma frequência de aproximadamente 3,25 MHz. Observou-se que algumas falhas paramétricas do modelo causam um leve deslocamento em frequência desse pico, fazendo com que elas sejam detectadas pontualmente em frequências próximas a esta. Por isso, o programa determinou oito testes nesse nó, em uma faixa de frequência que vai desde 2,6827MHz até 3,7276MHz, dos quais cinco detectam apenas uma falha adicional.

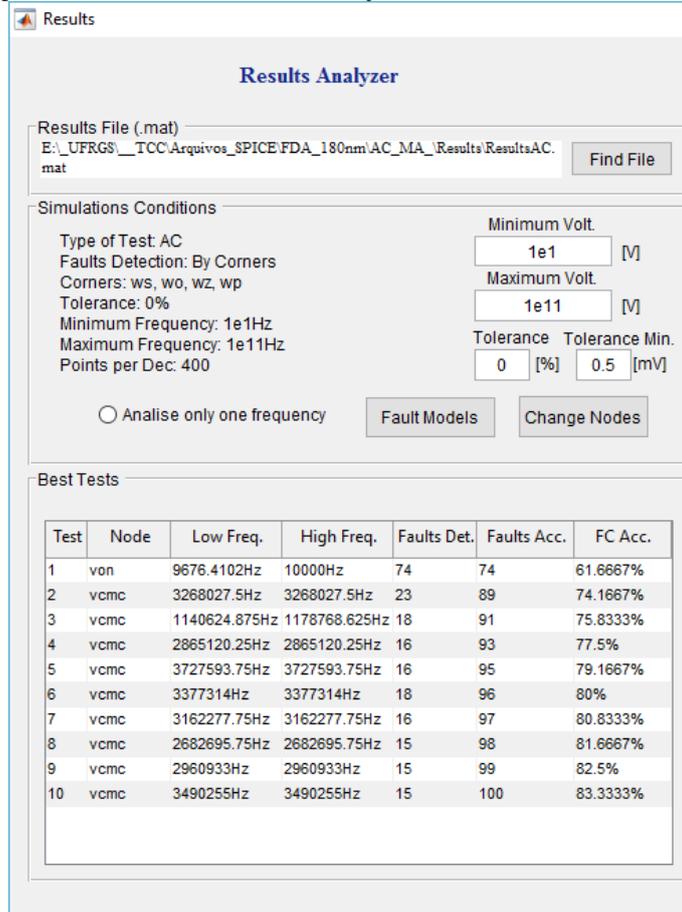
Para não ter esse problema, retirou-se o nó “Vcmc” do grupo dos possíveis nós de teste e adicionou-se o “x1_xcmfb_1” e o “x1_xcmfb_2”, pois esses apresentam tensões com amplitudes da ordem de milivolts para frequências menores que 1MHz. Também foi considerada a inserção dos nós “x1_1” e “x1_2” como possíveis nós de teste. Entretanto, as amplitudes de tensão nesses nós se apresentaram muito baixas, da ordem de microvolts, e as coberturas de falhas desses dois nós somadas não chegaram a 25%, o que fez com que esses nós fossem desconsiderados. Os novos resultados, assim como mostra a Figura 28, não foram tão bons na detecção de falhas quanto os de Chinazzo (2016), pois a máxima cobertura de falhas necessita agora de quatro testes para ser alcançada e é de apenas 80%. Entretanto, esses testes são muito mais possíveis de serem executados na prática, pois as tensões medidas são da ordem de milivolts, e os limites de detecção se diferenciam da resposta nominal em, no mínimo, 0,5mV, assim como mostra a Tabela 9.

Tabela 9 - Amplitude de tensão nominal e limites para os testes mostrados na Figura 28.

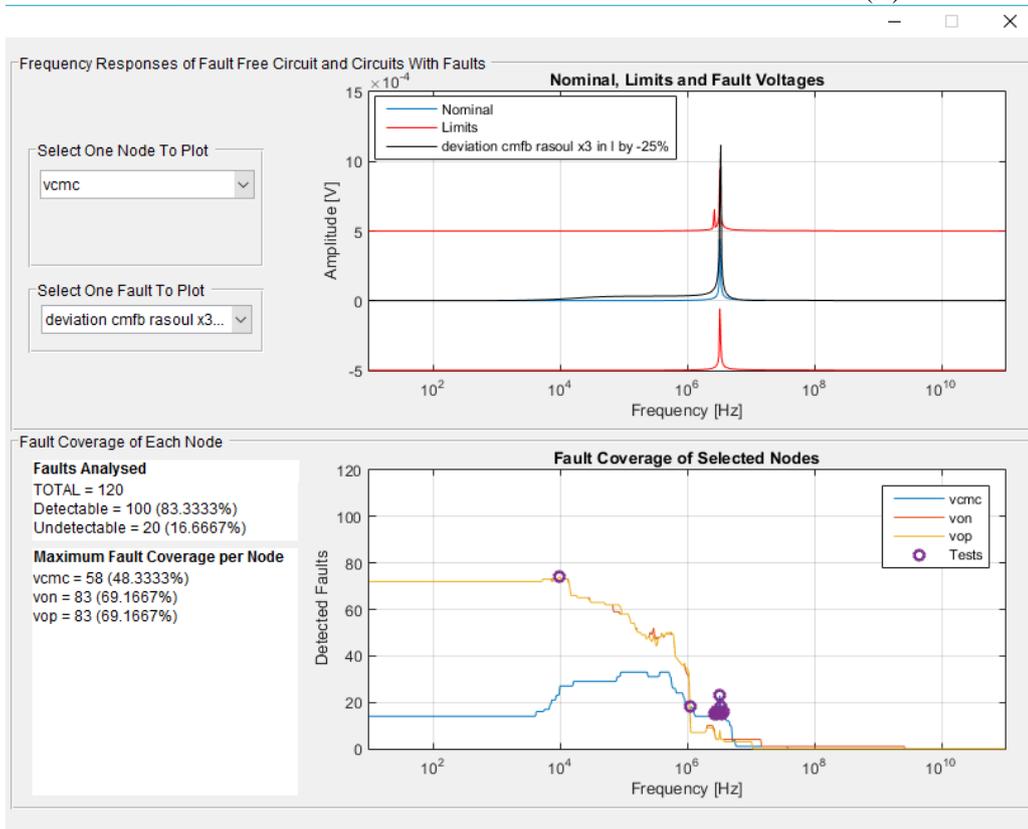
Teste	Nó	Tensão Nominal	Limite Inferior	Limite Superior	Diferença entre os Limites
1	x1_xcmfb_1	10,438mV	9,829mV	10,938mV	1,109mV
2	vop	0,991mV	0,484mV	1,813mV	1,329mV
3	x1_xcmfb_2	10,438mV	9,829mV	10,938mV	1,109mV
4	von	20,126mV	17,312mV	20,626mV	3,314mV

Fonte: elaborado pelo autor.

Figura 27 - Análise AC do FDA em malha aberta com $\pm 0.5\text{mV}$ de amplitude mínima para os limites de detecção em torno da resposta nominal do circuito. A- Conjunto dos melhores testes, B- Cobertura de falhas.



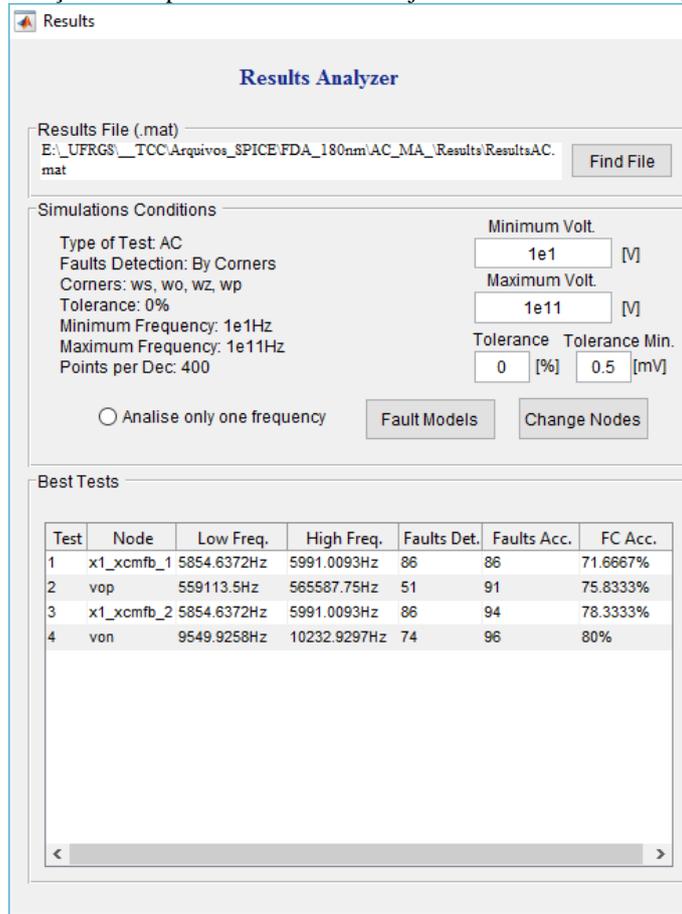
(A)



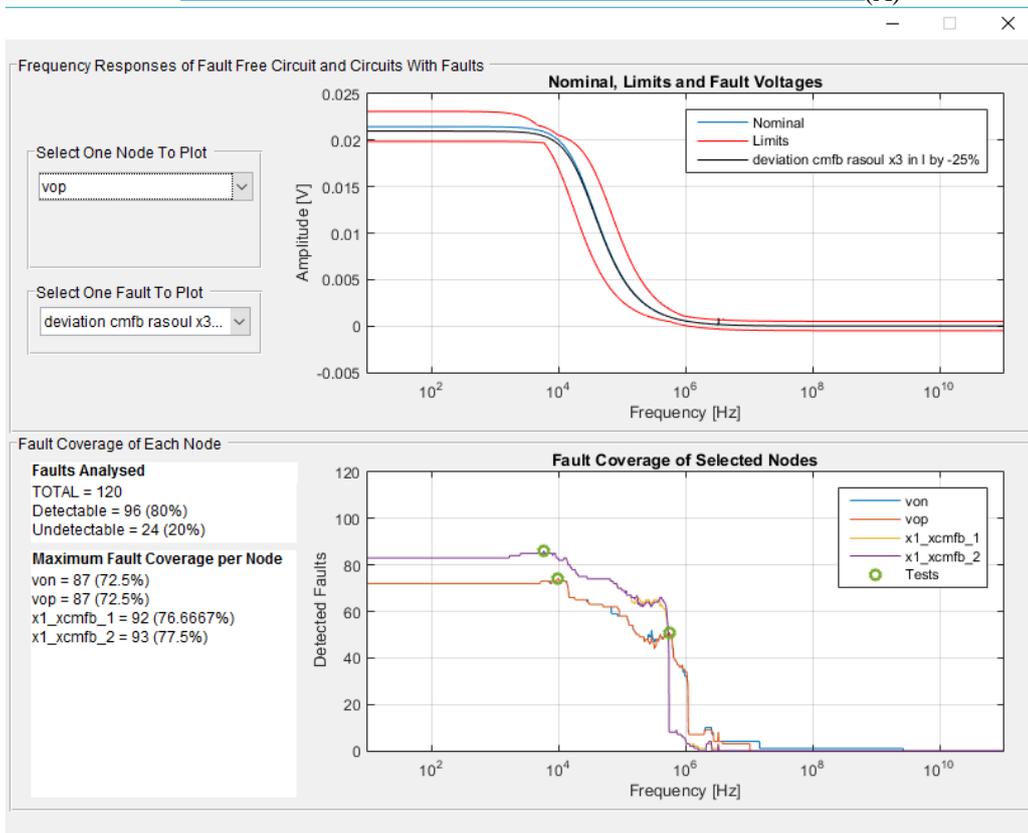
(B)

Fonte: elaborado pelo autor.

Figura 28 - Análise AC do FDA em malha aberta para novos nós de teste com $\pm 0.5\text{mV}$ de diferença mínima entre os limites de detecção e a resposta nominal. A- Conjunto dos melhores testes, B- Cobertura de falhas.



(A)



(B)

Fonte: elaborado pelo autor.

5.2 ESTUDOS DE CASO

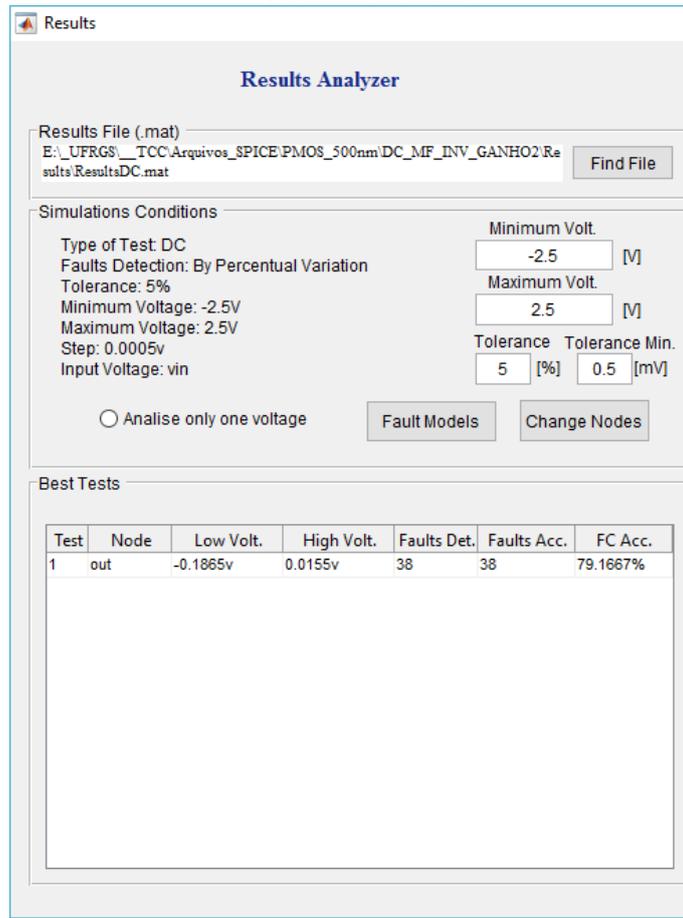
5.2.1 Amplificadores Diferenciais de dois Estágios com Saída Simples em Malha Fechada.

Através das simulações dos circuitos PMOS-DA e NMOS-DA em malha fechada na configuração inversora com ganho 2, foi observado que a máxima cobertura de falhas de cada um desses circuitos é igual a 79,17% (38 falhas) e pode ser alcançada, em ambos os circuitos, com apenas um teste, assim como mostra a Figura 29 e a Figura 30. No caso do PMOS-DA, o melhor teste é a medida de tensão no nó de saída com sinais de entrada entre -186,5mV e 15,5mV, enquanto que, para o NMOS-DA, é a medida do nó “3” com sinal de entrada entre 115mV e 480mV.

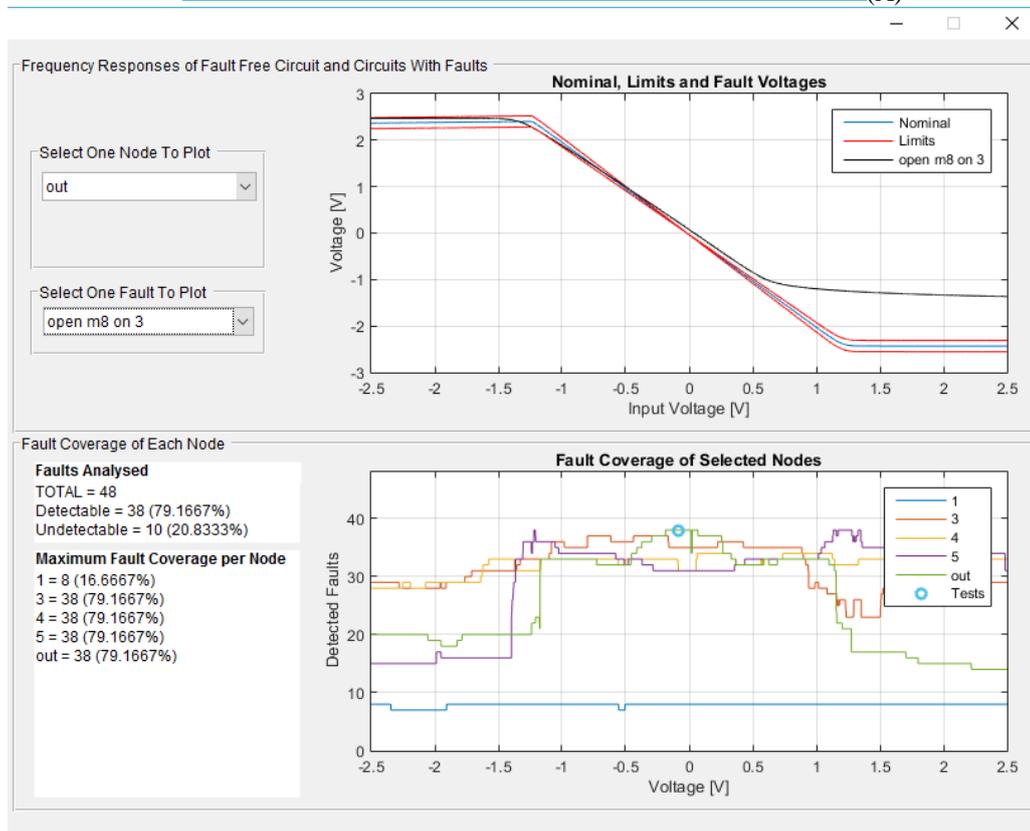
Por se tratar de um nó interno do circuito, o nó “3” pode não ser acessível à execução do teste. Por isso, para o circuito NMOS-DA, pode ser mais interessante determinar o conjunto dos melhores testes levando em consideração apenas o nó de saída do circuito. Fazendo isso, se obteve que a mesma cobertura de falhas anterior (79,17%) pode ser alcançada no nó de saída com apenas um teste levando em consideração sinais de entrada entre -33,5mV e -0,5mV. Com isso, é possível perceber que tanto esse teste no nó de saída, quanto o teste no nó “3”, determinado pelo programa como o melhor, detectam o mesmo número de falhas. Dessa forma, foi escolhido como melhor aquele que possibilitava uma faixa maior de sinais de entrada, de acordo com os critérios de desempate descritos na seção 3.2.1.

Com isso, é possível perceber que, ao se passar da configuração em malha aberta (seção 5.1.1) para a configuração em malha fechada, a cobertura de falhas máxima e o número de testes necessários para se alcançar esse valor permaneceram os mesmos. Entretanto, houve um significativo aumento das faixas de possíveis sinais de entrada para os testes. Para o caso do PMOS-DA, passou-se de uma faixa com amplitude de 8mV para uma com 171mV, ou seja, um aumento de 21,375 vezes. Já o NMOS-DA, considerando o teste no nó de saída, passou de uma faixa com amplitude de 1,5mV para uma com 33mV, tornando-se 22 vezes maior.

Figura 29 - Janela "Results" para circuito PMOS-DA em malha fechada. A- Conjunto dos melhores testes, B- Cobertura de falhas.



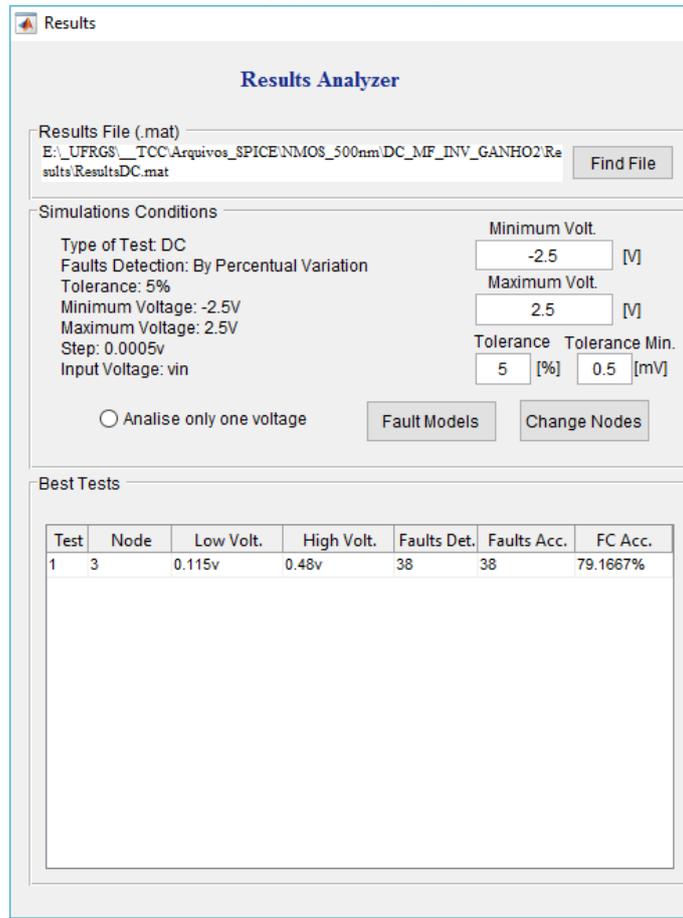
(A)



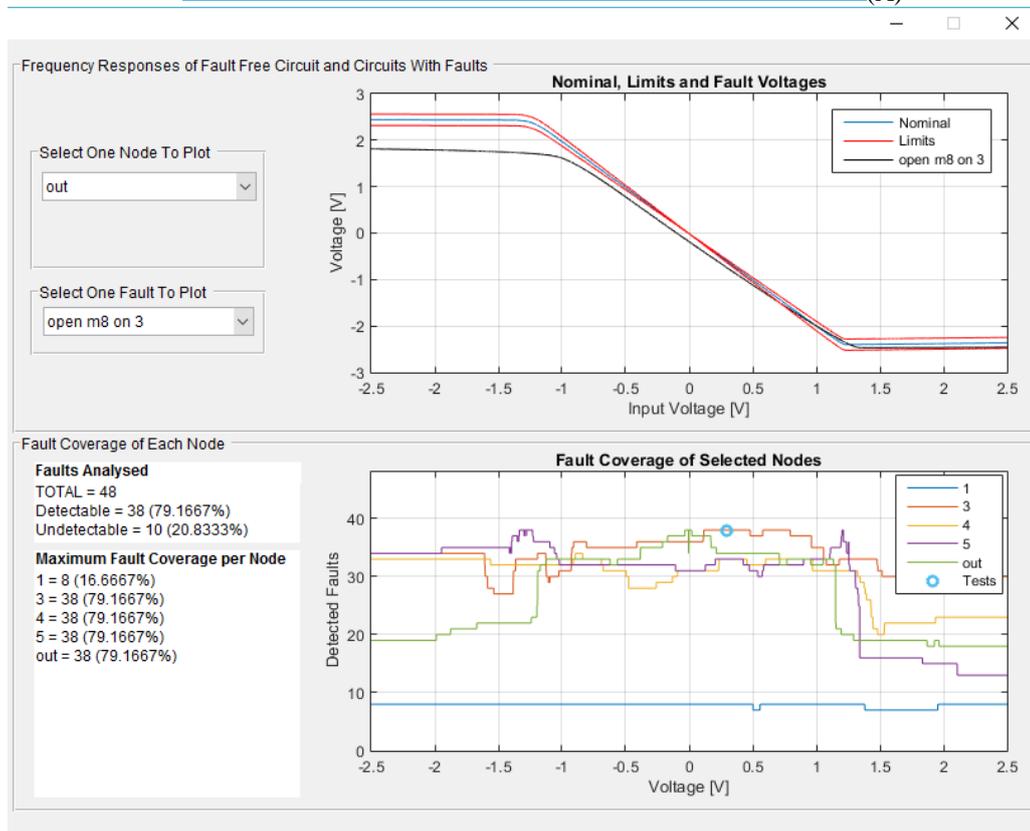
(B)

Fonte: elaborado pelo autor.

Figura 30 - Janela "Results" para circuito NMOS-DA em malha fechada. A- Conjunto dos melhores testes, B- Cobertura de falhas.



(A)



(B)

Fonte: elaborado pelo autor.

5.2.2 Amplificador Totalmente Diferencial de um Estágio em Malha Fechada

Inicialmente, todos os nós do circuito foram analisados como possíveis nós de teste. Posteriormente, foram retirados os que apresentavam amplitudes de tensões menores que 1mV ou que não apresentassem coberturas de falhas significativas se comparados aos outros. Dessa maneira, os nós escolhidos como possíveis nós de teste foram: os dois nós de saída (“vop” e “von”), “x1_1”, “x1_xcmfb_1” e “x1_xcmfb_2”.

Através da Figura 31, é possível perceber que o percentual de falhas ditas detectáveis nessas condições simuladas foi de 84,17%, onde essa cobertura de falhas pode ser alcançada com a execução de apenas dois testes. Na Tabela 10, são mostradas as amplitudes de tensão que devem ser medidas na execução dos testes, juntamente com os limites utilizados para definir se um circuito é falho, ou não. Esses valores foram obtidos através da própria janela “Results”, uma vez que a ferramenta possibilita a consulta das tensões nodais e dos limites de detecção para cada sinal de entrada simulado.

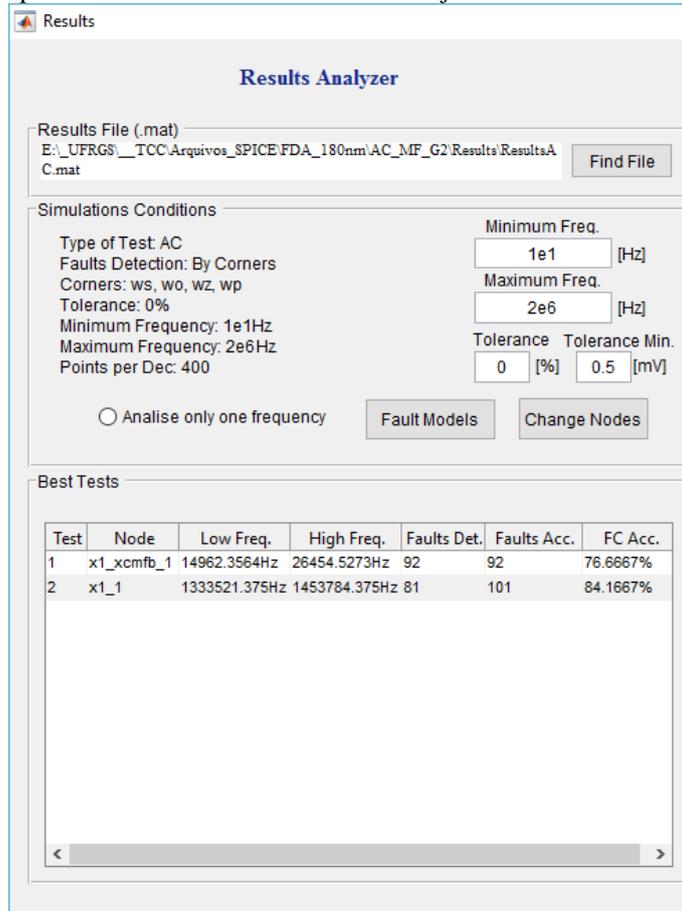
Tabela 10 - Amplitude nominal e limites para os testes determinados pela toolbox.

Teste	Nó	Tensão Nominal	Limite Inferior	Limite Superior	Diferença entre os Limites
1	x1_xcmfb_1	89,044mV	84,925mV	90,745mV	5,820mV
2	x1_1	63,944mV	62,365mV	64,483mV	2,118mV

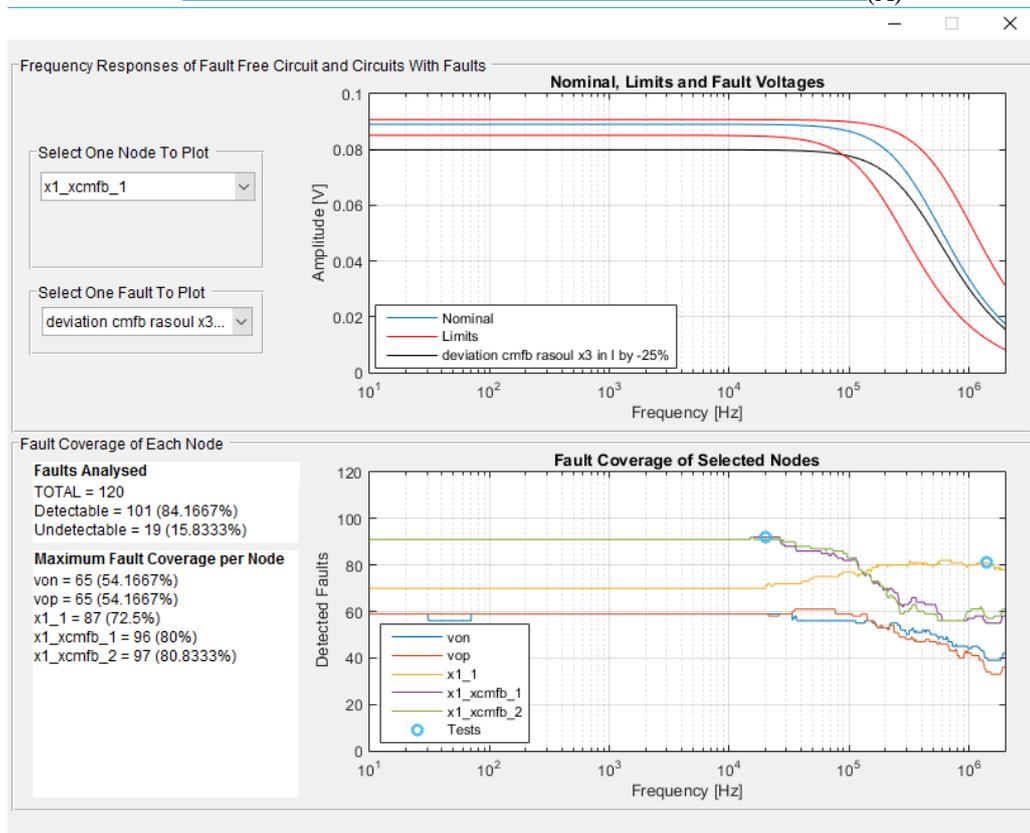
Fonte: elaborado pelo autor.

Fazendo uma comparação entre esses resultados e os que foram obtidos ao final da seção 5.1.3, e mostrados através da Figura 28 e da Tabela 9, é possível observar algumas vantagens da configuração em malha fechada sobre a em malha aberta. A primeira delas é que se conseguiu uma cobertura de falhas maior, passando-se de 80%, no caso em malha aberta, para 84,17% em malha fechada. Além disso, a máxima cobertura de falhas, no caso de malha fechada, necessitou apenas de dois testes para ser alcançada, correspondendo à metade dos quatro testes demandados na configuração em malha aberta.

Figura 31 - Análise AC para o FDA em malha fechada. A- Conjunto dos melhores testes, B- Cobertura de falhas.



(A)



(B)

Fonte: elaborado pelo autor.

6 CONCLUSÕES

Nesse trabalho, partindo dos códigos desenvolvidos por Chinazzo (2016) para automatização das simulações SPICE, foi desenvolvida uma toolbox em MATLAB para análise de configurações de teste em circuitos analógicos. Essa ferramenta apresentou um bom funcionamento, retornando, na etapa de validação, resultados idênticos aos estudos tomados como referência.

Além do ganho de tempo resultante da utilização dessa ferramenta, em contrapartida à execução das simulações de forma manual, também se observou grandes benefícios com relação à análise dos resultados. Mostrou-se muito prático e útil o fato dos resultados das simulações SPICE serem compilados em um único arquivo em formato específico do MATLAB, pois dispensava a releitura dos arquivos SPICE, possibilitando a rápida consulta de resultados determinados anteriormente. Além disso, a possibilidade de alterar os nós de teste, trocar os limites de detecção e restringir a faixa de possíveis valores de entrada na janela “Results” dão, ao usuário da toolbox, uma boa autonomia na manipulação dos resultados. Um exemplo claro das vantagens dessa autonomia é o estudo feito na seção 5.1.3, em que foi observada a impossibilidade de realização prática do conjunto de teste determinado pelo programa para as primeiras condições estabelecidas, uma vez que as tensões a serem medidas eram da ordem de unidades de microvolts. Entretanto, com a execução de mudanças nos limites de detecção e nos nós de teste, conseguiu-se, sem qualquer simulação SPICE adicional, determinar um novo conjunto de teste mais próximo de uma implementação real, com tensões a serem medidas da ordem de unidades de milivolts.

Para determinação de testes possíveis de serem aplicados na prática, é de fundamental importância levar em consideração o ruído e a precisão limitada do equipamento de medida utilizado no teste. Esses dois fatores impõem um limite mínimo para a diferença entre duas tensões, de modo que, abaixo dele, não é possível diferenciá-las. Por exemplo, na seção 5.1.3 os limites de detecção, determinados pelas respostas dos *corners* da tecnologia, em alguns casos, se diferenciavam da resposta nominal do circuito em valores de tensão menores do que $1\mu\text{V}$. Isso fazia com que houvesse um falso aumento da detecção de falhas nesses pontos, pois a real distinção de respostas de circuitos dentro ou fora dessas faixas era impraticável. A possibilidade de estipular um valor mínimo para a diferença entre a resposta nominal do circuito e os limites de detecção se mostrou como um importante passo para tentar compensar essas não idealidades.

Com relação aos estudos de caso feitos, observou-se significativas vantagens da configuração em malha fechada sobre a em malha aberta. Tanto para os amplificadores de dois

estágios com saídas simples, quanto para o amplificador totalmente diferencial houve aumento na faixa de possíveis valores de entrada a serem utilizados nos testes, bem como os módulos das tensões a serem medidas. Tudo isso sem que houvesse prejuízo à detecção de falhas, que permaneceu a mesma para os amplificadores com saída simples (79,17%) e até aumentou para o caso do FDA, que passou de 80% para 84,17%, reduzindo-se o número de testes de quatro para dois.

O presente trabalho apresentou duas contribuições principais. A primeira delas, foi a criação de uma toolbox em MATLAB que possibilita, de forma automatizada, a análise de configurações de teste para circuitos analógicos, bem como o manuseio dos resultados. Além disso, foram feitas comparações entre as configurações em malha aberta e fechada para testes de circuitos amplificadores, onde a configuração em malha fechada se apresentou como a mais adequada.

7 SUGESTÕES PARA TRABALHOS FUTUROS

Como primeira proposta para trabalhos futuros, é sugerido o incremento da toolbox com relação aos tipos de simulação. Adicionar a possibilidade de analisar testes transientes, onde a detecção das falhas se desse pelo tempo de acomodação e *overshoot* da resposta do circuito a um estímulo do tipo degrau, seria interessante.

Além disso, visando o aprimoramento da ferramenta desenvolvida, é sugerido que, após identificar uma alta detecção de falhas em um nó interno do circuito, o algoritmo insira, nesse nó, uma porta de transmissão em série com uma capacitância. Dessa forma, seriam simulados os efeitos da conexão adicional para o monitoramento dessa tensão interna. Essas análises demandariam que o algoritmo rodasse novamente as simulações SPICE com essa chave aberta (modo funcional) e fechada (modo teste), para que fossem observados os efeitos no funcionamento do circuito e na cobertura de falhas desse nó.

Outra melhoria seria adicionar a possibilidade de medir corrente. Essa opção incrementaria o número de possíveis configurações de testes, podendo, inclusive, incrementar a cobertura de falhas. Além disso, possibilitar a inserção de ruído no sinal de entrada, poderia ser importante para a determinação de testes mais próximos de aplicações reais, que já levassem em consideração essa não idealidade.

Como sugestão referente aos estudos de caso, seria interessante executar simulações dos circuitos com tensões de alimentação diferentes. Dessa maneira, poderiam ser buscadas maiores coberturas de falhas através da variação dessas tensões. Além disso, poderia ser avaliado o uso das tensões de alimentação como o próprio sinal de entrada do circuito na execução dos testes.

Com relação a execução da ferramenta, poderia ser avaliada a criação de uma opção por script em contrapartida a execução gráfica desenvolvida. Essa opção seria interessante para tornar a inserção dos parâmetros de simulação mais rápida, podendo substituir a execução da janela “AnalogCircuitsTest”, além de possibilitar a automatização das análises. Além disso, seria interessante avaliar a compatibilidade da toolbox com o OCTAVE.

Por último, e talvez mais importante, adicionar a opção de Monte Carlo para determinação dos limites de detecção das falhas. Com isso, o usuário poderá escolher quantas simulações de Monte Carlo do circuito *fault free* ele deseja rodar, juntamente com quantos desvios padrões em torno da resposta nominal serão adotados como limite para detecção das falhas.

REFERÊNCIAS

- ALZAKER, H. A.; ELWAN, H.; ISMAIL, M. A CMOS Fully Balanced Second-Generation Current Conveyor. **IEEE Transactions on Circuits and Systems: Analog and Digital Signal Processing**, v.50, n. 6, p. 278 – 287, jun. 2003.
- ARSLAN, Baris; ORAILOGLU, Alex. **Tracing the Best Test Mix through Multi-Variate Quality Tracking**. Berkeley: Ieee 31st Vlsi Test Symposium (vts), 2013. 6 p.
- BALEN, T. R. **Teste de Dispositivos Analógicos Programáveis (FPAAS)**. 127 p. Dissertação (Mestrado em Engenharia Elétrica) - Programa de Pós-Graduação em Engenharia Elétrica. Universidade Federal do Rio Grande do Sul, Porto Alegre, 2006.
- BENDER, I. D. **Teste de Amplificadores Diferenciais através de Medida DC e Transiente de Tensões Internas de Polarização**. 93 p. Dissertação (Mestrado em Microeletrônica) – Programa de Pós-Graduação em Microeletrônica. Universidade Federal do Rio Grande do Sul, Porto Alegre, 2015.
- BORKAR, S. *et al.* Parameter Variations and Impact in Circuits and Microarchitecture. **Proceedings of the 40th Annual Design Automation Conference - DAC**. New York, USA: ACM, p. 338 – 342, 2003.
- BROSA, A.M.; FIGUERAS, J. On Maximizing the Coverage of Catastrophic and Parametric Faults, **Journal of Electronic Testing: Theory and Applications** 16, 251–258, 2000.
- CHINAZZO, André Lucas. **Desenvolvimento de Teste de Amplificadores Diferenciais utilizando Simulações SPICE Automatizadas**. 2016. 97 f. TCC (Graduação) - Curso de Engenharia Elétrica, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2016.
- CARDOSO, G. S. **Impacto dos Desvios de Tensão de Limiar Induzidos por Radiação Ionizante no Desempenho dos Blocos Básicos de Dois Amplificadores Operacionais Complementares**. 41 p. Dissertação (Mestrado em Microeletrônica) – Programa de Pós-Graduação em Microeletrônica. Universidade Federal do Rio Grande do Sul, Porto Alegre, 2012.
- DAVIS, B. **The Economics of Automatic Testing**. [S.l.]: McGraw Hill, 1982.
- DENG, Y.; SHI, Y.; ZHANG, W. An Approach to Locate Parametric Faults in Nonlinear Analog Circuits. **IEEE Transactions on Instrumentation and Measurement**, v. 61, n. 2, p. 358 – 367, feb. 2012.

HUGHES, J. L. A. Multiple Fault Detection Using Single Fault Test Sets. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, New York, USA: IEEE, v. 7, n. 1, p.100 – 108, jan. 1988.

KABISATPATHY, Prithviraj; BARUA, Alok; SINHA, Satyabroto. **FAULT DIAGNOSIS OF ANALOG INTEGRATED CIRCUITS**. Dordrecht: Springer, 2005. 182 p.

KARKI, J. Fully-Differential Amplifiers. **Texas Instruments Incorporated: Application Report**, p. 1 – 27, jan. 2002.

KONDAGUNTURI, R. et al. Benchmark circuits for analog and mixed-signal testing. In: Southeastcon '99. **Proceedings**. IEEE. [S.l.: s.n.], 1999. p. 217–220.

LUBASZEWSKI, M. *et al.* **Design of Self-Checking Fully Differential Circuits and Boards**. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, New York, USA: IEEE, v.2, n. 2, p. 113, apr. 2000.

MILOR, L. S. A tutorial introduction to research on analog and mixed-signal circuit testing. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, v. 45, n. 10, p. 1389–1407, Oct 1998. ISSN 1057-7130.

MILOR, L.; VISVANATHAN, V. Detection of catastrophic fault in analog integrated circuits. **IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems**, p. 114-130, 1989.

MILOR, L.; VISVANATHAN, V. Efficient Go/No Go Testing of Analog Circuits. In: INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, 1987, [S.1]. **Proceedings...** [S.l.: S.n.], 1987, p. 414 – 417.

MOORE, G. E. **Cramming More Components Onto Integrated Circuits**. Electronics, p. 114–117, 1965.

NAGEL, L. W.; PEDERSON, D. **SPICE (Simulation Program with Integrated Circuit Emphasis)**. [S.l.], 1973.

OLIVEIRA, A. C. de; SEVERO, L. C.; GIRARDI, A. G. A Two-Step Methodology for Automatic Design of Fully Differential Amplifiers With Output Balance, **XXIX South Symposium on Microelectronics (SIM)**, Alegrete, Brazil, mai. 2014.

PETRASHIN, P.; DUALIBE, C.; LANCIONI, W.; TOLEDO, L. Low-Cost DC BIST for Analog Circuits: A Case Study. **Test Workshop (LATW)**, Latin American, p. 1–4, apr. 2013.

PERROTT, M. H. **HSPICE Toolbox for Matlab and Octave (also for use with Ngspice)**. 2011. Disponível em: <http://www.cpps.com/download_hspice_tools.html>. Acesso em: 27/03/2017.

RAPPITSCH, G.; SEEBACHER, E.; KOCHER, M.; STADLOBER, E. SPICE Modeling of Process Variation Using Location Depth Corner Models. **IEEE Transactions on Semiconductor Manufacturing**. v. 17, n. 2, p. 201 – 213, mai. 2004.

RENOVELL, M. Digital and Analog System Testing: fundamentals and new challenges In: The 16th INTERNATIONAL CONFERENCE ON MICROELECTRONICS, 2004, Tunis, Tunísia. **Proceedings...** [S. l.: S. n.], 2004, p. 8 – 10.

SEGURA, Jaume; HAWKINS, Charles F.. **CMOS Electronics: How It Works, How It Fails**. Piscataway: Wiley-ieee Press, 2004.

SOUDERS, T. M.; STENBAKKEN, G. N. A Comprehensive Approach for Modeling and Testing Analog and Mixed-Signal Devices. In: INTERNATIONAL TEST CONFERENCE, 1990, Washington DC, USA. **Proceedings...** Washington DC, USA: International Test Conference Press, 1990, p. 169 – 176.

TAUR, Y. *et al.* CMOS Scaling into the Nanometer Regime. **Proceedings of the IEEE**. New York, USA: IEEE, v. 85, n.4, apr. 1997, p. 486 – 504.

WESTE, N. H.; HARRIS, D. M. **CMOS VLSI Design: A Circuits and Systems Perspective**. 4. ed. [S.l.]: Addison-Wesley, 2010. ISBN 0-321-54774-8.

XU, G.; EMBABI, S. H. K. A Systematic Approach in Constructing Fully Differential Amplifiers. **IEEE Transactions on Circuits and Systems: Analog and Digital Signal Processing**, v. 47, n. 11, p. 1343 – 1347, nov. 2000.

APÊNDICE A – DESCRIÇÃO SPICE DOS CIRCUITOS PMOS-DA E NMOS-DA EMMALHA

ABERTA

PMOS 500nm

```
.lib '<path>\<to>\PMOS_500nm\ami_06.lib' MOSFET
m1 4 in- 3 vdd pmos l=1u w=4u
m2 5 in+ 3 vdd pmos l=1u w=4u
m3 4 4 vss vss nmos l=1u w=1u
m4 5 4 vss vss nmos l=1u w=1u
m5 3 1 vdd vdd pmos l=1u w=2.5u
m6 out 5 vss vss nmos l=1u w=24u
m7 out 1 vdd vdd pmos l=1u w=30u
m8 1 1 vdd vdd pmos l=1u w=2.5u
cl 5 out 4.4pf
rref 1 vss 335k
cll out 0 20p
vin- in- 0 0
vin+ in+ 0 0
v4 vdd 0 2.5
v5 vss 0 -2.5
.OPTIONS INGOLD=2 ABSTOL=1E-12
.dc vin+ -0.5 0.5 0.0005
.option post
.print tran I(m5) v(5) v(in-) v(out)
.end
```

NMOS 500nm

```
.lib '<path>\<to>\PMOS_500nm\ami_06.lib' MOSFET
m1 4 in- 3 3 nmos l=1u w=1.5u
m2 5 in+ 3 3 nmos l=1u w=1.5u
m3 4 4 vdd vdd pmos l=1u w=5u
```

```
m4 5 4 vdd vdd pmos l=1u w=5u
m5 3 1 vss vss nmos l=1u w=1.5u
m6 out 5 vdd vdd pmos l=1u w=60u
m7 out 1 vss vss nmos l=1u w=9u
m8 1 1 vss vss nmos l=1u w=1.5u
cl 5 out 4.4pf
rref 1 vdd 352k
c11 out 0 20p
vin- in- 0 0
vin+ in+ 0 0
v4 vdd 0 2.5
v5 vss 0 -2.5
.OPTIONS INGOLD=2 ABSTOL=1E-12
.dc vin+ -0.5 0.5 0.0005
.option post
.print tran I(m5) v(5) v(in-) v(out)
.end
```

APÊNDICE B – DESCRIÇÃO SPICE DOS CIRCUITOS PMOS-DA E NMOS-DA EM MALHA

FECHADA

PMOS 500nm

```
.lib '<path>\<to>\PMOS_500nm\ami_06.lib' MOSFET
m1 4 in- 3 vdd pmos l=1u w=4u
m2 5 in+ 3 vdd pmos l=1u w=4u
m3 4 4 vss vss nmos l=1u w=1u
m4 5 4 vss vss nmos l=1u w=1u
m5 3 1 vdd vdd pmos l=1u w=2.5u
m6 out 5 vss vss nmos l=1u w=24u
m7 out 1 vdd vdd pmos l=1u w=30u
m8 1 1 vdd vdd pmos l=1u w=2.5u
cl 5 out 4.4pf
rref 1 vss 335k
cll out 0 20p
r1 input in- 22k
r2 out in- 44k
vpos in+ 0 0
vin input 0 0
v4 vdd 0 2.5
v5 vss 0 -2.5
.OPTIONS INGOLD=2 ABSTOL=1E-12
.dc vin -2.5 2.5 0.0005
.option post
.print tran I(m5) v(5) v(in-) v(out)
.end
```

NMOS 500nm

```
.lib '<path>\<to>\PMOS_500nm\ami_06.lib' MOSFET
m1 4 in- 3 3 nmos l=1u w=1.5u
```

```
m2 5 in+ 3 3 nmos l=1u w=1.5u
m3 4 4 vdd vdd pmos l=1u w=5u
m4 5 4 vdd vdd pmos l=1u w=5u
m5 3 1 vss vss nmos l=1u w=1.5u
m6 out 5 vdd vdd pmos l=1u w=60u
m7 out 1 vss vss nmos l=1u w=9u
m8 1 1 vss vss nmos l=1u w=1.5u
cl 5 out 4.4pf
rref 1 vdd 352k
cll out 0 20p
r1 input in- 22k
r2 out in- 44k
vpos in+ 0 0
vin input 0 0
v4 vdd 0 2.5
v5 vss 0 -2.5
.OPTIONS INGOLD=2 ABSTOL=1E-12
.dc vin -2.5 2.5 0.0005
.option post
.print tran I(m5) v(5) v(in-) v(out)
.end
```

APÊNDICE C – DESCRIÇÃO SPICE DO FDA EM MALHA ABERTA

```

.lib '<path>\<to>\xh018\lp3mos\xh018.lib' tm
.lib '<path>\<to>\xh018\lp3mos\param.lib' 3s
***** CMFB Block *****

.subckt cmfb_rasoul vop von vcm vdd vss vout
x1 3 vop 1 1 pe l=0.8918u w=35.91u delvto=0
x2 3 von 2 2 pe l=0.8918u w=35.91u delvto=0
x3 vout vcm 1 1 pe l=0.8918u w=35.91u delvto=0
x4 vout vcm 2 2 pe l=0.8918u w=35.91u delvto=0
x5 vout 3 vss vss ne l=0.4628u w=7.19u delvto=0
x6 3 3 vss vss ne l=0.4628u w=7.19u delvto=0
I1 vdd 1 15.19u
I2 vdd 2 15.19u
.ends

***** FDA Block Including CMFB *****

.subckt fd_cmfb vip vin vop von vdd vss vcm vcme vcme1
x1 von vip 1 1 ne w=36.29u l=0.197u delvto=0
x2 vop vin 1 1 ne w=36.29u l=0.197u delvto=0
x3 von 2 vdd vdd pe w=27.41u l=6.83u delvto=0
x4 vop 2 vdd vdd pe w=27.41u l=6.83u delvto=0
x5a 1 v1 vss vss ne w=15.3u l=9.75u delvto=0
x5b 1 vcme vss vss ne w=15.3u l=9.75u delvto=0
x6 2 v1 vss vss ne w=15.3u l=9.75u delvto=0
x7 2 2 vdd vdd pe w=27.41u l=6.83u delvto=0
V1 v1 0 -167.045m
V2 vcme vcme1 -167.045m
Xcmfb vop von vcm vdd vss vcme1 cmfb_rasoul
.ends

***** Test Setup *****

vdd vdd 0 0.9

```

```
vss vss 0 -0.9
vcm vcm 0 0
x1 vip vin vop von vdd vss vcm vcmc vcml fd_cmfb
vdiff vip vin dc 0 ac 1m
vmean vin 0 0
c1 von 0 10p
c2 vop 0 10p
.ac dec 400 1e1 1e11
.options ingold=2 abstol=1E-12 runlvl=6 numdgt=10 post=1
.end
```

APÊNDICE D – DESCRIÇÃO SPICE DO FDA EM MALHA FECHADA

```
.lib '<path><to>\xh018\lp3mos\xh018.lib' tm
.lib '<path><to>\xh018\lp3mos\param.lib' 3s
***** CMFB Block *****

.subckt cmfb_rasoul vop von vcm vdd vss vout
x1 3 vop 1 1 pe l=0.8918u w=35.91u delvto=0
x2 3 von 2 2 pe l=0.8918u w=35.91u delvto=0
x3 vout vcm 1 1 pe l=0.8918u w=35.91u delvto=0
x4 vout vcm 2 2 pe l=0.8918u w=35.91u delvto=0
x5 vout 3 vss vss ne l=0.4628u w=7.19u delvto=0
x6 3 3 vss vss ne l=0.4628u w=7.19u delvto=0
I1 vdd 1 15.19u
I2 vdd 2 15.19u
.ends

***** FDA Block Including CMFB *****

.subckt fd_cmfb vip vin vop von vdd vss vcm vcme vcme1
x1 von vip 1 1 ne w=36.29u l=0.197u delvto=0
x2 vop vin 1 1 ne w=36.29u l=0.197u delvto=0
x3 von 2 vdd vdd pe w=27.41u l=6.83u delvto=0
x4 vop 2 vdd vdd pe w=27.41u l=6.83u delvto=0
x5a 1 v1 vss vss ne w=15.3u l=9.75u delvto=0
x5b 1 vcme vss vss ne w=15.3u l=9.75u delvto=0
x6 2 v1 vss vss ne w=15.3u l=9.75u delvto=0
x7 2 2 vdd vdd pe w=27.41u l=6.83u delvto=0
V1 v1 0 -167.045m
V2 vcme vcme1 -167.045m
Xcmfb vop von vcm vdd vss vcme1 cmfb_rasoul
.ends

***** Test Setup *****

vdd vdd 0 0.9
```

```
vss vss 0 -0.9
vcm vcm 0 0
x1 vip vin vop von vdd vss vcm vcmc vcmc1 fd_cmfb
c1 von 0 10p
c2 vop 0 10p
vdiff vip2 0 dc 0 ac 200m
r21 vop vin 880k
r22 von vip 880k
r11 vip vip2 440k
r12 vin vin2 440k
vgnd vin2 0 0
.ac dec 400 1e1 1e11
.OPTIONS INGOLD=2 ABSTOL=1E-12
.end
```

**APÊNDICE E – ARQUIVO DE DESCRIÇÃO DE FALHAS PARA CIRCUITOS PMOS-DA E
NMOS-DA**

m1 open 1 2 3

m2 open 1 2 3

m3 open 1 2 3

m4 open 1 2 3

m5 open 1 2 3

m6 open 1 2 3

m7 open 1 2 3

m8 open 1 2 3

m1 short 1 2 1 3 2 3

m2 short 1 2 1 3 2 3

m3 short 1 2 1 3 2 3

m4 short 1 2 1 3 2 3

m5 short 1 2 1 3 2 3

m6 short 1 2 1 3 2 3

m7 short 1 2 1 3 2 3

m8 short 1 2 1 3 2 3

APÊNDICE F – ARQUIVO DE DESCRIÇÃO DE FALHAS PARA O FDA

cmfb_rasoul.x1 open 1 2 3
cmfb_rasoul.x2 open 1 2 3
cmfb_rasoul.x3 open 1 2 3
cmfb_rasoul.x4 open 1 2 3
cmfb_rasoul.x5 open 1 2 3
cmfb_rasoul.x6 open 1 2 3
cmfb_rasoul.x1 short 1 2 1 3 2 3
cmfb_rasoul.x2 short 1 2 1 3 2 3
cmfb_rasoul.x3 short 1 2 1 3 2 3
cmfb_rasoul.x4 short 1 2 1 3 2 3
cmfb_rasoul.x5 short 1 2 1 3 2 3
cmfb_rasoul.x6 short 1 3 2 3
fd_cmfb.x1 open 1 2 3
fd_cmfb.x2 open 1 2 3
fd_cmfb.x3 open 1 2 3
fd_cmfb.x4 open 1 2 3
fd_cmfb.x5a open 1 2 3
fd_cmfb.x5b open 1 2 3
fd_cmfb.x6 open 1 2 3
fd_cmfb.x7 open 1 2 3
fd_cmfb.x1 short 1 2 1 3 2 3
fd_cmfb.x2 short 1 2 1 3 2 3
fd_cmfb.x3 short 1 2 1 3 2 3
fd_cmfb.x4 short 1 2 1 3 2 3
fd_cmfb.x5a short 1 2 1 3
fd_cmfb.x5b short 1 2 1 3 2 3
fd_cmfb.x6 short 1 2 1 3
fd_cmfb.x7 short 1 3 2 3
cmfb_rasoul.x1 param 1 +25% 1 -25% delvto -50e-3

cmfb_rasoul.x2 param 1 +25% 1 -25% delvto -50e-3
cmfb_rasoul.x3 param 1 +25% 1 -25% delvto -50e-3
cmfb_rasoul.x4 param 1 +25% 1 -25% delvto -50e-3
cmfb_rasoul.x5 param 1 +25% 1 -25% delvto +50e-3
cmfb_rasoul.x6 param 1 +25% 1 -25% delvto +50e-3
fd_cmfb.x1 param 1 +25% delvto +50e-3
fd_cmfb.x2 param 1 +25% delvto +50e-3
fd_cmfb.x3 param 1 +25% 1 -25% delvto -50e-3
fd_cmfb.x4 param 1 +25% 1 -25% delvto -50e-3
fd_cmfb.x5a param 1 +25% 1 -25% delvto +50e-3
fd_cmfb.x5b param 1 +25% 1 -25% delvto +50e-3
fd_cmfb.x6 param 1 +25% 1 -25% delvto +50e-3
fd_cmfb.x7 param 1 +25% 1 -25% delvto -50e-3

APÊNDICE G – ALGORITMO PARA DETERMINAÇÃO DO CONJUNTO DE TESTES

OTIMIZADO

```

while FCT ~= length(DF) && Continue
    IndexTest = IndexTest + 1;
    TableData{IndexTest,1} = num2str(IndexTest);
    [BestConfig, BestFC, FCBestRef] = BestTest(NewFaultMatrix,
faultMatrix);
    for IndexFault = 1:length(NewFaultMatrix(1,1,:))
        if NewFaultMatrix(BestConfig(1),BestConfig(3),IndexFault)
            NewFaultMatrix(:, :, IndexFault) = 0;
        end
    end
    end
    BestNode = char(mainNodes(BestConfig(3)));
    TableData{IndexTest,2} = BestNode(3:end);
    if strcmp(ACDC, 'AC')
        TableData{IndexTest,3} = [num2str(X(BestConfig(1))) 'Hz'];
        TableData{IndexTest,4} = [num2str(X(BestConfig(2))) 'Hz'];
    elseif strcmp(ACDC, 'DC')
        TableData{IndexTest,3} = [num2str(X(BestConfig(1))) 'v'];
        TableData{IndexTest,4} = [num2str(X(BestConfig(2))) 'v'];
    end
    end
    TableData{IndexTest,5} = num2str(FCBestRef);
    FCT = FCT + BestFC;
    TableData{IndexTest,6} = num2str(FCT);
    TableData{IndexTest,7} = [num2str(FCT*100/length(faultMatrix(1,1,:)))
'%'];
    [Tests(IndexTest, 1), ~] = str2num(strtok(num2str(BestConfig(1) +
(BestConfig(2) - BestConfig(1))/2), '.'));
    Tests(IndexTest, 2) = BestConfig(3);
end

```

APÊNDICE H – FUNÇÃO QUE DETERMINA O MELHOR TESTE

```

function [BestConfig, BestFC, FCBestRef] = BestTest(faultMatrix,
faultMatrixRef)
BestFC = 0;
BestConfig = [0 0 0];
BestConfig2 = [0 0 0];
IndexBestConfig2 = 1;
Faixa = 0;
for IndexNodes = 1:length(faultMatrix(1,:,1))
    for IndexFreq = 1:length(faultMatrix(:,1,1))
        FC = sum(sum(faultMatrix(IndexFreq, IndexNodes, :)));
        if FC > BestFC || BestConfig(1) == 0
            BestConfig = [IndexFreq IndexFreq IndexNodes];
            BestFC = FC;
            FCBestRef = sum(sum(faultMatrixRef(IndexFreq, IndexNodes, :)));
            Faixa = 1;
            BestConfig2 = [0 0 0];
            IndexBestConfig2 = 1;
        elseif FC == BestFC
            FCRef = sum(sum(faultMatrixRef(IndexFreq, IndexNodes, :)));
            if FCRef > FCBestRef
                BestConfig = [IndexFreq IndexFreq IndexNodes];
                BestFC = FC;
                FCBestRef = FCRef;
                Faixa = 1;
                BestConfig2 = [0 0 0];
                IndexBestConfig2 = 1;
            elseif FCRef == FCBestRef && Faixa == 0
                BestConfig2(IndexBestConfig2,:) = [IndexFreq IndexFreq
IndexNodes];
                IndexBestConfig2 = IndexBestConfig2 + 1;
                Faixa = 1;
            end
        else
            Faixa = 0;
        end
    end
end
Continue = 1;
while Continue && ~(BestConfig(2)+1 > length(faultMatrix(:, 1, 1)))

```

```

FC = sum(sum(faultMatrix(BestConfig(2)+1, BestConfig(3), :)));
FCRef = sum(sum(faultMatrixRef(BestConfig(2)+1, BestConfig(3), :)));
if FC == BestFC && FCRef == FCBestRef
    BestConfig(2) = BestConfig(2)+1;
else
    Continue = 0;
end
end
if BestConfig2(1,1) > 0
    for IndexBestConfig2 = 1:length(BestConfig2(:,1))
        Continue = 1;
        while Continue && ~(BestConfig2(IndexBestConfig2, 2)+1 >
length(faultMatrix(:, 1, 1)))
            FC = sum(sum(faultMatrix(BestConfig2(IndexBestConfig2, 2)+1,
BestConfig2(IndexBestConfig2, 3), :)));
            FCRef = sum(sum(faultMatrixRef(BestConfig2(IndexBestConfig2,
2)+1, BestConfig2(IndexBestConfig2, 3), :)));
            if FC == BestFC && FCRef == FCBestRef
                BestConfig2(IndexBestConfig2, 2) =
BestConfig2(IndexBestConfig2, 2)+1;
            else
                Continue = 0;
            end
        end
        if BestConfig2(IndexBestConfig2, 2) - BestConfig2(IndexBestConfig2,
1) > BestConfig(2) - BestConfig(1)
            BestConfig = BestConfig2(IndexBestConfig2, :);
        end
    end
end
end
end

```