

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
ESCOLA DE ENGENHARIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

TIAGO BUTZKE DOS SANTOS

ESTUDO E IMPLEMENTAÇÃO DE SINCRONIA DE INVERSORES TRIFÁSICOS GRID-  
TIED

Porto Alegre

2016

TIAGO BUTZKE DOS SANTOS

ESTUDO E IMPLEMENTAÇÃO DE SINCRONIA DE INVERSORES TRIFÁSICOS GRID-  
TIED

Monografia parcial apresentada para a  
obtenção do grau de Bacharel em  
Engenharia Elétrica na Universidade  
Federal do Rio Grande do Sul.

ORIENTADOR: PROF. DR. FAUSTO BASTOS LÍBANO

Porto Alegre

2016

## **AGRADECIMENTOS**

A Sibeles, minha esposa, pelo apoio emocional e técnico durante a realização do projeto.

À Versul Tecnologias, representada nas pessoas de Juliano Lazzarotto e Vander Eli da Silva, pela compreensão e pela disponibilização da estrutura da empresa para ensaios.

Ao meu professor orientador, Fausto Bastos Líbano, pela sugestão do tema do trabalho e pelo suporte e incentivo na realização do mesmo.

A Rafael Feron, pelo suporte com questões técnicas e pelo incentivo na realização do projeto.

## RESUMO

O recente aumento da utilização de fontes renováveis de energia para a produção de energia elétrica traz a necessidade de novos equipamentos que condicionam a energia gerada para a interligação com a rede elétrica convencional, como os inversores. Este documento apresenta um estudo dos blocos necessários para a sincronização de um inversor *grid-tied* e sua posterior implementação em um sistema embarcado que aciona um módulo inversor. Inicialmente, é feita a apresentação dos inversores fotovoltaicos, e das normas existentes para a sua utilização. A seguir, é explicado o funcionamento dos inversores monofásicos e trifásicos. Posteriormente, é apresentada a técnica de sincronização PLL, com dimensionamento e simulações. Um estudo sobre o controle de fluxo de potência é feito na sequência. Na parte de implementação, é apresentada a plataforma Renesas SK-S7G2, na qual foi desenvolvido o sistema utilizado nos ensaios, bem como o módulo inversor Semikron e os circuitos utilizados para as interfaces. Os ensaios realizados mostram que o sistema PLL utilizado para a sincronização dos sinais com a rede é bastante robusto e apresenta um tempo de resposta baixo, que possibilita a sincronização em até 14 ciclos de rede. São apresentadas, ainda, as dificuldades encontradas na utilização do módulo de potência, que insere ruído na parte de instrumentação.

**Palavras-chave:** Inversores. SPLL. Fluxo de potência. Sistemas embarcados.

## ABSTRACT

*The recent growth in usage of renewable power sources to produce electrical energy comes up with the necessity of new equipments that adapt the generated energy in order to connect to the mains grid, like the inverters. This document presents a study of the blocks needed to synchronize a grid-tied inverter and their later implementation in an embedded system that controls an inverter module. At first, the photovoltaic inverters are presented, as well as the normalization required to their application. Next, the operation of single-phase and three-phase inverters is explained. After that, the synchronization technique SPLL is presented, dimensioned and simulated. A study of power flow control is shown next. In the section of implementation, the Renesas SK-S7G2 platform, in which the system is developed, is presented, as well as the Semikron inverter module and the circuits used to interface the components. Performed experiments show that the PLL system used in synchronization with the mains grid is robust and has a low response time, which allows for synchronization as fast as 14 grid cycles. At last, it is presented the difficulties faced during the usage of the power module, which inserts noise into the instrumentation circuits.*

**Keywords:** *Inverters. SPLL. Power flow. Embedded systems.*

## LISTA DE ILUSTRAÇÕES

Figura 1 – Propostas para usinas solares .....	11
Figura 2 – Esquema simplificado de microinversor fotovoltaico monofásico.....	13
Figura 3 – Subgrupos de inversores <i>grid-tied</i> .....	14
Figura 4 – Controle de microinversor conectado à rede.....	17
Figura 5 – Inversores monofásicos .....	19
Figura 6 – Inversor monofásico – saída em onda quadrada .....	20
Figura 7 – Inversor monofásico – saída em PWM de pulso único.....	21
Figura 8 – Inversor monofásico acionado por modulação SPWM.....	23
Figura 9 – Inversor trifásico .....	23
Figura 10 – Acionamento de inversor trifásico por condução em 180° .....	25
Figura 11 – Inversor trifásico acionado por SPWM .....	26
Figura 12 – Saída de linha para inversor trifásico acionado por SPWM .....	27
Figura 13 – Espectro de frequência de PWM com portadora a 1kHz e moduladora a 60Hz.....	28
Figura 14 – Filtro LCL.....	29
Figura 15 – Diagrama de PLL .....	30
Figura 16 – Representação de PLL como um sistema linear .....	32
Figura 17 – Diagrama de bode de filtro PI.....	33
Figura 18 – Entrada e saída de PLL com $\omega_n = \omega_c/4$ .....	37
Figura 19 – Sinais intermediários do PLL com $\omega_n = \omega_c/4$ .....	38
Figura 20 – Erro de fase percentual para PLL com diferentes $\omega_n$ .....	40
Figura 21 – PLL trifásico referenciado na fase a .....	41
Figura 22 – PLL trifásico clássico.....	42
Figura 23 – PLL trifásico proposto por Phipps, Harrison e Duke (2006) .....	42
Figura 24 – Entrada e saída do PLL trifásico de Phipps, Harrison e Duke (2006) com $K=100$ .....	43
Figura 25 – Erro de fase para PLL trifásico de Phipps, Harrison e Duke (2006) com $K=100$ .....	43
Figura 26 – Saída do PD do PLL trifásico de Phipps, Harrison e Duke (2006) com $K=100$ .....	44
Figura 27 – Interligação para controle de fluxo como fonte de tensão .....	45
Figura 28 – Diagrama fasorial da interface para inversor monofásico .....	46

Figura 29 – Sistema de controle integral para fluxo de potência.....	48
Figura 30 – Controle de Fluxo de Potência integrado a PLL.....	49
Figura 31 – Controle de fluxo de potência.....	50
Figura 32 – Interligação para controle de fluxo como fonte de corrente.....	51
Figura 33 – Plataforma de desenvolvimento Renesas SK-S7G2.....	52
Figura 34 – Interface gráfica para configuração dos módulos do SSP.....	54
Figura 35 – Janela de configuração das propriedades do módulo <i>timer</i> .....	55
Figura 36 – Configuração do GPT para operação no modo PWM.....	56
Figura 37 – Configuração do conversor A/D para a leitura em modo contínuo.....	57
Figura 38 – Circuito de condicionamento dos sinais de entrada.....	58
Figura 39 – Circuito de condicionamento dos sinais de saída.....	59
Figura 40 – Fluxograma da implementação do SPLL na plataforma.....	60
Figura 41 – Módulo inversor Semikron.....	62
Figura 42 – Esquema simplificado da ligação do módulo inversor.....	62
Figura 43 – SPLL em regime permanente: referência (canal 1) e saída SPWM (canal 2).....	63
Figura 44 – SPLL em regime permanente: referência (canal 1) e saída filtrada (canal 2).....	64
Figura 45 – SPLL em regime transitório: referência (canal 1) e saída filtrada (canal 2).....	65
Figura 46 – SPLL trifásico em regime permanente: referência (canal 1), saída da fase b (canal 2), saída da fase a (canal 3) e saída da fase c (canal 4).....	65
Figura 47 – Sinais da etapa de potência: referência (canal 1) e saída filtrada (canal 2).....	66
Figura 48 – Sinais da etapa de potência: referência e saídas.....	67
Figura 49 – Captura do SPLL trifásico: referência $V_{ab}$ (canal 1), saída $V_{A'B'}$ (canal 4), saída $V_{B'C'}$ (canal 2) e saída $V_{C'A'}$ (canal 3).....	68

## LISTA DE SIGLAS

A/C	Analógico/Digital
ANEEL	Agência Nacional de Energia Elétrica
ANSI	<i>American National Standard Institute</i> (Instituto Nacional Americano de Padrões)
API	<i>Application Programming Interface</i> (Interface de Programação de Aplicação)
BRDE	Banco Regional de Desenvolvimento do Extremo Sul
CA	Corrente Alternada
CC	Corrente Contínua
CEEE-D	Companhia Estadual de Distribuição de Energia Elétrica
CSV	<i>Comma-Separated Values</i> (Valores Separados por Vírgula)
GLCD	<i>Graphic Liquid Cristal Display</i> (Display de Cristal Líquido Gráfico)
GPT	<i>General PWM Timer</i> (Temporizador PWM Geral)
HAL	<i>Hardware Abstraction Layer</i> (Camada de Abstração de <i>Hardware</i> )
IDE	<i>Integrated Development Environment</i> (Ambiente de Desenvolvimento Integrado)
IEA	<i>International Energy Agency</i> (Agência Internacional de Energia)
IGBT	<i>Insulated Gate Bipolar Transistor</i> (Transistor Bipolar de Porta Isolada)
IHM	Interface Homem-Máquina
IIR	<i>Infinite Impulse Response</i> (Resposta Infinita ao Impulso)
IT	Instrução Técnica
LF	<i>Lowpass Filter</i> (Filtro Passa-baixa)
LME	Laboratório de Máquinas Elétricas
MPPT	<i>Maximum Power Point Tracking</i> (Rastreamento de Ponto de Potência Máxima)
PCC	Ponto de Conexão Comum
PD	<i>Phase Detector</i> (Detector de Fase)
PI	Proporcional e Integral
PLL	<i>Phase-Locked Loop</i> (Malha de Captura de Fase)
PWM	<i>Pulse Width Modulation</i> (Modulação por Largura de Pulso)
RTC	<i>Real Time Clock</i> (Relógio de Tempo Real)
RTOS	<i>Real Time Operational System</i> (Sistema Operacional em Tempo Real)

SHE	<i>Selective Harmonic Elimination</i> (Eliminação Seletiva de Harmônicas)
SIN	Sistema Integrado Nacional
SPLL	<i>Software Phase-Locked Loop</i> (Malha de Captura de Fase por Software)
SPWM	<i>Sinusoidal Pulse Width Modulation</i> (Modulação por Largura de Pulso Senoidal)
SSP	<i>Synergy™ Software Package</i> (Pacote de Software Synergy™)
SVM	<i>Space Vector Modulation</i> (Modulação por Vetor Espacial)
USB	<i>Universal Serial Bus</i> (Barramento Serial Universal)
VCO	<i>Voltage Controlled Oscillator</i> (Oscilador Controlado por Tensão)

## SUMÁRIO

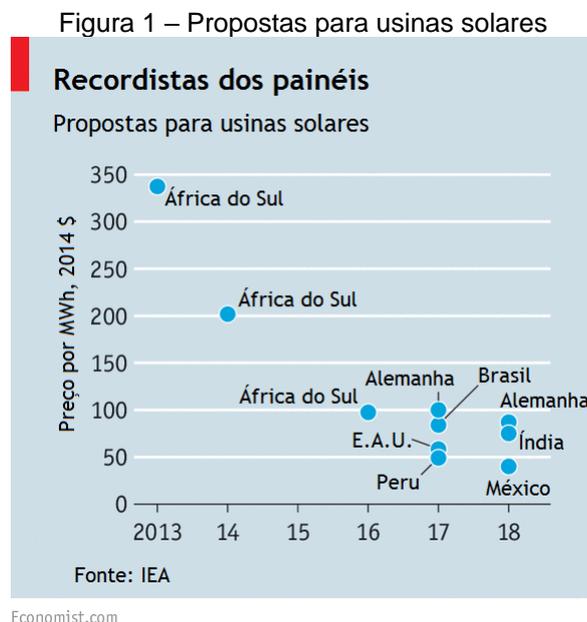
<b>1 INTRODUÇÃO</b> .....	<b>11</b>
1.1 INVERSORES FOTOVOLTAICOS .....	12
1.2 NORMA BRASILEIRA .....	15
1.3 PROTEÇÃO ANTI-ILHAMENTO .....	16
1.4 OBJETIVO.....	17
<b>2 INVERSOR</b> .....	<b>19</b>
2.1 INVERSOR MONOFÁSICO .....	19
<b>2.1.1 Acionamento por PWM</b> .....	<b>21</b>
<b>2.1.2 Acionamento por SPWM</b> .....	<b>22</b>
2.2 INVERSOR TRIFÁSICO.....	23
<b>2.2.1 Acionamento pulsado</b> .....	<b>24</b>
<b>2.2.2 Acionamento por SPWM</b> .....	<b>25</b>
2.3 FILTRO DE SAÍDA.....	28
<b>3 MALHA DE CAPTURA DE FASE (PLL)</b> .....	<b>30</b>
3.1 DIMENSIONAMENTO.....	32
3.2 DISCRETIZAÇÃO .....	35
3.3 SIMULAÇÕES.....	36
3.4 PLL TRIFÁSICO.....	41
<b>4 CONTROLE DE FLUXO DE POTÊNCIA</b> .....	<b>45</b>
4.1 CONTROLE COMO FONTE DE TENSÃO.....	45
4.2 CONTROLE COMO FONTE DE CORRENTE .....	51
<b>5 IMPLEMENTAÇÃO</b> .....	<b>52</b>
5.1 PLATAFORMA DE DESENVOLVIMENTO .....	52
5.2 CONFIGURAÇÃO DOS BLOCOS DA PLATAFORMA .....	55
5.3 CONDICIONAMENTO DOS SINAIS .....	57
5.4 IMPLEMENTAÇÃO DO SPLL .....	59
5.5 ETAPA DE POTÊNCIA .....	61
<b>6 ENSAIOS E RESULTADOS EXPERIMENTAIS</b> .....	<b>63</b>
6.1 ENSAIOS COM O CONTROLADOR .....	63
6.2 ENSAIOS COM O MÓDULO INVERSOR .....	66
<b>7 CONCLUSÃO</b> .....	<b>70</b>
<b>REFERÊNCIAS</b> .....	<b>72</b>

<b>BIBLIOGRAFIA CONSULTADA .....</b>	<b>75</b>
<b>APÊNDICE A – CONECTORES DO MÓDULO DE POTÊNCIA SEMIKRON .....</b>	<b>76</b>
<b>APÊNDICE B – BANCADA PARA EXPERIMENTO COM MÓDULO INVERSOR ..</b>	<b>77</b>
<b>ANEXO – FUNCIONALIDADES E PINAGEM DO DRIVER SKHI 22A .....</b>	<b>78</b>

## 1 INTRODUÇÃO

A demanda mundial de energia elétrica aumenta constantemente, e cada vez mais se procura novas formas de produzir energia. Nos últimos anos, tem-se investido fortemente em geração de energia através de fontes renováveis, como eólica e solar. A energia solar, em especial, vem se popularizando com grande velocidade, tendo crescido 26% no ano de 2015 (THE ECONOMIST, 2016).

Considerando a criação de usinas geradoras de grande capacidade, o custo da energia solar, se levados em conta fatores como a vida útil dos equipamentos, está chegando próximo até mesmo das fontes mais baratas de energia, como gás e carvão. A Figura 1 mostra a tendência de preços por megawatt hora para instalações de energia solar de grande porte, com base em contratos de longo termo, o que evidencia a queda dos custos mesmo para países em desenvolvimento. O maior fator para a redução do preço da energia fotovoltaica é a queda do preço de painéis solares, que acumula 80% desde 2010 (THE ECONOMIST, 2016).



Fonte: Traduzido de The Economist (2016)

No Brasil, a partir da criação da Resolução Normativa N° 482 da Agência Nacional de Energia Elétrica (ANEEL), de 17 de abril de 2012, é permitido aos consumidores gerar e fornecer energia elétrica à rede de distribuição, criando um banco de

créditos que pode ser consumido em até 60 meses. A norma define a microgeração distribuída como central geradora de energia elétrica com potência menor ou igual a 75kW (ANEEL, 2012). Para essas condições, a utilização de microinversores torna-se aplicável.

O Governo do Estado do Rio Grande do Sul lançou, em 3 de agosto de 2016, o programa RS Energias Renováveis, que incentiva a exploração de fontes renováveis de energia, tanto para pessoas físicas quanto para jurídicas (RIO GRANDE DO SUL, 2016). O programa disponibiliza R\$596 milhões para linhas de crédito através do Banco Regional de Desenvolvimento do Extremo Sul (BRDE) e do Badesul.

O estado é o segundo do país em potência fotovoltaica instalada, representando 11% do total nacional. Nos meses de junho e julho de 2016, a potência instalada de fonte fotovoltaica aumentou em 60%, e o número de projetos no setor, em 50% (RIO GRANDE DO SUL, 2016).

## 1.1 INVERSORES FOTOVOLTAICOS

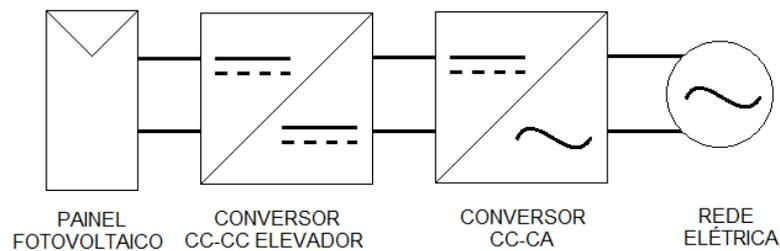
Os painéis fotovoltaicos captam a energia solar e a transformam em energia elétrica, gerando corrente contínua com tensão de até 48V. Os inversores fotovoltaicos convertem a tensão CC gerada pelos painéis para tensão CA, utilizada pela grande maioria dos equipamentos elétricos. Esses sistemas se dividem em dois grandes grupos:

- a) *isolado (off-grid ou stand-alone)*: opera isolado da rede elétrica convencional. Conta com sistema de armazenamento para que a energia excedente gerada nos horários de maior irradiação solar não seja desperdiçada e possa ser utilizada em horários de menor irradiação ou de maior demanda. Quando a energia armazenada termina, o controle deve fazer o chaveamento para que a carga passe a ser alimentada pela rede convencional;
- b) *conectado à rede (grid-tied)*: opera sincronizado com a rede elétrica convencional. Não possui armazenamento, pois é possível que a energia gerada excedente seja transferida para a rede. Por outro lado, quando a ener-

gia gerada é insuficiente para alimentar a carga, o sistema consome diretamente da rede à qual está conectada, sem a necessidade de chaveamento. Esse grupo de inversores conta com proteções especiais para manter a tensão gerada sincronizada com a rede à qual está ligado e para se desconectar da rede caso ela apresente falhas.

Os inversores *grid-tied* são de interesse deste projeto. Dividem-se também em vários grupos, de acordo com a disposição de seus blocos. Um esquema simplificado de um inversor fotovoltaico monofásico está representado na Figura 2. A energia captada pelo painel fotovoltaico é elevada através de um conversor CC-CC até tensão suficientemente alta para alimentar o inversor CC-CA, que gera a tensão alternada de acordo com a rede elétrica à qual o inversor é conectado.

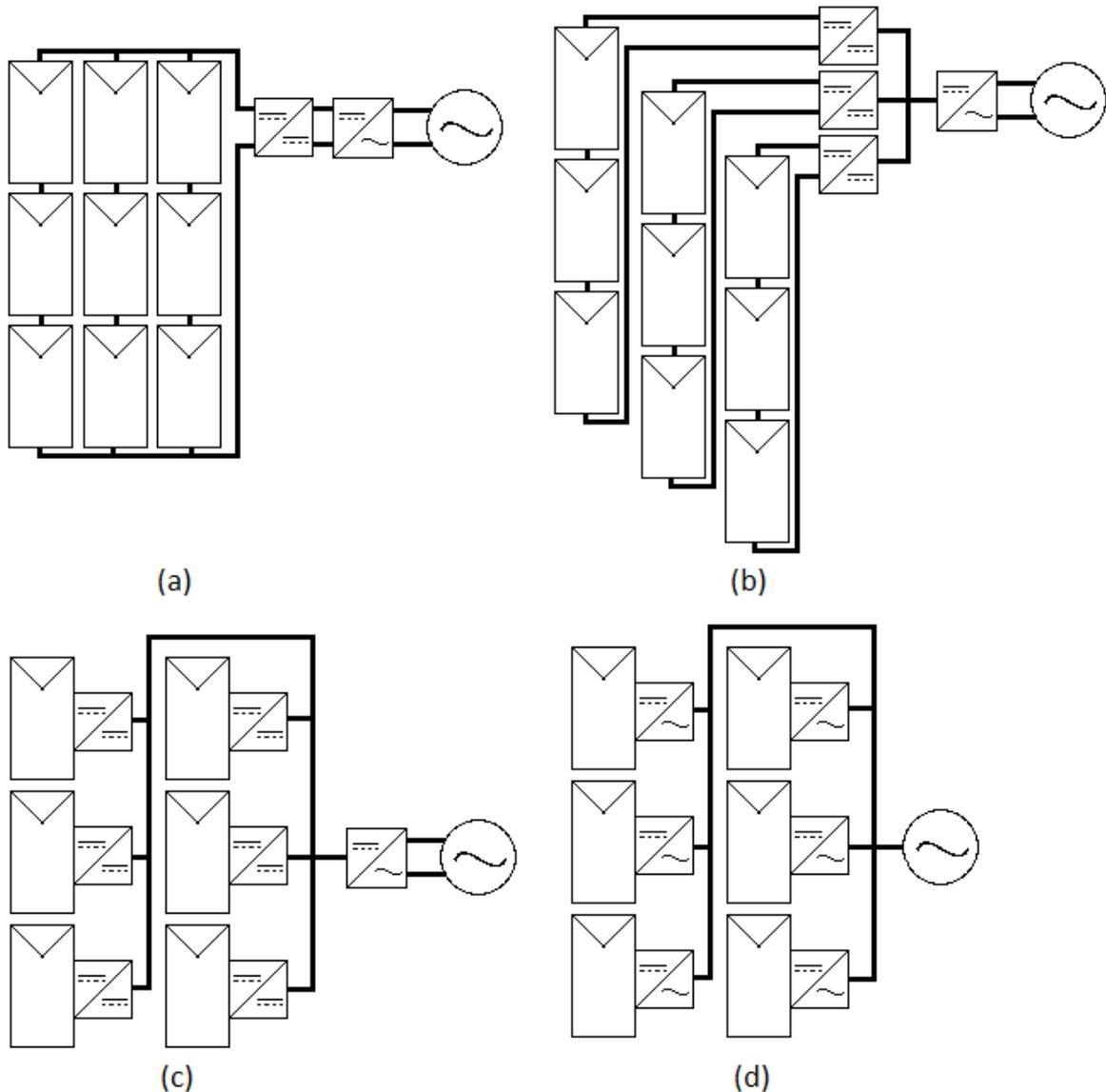
Figura 2 – Esquema simplificado de microinversor fotovoltaico monofásico



Fonte: Autoria própria.

Os subgrupos de inversores *grid-tied* são ilustrados na Figura 3. A configuração mais básica é o inversor central (a), que conta com séries de painéis ligados a um conversor CC-CA. A disposição dos painéis em série se dá para elevar a tensão CC a um nível que possibilite a conversão direta para CA, sem uma etapa de elevação. Esse tipo de inversor tem o menor custo de instalação, visto que conta apenas com uma etapa de controle. No entanto, a etapa de controle é responsável por processar o Rastreamento de Ponto de Máxima Potência (MPPT – *Maximum Power Point Tracking*) de um conjunto muito grande de painéis, e a eficiência do sistema é reduzida, principalmente em ambientes onde a orientação dos painéis é diversificada e há sombreamento diferenciado em cada painel.

Figura 3 – Subgrupos de inversores *grid-tied*: (a) central; (b) serial; (c) com MPPT individuais; (d) microinversores



Fonte: Autoria própria.

Já os inversores seriais (b) contam com conversor CC-CC com controle de MPPT para cada série de painéis, aumentando o rendimento do sistema. A orientação adequada e o sombreamento mais uniforme em cada série facilitam o controle de captação de energia. Os conversores são ligados de forma a compor um barramento CC que alimenta o conversor CC-CA.

Os inversores com MPPT individuais por painel (c) possuem a extração da máxima potência do sistema, visto que se pode processar o MPPT de cada captador. O custo da instalação, entretanto, aumenta consideravelmente, devido à necessidade

de um conversor CC-CC elevador para cada painel. O conjunto de painéis é ligado de forma a compor um barramento CC, que é a entrada do conversor CC-CA.

A outra forma de construção de inversores é o microinversor (d). Cada painel conta com seus próprios conversores CC-CC e CC-CA, podendo ser ligados à rede elétrica independentemente. A singularidade do controle também permite a otimização da captação de energia com o MPPT. O interessante desse sistema é que, apesar de possuir o maior preço por capacidade, visto que cada painel tem o custo de um inversor, ele é totalmente modular, e o usuário pode aumentar a sua capacidade de geração gradualmente, apenas acrescentando microinversores um a um. A produção de microinversores em escala possibilitaria ao usuário a compra e a instalação de seus módulos sem a necessidade de consulta de um especialista (IEA, 1998). A Agência Internacional de Energia (IEA – *International Energy Agency*) prevê que, no futuro próximo, microinversores serão vendidos nas lojas de materiais elétricos (IEA, 1998).

## 1.2 NORMA BRASILEIRA

A Resolução Normativa Nº 482 da ANEEL, de 17 de abril de 2012, em seu Art. 1º, “estabelece as condições gerais para o acesso de microgeração e minigeração distribuída aos sistemas de distribuição de energia elétrica e o sistema de compensação de energia elétrica” (ANEEL, 2012).

A norma define microgeração e minigeração distribuída como uma central geradora de até 75kW e entre 75kW e 5MW<sup>1</sup>, respectivamente, que utilize fontes renováveis de energia e que esteja conectada à rede de distribuição através das unidades geradoras. O sistema de compensação de energia elétrica, por sua vez, permite às unidades consumidoras que emprestem à distribuidora local a energia ativa injetada na rede para posteriormente compensar o empréstimo com consumo de energia elétrica ativa. O prazo para a compensação do empréstimo é de 60 meses.

---

<sup>1</sup> O limite para fontes hídricas é de 3MW. Para cogeração qualificada ou fontes renováveis não hídricas, o limite é de 5MW.

O microgerador deve seguir as normas da concessionária de energia que opera na região onde é instalado. No caso da cidade de Porto Alegre, a concessionária é a Companhia Estadual de Distribuição de Energia Elétrica (CEEE-D). A CEEE-D define os requisitos para a instalação de microgeradores através de Instruções Técnicas (IT). Para equipamentos ligados à rede de baixa tensão, a IT-81.081, de novembro de 2014, define as proteções ANSI mínimas para um gerador conectado através de inversor (CEEE-D, 2014):

- a) ANSI 25: Função de sincronismo;
- b) ANSI 27: Função de proteção de subtensão de fase;
- c) ANSI 59: Função de proteção de sobretensão de fase;
- d) ANSI 81O: Função de proteção de sobrefrequência;
- e) ANSI 81U: Função de proteção de subfrequência;
- f) ANSI 78V: Função de proteção de ângulo de fase.

Caso as funções de proteção não sejam integradas ao inversor, devem ser instaladas através de relés secundários. A proteção ANSI 78V pode ser substituída por equivalente, desde que impeça a operação do equipamento em ilha, ou seja, desconectada do Sistema Integrado Nacional (SIN).

### 1.3 PROTEÇÃO ANTI-ILHAMENTO

Ilhamento é a operação continuada de um inversor *grid-tied* (ou gerador em geral) em casos onde a rede da distribuidora tenha sido desligada, cortada ou as linhas de distribuição tenham sido danificadas de modo tal que nenhuma energia elétrica é entregue por parte da distribuidora (IEA, 1998, traduzido pelo autor). O ilhamento apresenta riscos tanto às pessoas, como técnicos que venham a fazer manutenção na rede supondo que ela esteja desenergizada, quanto a equipamentos, que podem ser danificados devido a flutuações de tensão e frequência do inversor, que opera sem a referência da rede (IEA, 1998).

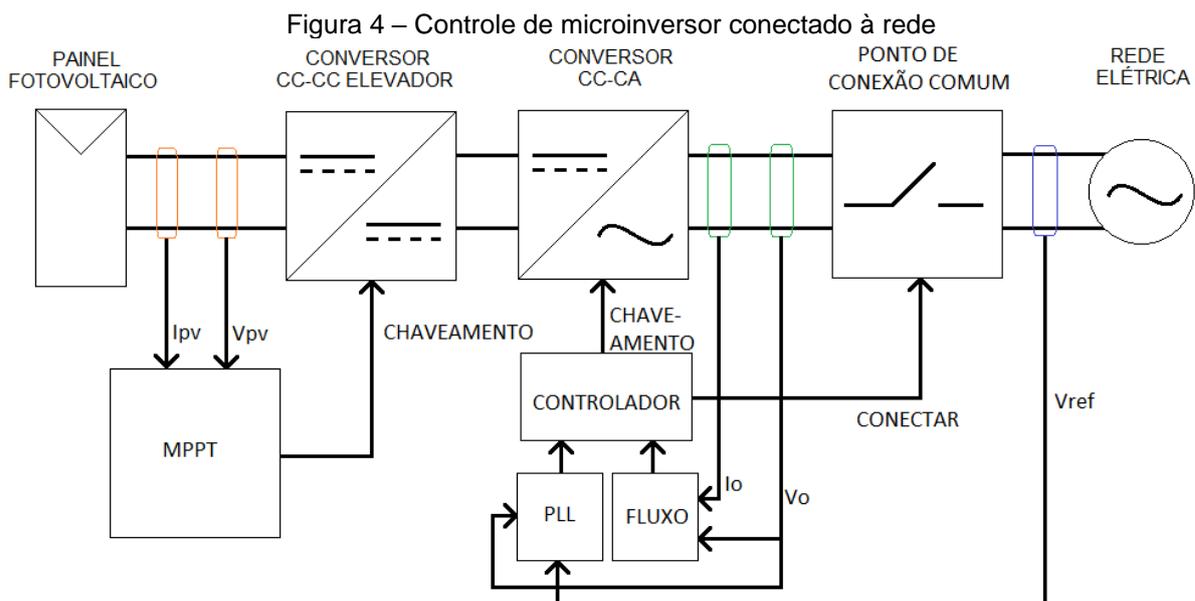
Os métodos para detecção de ilhamento são divididos em dois tipos:

- métodos passivos: monitoram alguns parâmetros da rede, como tensão e frequência, sinalizando um possível ilhamento caso os parâmetros monitorados se alterem de forma inesperada;
- métodos ativos: inserem distúrbios de maneira deliberada na rede, e monitoram a sua reação aos distúrbios.

Em ambos os métodos, a proteção anti-ilhamento deve desacoplar o gerador do sistema caso haja suspeita de falha na rede.

#### 1.4 OBJETIVO

Este trabalho visa estudar e implementar o controle de sincronismo de um inversor com a rede elétrica convencional. A finalidade do projeto é ser aplicado a microgeradores alimentados por painéis fotovoltaicos. A Figura 4 mostra o diagrama de um inversor fotovoltaico, composto por painel fotovoltaico, conversor CC-CC e inversor (conversor CC-CA). Na figura, estão representados os blocos de controle, tanto do conversor CC-CC quanto do CC-CA.



Fonte: Autoria própria.

O bloco de controle do conversor CC-CC deve monitorar a tensão e a corrente fornecidas pelo painel e realizar o chaveamento de modo a obter a máxima potência da fonte, através do MPPT. A saída do equipamento é um barramento CC com tensão suficiente para gerar a saída em CA de modo a inseri-la na rede.

O bloco de controle do inversor monitora a tensão da rede e gera a saída em CA de forma a sincronizar com a referência. Uma vez em sincronia, pode ser fechada a chave do Ponto de Conexão Comum (PCC), fazendo que com que o inversor esteja conectado à rede. Após a conexão, entra em ação o controle de fluxo de potência, para controlar as potências ativa e reativa a serem injetadas na rede.

O foco desse trabalho é o inversor. A solução desenvolvida deve gerar, a partir de um barramento CC, a saída em sincronia com a rede elétrica, pronta para efetuar a conexão com a rede. O controle e o monitoramento do sistema são feitos em um sistema embarcado, utilizando circuitos analógicos apenas para condicionamento dos sinais medidos e gerados para integrar com o módulo de potência.

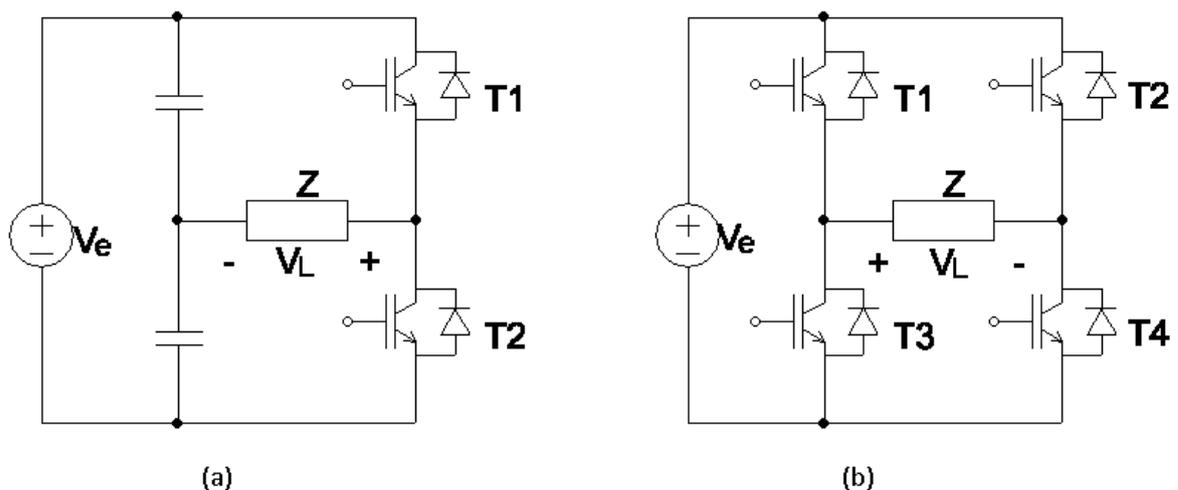
## 2 INVERSOR

O inversor é um conversor CC-CA, ou seja, converte uma tensão CC em tensão CA simétrica com amplitude e frequência controladas. A amplitude da saída pode ser controlada alterando a amplitude da entrada ou o ganho do inversor.

### 2.1 INVERSOR MONOFÁSICO

Duas topologias de inversor monofásico são apresentadas na Figura 5, de forma simplificada: o inversor de meia ponte (a) e o inversor de ponte completa (b), conhecido também como ponte H. A geração de tensão alternada na saída se dá com o acionamento alternado dos transistores.

Figura 5 – Inversores monofásicos: (a) meia ponte; (b) ponte completa



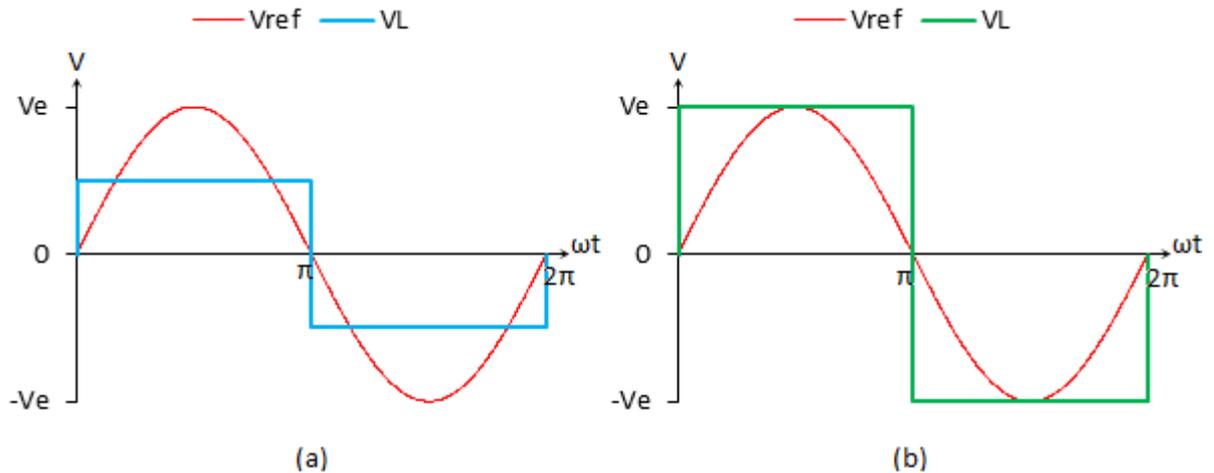
Fonte: Autoria própria.

No caso do inversor de meia ponte, quando o transistor T1 é acionado, na carga se tem a tensão  $V_e/2$ . Já quando o transistor T2 é acionado, a carga tem tensão  $-V_e/2$ . No tipo mais básico de chaveamento, T1 é acionado durante o semiciclo positivo e T2 durante o negativo. A forma de onda na saída ( $V_L$ ) é quadrada e pode ser visualizada na Figura 6(a), onde  $V_{ref}$  é a tensão de referência. A tensão eficaz na carga é dada pela eq.(1).

$$V_L^{ef} = \sqrt{\frac{2}{2\pi} \int_0^\pi \left(\frac{V_e}{2}\right)^2 d\omega t} = \frac{V_e}{2} \quad (1)$$

, onde  $V_L^{ef}$  é a tensão eficaz na carga e  $V_e$  é a tensão de entrada.

Figura 6 – Inversor monofásico – saída em onda quadrada: (a) meia ponte; (b) ponte completa



Fonte: Autoria própria.

Já no caso de inversor de ponte completa, dois transistores são acionados ao mesmo tempo. Quando T1 e T4 são acionados, a tensão na carga é igual a  $V_e$ . Quando T2 e T3 são ativados, a tensão de saída é  $-V_e$ . Analogamente ao caso da meia ponte, para saída em onda quadrada, T1 e T4 são acionados no semiciclo positivo, e T2 e T3, durante o semiciclo negativo. A forma de onda nesse caso é exibida na Figura 6(b). A tensão eficaz na carga é dada pela eq.(2).

$$V_L^{ef} = \sqrt{\frac{2}{2\pi} \int_0^\pi V_e^2 d\omega t} = V_e \quad (2)$$

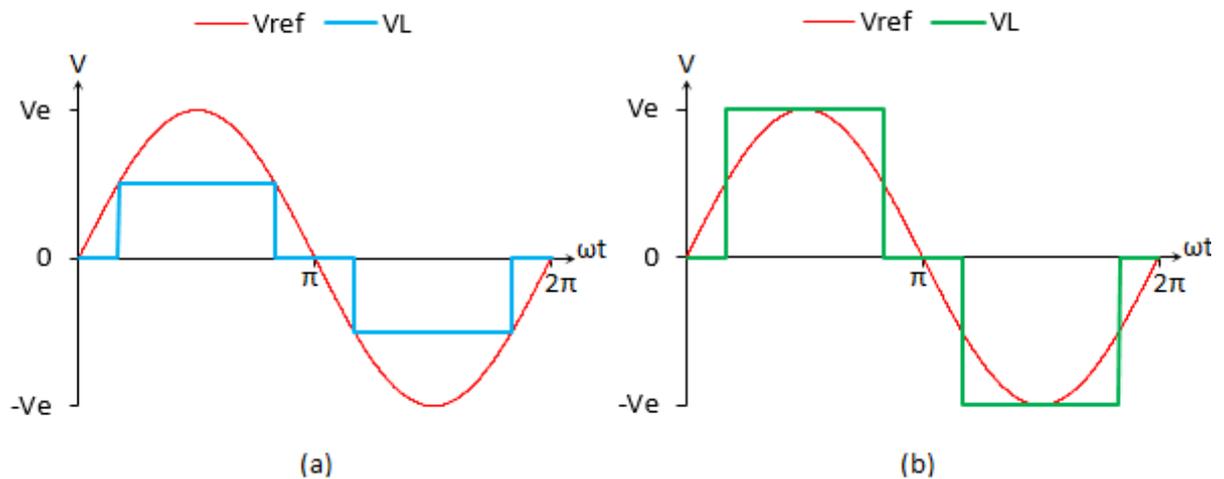
O método de chaveamento em onda quadrada é o mais simples de ser implementado e disponibiliza a maior quantidade de energia na saída (no caso do inversor em ponte completa, toda a energia do barramento CC é entregue à carga). No entanto, a distorção harmônica é muito alta, principalmente nas harmônicas de mais baixa ordem (LEON et al., 2016). Nesse método, não há forma alguma de controle da tensão

eficaz. Métodos mais sofisticados permitem o controle da tensão eficaz e até do formato de onda da saída. O método mais tradicional é a Modulação por Largura de Pulso (PWM – *Pulse Width Modulation*).

### 2.1.1 Acionamento por PWM

A fim de controlar a tensão eficaz e a forma de onda da saída de um inversor, métodos de modulação PWM são empregados no acionamento dos equipamentos. O acionamento em PWM mais simples é o de pulso único, que gera um pulso para cada semiciclo, e a variação da largura desse pulso determina a tensão eficaz da saída. Na Figura 7, são representadas as saídas em PWM de pulso único com ciclo de trabalho de 66% para os dois tipos de inversores apresentados anteriormente.

Figura 7 – Inversor monofásico – saída em PWM de pulso único: (a) meia ponte; (b) ponte completa



Fonte: Autoria própria.

A relação entre a tensão eficaz e o ciclo de trabalho  $d$  (*duty cycle*) é exibida nas equações (3) e (4) para o inversor de meia ponte e o de ponte completa, respectivamente.

$$V_L^{ef} = \sqrt{\frac{2}{2\pi} \int_{\alpha_1}^{\alpha_2} \left(\frac{V_e}{2}\right)^2 d\omega t} = \frac{V_e}{2} \sqrt{\frac{2}{2\pi} (\alpha_2 - \alpha_1)} = \frac{V_e}{2} \sqrt{d} \quad (3)$$

$$V_L^{ef} = \sqrt{\frac{2}{\pi} \int_{\alpha_1}^{\alpha_2} V_e^2 d\omega t} = V_e \sqrt{\frac{2}{\pi} (\alpha_2 - \alpha_1)} = V_e \sqrt{d} \quad (4)$$

, onde  $\alpha_1$  é o ângulo de acionamento do transistor,  $\alpha_2$ , o ângulo de desacionamento, sendo  $\alpha_1 < \alpha_2 < \pi$ , e  $d$  é o ciclo de trabalho, dado por:

$$d = \frac{\alpha_2 - \alpha_1}{\pi} \quad (5)$$

Os métodos de acionamento de pulso único servem para uma gama limitada de aplicações, em que a carga não exige formas de onda senoidais. Certamente não são adequados para inversores *grid-tied*, pois sua forma de onda de saída difere muito da forma de onda disponível na rede elétrica. Técnicas mais refinadas de acionamento são necessárias nesse caso, como o PWM Senoidal (SPWM – *Sinusoidal Pulse Width Modulation*).

### 2.1.2 Acionamento por SPWM

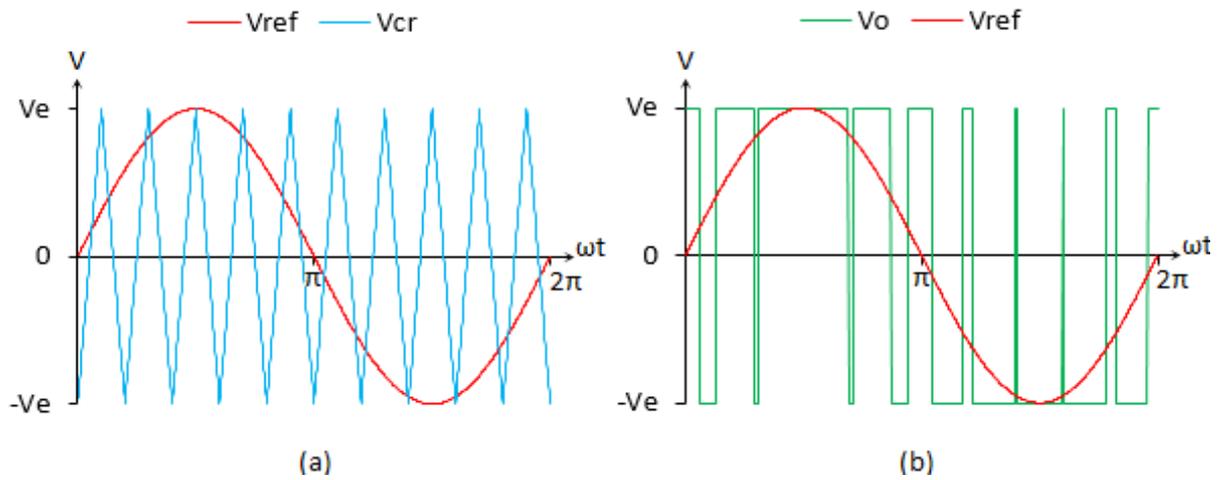
A geração do controle SPWM para um inversor de ponte completa é ilustrada na Figura 8. O sinal de referência, ou moduladora, é comparado com o sinal modulador, ou portadora, gerando a saída modulada. A largura do pulso é definida pelo valor instantâneo da referência. Em (a),  $V_{cr}$  é a portadora e  $V_{ref}$  é o sinal de referência. A comparação entre dois sinais gera a saída  $V_o$ , em (b).

O índice de modulação de frequência,  $m_f$ , é definido pela eq.(6), onde  $f_c$  é a frequência da portadora e  $f_m$  a frequência da moduladora.

$$m_f = \frac{f_c}{f_m} \quad (6)$$

Quanto maior for  $m_f$ , menor é a distorção harmônica de baixa ordem na saída. Segundo Leon et al. (2016), para  $m_f$  maior que 20, a distorção de baixa ordem é muito reduzida e não impõe problemas críticos a indutores e transformadores. A distorção aparece de forma relevante em harmônicas de ordem  $m_f$ . Na Figura 8, o índice de modulação de frequência utilizado foi 10.

Figura 8 – Inversor monofásico acionado por modulação SPWM: (a) sinal modulado  $V_{cr}$  e referência  $V_{ref}$ ; (b) sinal de saída  $V_o$  e referência  $V_{ref}$

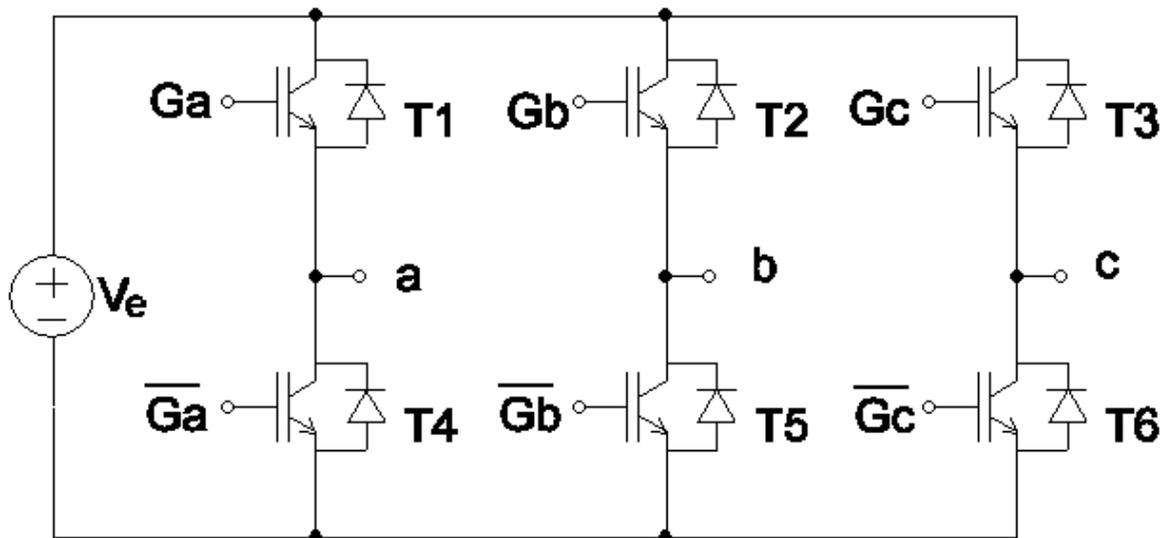


Fonte: Autoria própria.

## 2.2 INVERSOR TRIFÁSICO

O inversor trifásico gera, ao mesmo tempo, a saída para as três fases, a, b e c. Pode ser construído com a combinação de três inversores monofásicos e acionando as três saídas com defasagem de  $120^\circ$ . Um inversor trifásico em ponte é exibido na Figura 9.

Figura 9 – Inversor trifásico



Fonte: Autoria própria.

### 2.2.1 Acionamento pulsado

O acionamento mais simplificado do inversor trifásico consiste em habilitar cada transistor por meio ciclo de rede. Esse acionamento se chama condução por 180°, justamente porque cada transistor conduz por 180° dos 360° do ciclo de rede. Os sinais de gatilho e as tensões de fase e de linha para esse tipo de acionamento são exibidos na Figura 10. Considera-se, nesse caso, uma carga resistiva equilibrada conectada em estrela.

Nota-se que, nas tensões de linha  $V_{ab}$ ,  $V_{bc}$  e  $V_{ca}$ , seu valor é igual a  $\pm V_e$  durante 2/3 do período. A tensão eficaz é dada pela eq.(7). Já para as tensões de fase, o valor é de  $\pm V_e/3$  durante 2/3 do período e  $\pm 2V_e/3$  durante o outro terço. Seu valor eficaz é dado pela eq.(8). A relação entre as tensões eficazes de linha e de fase se preserva, e é exibida em (9).

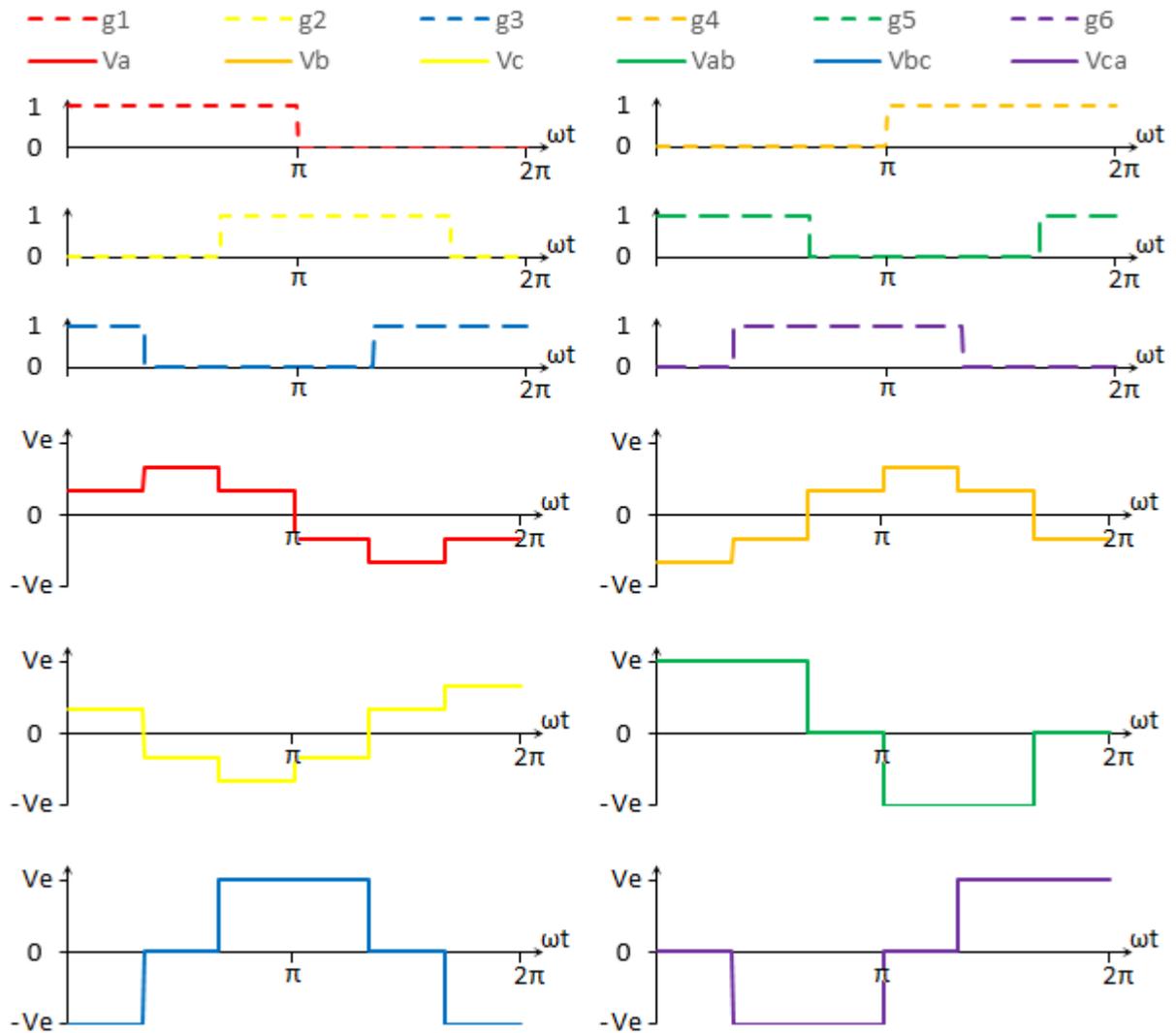
$$V_l^{ef} = \sqrt{\frac{2}{2\pi} \int_0^{\frac{2\pi}{3}} V_e^2 d\omega t} = \sqrt{\frac{2}{3}} V_e \quad (7)$$

$$V_f^{ef} = \sqrt{\frac{2}{2\pi} \left[ \int_0^{\frac{2\pi}{3}} \left(\frac{V_e}{3}\right)^2 d\omega t + \int_0^{\frac{\pi}{3}} \left(\frac{2V_e}{3}\right)^2 d\omega t \right]} = \frac{\sqrt{2}}{3} V_e \quad (8)$$

$$V_l^{ef} = \sqrt{3} V_f^{ef} \quad (9)$$

, onde  $V_l^{ef}$  é a tensão eficaz de linha,  $V_f^{ef}$ , a tensão eficaz de fase, e  $V_e$ , a tensão de entrada.

Figura 10 – Acionamento de inversor trifásico por condução em 180°



Fonte: Autoria própria.

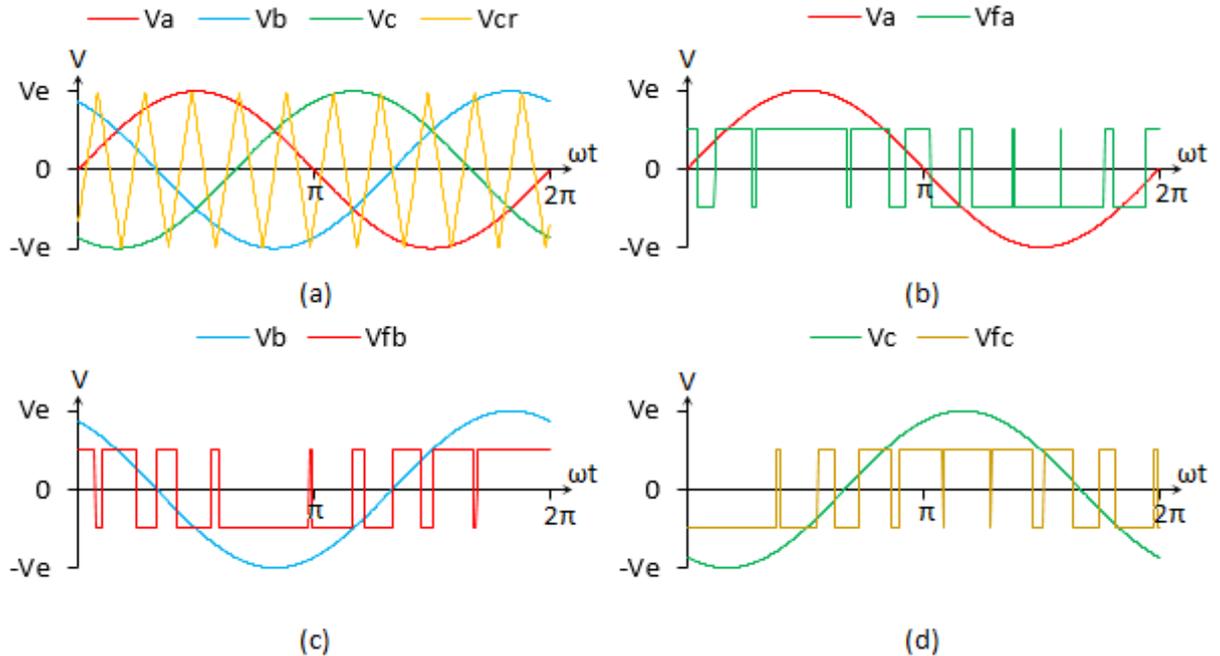
Existem ainda outros métodos de acionamento pulsado, como o de condução por 120°, em que cada transistor conduz por 120° do ciclo.

### 2.2.2 Acionamento por SPWM

Para um controle mais fino da tensão na saída do inversor trifásico, assim como para o inversor monofásico, o método de SPWM é comumente utilizado. Dessa vez, comparando a moduladora com a referência de cada fase, gera-se automaticamente a saída pulsada em cada terminal. A saída do inversor trifásico com modulação SPWM é ilustrada na Figura 11. Em (a), os sinais de referência para cada fase, e a moduladora triangular. Em (b), (c) e (d), as saídas para cada fase. Nota-se os picos (valores

com ciclo de trabalho próximo a 1) de cada sinal em fase com os picos da referência, e a defasagem de  $120^\circ$  entre cada saída.

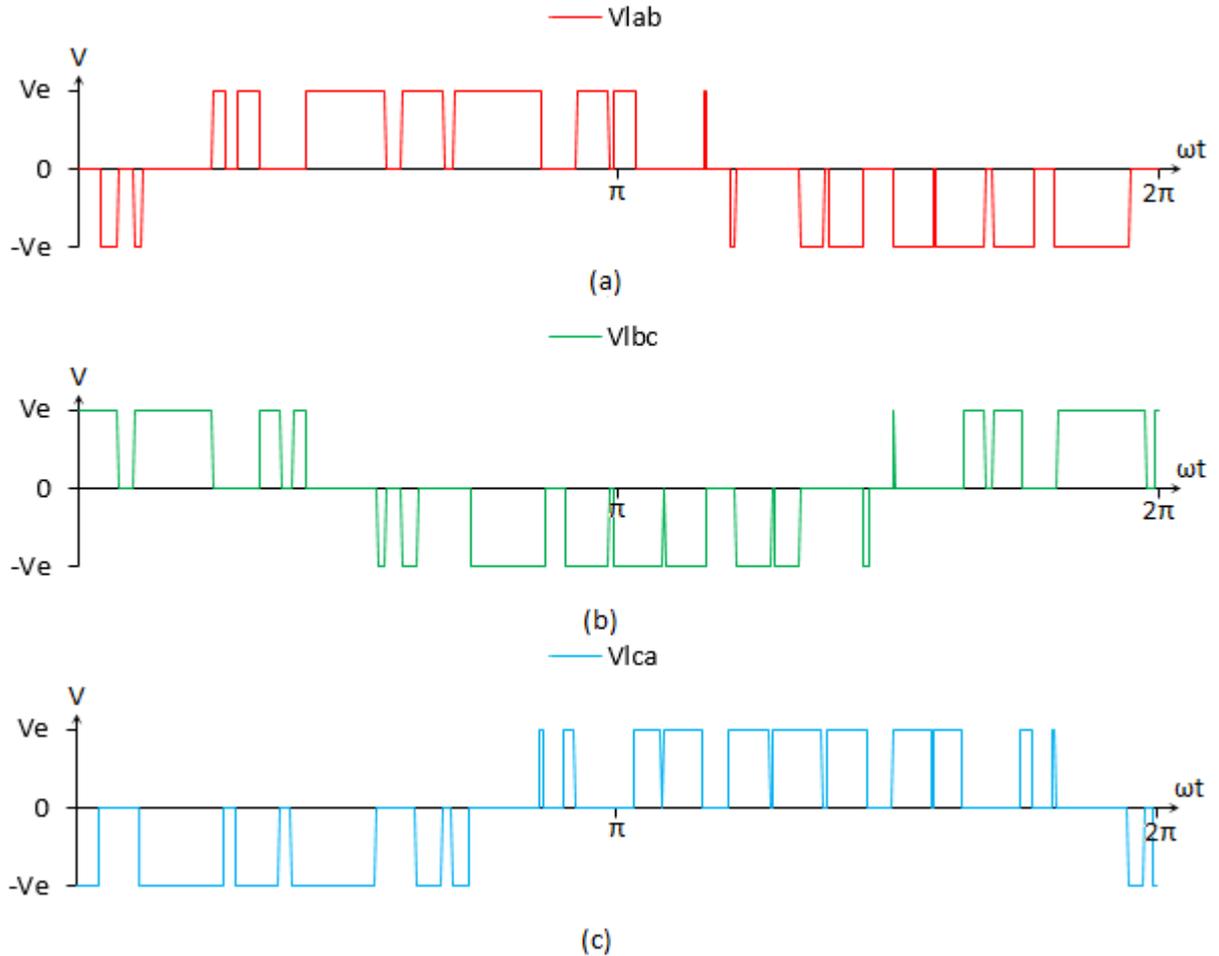
Figura 11 – Inversor trifásico acionado por SPWM: (a) sinais modulantes  $V_a$ ,  $V_b$  e  $V_c$ , e sinal modulador  $V_{cr}$ . (b) saída modulada da fase a,  $V_{fa}$ . (c) saída modulada da fase b,  $V_{fb}$ . (d) saída modulada da fase c,  $V_{fc}$



Fonte: Autoria própria.

A Figura 12 mostra as tensões de linha. Nota-se que a amplitude é maior que no caso das tensões de fase. A relação entre as tensões eficazes respeita a relação exibida na eq.(9). Percebe-se também que é respeitada a defasagem de  $120^\circ$  entre as tensões.

Figura 12 – Saída de linha para inversor trifásico acionado por SPWM: (a) tensão de linha  $V_{lab}$ ; (b) tensão de linha  $V_{lbc}$ ; (c) tensão de linha  $V_{lca}$



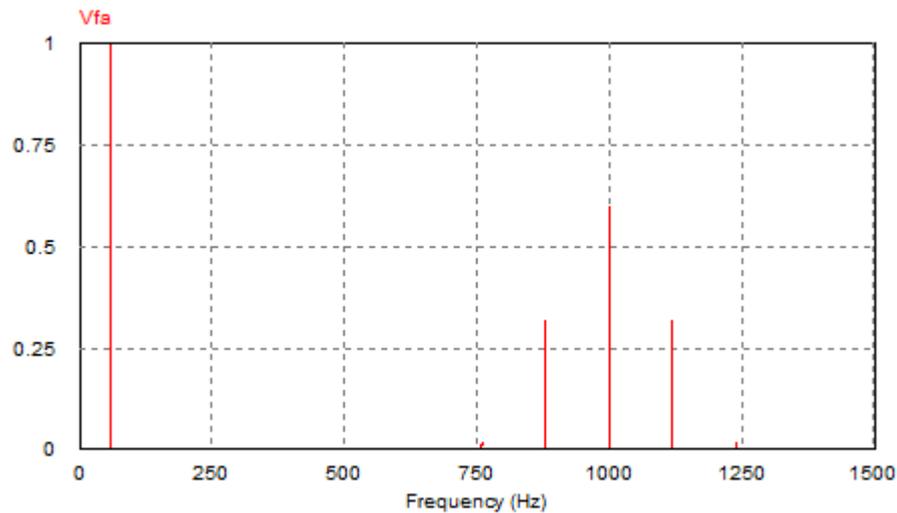
Fonte : Autoria própria.

Outros modos clássicos de modulação para inversores trifásicos são Modulação de Vetor Espacial (SVM – *Space Vector Modulation*) e Eliminação Seletiva de Harmônicas (SHE – *Selective Harmonic Elimination*), cujas vantagens e desvantagens foram explorados por Leon et al. (2016). A modulação SVM é similar à SPWM, no entanto, considera para cálculos de ciclo de trabalho as três fases em conjunto, aplicando a conversão espacial de vetores  $abc-\alpha\beta$ , conhecida como Transformada de Clarke. Já na modulação SHE, os tempos de chaveamento são calculados e pré-programados de forma a eliminar ou reduzir harmônicas que não sejam múltiplas de 3. Esse método permite que o projetista ajuste o sinal de acordo com as necessidades de seu produto. Tanto o modo SVM quanto o SHE são apresentados em detalhes por Espinoza (2001).

### 2.3 FILTRO DE SAÍDA

A saída do inversor apresenta a frequência do sinal de referência, mas também da portadora, além das bandas laterais. Para ilustrar, a Figura 13 exibe o espectro de frequência da saída da fase a de um inversor trifásico com referência a 60Hz e portadora a 1kHz.

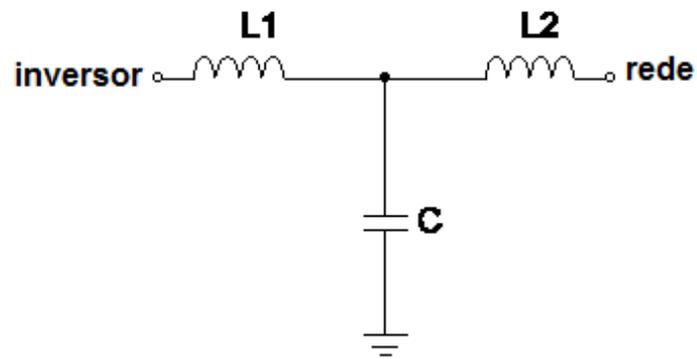
Figura 13 – Espectro de frequência de PWM com portadora a 1kHz e moduladora a 60Hz



Fonte: Autoria própria.

Dessa forma, para que não ocorra injeção de harmônicas na rede, o inversor deve ter um filtro aplicado à sua saída. Além de eliminar as harmônicas, o filtro de saída deve ter comportamento predominantemente indutivo para ser ligado à rede elétrica (TEODORESCU; LISERRE; RODRÍGUEZ, 2011). Um filtro composto apenas por um indutor já é capaz de cumprir esse objetivo. Para aplicações de baixa potência, na ordem de poucos quilowatts, como os sistemas fotovoltaicos, o valor dos indutores pode ser baixo. No entanto, os padrões de conexão com as redes exigem o corte de frequências acima de um certo valor. Dessa forma, o uso de filtros passa-baixa é recomendado, especialmente filtros de alta ordem como o LCL (Figura 14).

Figura 14 – Filtro LCL



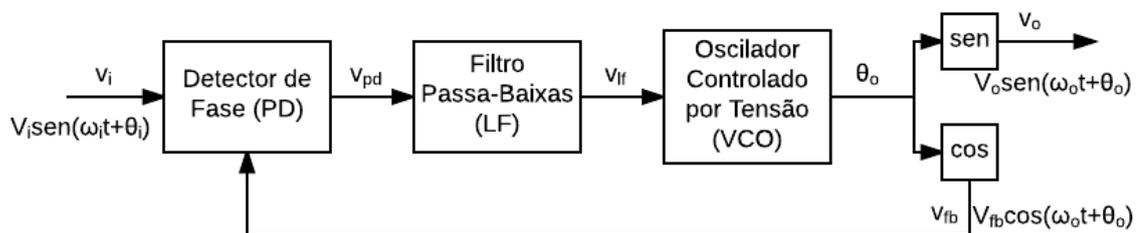
Fonte: Autoria própria.

A seleção dos componentes depende das características da rede e da potência do inversor, bem como da disposição dos pontos de medida de tensão e corrente utilizados para o controle. Liserre, Blaabjerg e Dell’aquila (2004) apresentam os passos para a seleção dos componentes do filtro.

### 3 MALHA DE CAPTURA DE FASE (PLL)

A Malha de Captura de Fase (PLL – *Phase-Locked Loop*) é usada para gerar saídas que seguem a entrada. Ela mantém um sinal de saída sincronizando com um sinal de entrada de referência em frequência e em fase (HSIEH; HUNG, 1996). O sistema PLL é formado basicamente por três blocos, conforme Figura 15: um detector de fase, um filtro passa-baixa e um oscilador controlado por tensão.

Figura 15 – Diagrama de PLL



Fonte: Autoria própria.

O Detector de Fase (PD – *Phase Detector*) é responsável por detectar a diferença de fase entre o sinal de entrada e o sinal de saída. Para sinais sinusoidais, o PD é implementado com um multiplicador. Assumindo  $v_i(t)$  como o sinal de entrada e  $v_{fb}(t)$  como sinal de realimentação:

$$v_i(t) = V_i \text{sen}(\omega_i t + \theta_i) \quad (10)$$

$$v_{fb}(t) = V_{fb} \text{cos}(\omega_o t + \theta_o) \quad (11)$$

, onde  $\omega_i$  e  $\omega_o$  são as frequências da entrada e da saída, respectivamente, e  $\theta_i$  e  $\theta_o$  são suas fases.

A saída do PD,  $v_{pd}(t)$ , é a multiplicação dos dois sinais, e é dada pela eq.(12). Segundo Eklund (2005), a defasagem de  $\pi/2$  radianos entre  $v_i$  e  $v_{fb}$  mantém a linearidade entre a entrada e a saída do bloco.

$$v_{pd}(t) = K_d \{ \text{sen}[(\omega_i - \omega_o)t + \theta_i - \theta_o] + \text{sen}[(\omega_i + \omega_o)t + \theta_i + \theta_o] \} \quad (12)$$

, onde  $K_d = \frac{V_i V_{fb}}{2}$  é o ganho do PD.

O Filtro Passa-baixa (LF – *Lowpass Filter* ou *Loop Filter*) remove as componentes de alta frequência, e na sua saída,  $v_{lf}$ , tem-se apenas as componentes de baixa frequência.

$$v_{lf}(t) = K_d \text{sen}[(\omega_i - \omega_o)t + \theta_i - \theta_o] \quad (13)$$

Quando o PLL está capturado ou perto da captura, assume-se  $\omega_i = \omega_o$ , e se tem:

$$v_{lf}(t) = K_d \text{sen}(\theta_i - \theta_o) \quad (14)$$

Para pequenas diferenças de fase entre entrada e saída, tem-se que:

$$v_{lf}(t) \approx K_d(\theta_i - \theta_o) \quad (15)$$

O Oscilador Controlado por Tensão (VCO – *Voltage Controlled Oscillator*) gera o sinal de saída em frequência definida pela saída do filtro. Opera em torno de uma frequência central,  $\omega_c$ , que varia conforme o valor da entrada:

$$\omega_o(t) = \omega_c + K_o v_{lf}(t) \quad (16)$$

, onde  $K_o$  é a sensibilidade do VCO.

A saída do PLL, por fim, é representada na eq.(17).

$$v_o(t) = \text{sen} \left[ \left( \omega_c + K_o v_{lf}(t) \right) t \right] \quad (17)$$

Por definição, a fase  $\theta_o$  é a integral da variação da frequência, ou seja:

$$\theta_o(t) = \int K_o v_{lf}(t) dt = K_o \int v_{lf}(t) dt \quad (18)$$

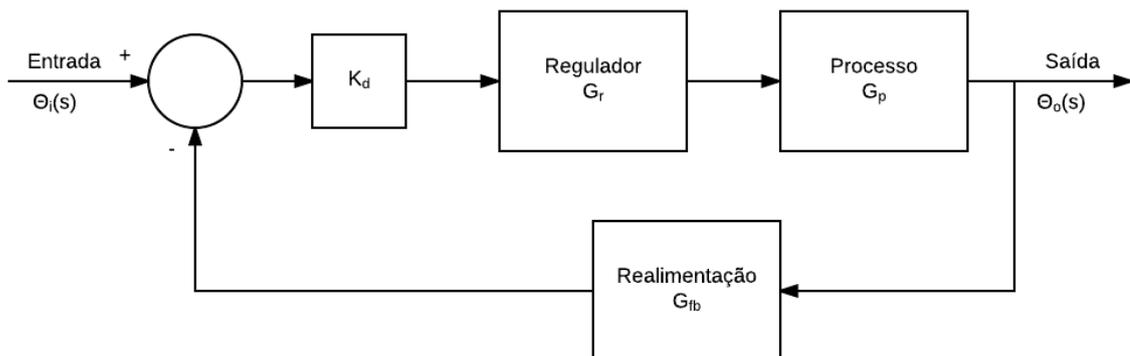
### 3.1 DIMENSIONAMENTO

O PLL pode ser considerado um sistema linear, conforme Figura 16, onde o VCO é o processo a ser controlado e o LF é o regulador. A função de transferência de tal sistema é expressa na eq.(19).

$$H(s) = \frac{\Theta_o(s)}{\Theta_i(s)} = \frac{K_d G_r(s) G_p(s) G_{fb}(s)}{1 + K_d G_r(s) G_p(s) G_{fb}(s)} \quad (19)$$

, onde  $\Theta_o(s)$  é a fase de saída,  $\Theta_i(s)$  é a fase de entrada,  $G_p(s)$  é a função do processo (VCO),  $G_r(s)$  é a função do regulador (LF),  $G_{fb}(s)$  é a função de realimentação e  $K_d$  é o ganho do PD.

Figura 16 – Representação de PLL como um sistema linear



Fonte: Autoria própria.

No diagrama do PLL apresentado na Figura 15, não há função de realimentação, o que significa que  $G_{fb}(s)=1$ . Já para o VCO, aplicando a transformada de Laplace à eq.(18), obtém-se:

$$\theta_o(s) = \frac{K_o V_{lf}(s)}{s} \quad (20)$$

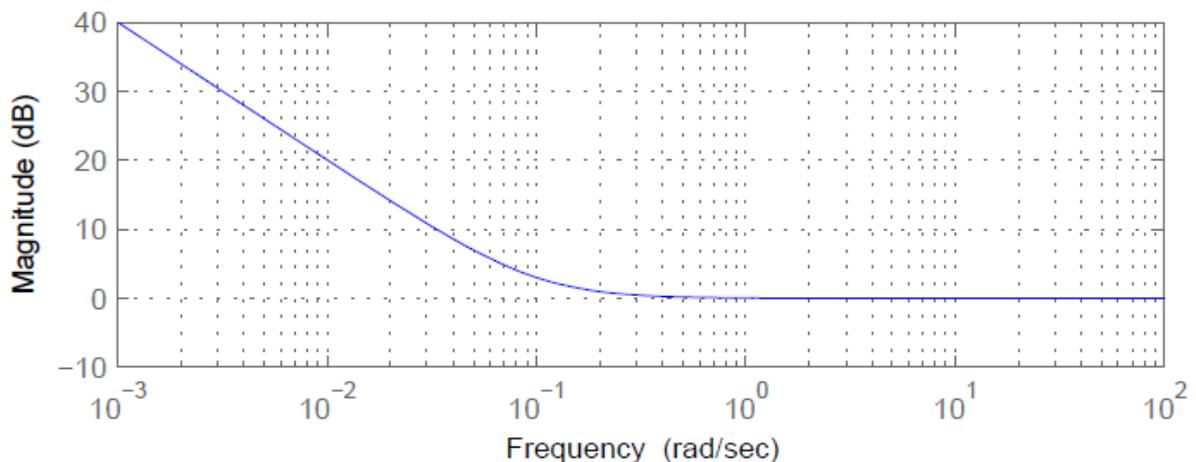
Portanto, a função de transferência do VCO é dada por:

$$G_p(s) = \frac{\theta_o(s)}{V_{lf}(s)} = \frac{K_o}{s} \quad (21)$$

Resta encontrar a função do LF. Eklund (2005) afirma que a escolha do LF é crítica para a aplicação, e lista três requisitos para um bom filtro: acurácia estática, velocidade e estabilidade. A acurácia estática indica o quão próximo de zero será o erro quando o tempo tender ao infinito. Já a velocidade indica o tempo que o sistema leva para chegar ao valor final. Dentre os filtros mais comuns utilizados em PLL, Eklund (2005) indica o filtro Proporcional e Integral (PI), pois permite alta acurácia estática. Mais precisamente, permite que o erro, ao infinito, seja zero. A função de transferência do filtro PI é mostrada na eq.(22) e seu diagrama de bode é exibido na Figura 17.

$$G_r(s) = \frac{1 + s\tau_2}{s\tau_1} \quad (22)$$

Figura 17 – Diagrama de bode de filtro PI



Fonte: Adaptado de Eklund (2005, p.14).

Com as funções de transferência de todos os blocos deduzidas, pode-se chegar à função de transferência do PLL:

$$H(s) = \frac{\frac{1 + s\tau_2 K}{s\tau_1}}{1 + \frac{1 + s\tau_2 K}{s\tau_1}} \quad (23)$$

, onde  $K=K_dK_o$ .

Na forma normalizada, eq.(23) se torna:

$$H(s) = \frac{2\omega_n\zeta s + \omega_n^2}{s^2 + 2\omega_n\zeta s + \omega_n^2} \quad (24)$$

, sendo  $\zeta$  o fator de amortecimento e  $\omega_n$  a frequência natural do filtro, que são definidas por:

$$\omega_n = \sqrt{\frac{K}{\tau_1}} \quad (25)$$

$$\zeta = \frac{\omega_n\tau_2}{2} \quad (26)$$

O fator de amortecimento impacta na velocidade e na estabilidade do filtro. Um valor considerado adequado para esse parâmetro é  $\zeta=1/\sqrt{2}$ , que apresenta a melhor relação entre velocidade e estabilidade (EKLUND, 2005). Também, segundo Rolfes (1994, traduzido pelo autor), “um sistema maximamente plano é normalmente visto como um ajuste adequado para alcançar uma pequena quantidade de oscilações enquanto retém um baixo tempo de estabilização”, e o fator de amortecimento de  $1/\sqrt{2}$  torna o sistema maximamente plano.

Já na escolha da frequência natural, aspectos não lineares devem ser levados em consideração. Um valor bem baixo pode ser uma boa opção se o sistema não tem restrições quanto à velocidade. Uma boa forma de encontrar o  $\omega_n$  ideal é realizando simulações.

Após a definição de  $\zeta$  e  $\omega_n$ , os parâmetros  $\tau_1$  e  $\tau_2$  podem ser encontrados isolando-os em (25) e (26).

$$\tau_1 = \frac{K}{\omega_n^2} \quad (27)$$

$$\tau_2 = \frac{2\zeta}{\omega_n} \quad (28)$$

### 3.2 DISCRETIZAÇÃO

Para a discretização do filtro, Eklund (2005) sugere a utilização de um filtro de Resposta ao Infinita ao Impulso (IIR – *Infinite Impulse Response*) e a utilização do método de transformação bilinear, por preservar a ordem e a estabilidade do filtro analógico. Para realizar a transformação, utiliza-se a substituição da eq.(29).

$$s \leftarrow \frac{2z - 1}{Tz + 1} \quad (29)$$

, onde T é o período de amostragem.

A função para o filtro exibida em (22), discretizada, torna-se:

$$G_r(z) = \frac{b_0 + b_1z^{-1}}{1 + a_1z^{-1}} \quad (30)$$

Os coeficientes da eq.(30) são definidos como segue:

$$a_0 = 1 \quad (31)$$

$$a_1 = -1 \quad (32)$$

$$b_0 = \frac{T}{2\tau_1} \left( 1 + \frac{1}{\tan\left(\frac{T}{2\tau_2}\right)} \right) \quad (33)$$

$$b_1 = \frac{T}{2\tau_1} \left( 1 - \frac{1}{\tan\left(\frac{T}{2\tau_2}\right)} \right) \quad (34)$$

A saída do filtro discretizada, finalmente, fica:

$$v_{lf}[n] = \frac{b_0 v_{pd}[n] + b_1 v_{pd}[n-1] + a_1 v_{lf}[n-1]}{a_0} \quad (35)$$

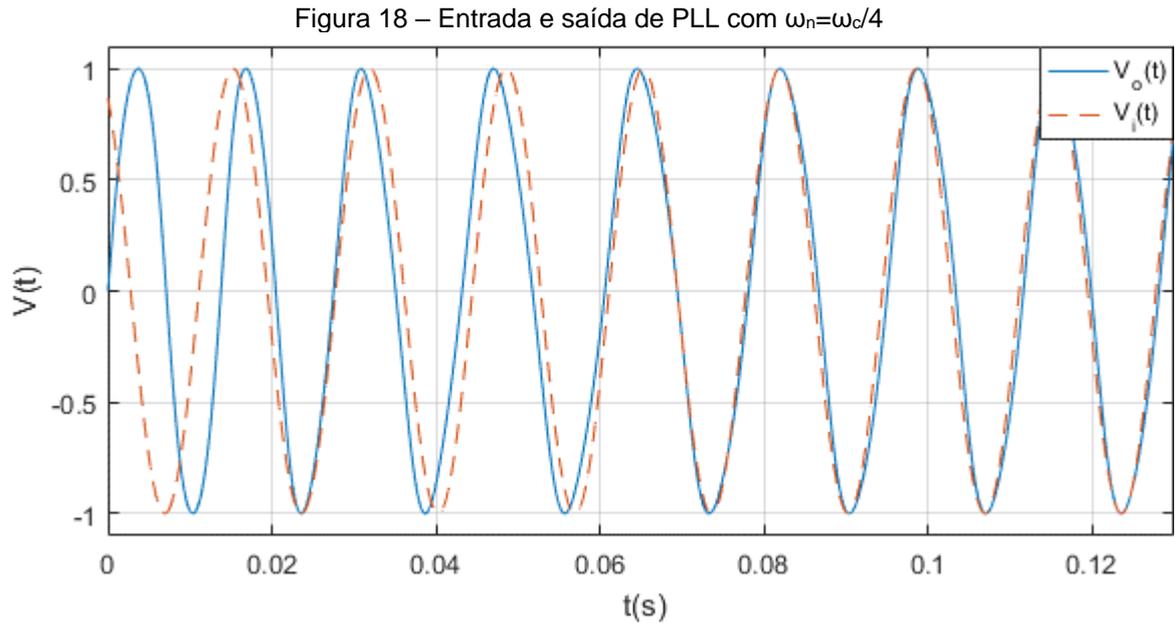
Já o VCO é um integrador, cuja entrada é o  $v_{lf}[n]$ :

$$\theta_o[n] = \theta_o[n-1] + \omega_0 T + K v_{lf}[n] T \quad (36)$$

, onde  $\omega_0 T$  é a contribuição da frequência central, e  $K v_{lf}[n] T$  é o incremento de fase.

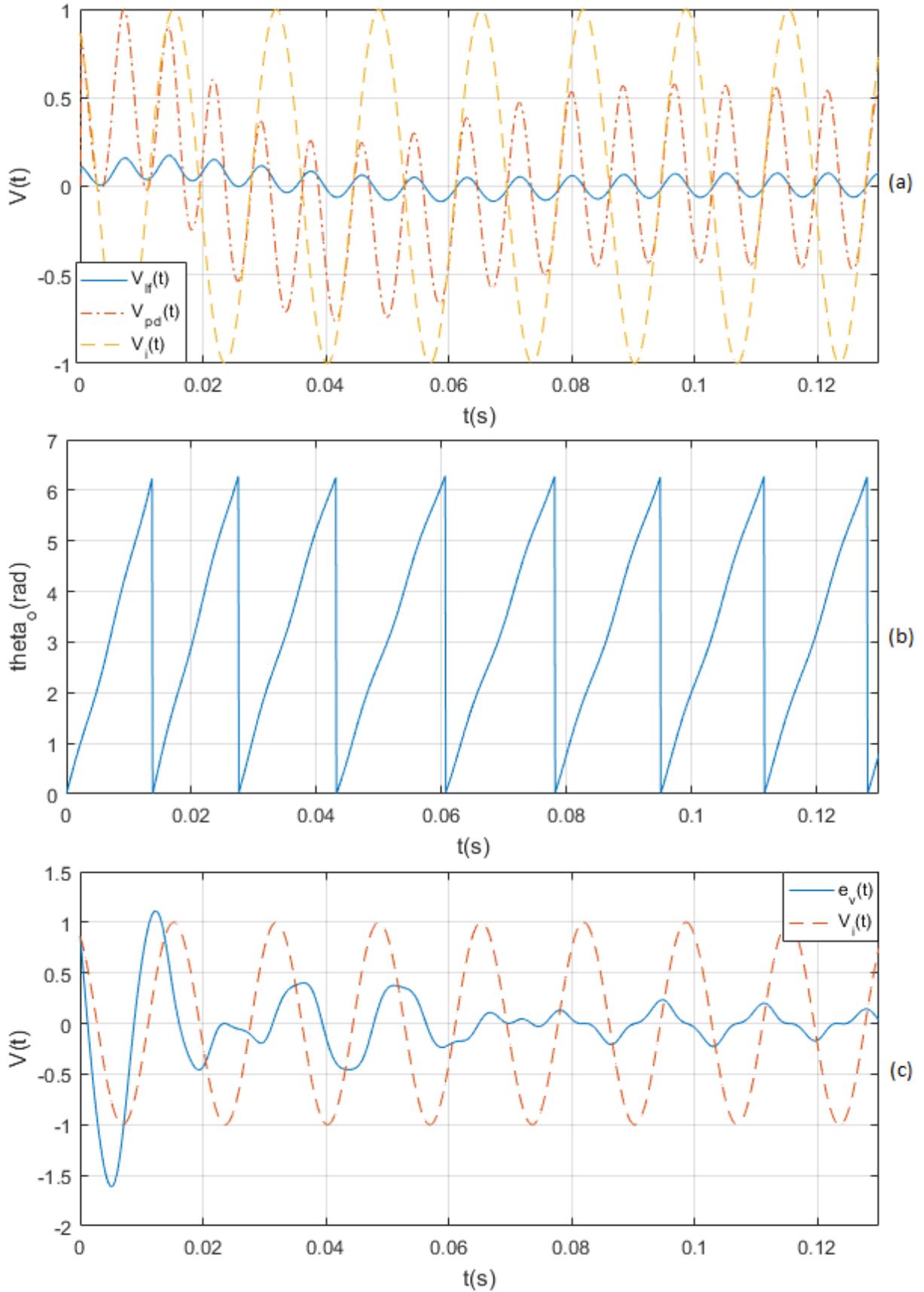
### 3.3 SIMULAÇÕES

A fim de definir os parâmetros do PLL dimensionado na seção 3, simulações foram feitas em Matlab. Para o VCO, a frequência definida foi de 60Hz, a frequência da rede, e o ganho  $K=1000$ . Primeiramente, para verificar a funcionalidade do PLL, foi utilizado um  $\omega_n$  bem elevado, quatro vezes menor que a frequência central do VCO,  $\omega_c$ . O sinal de entrada apresentava uma defasagem inicial de  $120^\circ$ . Verificou-se que o sistema dimensionado funciona apropriadamente. No caso, o PLL ficou capturado em aproximadamente cinco ciclos de rede, conforme mostra a Figura 18. No entanto, para valores elevados de  $\omega_n$ , o erro estático é muito elevado.



É interessante também analisar o comportamento dos sinais intermediários. A Figura 19(a) mostra os sinais de saída do PD e do LF. Como o PD é a multiplicação de dois sinais em quadratura, sua saída resulta em um sinal sinusoidal de frequência  $2f_c$ . Quando o PLL está capturado, após 0,08s, o sinal oscila em torno de zero. Mesmo comportamento se percebe na saída do LF. A média do valor tende a zero. Já a saída do VCO (b), que é o ângulo de fase  $\theta_o$ , é similar a uma onda “dente de serra”, variando de 0 a  $2\pi$ . Nota-se uma oscilação em função do sinal de entrada. Essa oscilação faz com que o sinal siga a referência em fase e frequência.

Figura 19 – Sinais intermediários do PLL com  $\omega_n = \omega_c/4$ : (a) saídas do PD ( $V_{pd}$ ) e do LF ( $V_{lf}$ ); (b) saída do VCO ( $\theta_o$ ); (c) erro de tensão ( $e_v$ )

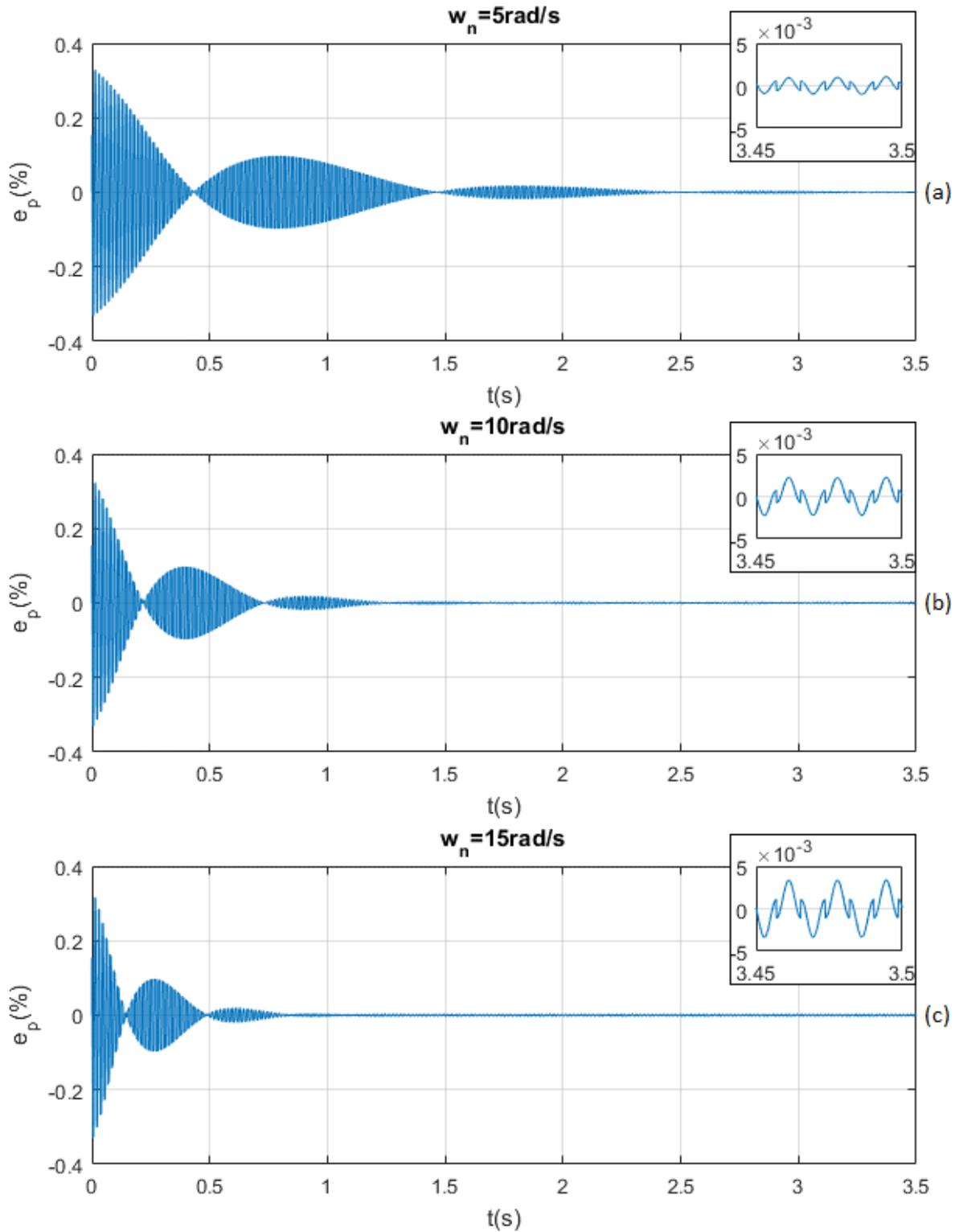


Fonte: Autoria própria.

O erro de tensão é visto na Figura 19(c). Percebe-se que, após a captura, em 0,08s, o erro tem caráter oscilatório. Seu valor vai a zero conforme o pico da referência se aproxima. Isso se deve à lentidão com que isso ocorre, dando tempo ao algoritmo para se adaptar. Já a transição pelo eixo horizontal ocorre de forma mais rápida, e isso ocasiona um erro maior nesses intervalos.

Para encontrar uma frequência que resultasse em alta acurácia estática, o valor de  $\omega_n$  foi variado. A Figura 20 apresenta o resultado do erro de fase para três valores distintos: 5rad/s, 10rad/s e 15rad/s. Nota-se que, para a frequência de menor valor (a), o tempo de estabilização é grande, 2,5 segundos, mas o erro estático (em quadro destacado) é na ordem de 0,01%. Já para o maior valor de frequência (c), o erro estático fica em torno de 0,04%, enquanto o tempo de acomodação é de 0,8 segundos.

Figura 20 – Erro de fase percentual para PLL com diferentes  $\omega_n$ : (a)  $\omega_n=5\text{rad/s}$ ; (b)  $\omega_n=10\text{rad/s}$ ; (c)  $\omega_n=15\text{rad/s}$

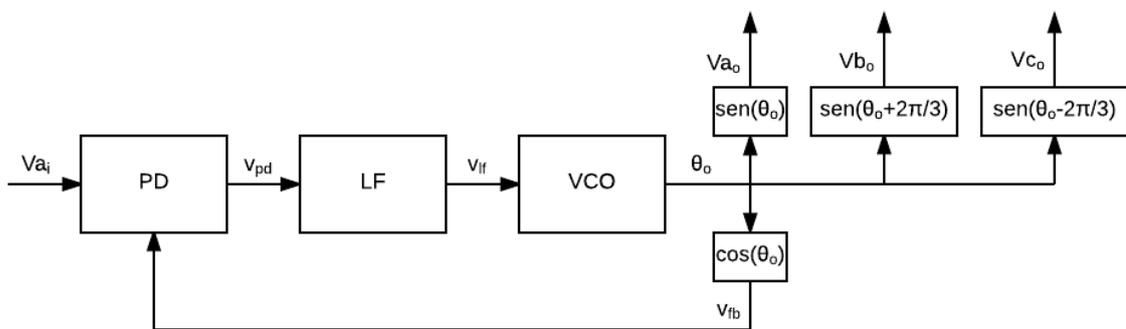


Fonte: Autoria própria.

### 3.4 PLL TRIFÁSICO

A adaptação do PLL para sistemas trifásicos pode ser feita de diversas maneiras. A maneira mais básica é referenciar o PLL em uma fase, tradicionalmente a fase a, e gerar as três saídas defasadas de  $120^\circ$ , conforme Figura 21. Esse método baseia-se no fato de a rede trifásica equilibrada estar sempre com a mesma frequência em todas as fases, e sempre com defasagem constante e igual a  $120^\circ$ .

Figura 21 – PLL trifásico referenciado na fase a

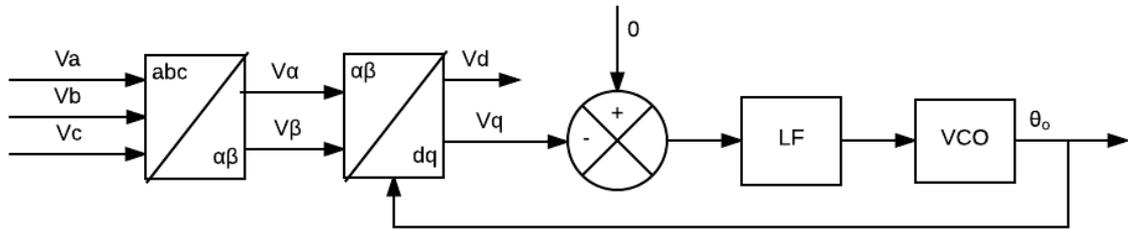


Fonte: Autoria própria.

Pode-se também implementar o PLL fazendo uma malha para cada fase. Dessa forma, cada saída é independente das demais. Nesse caso, todos os blocos do sistema devem ser triplicados. Em um PLL analógico ou digital, isso significa três vezes mais componentes. Em um PLL por Software (SPLL – *Software Phase Locked Loop*), significa o triplo de cálculos e de tempo de computação, visto que as instruções são executadas em série, não em paralelo.

No entanto, outras técnicas são aplicadas para aproveitar as características da rede trifásica. A abordagem clássica envolve a conversão dos sinais de entrada do modelo abc para o modelo dq-girante, conforme Figura 22. Os sinais de entrada da rede trifásica são transformados para o sistema de coordenadas  $\alpha\beta$ , que é girado em função do ângulo  $\theta_o$  computado pelo VCO. A saída do bloco  $\alpha\beta/dq$  é o sinal de erro, e o PLL estará travado quando esse valor atingir zero.

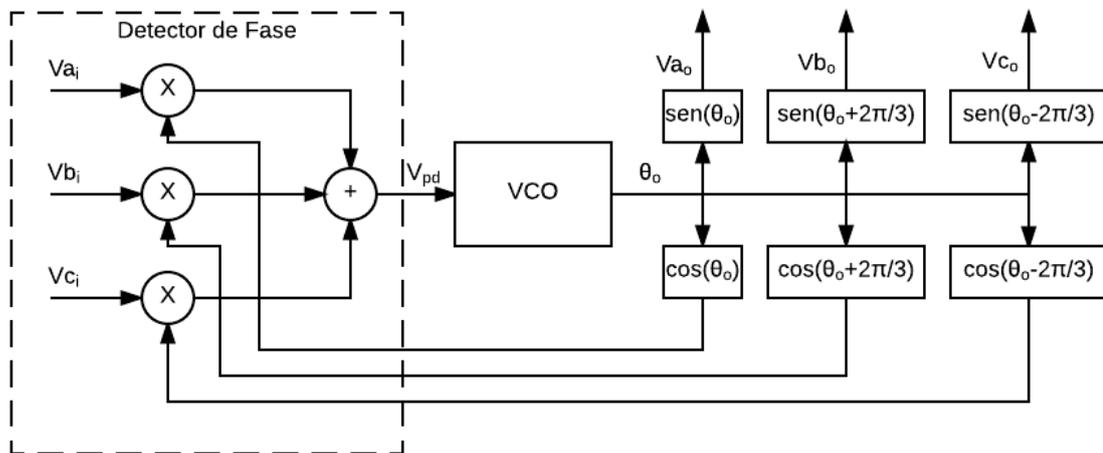
Figura 22 – PLL trifásico clássico



Fonte: Autoria própria.

Phipps, Harrison e Duke (2006) apresentam um modelo de PLL trifásico que simplifica sua implementação. Sua proposta inclui um bloco PD para cada fase, tendo suas saídas somadas e aplicadas diretamente ao VCO. A simples soma da saída dos PDs remove as componentes CA e o sinal aplicado ao VCO é apenas CC. Isso se deve ao fato de a soma das fases a, b e c resultar em zero. O modelo, que pode ser visto na Figura 23, reduz consideravelmente a quantidade de blocos do sistema e garante a defasagem constante entra as saídas.

Figura 23 – PLL trifásico proposto por Phipps, Harrison e Duke (2006)

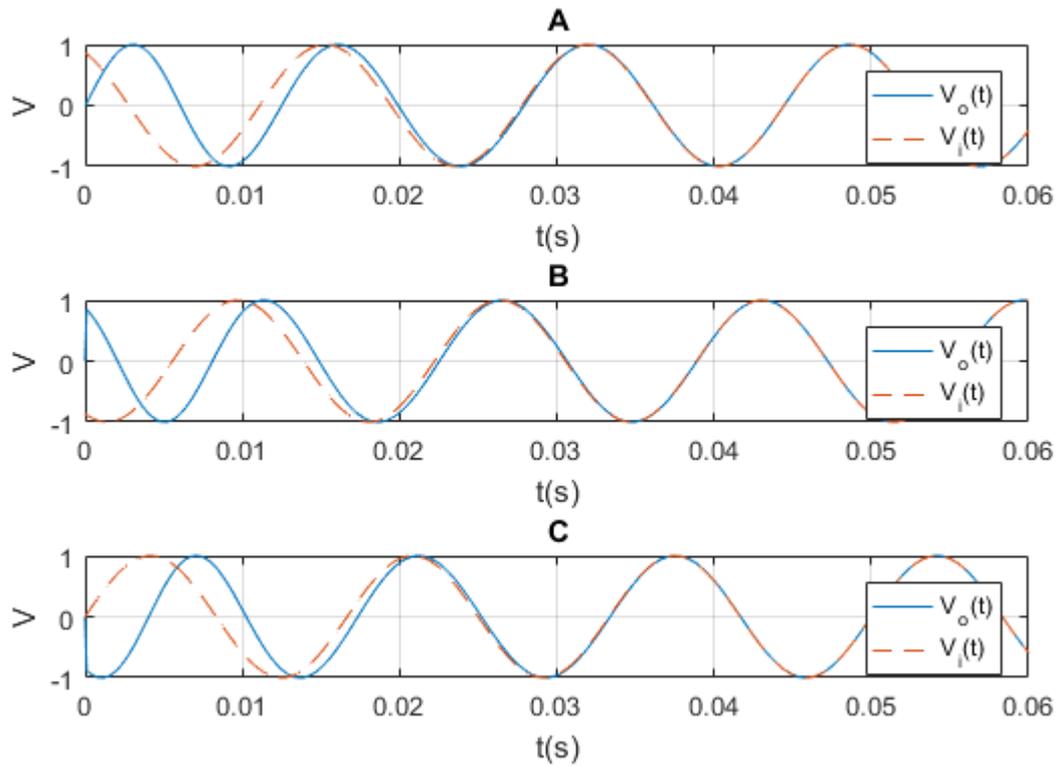


Fonte: Adaptado de Phipps, Harrison e Duke (2006).

Esse modelo elimina a necessidade de filtro, e sua implementação se torna muito menos complexa. A velocidade do PLL está relacionada ao ganho do VCO. Simulações em Matlab mostram que, com um ganho  $K_o=100$ , o PLL fica capturado em apenas três ciclos de rede. A Figura 24 mostra os sinais de entrada e de saída para

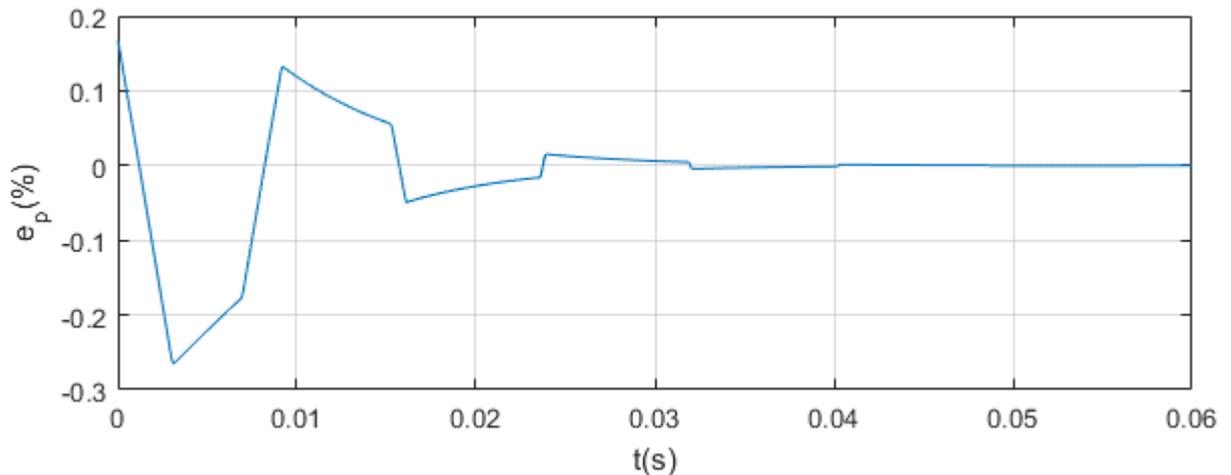
cada fase individualmente. Na Figura 25, pode ser visualizado o erro de fase da fase a para a mesma simulação. Nota-se que o erro chega a zero, o que comprova que o sistema criado apresenta uma acurácia estática excelente.

Figura 24 – Entrada e saída do PLL trifásico de Phipps, Harrison e Duke (2006) com  $K=100$



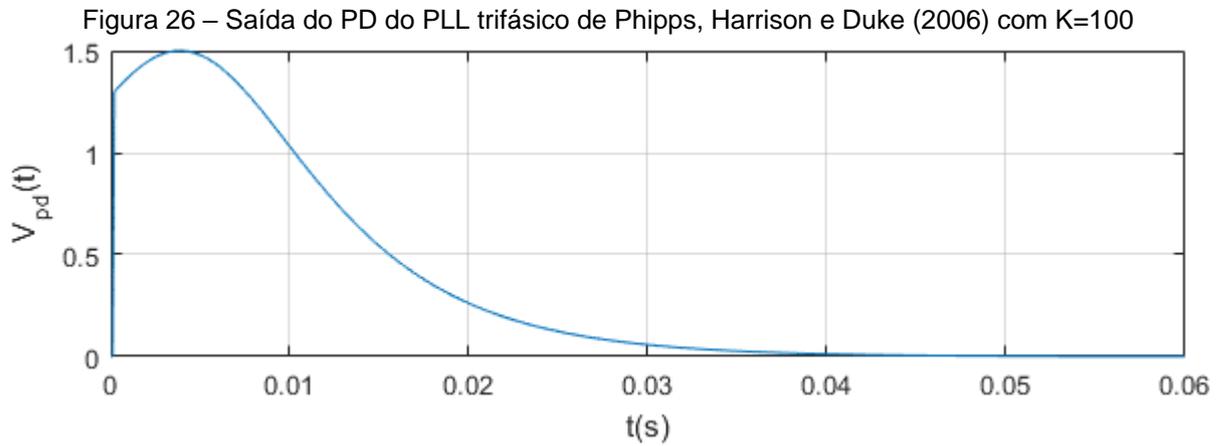
Fonte: Autoria própria.

Figura 25 – Erro de fase para PLL trifásico de Phipps, Harrison e Duke (2006) com  $K=100$



Fonte: Autoria própria.

Já ao analisar o sinal de saída do PD (Figura 26), nota-se que se trata realmente de um sinal CC, e após a captura, em 0,04s, seu valor vai a zero, indicando que não há erro de fase.



Fonte: Autoria própria.

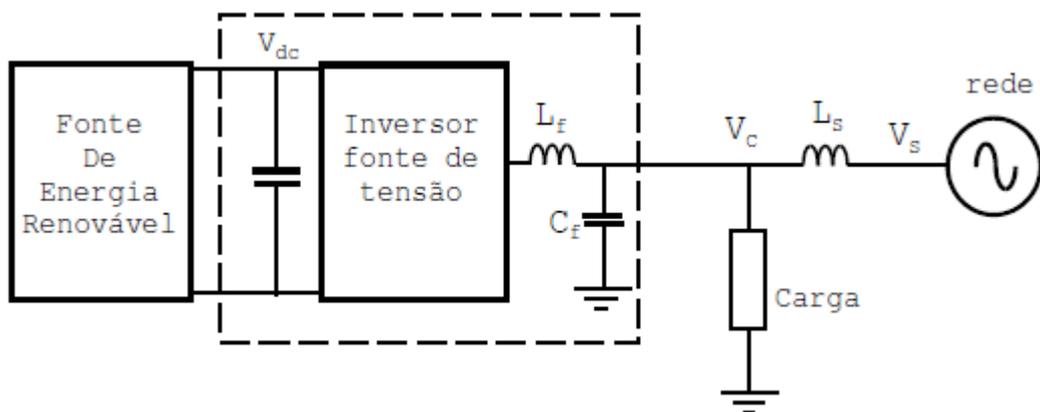
## 4 CONTROLE DE FLUXO DE POTÊNCIA

Uma vez que o inversor está gerando a saída de tensão em forma senoidal e de forma sincronizada com a rede elétrica, pode-se iniciar o controle de fluxo de potência, com o qual se controla a potência ativa e reativa entregues à carga ou à rede. Segundo Martinez (2010), o controle pode ser feito de duas maneiras: atuando como fonte de tensão ou atuando como fonte de corrente.

### 4.1 CONTROLE COMO FONTE DE TENSÃO

O controle como fonte de tensão é feito atuando na amplitude e no ângulo de fase da saída do inversor. Para a conexão com a rede, é usado um filtro LC. A Figura 27 apresenta um esquema de ligação de um inversor monofásico à rede.  $L_f$  e  $C_f$  são o indutor e o capacitor do filtro LC,  $V_c$  é a tensão de saída do inversor,  $V_s$  é a tensão da rede, e  $L_s$  é o reator de acoplamento.

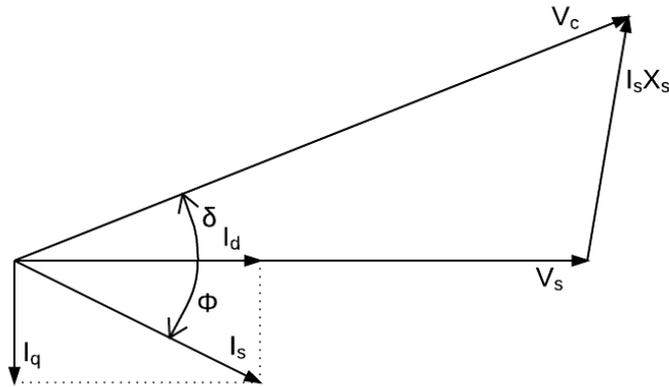
Figura 27 – Interligação para controle de fluxo como fonte de tensão



Fonte: Adaptado de Martinez (2010, p.16).

O controle de fluxo se dá atuando sobre a amplitude de  $V_c$  e sobre o ângulo de carga  $\delta$ , que é a defasagem entre  $V_c$  e  $V_s$ . A Figura 28 apresenta o diagrama fasorial envolvendo as tensões presentes na interface do inversor com a rede. As expressões para os fluxos de potência ativa e reativa são apresentadas nas equações (37) e (38), respectivamente.

Figura 28 – Diagrama fasorial da interface para inversor monofásico



Fonte: Adaptado de Martinez (2010, p.19).

$$P_s = \frac{V_s V_c}{X_s} \text{sen} \delta \quad (37)$$

$$Q_s = \frac{V_s^2}{X_s} - \frac{V_s V_c}{X_s} \text{cos} \delta \quad (38)$$

, onde  $P_s$  é a potência ativa da rede,  $Q_s$  é a potência reativa da rede e  $X_s$  é a reatância de acoplamento.

Uma vez que se tem como parâmetro a potência ativa,  $P_s$ , e a potência reativa,  $Q_s$ , é possível calcular os valores de  $V_c$  e  $\delta$ , através de (39) e (40). O limite de estabilidade do sistema é próximo de  $\delta=90^\circ$ . Dessa maneira, escolhe-se um indutor de acoplamento de forma a atingir a potência nominal com ângulo de carga próximo de  $30^\circ$ . Nessa faixa, a eq.(37) ainda se comporta de forma bem próximo da linear.

$$\delta = \text{tg}^{-1} \left( \frac{P_s}{\frac{V_s^2}{X_s} - Q_s} \right) \quad (39)$$

$$V_c = \frac{P_s X_s}{V_s \text{sen}(\delta)} \quad (40)$$

Se for considerada a potência consumida pela carga, tem-se:

$$P_L = P_s + P_i \quad (41)$$

, onde  $P_i$  é a potência fornecida pelo inversor e  $P_L$  é a potência consumida pela carga.

Substituindo (41) em (39), chega-se à eq.(42), que mostra que o ângulo de carga pode ser reduzido se levada em consideração a potência consumida pela carga.

$$\delta = \operatorname{tg}^{-1} \left( \frac{P_L - P_i}{\frac{V_s^2}{X_s} - Q_s} \right) \quad (42)$$

Como o sistema proposto utiliza o controle de tensão para a sincronização com PLL, parece adequado implementar o controle de fluxo como fonte de tensão, encontrando os valores de  $\delta$  e  $V_c$  e integrando-os ao PLL. Segundo Dai et al.(2008), os sistemas de controle de fluxo, em geral, utilizam o controle integral, que será descrito a seguir.

Das equações (37) e (38), percebe-se que tanto  $V_c$  quanto  $\delta$  têm influência sobre  $P_s$  e  $Q_s$ . Para analisar a influência de cada variável, pode-se analisar as derivadas parciais. Primeiramente para a potência ativa:

$$\frac{\partial P_s}{\partial \delta} = \frac{V_c V_s}{X_s} \cos \delta \quad (43)$$

$$\frac{\partial P_s}{\partial V_c} = \frac{V_s}{X_s} \operatorname{sen} \delta \quad (44)$$

Percebe-se que, para  $\delta$  pequeno, a eq.(44) vai para zero, o que indica que a influência de  $\delta$  é muito maior que a de  $V_c$  para a potência ativa. Já para a potência reativa:

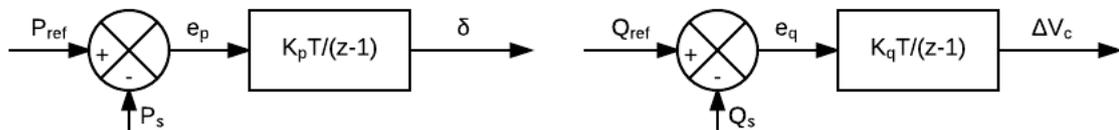
$$\frac{\partial Q_s}{\partial \delta} = \frac{V_c V_s}{X_s} \text{sen} \delta \quad (45)$$

$$\frac{\partial Q_s}{\partial V_c} = \frac{2V_c - V_s \cos \delta}{X_s} \quad (46)$$

Nesse caso, com  $\delta$  pequeno, a eq.(45) vai para zero, o que indica que a influência da tensão de saída é muito maior que a do ângulo de carga para a potência reativa.

Um sistema de controle integral pode ser criado para os dois casos, agindo em  $P_s$  através de  $\delta$  e em  $Q_s$  através de  $V_c$ . Tal sistema é apresentado na Figura 29.

Figura 29 – Sistema de controle integral para fluxo de potência



Fonte: Autoria própria.

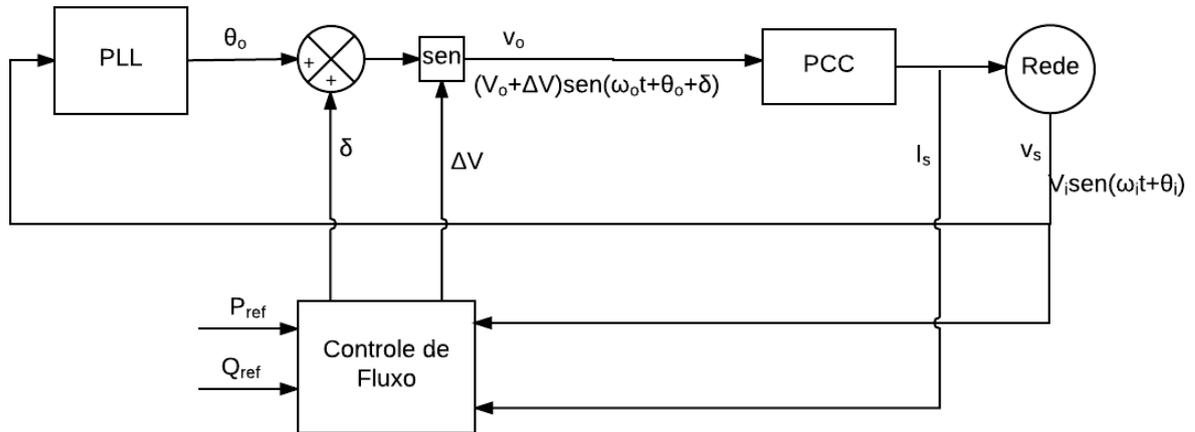
Dessa forma, os valores do ângulo de carga e da tensão se comportam conforme as equações (47) e (48).

$$\delta = \int K_p (P_{ref} - P_s) dt \quad (47)$$

$$\Delta V_c = \int K_q (Q_{ref} - Q_s) dt \quad V_c = V_s + \Delta V_c \quad (48)$$

Uma vez que calcula os valores de saída, o bloco de controle pode fornecê-los ao bloco de controle do PLL, que adiciona  $\delta$  à fase  $\theta_o$  e  $\Delta V$  à amplitude de saída, conforme esquema apresentado na Figura 30.

Figura 30 – Controle de Fluxo de Potência integrado a PLL



Fonte: Autoria própria.

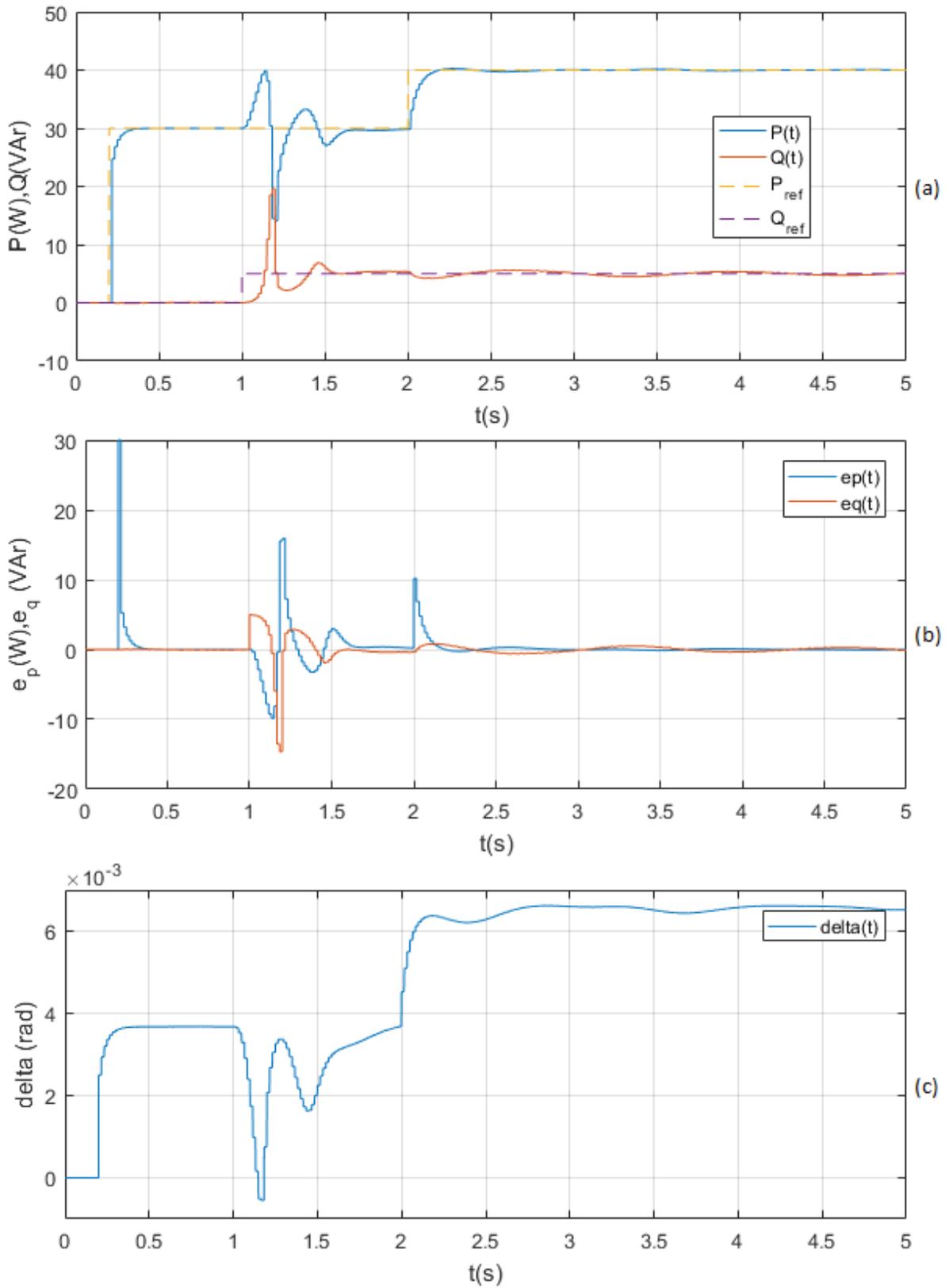
Para computar as potências ativa e reativa, faz-se uso das equações a seguir:

$$P_s = V_s I_s \cos \Phi \quad (49)$$

$$Q_s = V_s I_s \sin \Phi \quad (50)$$

O valor de  $\Phi$  deve ser medido a cada ciclo, verificando a diferença de tempo com que os sinais de tensão e corrente cruzam o eixo horizontal. Dessa forma, o controle de fluxo pode ser aplicado a cada ciclo de rede. Simulações foram feitas em Matlab para verificar o comportamento do sistema, com uma tensão de rede de  $127V_{ef}$  e indutor de acoplamento de  $20mH$ , e partindo de uma situação em que  $V_s$  e  $V_c$  estavam sincronizadas. O resultado é exibido na Figura 31.

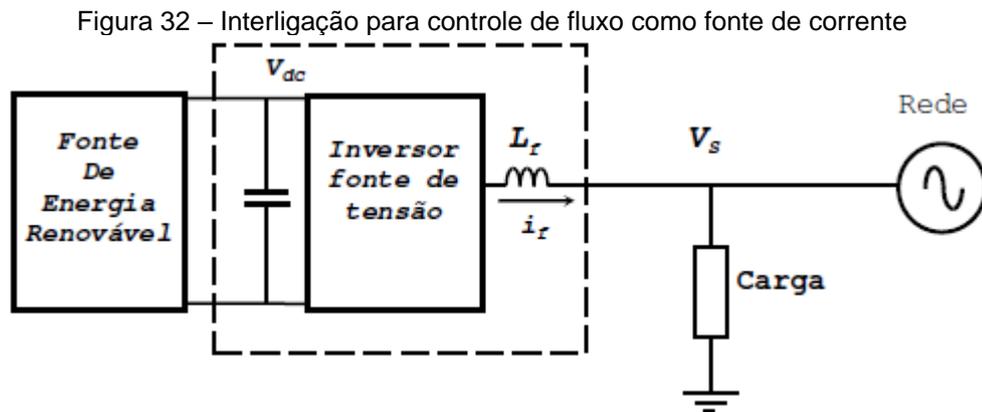
Figura 31 – Controle de fluxo de potência: (a) potência ativa e reativa; (b) erro; (c) ângulo de carga



Fonte: Autoria própria.

## 4.2 CONTROLE COMO FONTE DE CORRENTE

No controle como fonte de corrente, o inversor pode ser ligado à rede através de um indutor,  $L_f$ , conforme a Figura 32. O controle é feito através da corrente no indutor,  $i_f$ . As vantagens desse método, segundo Martinez (2010), são a melhora na qualidade da potência e a habilidade de compensar alterações no barramento CC e distúrbios na tensão da rede.



Fonte: Adaptado de Martinez (2010, p.17).

As equações para as potências ativa e reativa são as mesmas apresentadas em (49) e (50). A partir delas, as variáveis de controle podem ser encontradas como:

$$\phi = \text{tg}^{-1} \left( \frac{Q_s}{P_s} \right) \quad (51)$$

$$I_s = \frac{P_s}{V_s \cos \phi} \quad (52)$$

A corrente da rede se relaciona com a do indutor pela seguinte equação:

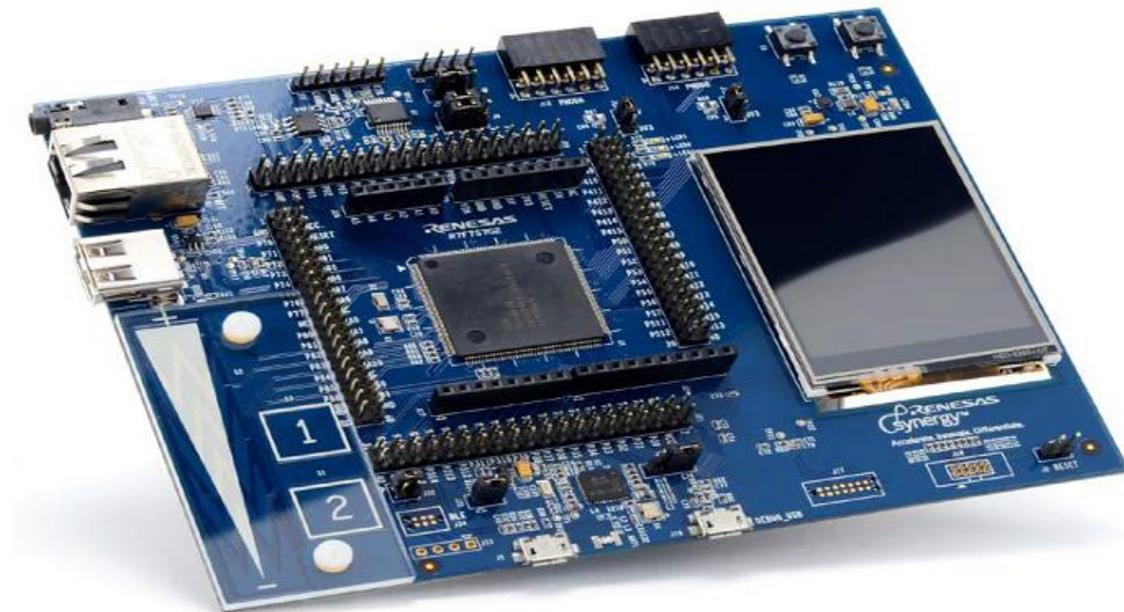
$$I_f = I_L + I_s \quad (53)$$

## 5 IMPLEMENTAÇÃO

### 5.1 PLATAFORMA DE DESENVOLVIMENTO

Para a implementação do controle do inversor, foi escolhida a plataforma de desenvolvimento SK-S7G2 (Figura 33) da Renesas, uma empresa japonesa de semicondutores que opera desde 2010. Seu componente principal é o microcontrolador R7FS7G27H3A01CFC, com núcleo ARM Cortex-M4.

Figura 33 – Plataforma de desenvolvimento Renesas SK-S7G2



Fonte: RENESAS (2016a).

Entre as principais funcionalidades do microcontrolador em questão, estão as seguintes:

- a) núcleo de 32 bits ARM Cortex-M4;
- b) frequência máxima de operação: 240MHz;
- c) 4MB de memória *flash*;
- d) 640kb de SRAM;
- e) *timer* PWM de 32 *bits*: 14 canais;
- f) *timer* assíncrono de 16 *bits*: 2 canais;
- g) *timer* RTC;

- h) *timer watchdog*;
- i) 126 pinos de entrada e saída;
- j) conversor A/D 12 *bits*: 21 canais;
- k) conversor D/A 12 *bits*: 2 canais;
- l) interface para display GLCD;
- m) unidade de ponto flutuante.

O *kit* SK-S7G2 tem um Display de Cristal Líquido Gráfico (GLCD – *Graphic Liquid Cristal Display*) de 2,4” com tela sensível ao toque, adequado para implementar uma IHM (Interface Homem-Máquina). Além disso, todos os pinos do microcontrolador são acessíveis através de conectores, tornando possível a utilização de quantas entradas e saídas forem necessárias. Esse realmente é um diferencial em relação a outras placas de desenvolvimento, que geralmente possibilitam acesso apenas a alguns pinos, que não têm sua funcionalidade explorada na placa.

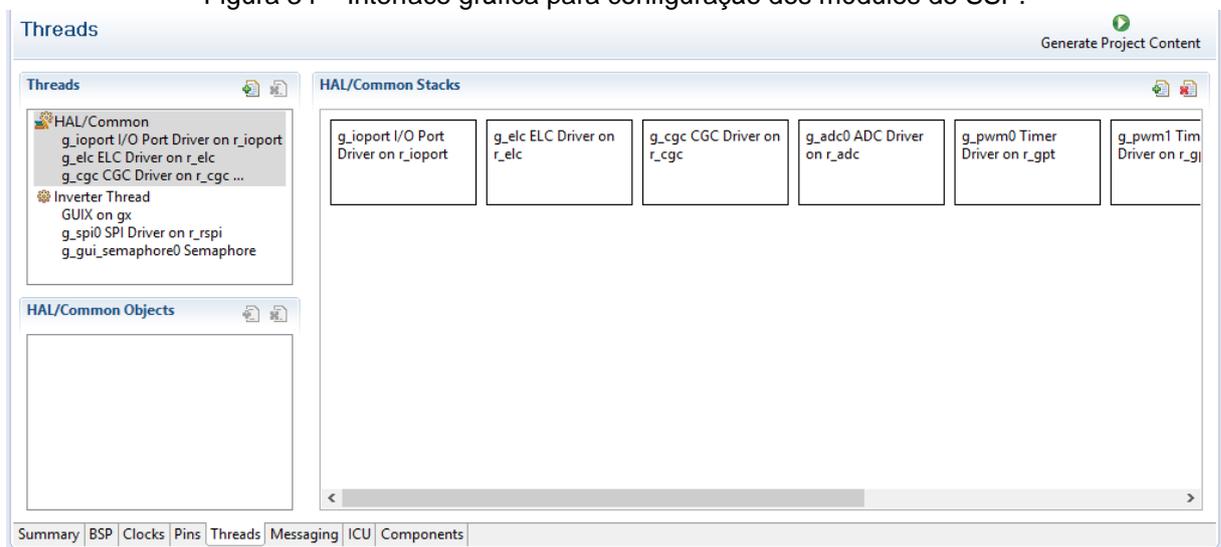
A plataforma de desenvolvimento pode ser adquirida pela internet com preço que varia de \$78,81 (ARROW ELECTRONICS, 2016) a \$83,75 (DIGIKEY ELECTRONICS, 2016). A placa utilizada no projeto não precisou ser adquirida, já que é distribuída gratuitamente em seminários organizados pelo representante da empresa no Brasil. Junto com o *kit*, é disponibilizada a licença para utilização do Ambiente de Desenvolvimento Integrado (IDE – *Integrated Development Environment*) e<sup>2</sup> studio, baseado no IDE Eclipse, e da ferramenta Synergy™ *Software Package* (SSP), que é um pacote de desenvolvimento de softwares para os microcontroladores da plataforma Renesas Synergy™. Tanto o IDE quanto o SSP estão disponíveis para *download* no site do fabricante, mediante cadastramento (RENESAS, 2016b).

A coleção de ferramentas do SSP é dividida em vários módulos, entre eles o *Hardware Abstraction Layer* (HAL), que implementa os *drivers* para os diferentes módulos do microcontrolador e disponibiliza ao usuário o controle dos módulos através de uma Interface de Programação de Aplicação (API – *Application Programming Interface*). Com essa ferramenta, o usuário pode configurar um *timer*, por exemplo, através de uma interface gráfica, e são geradas automaticamente as rotinas de configuração e de tratamento do módulo, possibilitando ao usuário se preocupar apenas com

a camada de aplicação. O HAL também facilita a portabilidade do código entre os diferentes microcontroladores da família Synergy™.

A Figura 34 mostra a interface gráfica do SSP para inserção e configuração dos módulos através do HAL. Para cada um dos blocos, existe uma janela de configuração. Na Figura 35, a janela de configuração de um bloco *General PWM Timer* (GPT). Destacadas em vermelho, as principais configurações do módulo, como canal, temporização, habilitação de saídas e configurações de prioridade e de rotinas de interrupção (*Callback*).

Figura 34 – Interface gráfica para configuração dos módulos do SSP.



Fonte: Autoria própria.

Figura 35 – Janela de configuração das propriedades do módulo *timer*

Property	Value
Common	
Parameter Checking	Default (BSP)
ICU	
GPT0 COUNTER OVERFLOW	Priority 8
Module g_timer0 Timer Driver on r_gp	
Name	g_timer0
Channel	0
Mode	Periodic
Period Value	10
Period Unit	Kilohertz
Duty Cycle Value	50
Duty Cycle Unit	Unit Raw Counts
Auto Start	False
GTIOCA Output Enabled	False
GTIOCA Stop Level	Pin Level Low
GTIOCB Output Enabled	False
GTIOCB Stop Level	Pin Level Low
Callback	g_timer0_cb

Fonte: Autoria própria.

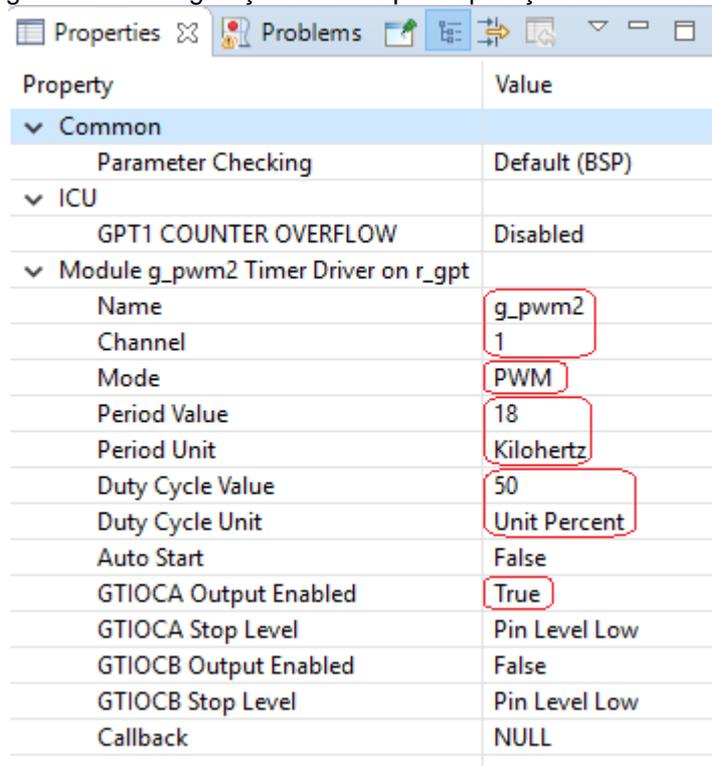
O SSP também possui um Sistema Operacional em Tempo Real (RTOS – *Real Time Operational System*), o ThreadX®, projetado para aplicações de alta performance e de gráfico de alta qualidade. Ao possibilitar o uso de *threads*, facilita a implementação de pseudoparalelismo na aplicação.

## 5.2 CONFIGURAÇÃO DOS BLOCOS DA PLATAFORMA

Com base no que foi apresentado anteriormente, verifica-se a necessidade de três saídas PWM para implementar um inversor trifásico. Isso implica o uso de três GPT. Os *timers* foram configurados para trabalhar a 18kHz no modo PWM e para acionar a saída GTIOCA. No modo PWM, o GPT controla automaticamente o acionamento das saídas habilitadas, respeitando a configuração de ciclo de trabalho estabelecida. Os canais selecionados foram os canais 1, 3 e 6, cujas saídas são ligadas aos pinos P4.5, P4.3 e P4.0, respectivamente. A Figura 36 ilustra a configuração do canal 1. A configuração da unidade de ciclo de trabalho em porcentagem permite o ajuste

do ciclo de 0 a 100, fazendo simples a conversão da saída da função seno, que é de -1 a 1.

Figura 36 – Configuração do GPT para operação no modo PWM



Property	Value
Common	
Parameter Checking	Default (BSP)
ICU	
GPT1 COUNTER OVERFLOW	Disabled
Module g_pwm2 Timer Driver on r_gpt	
Name	g_pwm2
Channel	1
Mode	PWM
Period Value	18
Period Unit	Kilohertz
Duty Cycle Value	50
Duty Cycle Unit	Unit Percent
Auto Start	False
GTIOCA Output Enabled	True
GTIOCA Stop Level	Pin Level Low
GTIOCB Output Enabled	False
GTIOCB Stop Level	Pin Level Low
Callback	NULL

Fonte: Autoria própria.

Para a implementação do SPLL, é necessária a leitura dos sinais de referência da rede e dos sinais de saída do inversor, através das entradas analógicas dos blocos conversores A/D. A unidade 0 do A/D foi utilizada no modo contínuo, fazendo a leitura de seis canais: AN000 a AN005. O tempo de conversão de cada entrada é de aproximadamente 1 $\mu$ s. Dessa forma, cada leitura é atualizada aproximadamente a cada 6 $\mu$ s. A configuração do bloco é ilustrada na Figura 37.

Os canais de A/D foram configurados para operar em 12 *bits*. Com está referenciado à própria alimentação do dispositivo, 3,3V, a resolução do A/D se dá da seguinte forma:

$$res_{A/D} = \frac{3,3V}{2^{12}} \cong 805\mu V \quad (54)$$

Figura 37 – Configuração do conversor A/D para a leitura em modo contínuo

Property	Value
Common	
Parameter Checking	Enabled
ICU	
ADC0 SCAN END	Disabled
ADC0 SCAN END B	Disabled
Module g_adc0 ADC Driver on r_adc	
Name	g_adc0
Unit	0
Resolution	12-Bit
Alignment	Right
Clear after read	On
Mode	Continuous Scan
Channel Scan Mask	Select channels below
Channel 0	Use in Normal/Group A
Channel 1	Use in Normal/Group A
Channel 2	Use in Normal/Group A
Channel 3	Use in Normal/Group A
Channel 4	Use in Normal/Group A
Channel 5	Use in Normal/Group A
Channel 6	Unused
Channel 7	Unused

Fonte: Autoria própria.

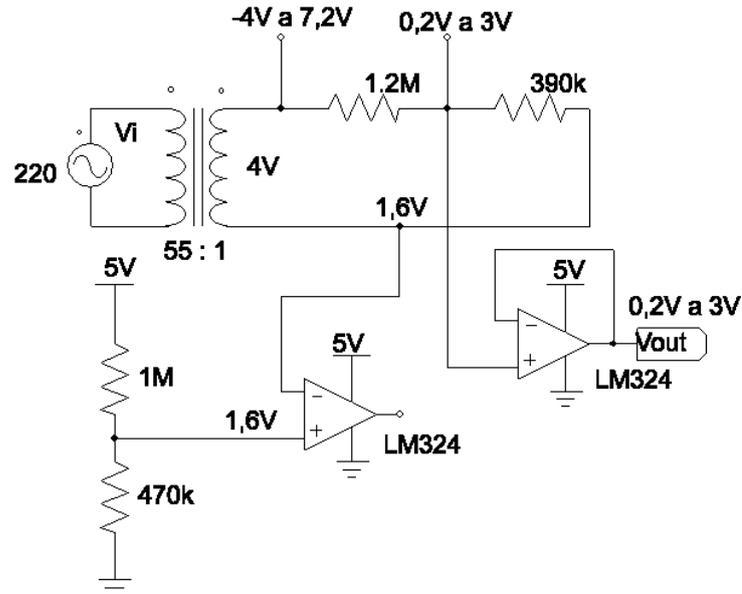
A leitura dos canais do conversor A/D e a configuração do ciclo de trabalho do PWM são feitos durante a interrupção de um *timer* de uso geral, *g\_timer0*, configurado para gerar interrupções na frequência de 18kHz.

### 5.3 CONDICIONAMENTO DOS SINAIS

A plataforma utilizada possibilita trabalhar com dois níveis de tensão: 3,3V e 5V. A alimentação da placa pode ser feita via porta USB (*Universal Serial Bus*), e a tensão de alimentação de 5V é disponibilizada externamente, até porque a placa prevê integração com um módulo Arduino UNO, que trabalha em 5V. No entanto, o microcontrolador é alimentado por 3,3V, e os sinais das entradas analógicas não podem extrapolar esse valor, tampouco podem possuir valor menor que 0V, arriscando a queima do canal analógico. Dessa forma, para realizar o monitoramento dos sinais da rede elétrica e de saída do inversor, um circuito de condicionamento de sinais (Figura 38) foi implementado com a finalidade de rebaixar o valor da tensão e de inserir

um *offset* de tensão. Dessa forma, o sinal de fase de uma rede 220/380V, com pico mínimo em -311V e máximo em 311V, chega à entrada analógica do microcontrolador com pico mínimo em 0,2V e máximo em 3V.

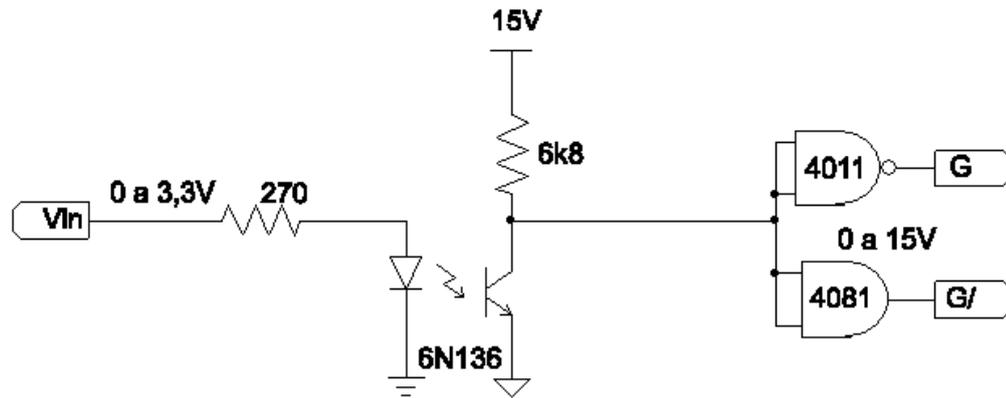
Figura 38 – Circuito de condicionamento dos sinais de entrada



Fonte: Autoria própria.

Para acionar a etapa de potência, que exige 15V de entrada, um circuito (Figura 39) foi implementado com a finalidade de isolar a etapa de controle da etapa de potência, através de opto-acopladores, e de elevar o sinal de saída do microcontrolador de 3,3V para 15V. O opto-acoplador precisa ser rápido o suficiente para lidar com sinais na faixa de até 20kHz. A escolha foi pelo 6N136, que tem largura de banda de 2MHz. Os integrados 4011 e 4081 servem como *drivers* de corrente, e, por serem de funções complementares, disponibilizam dois sinais de saída, um direto e outro negado, a serem ligados, por exemplo, em T1 e T4 (vide Figura 9), garantindo seu acionamento de forma alternada.

Figura 39 – Circuito de condicionamento dos sinais de saída



Fonte: Autoria própria.

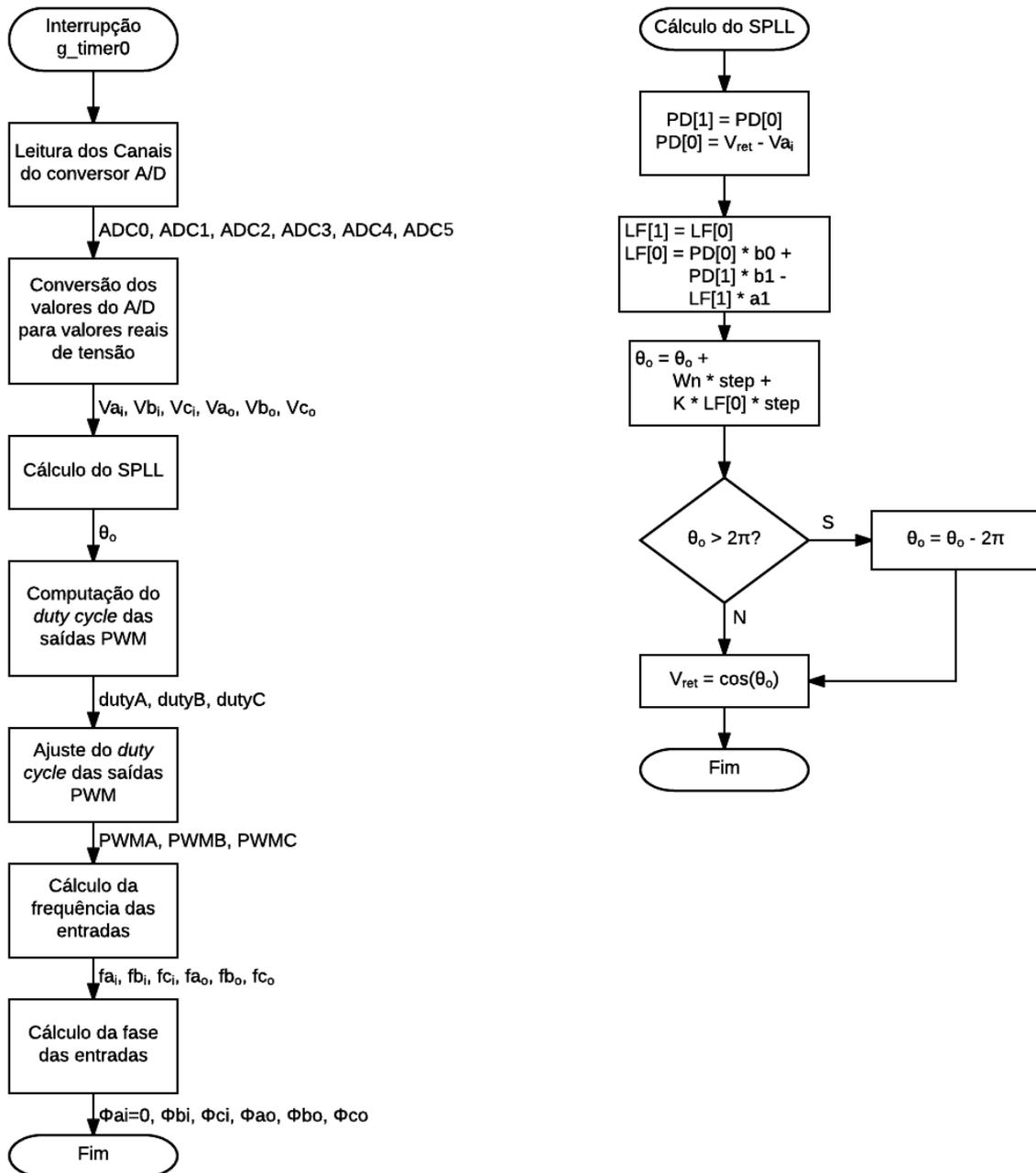
#### 5.4 IMPLEMENTAÇÃO DO SPL

Após a configuração dos blocos do *kit SK-S7G2* e da montagem do circuito de condicionamento de sinais, o ambiente estava preparado para a implementação do algoritmo de SPL. A rotina principal do programa inicializa os blocos previamente configurados do sistema. O processamento de fato do SPL ocorre durante a interrupção do `g_timer0`, e a rotina implementada segue o fluxograma apresentado na Figura 40.

Inicialmente, é feita a leitura dos canais do conversor A/D, para medir as tensões das três fases tanto da referência quanto da saída. O valor lido, na faixa de 0 a 4096, é convertido para valor de tensão, primeiramente conforme a eq.(54), para a faixa de 0 a 3,3V, e posteriormente conforme a relação de tensão imposta pelo circuito condicionador da Figura 38. O pico de tensão de fase de uma rede 220/380V é de  $220\sqrt{2}V = 311V$ . Adotando uma tolerância de aproximadamente 10%, foi considerado o valor máximo de leitura de 340V. Com base nisso, a relação de conversão de tensão deve ser de tal forma que a leitura de 0V represente uma tensão real de -340V, e a leitura de 3,3V represente 340V. A eq.(55) mostra o cálculo para a conversão de tensão.

$$V_{real} = \frac{(leitura - 1,65)}{1,65} \times 340V \quad (55)$$

Figura 40 – Fluxograma da implementação do SPLL na plataforma



Fonte: Autoria própria.

A resolução de leitura após a conversão para a tensão real leva em conta a amplitude da medida (-340V a 340V), e é dada a seguir:

$$res = \frac{680V}{2^{12}} \cong 166mV \quad (56)$$

Os valores instantâneos das tensões de entrada são a referência para o SPLL (no caso monofásico, apenas um sinal é levado em conta). A saída do SPLL é o ângulo de fase  $\theta_o$ , que é usado para computar as saídas do inversor, ajustando o ciclo de trabalho do PWM, calculado conforme eq.(57). Para o valor instantâneo de 0V, o ciclo de trabalho de 50% é aplicado. A variável “pico” é ajustada para controlar a amplitude da saída, e deve ser no máximo 0,5.

$$\text{ciclo de trabalho} = 0,5 + [\text{sen}(\theta_o + \theta) \times \text{pico}] \times 100 \quad (57)$$

, onde  $\theta$  é a constante de fase intrínseca do sistema trifásico, e para a fase a tem valor zero.

O cálculo das frequências e da fase das entradas é feito para monitoramento, mas não impacta no controle do SPLL, e não será detalhado.

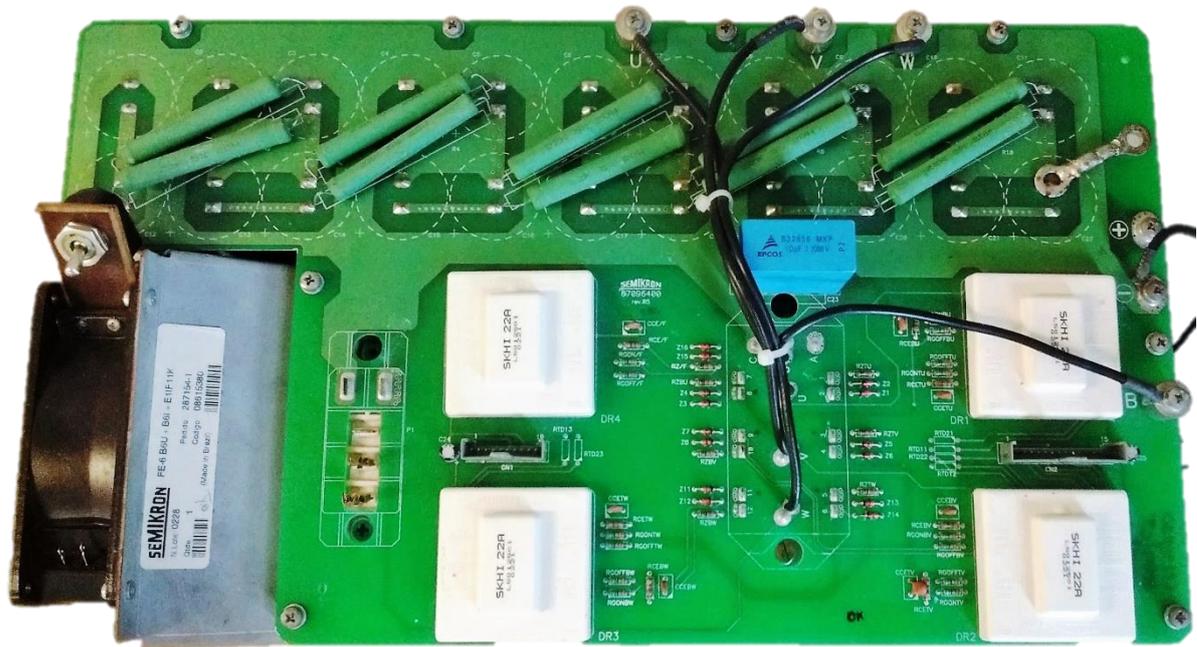
## 5.5 ETAPA DE POTÊNCIA

Para o teste de acionamento em potência, foi utilizado um módulo inversor Semikron de 10kVA (Figura 41) utilizado em acionamento de elevadores. O produto não foi encontrado no catálogo do fabricante, pois não é produzido em escala comercial. O módulo é alimentado pela rede trifásica, que é então retificada para formar um barramento CC. Esse, por sua vez, alimenta um inversor trifásico em ponte composto por Transistores Bipolares de Porta Isolada (IGBT – *Insulated Gate Bipolar Transistor*), acionados por três *drivers* SKHI 22A, também fabricados pela Semikron Semiconductors.

Os *drivers* são alimentados em 15V e cada um é responsável pelo acionamento dos dois IGBT de uma fase. O acionamento dos dois transistores é feito através das entradas  $V_{IN1}$  e  $V_{IN2}$ . A pinagem e as funcionalidades do *driver* podem ser vistas no ANEXO.

A conexão com o módulo é feita através de dois conectores, CN1 e CN2. Devido à falta de documentação, foi necessário fazer o levantamento da ligação entre o conector e os *drivers*, que é exibida no APÊNDICE A.

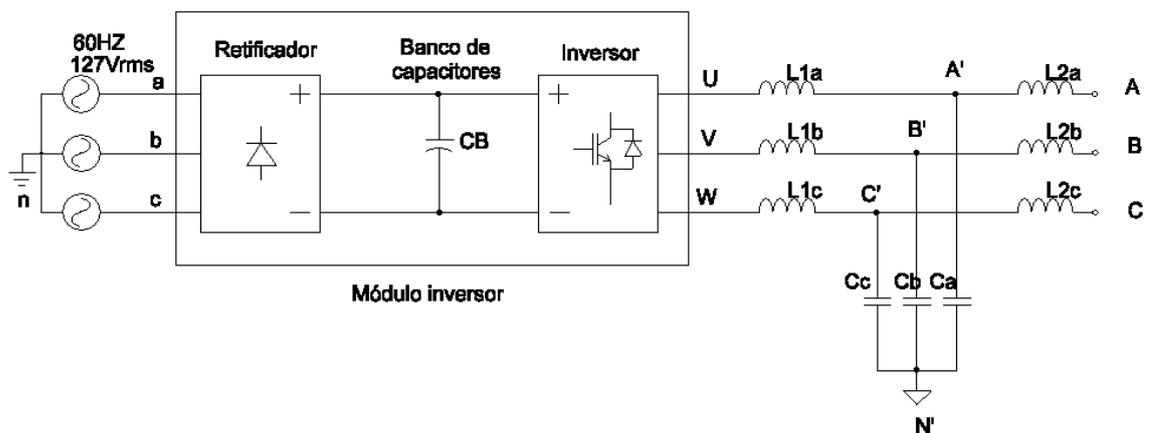
Figura 41 – Módulo inversor Semikron



Fonte: Autoria própria.

À saída do inversor foi ligado um filtro LCL, conforme apresentado na Figura 14. O filtro foi feito com os componentes disponíveis no Laboratório de Máquinas Elétricas (LME) da UFRG. Os valores escolhidos foram de 1mH para os indutores e 5,5 $\mu$ F para os capacitores. Um esquema simplificado da montagem do módulo inversor com o filtro é exibido na Figura 42.

Figura 42 – Esquema simplificado da ligação do módulo inversor

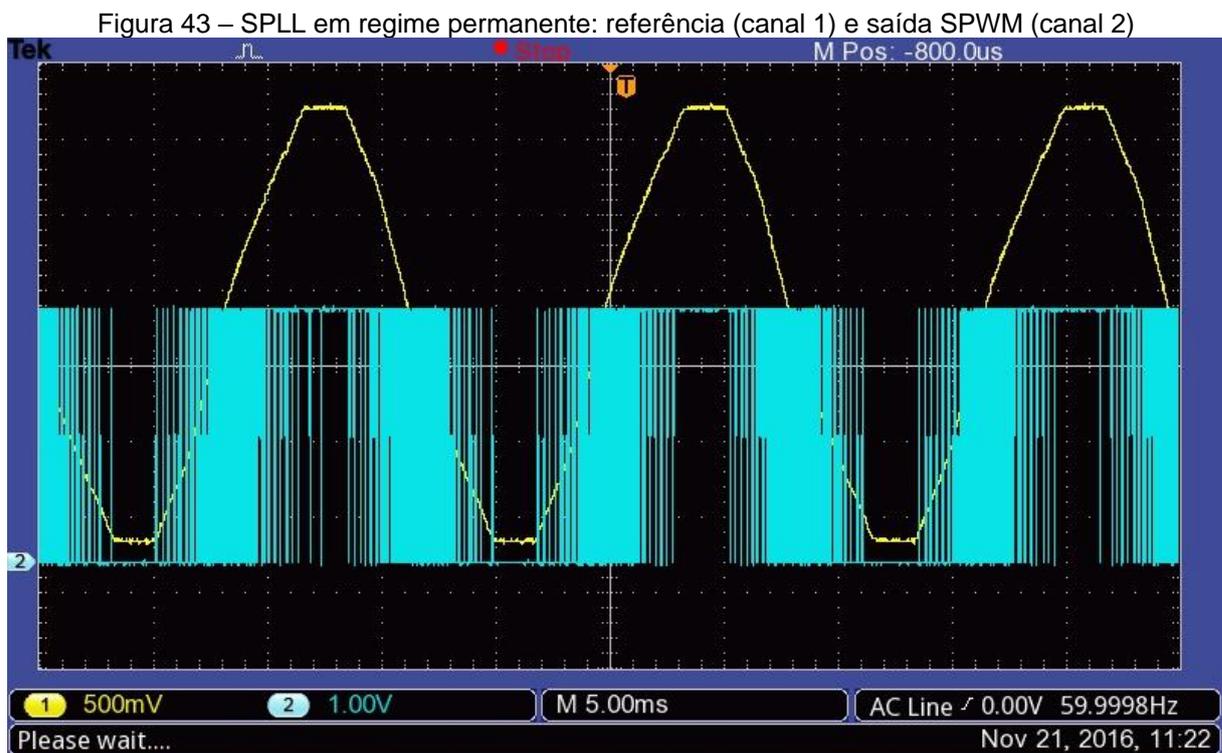


Fonte: Autoria própria.

## 6 ENSAIOS E RESULTADOS EXPERIMENTAIS

### 6.1 ENSAIOS COM O CONTROLADOR

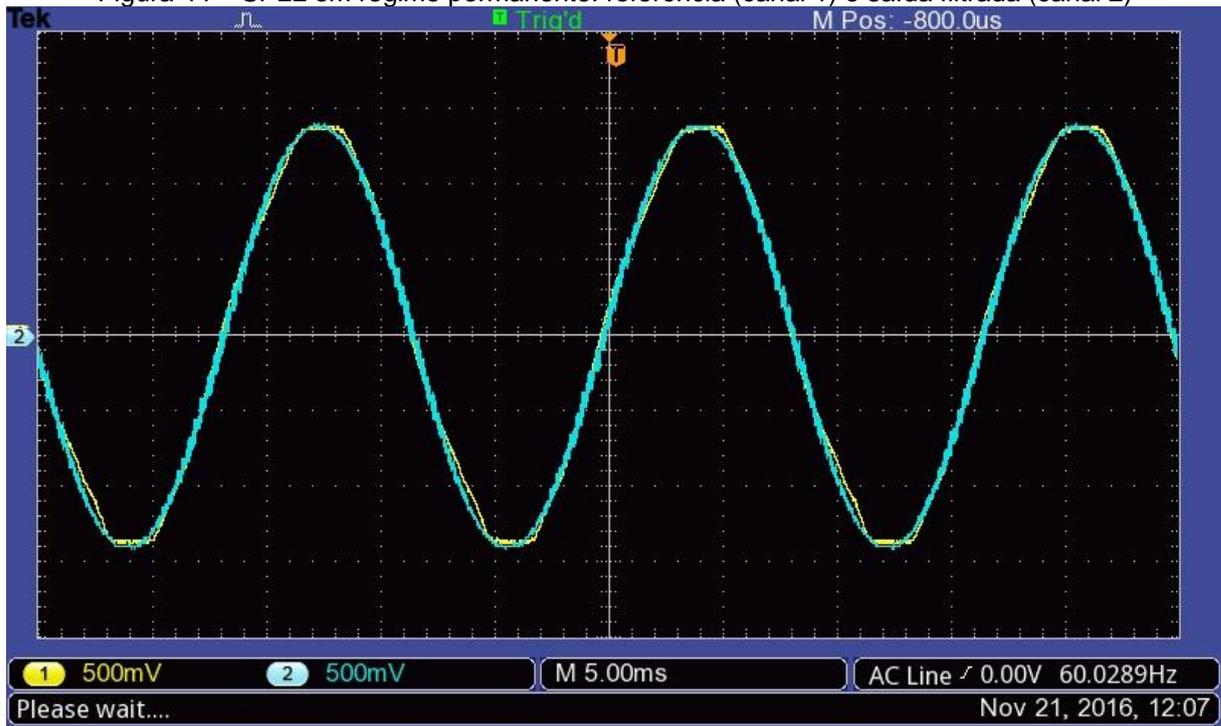
Os primeiros ensaios foram realizados para verificar o funcionamento do controlador e foram feitas apenas as medidas dos sinais em 3,3V. Inicialmente, verificou-se o funcionamento da modulação SPWM. Em uma rede monofásica 220V, foi medido com um osciloscópio a referência e a saída diretamente no pino do microcontrolador. O resultado em regime permanente está na Figura 43. Percebe-se que a modulação apresenta ciclo de trabalho próximo de 100% no pico positivo da senóide, e de zero no pico negativo.



Fonte: Autoria própria.

Para visualizar a saída em forma senoidal, foi aplicado um filtro RC passa-baixa. O filtro adiciona um atraso de tensão na saída. Dessa forma, o atraso teve de ser compensado no cálculo da saída do SPLL. O resultado é apresentado na Figura 44, que foi captada no modo CA do osciloscópio. Dessa vez, foi possível verificar que o cruzamento por zero ocorre no mesmo instante para os dois sinais.

Figura 44 – SPLL em regime permanente: referência (canal 1) e saída filtrada (canal 2)

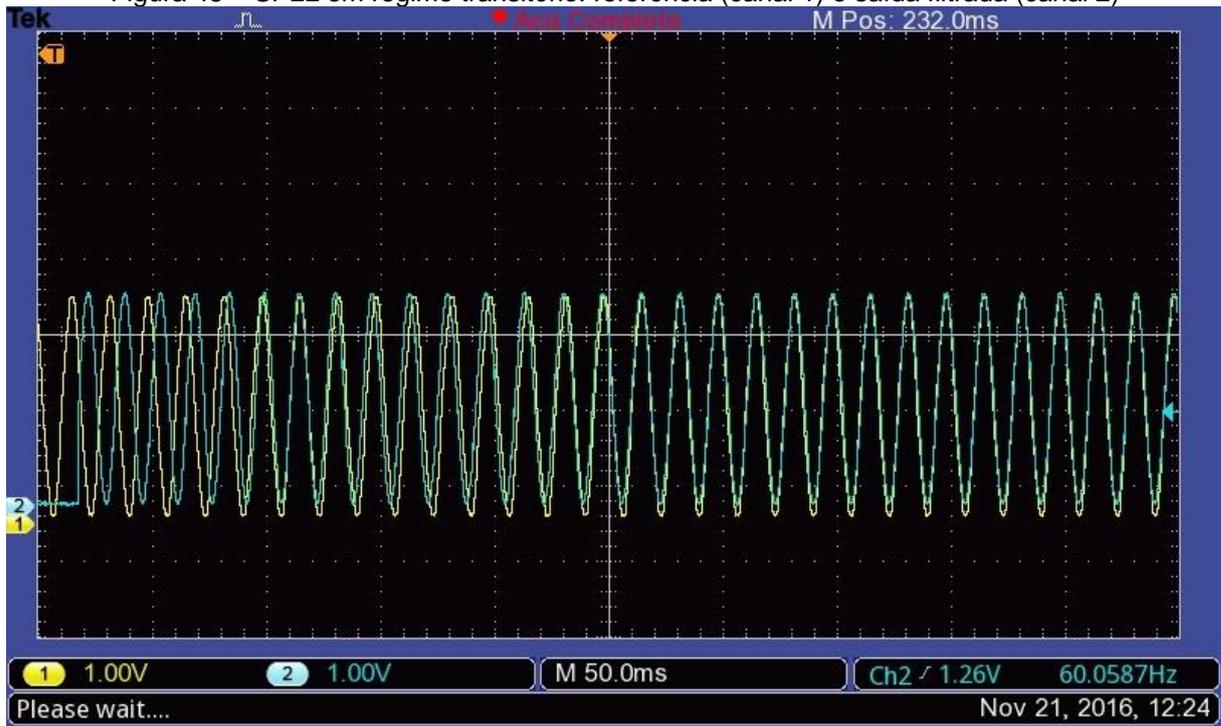


Fonte: Autoria própria.

Após verificar a funcionalidade do sistema em regime permanente, passou-se a procurar a resposta em regime transitório. Para isso, foi feita uma captura no modo *single* do osciloscópio, com a referência do *trigger* configurada para o canal 2, que mede a saída. Para que a captura do SPLL ocorresse dentro poucos ciclos de rede, possibilitando a visualização no instrumento, a banda do SPLL,  $\omega_n$ , foi ajustada para um valor bem alto, 30rad/s.

O resultado da captura do PLL é mostrado na Figura 45, onde nota-se que ela leva em torno de 230ms para ocorrer, o que representa em torno de 14 ciclos de rede. O controlador começou a operar quando a referência estava na metade de um ciclo, por isso a saída começa com um atraso de aproximadamente 180°. Percebe-se que o sistema apresenta um sobrepasso, e a saída primeiro se adianta em relação à referência, para então atingir o erro zero. O comportamento é semelhante ao que ocorreu na simulação apresentada na seção 3.3, exibida na Figura 18. No caso prático, entretanto,  $\omega_n$  era mais baixo, e o tempo de captura foi maior que o da simulação.

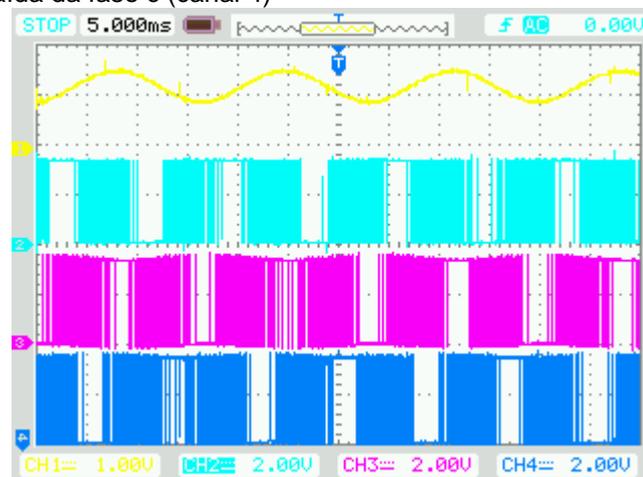
Figura 45 – SPLL em regime transitório: referência (canal 1) e saída filtrada (canal 2)



Fonte: Autoria própria.

Para verificar a geração dos sinais do inversor trifásico, foi utilizado um osciloscópio de quatro canais. Da mesma forma que no caso anterior, foi medida a referência e os sinais de saída SPWM, diretamente no pino do microcontrolador. Para o ensaio, foi utilizada apenas a referência da fase a. Nota-se na Figura 46 a saída da fase a (em rosa) em fase com a referência (em amarelo) e as outras duas fases respeitando a defasagem de  $\pm 120^\circ$ .

Figura 46 – SPLL trifásico em regime permanente: referência (canal 1), saída da fase b (canal 2), saída da fase a (canal 3) e saída da fase c (canal 4)



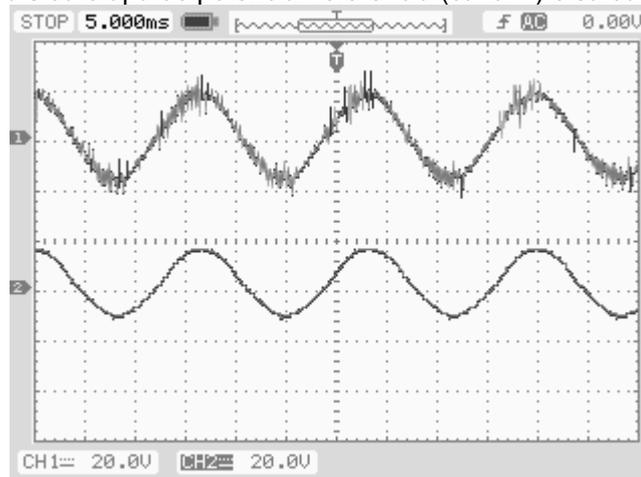
Fonte: Autoria própria.

## 6.2 ENSAIOS COM O MÓDULO INVERSOR

Após ter sido verificada a funcionalidade do bloco de controle, no que tange a geração dos sinais modulados e a sincronização com o sinal de referência, foram feitos experimentos no LME, utilizando o módulo inversor. O APÊNDICE B contém uma fotografia da montagem da bancada.

Inicialmente, o módulo foi alimentado através de um transformador trifásico, para evitar trabalhar com a tensão da rede. A Figura 47 mostra a referência e a saída na etapa de potência. Como referência, foi tomada a tensão de  $V_{an}$ , e a saída foi medida sobre o capacitor do filtro LCL, representando  $V_{A'N'}$  (vide Figura 42). Percebeu-se que o sistema funcionou adequadamente na etapa de potência. No entanto, o chaveamento do módulo inversor gera muita interferência eletromagnética, que interferiu na tensão de referência, o que é claramente visível na Figura 47. O ruído foi refletido também na instrumentação, e afetou os sinais de entrada do conversor A/D. Mesmo assim, o PLL apresentou comportamento razoável. A forma de onda de saída visivelmente apresenta certa distorção devido ao ruído.

Figura 47 – Sinais da etapa de potência: referência (canal 1) e saída filtrada (canal 2)



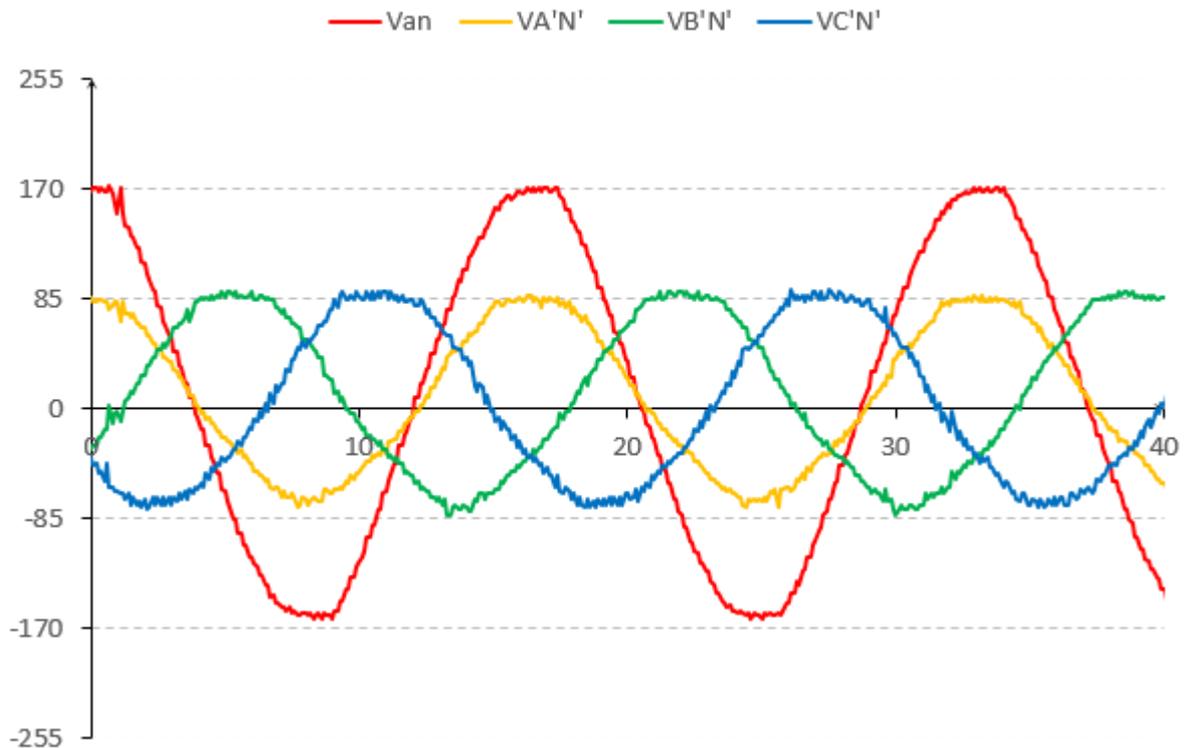
Fonte: Autoria própria.

Verificou-se que a captação do ruído ocorria principalmente através do transformador, portanto ele foi removido do sistema, e os ensaios passaram a ser feitos diretamente com a tensão da rede.

Utilizando quatro ponteiros diferenciais, foi possível medir o sinal de referência e as saídas de cada fase. A tensão  $V_{A'N'}$  ficou em fase com a referência e as demais tensões apresentaram as defasagens de  $120^\circ$  e  $240^\circ$ . O resultado é visto na

Figura 48<sup>1</sup>. A diferença de amplitude entre a referência e as saídas deve-se ao fato de o módulo inversor ter sido alimentado apenas por  $V_{an}$ . Dessa forma, a tensão do barramento CC é igual ao valor de pico de  $V_{an}$ , 173V. Como visto na Figura 11, as tensões de fase têm valor de pico igual à metade do valor de entrada.

Figura 48 – Sinais da etapa de potência: referência e saídas



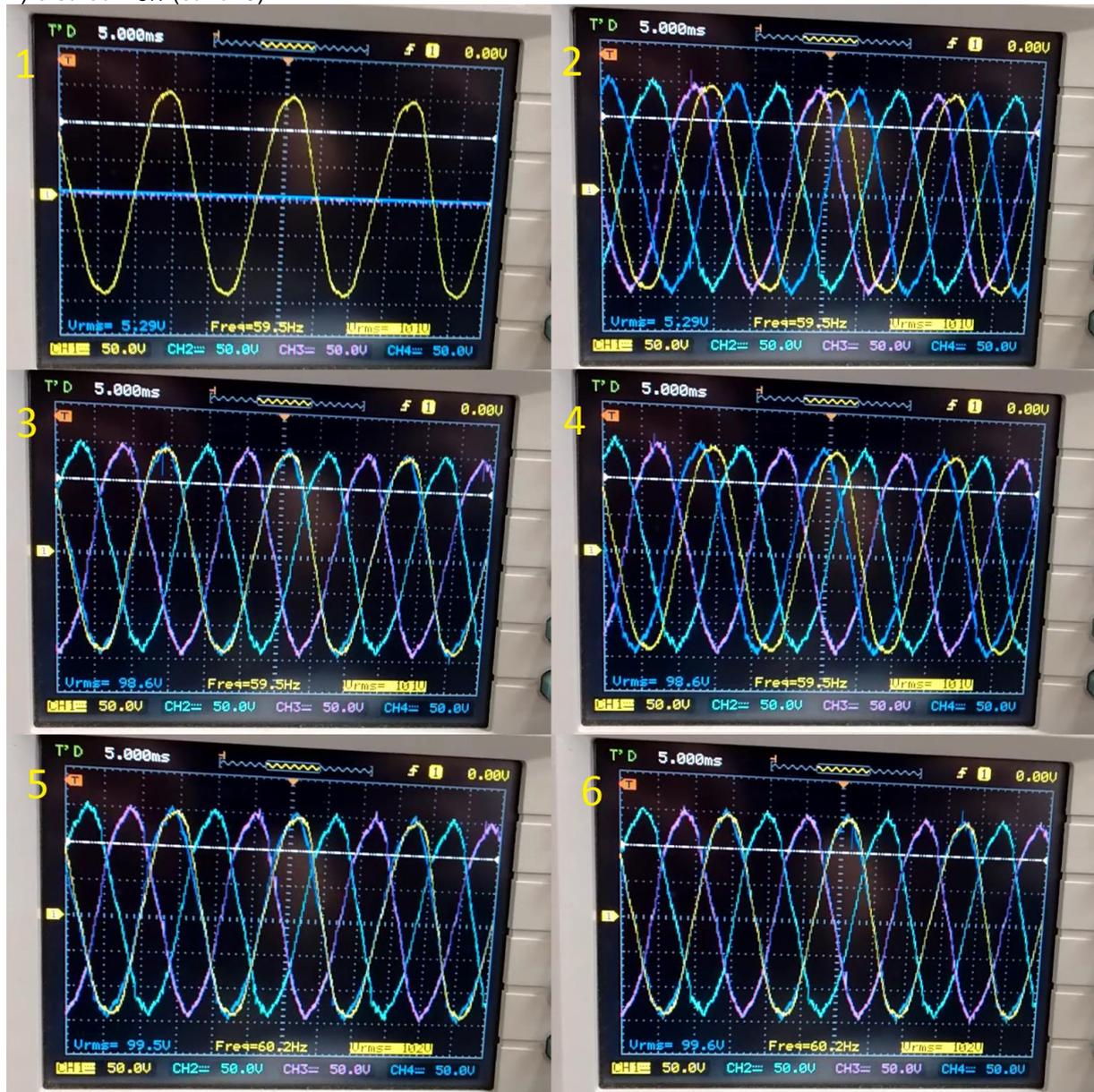
Fonte: Autoria própria.

Por fim, foi realizado um ensaio com o intuito de sincronizar o inversor com um gerador síncrono do laboratório. Dessa vez, o módulo inversor foi alimentado com a tensão de linha  $V_{ab}$ . O gerador foi ajustado para operar a 1800 RPM, gerando a tensão em 60Hz, com valor eficaz ajustado para o valor da tensão da saída do inversor, 100V.

<sup>1</sup> Devido a motivos desconhecidos, a exportação de figuras do osciloscópio gerou imagens com variação de coloração nas formas de onda, dificultando a identificação dos sinais. Em vista disso, as formas de onda passaram a ser exportadas para o formato CSV e os gráficos foram gerados através do software Excel.

Nesse experimento, um vídeo foi capturado, e a Figura 49 exibe os *frames* que mostram a sincronização.

Figura 49 – Captura do SPLL trifásico: referência  $V_{ab}$  (canal 1), saída  $V_{A'B'}$  (canal 4), saída  $V_{B'C'}$  (canal 2) e saída  $V_{C'A'}$  (canal 3)



Fonte: Autoria própria.

Para fazer a ligação da saída do inversor ao gerador, é necessária uma chave trifásica acionada por uma saída do inversor ao detectar a condição de sincronia. Foram feitas rotinas para detectar essa condição, fazendo a leitura do cruzamento por zero de cada fase, para detectar o ângulo de fase. O algoritmo também calcula a frequência e a tensão eficaz de cada fase da referência e das saídas. No entanto, a

interferência eletromagnética criada pelo chaveamento do módulo de potência acabou por inserir ruído na instrumentação. Da mesma forma que o transformador trifásico captou o ruído e poluiu a tensão de referência, os transformadores do circuito de condicionamento de entrada (Figura 38) também o fizeram. Dessa forma, o algoritmo em questão não funcionou, impossibilitando o monitoramento e o acionamento automático do controlador.

## 7 CONCLUSÃO

A implementação do SPLL ocorreu com sucesso, tanto no modo monofásico como no trifásico. Os resultados dos ensaios em laboratório foram coerentes com o que foi apresentado nas simulações, indicando que a implementação do algoritmo foi feita adequadamente. A lógica utilizada no caso trifásico utilizou apenas um sinal de referência. No entanto, baseado nas simulações da seção 3.4, o sistema apresentado por Phipps, Harrison e Duke (2006) funciona de forma mais eficiente, e o mesmo deve ocorrer na prática.

Durante os ensaios, infelizmente, não pode ser feita a parte mais esperada, da conexão entre o inversor e o gerador, muito por conta da parte de instrumentação, que não é o foco principal do trabalho, e que deixou a desejar. Mesmo a aplicação de um filtro passa-baixa na entrada do conversor A/D não eliminou o ruído gerado pelo chaveamento do módulo inversor. A aplicação de uma filtragem mais eficiente deve melhorar a aquisição. É importante notar que muito do ruído é captado pelos transformadores, como no caso do que foi utilizado para alimentar o módulo no primeiro ensaio. A eliminação dos transformadores no circuito de condicionamento, substituindo-os por amplificadores operacionais no modo diferencial, e de preferência isolados, deve resultar em uma grande melhoria.

O problema com o ruído mostra que é muito importante, em um projeto de eletrônica de potência, o conhecimento do material utilizado e o contato com ele tão logo possível. Dessa forma, os problemas que surgem na hora da implementação podem ser antecipados, e soluções podem ser buscadas de forma mais eficiente. A falta de documentação sobre o módulo inversor também foi um impedimento, visto que adicionou uma série de incertezas sobre o seu funcionamento, que foram eliminadas apenas na hora da sua utilização.

Na seção 4, foi apresentado um método de controle de fluxo de potência, que também não foi implementado na prática. As simulações mostram que o sistema funciona adequadamente, desde que os parâmetros estejam dentro do limite de estabilidade do sistema. Um estudo aprofundado dessa técnica ainda é requerido para que seja implementada com sucesso.

A plataforma de desenvolvimento utilizada se mostrou muito potente e as ferramentas de desenvolvimento fornecidas pelo fabricante facilitaram e muito o processo de configuração e de implementação dos blocos do sistema. Os produtos comercializados hoje em dia permitem ao desenvolvedor focar apenas na camada de aplicação, o que é de grande valia, assim como foi no caso do desenvolvimento desse trabalho.

Visando a continuidade desse projeto, são apresentadas a seguir propostas para trabalhos futuros:

- a) implementação de instrumentação robusta para que haja mais confiabilidade nas medidas de fase e tensão, visando a interligação com a rede elétrica, bem como a implementação das proteções exigidas pelas normas, apresentadas na seção 1.2;
- b) estudo aprofundado do método de controle de fluxo de potência, e sua posterior implementação, que são os próximos passos para controlar a energia fornecida para a rede elétrica após a sincronização;
- c) adição de um controle MPPT ao controlador, de modo a integrar o inversor a um conversor CC-CC e operar a partir da energia gerada por um ou mais painéis fotovoltaicos, formando, assim, um inversor fotovoltaico *grid-tied*.

Com a implementação das melhorias propostas, acredita-se que se possa finalmente chegar a um produto a ser utilizado nesse crescente cenário de exploração de energias renováveis.

## REFERÊNCIAS

AGÊNCIA NACIONAL DE ENERGIA ELÉTRICA. **REN482**: Resolução Normativa Nº 482. [s.l.]: Aneel, 2012. 12 p. Disponível em: <<http://www2.aneel.gov.br/cedoc/ren2012482.pdf>>. Acesso em: 15 nov. 2016.

ARROW ELECTRONICS. **YSSKS7G2E30 by Renesas Electronics**: Microcontrollers and Processors. 2016. Disponível em: <<https://www.arrow.com/en/products/yssks7g2e30/renesas-electronics>>. Acesso em: 15 nov. 2016.

COMPANHIA ESTADUAL DE DISTRIBUIÇÃO DE ENERGIA ELÉTRICA. **IT-81.081**: Acesso de Microgeração e Minigeração com Fontes Renováveis e Cogeração Qualificada ao Sistema de Distribuição. 3 ed. [s.l.]: Ceee-d, 2014. 26 p. Disponível em: <[http://www.ceeec.com.br/PPortal/CEEE/Archives/Download/Padrao Tecnico/IT-81.081 Acesso de microgeração e minigeração com fontes renováveis e cogeração qualificada ao sistema de distribuição.pdf](http://www.ceeec.com.br/PPortal/CEEE/Archives/Download/Padrao_Tecnico/IT-81.081_Acesso_de_microgeracao_e_minigeracao_com_fontes_renovaveis_e_cogerao_qualificada_ao_sistema_de_distribui%C3%A7%C3%A3o.pdf)>. Acesso em: 15 nov. 2016.

DAI, Min et al. Power Flow Control of a Single Distributed Generation Unit. **IEEE Transactions On Power Electronics**, [s.l.], v. 23, n. 1, p.343-352, jan. 2008. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/tpel.2007.911815>.

DIGIKEY ELECTRONICS. **YSSKS7G2E30 Renesas Electronics America**: Programmers, Development Systems. 2016. Disponível em: <<http://www.digikey.com/product-detail/en/renesas-electronics-america/YSSKS7G2E30/YSSKS7G2E30-ND/5975022>>. Acesso em: 15 nov. 2016.

EKLUND, Hans. **Real Time Phase Locked Loops**. 2006. 48 f. Dissertação (Mestrado) - Electrical Engineering, Department Of Computer Science And Electrical Engineering, Lulea University Of Technology, Lulea, 2006. Disponível em: <<http://epubl.ltu.se/1402-1617/2006/284/LTU-EX-06284-SE.pdf>>. Acesso em: 21 out. 2016.

ESPINOZA, José R.. Inverters. In: RASHID, Muhammad H. (Ed.). **Power Electronics Handbook**. San Diego: Academic Press, 2001. Cap. 14. p. 225-270.

HSIEH, Guan-chyun; HUNG, J.c.. Phase-locked loop techniques. A survey. **IEEE Trans. Ind. Electron.**, [s.l.], v. 43, n. 6, p.609-615, dez. 1996. Institute of Electrical & Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/41.544547>.

IEA - International Energy Agency. **Utility Aspects of grid connected photovoltaic power systems**: Task V - Grid Interconnection of Building Integrated and Other Dispersed Photovoltaic Power Systems. Arnhem: IEA - International Energy Agency, 1998. 168 p. Disponível em: <[http://iea-pvps.org/index.php?id=9&elD=dam\\_frontend\\_push&docID=389](http://iea-pvps.org/index.php?id=9&elD=dam_frontend_push&docID=389)>. Acesso em: 21 out. 2016.

LEON, Jose I. et al. The Essential Role and the Continuous Evolution of Modulation Techniques for Voltage-Source Inverters in the Past, Present, and Future Power Electronics. **IEEE Trans. Ind. Electron.**, [s.l.], v. 63, n. 5, p.2688-2701, maio 2016. Institute of Electrical & Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/tie.2016.2519321>.

LISERRE, Marco; BLAABJERG, Frede; DELL'AQUILA, Antonio. Step-by-step design procedure for a grid-connected three-phase PWM voltage source converter. **International Journal Of Electronics**, [s.l.], v. 91, n. 8, p.445-460, ago. 2004. Informa UK Limited. <http://dx.doi.org/10.1080/00207210412331306186>.

MARTINEZ, Rodolfo Manuel Moreno. **Estudo de Técnicas de Controle de Fluxo de Potência e de Gerenciamento de Ilhamento em Sistemas de Geração Distribuída com Interfaces Eletrônicas de Potência para Conexão com a Rede Elétrica**. 2010. 229 f. Tese (Doutorado) - Curso de Engenharia Elétrica e de Computação, Departamento de Sistemas e Controle de Energia, Unicamp, Campinas, 2010. Cap. 2. Disponível em: <http://www.bibliotecadigital.unicamp.br/zeus/auth.php?back=http://www.bibliotecadigital.unicamp.br/document/?code=000769884&go=x&code=x&unit=x>. Acesso em: 22 out. 2016.

PHIPPS, W.; HARRISON, M.j.; DUKE, R.. Three-Phase Phase-Locked Loop Control of a New Generation Power Converter. **2006 1st IEEE Conference On Industrial Electronics And Applications**, [s.l.], v. 1, n. 1, p.1-6, maio 2006. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/iciea.2006.257093>.

RIO GRANDE DO SUL. Portal do Estado do Rio Grande do Sul. Governo do Estado do Rio Grande do Sul. **Estado incentiva empreendimentos de energias renováveis no Rio Grande do Sul**. 2016. Disponível em: <http://www.estado.rs.gov.br/conteudo/243894/estado-incentiva-empreendimentos-de-energias-renovaveis-no-rio-grande-do-sul>. Acesso em: 5 set. 2016.

RENESAS. **SK-S7G2**: Quick Start Guide. [s.l.]: Renesas, 2016a. 11 p. Disponível em: [https://www.renesas.com/pt-br/doc/products/renesas-synergy/doc/r12qs0004eu0101\\_synergy\\_sk\\_s7g2.pdf](https://www.renesas.com/pt-br/doc/products/renesas-synergy/doc/r12qs0004eu0101_synergy_sk_s7g2.pdf). Acesso em: 15 nov. 2016.

\_. **Renesas Synergy Gallery**. 2016b. Disponível em: <https://synergycastle.renesas.com>. Acesso em: 15 nov. 2016.

ROLFES, Kevin Michael. **The Automated Software Phase-Locked Loop and the Exploration of an Adaptive Algorithm for the Adjustment of PLL Parameters**. 1994. 139 f. Dissertação (Mestrado) - Electrical Engineering, University Of Wisconsin - Madison, Madison, 1994. Disponível em: [http://www.rolfes.org/kevin\\_rolfes\\_msee\\_thesis.pdf](http://www.rolfes.org/kevin_rolfes_msee_thesis.pdf). Acesso em: 30 out. 2016.

TEODORESCU, Remus; LISERRE, Marco; RODRÍGUEZ, Pedro. Grid Filter Design. In: TEODORESCU, Remus; LISERRE, Marco; RODRÍGUEZ, Pedro. **Grid Converters for Photovoltaic and Wind Power Systems**. Chichester: John Wiley & Sons, 2011. Cap. 11. p. 289-312.

THE ECONOMIST (Ed.). Follow the sun: Solar power is reshaping energy production in the developing world. **The Economist**, [s.l.], 16 abr. 2016. Semanal. Disponível em: <<http://www.economist.com/news/business/21696941-solar-power-reshaping-energy-production-developing-world-follow-sun?>>. Acesso em: 10 nov. 2016.

**BIBLIOGRAFIA CONSULTADA**

BEST, Roland E.. **Phase-Locked Loops: Design, Simulation and Applications**. 6. ed. New York: Mcgraw Hill, 2007. 482 p.

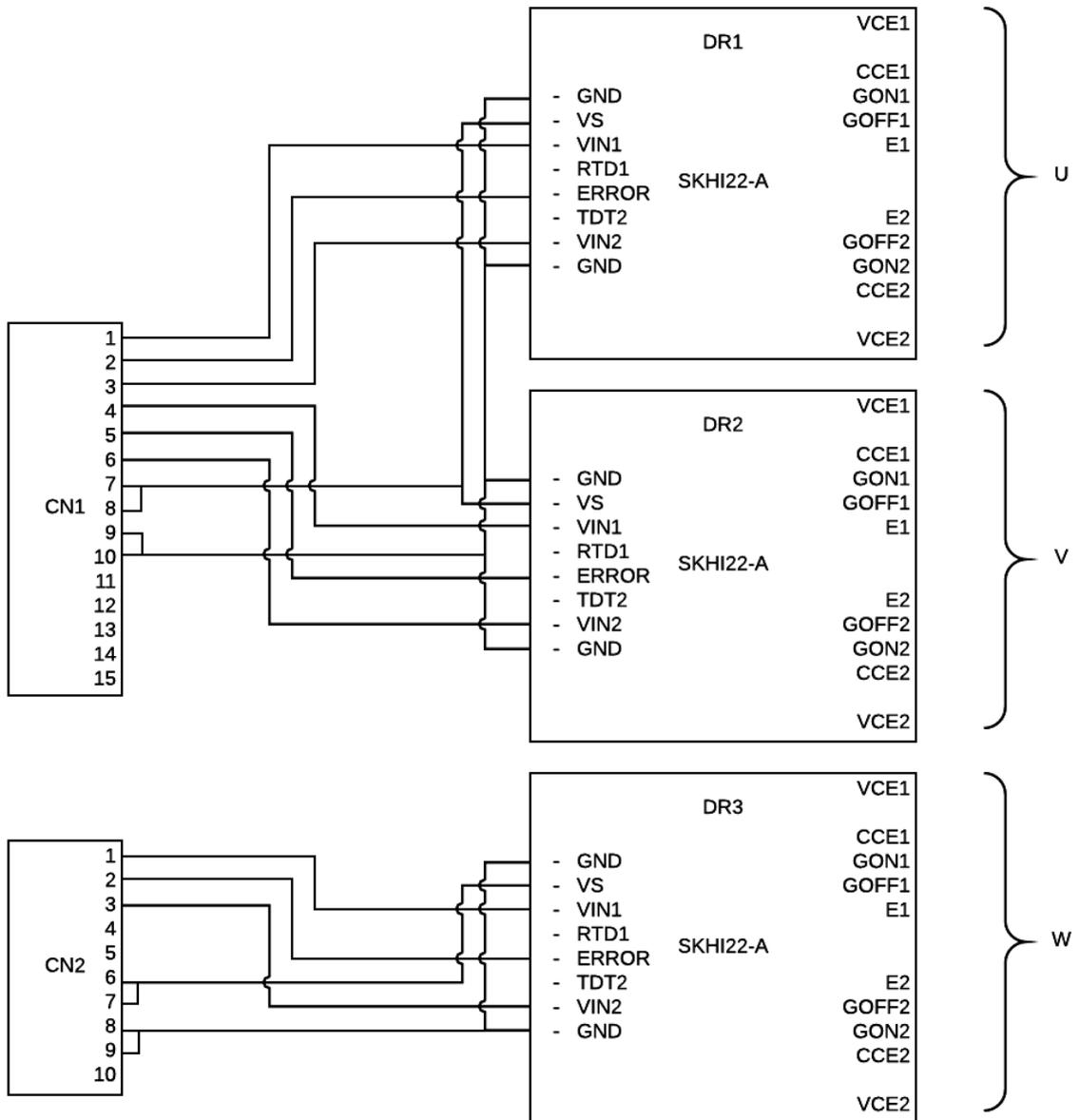
NEOSOLAR ENERGIA (São Paulo). **Inversor Grid Tie**. Disponível em: <<http://www.neosolar.com.br/aprenda/saiba-mais/inversor-grid-tie>>. Acesso em: 4 out. 2016.

NUOTIO, Mika et al. Innovative AC photovoltaic module system using series connection and universal low-voltage micro inverters. **2014 IEEE 40th Photovoltaic Specialist Conference (pvsc)**, [s.l.], v. 1, n. 1, p.1367-1369, jun. 2014. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/pvsc.2014.6925172>.

RASHID, Muhammad H.. Inversores Modulados por Largura de Pulso. In: RASHID, Muhammad H.. **Eletrônica de Potência: Circuitos, Dispositivos e Aplicações**. 2. ed. São Paulo: Makron Books, 1999. Cap. 10. p. 436-502.

SCHOLTEN, David M.; ERTUGRUL, N.; SOONG, W. L.. Micro-inverters in small scale PV systems: A review and future directions. **2013 Australasian Universities Power Engineering Conference (aupec)**, [s.l.], p.1-6, set. 2013. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/aupec.2013.6725465>.

## APÊNDICE A – CONECTORES DO MÓDULO DE POTÊNCIA SEMIKRON



## APÊNDICE B – BANCADA PARA EXPERIMENTO COM MÓDULO INVERSOR



## ANEXO – FUNCIONALIDADES E PINAGEM DO DRIVER SKHI 22A

## SKHI 22 A / B (R) ...



SEMIDRIVER™

## Hybrid Dual IGBT Driver

## SKHI 22 A / B (R)

## Features

- Double driver for halfbridge IGBT modules
- SKHI 22A is compatible to old SKHI 22
- SKHI 22B has additional functionality
- CMOS compatible inputs
- Short circuit protection by  $V_{CE}$  monitoring and switch off
- Drive interlock top / bottom
- Isolation by transformers
- Supply undervoltage protection (13 V)
- Error latch / output

## Typical Applications

- Driver for IGBT modules in bridge circuits in industrial applications

1) see fig. 6

2) At  $R_{CE} = 18 \text{ k}\Omega$ ,  $C_{CE} = 330 \text{ pF}$

## Absolute Maximum Ratings

Symbol	Conditions	Values	Units
$V_S$	Supply voltage prim.	18	V
$V_{IH}$	Input signal volt. (High) SKHI 22A SKHI 22B	$V_S + 0,3$ $5 + 0,3$	V
$I_{outPEAK}$	Output peak current	8	A
$I_{outAVmax}$	Output average current	40	mA
$f_{max}$	max. switching frequency	50	kHz
$V_{CE}$	Collector emitter voltage sense across the IGBT	1200	V
$dv/dt$	Rate of rise and fall of voltage secondary to primary side	50	kV/ $\mu$ s
$V_{isolIO}$	Isolation test voltage input - output (2 sec. AC)	2500	Vac
$V_{isol12}$	Isolation test voltage output 1 - output 2 (2 sec. AC)	1500	V
$R_{Gonmin}$	Minimum rating for $R_{Gon}$	3	$\Omega$
$R_{Goffmin}$	Minimum rating for $R_{Goff}$	3	$\Omega$
$Q_{out/pulse}$	Max. rating for output charge per pulse	4 <sup>1)</sup>	$\mu$ C
$T_{op}$	Operating temperature	- 40 ... + 85	$^{\circ}$ C
$T_{stg}$	Storage temperature	- 40 ... + 85	$^{\circ}$ C

## Characteristics

 $T_a = 25 \text{ }^{\circ}\text{C}$ , unless otherwise specified

Symbol	Conditions	min.	typ.	max.	Units
$V_S$	Supply voltage primary side	14,4	15	15,6	V
$I_{SO}$	Supply current primary side (no load) Supply current primary side (max.)		80	290	mA
$V_i$	Input signal voltage SKHI 22A on/off SKHI 22B on/off		15 / 0 5 / 0		V
$V_{IT+}$	Input threshold voltage (High) SKHI 22A SKHI 22B			12,5 3,9	V
$V_{IT-}$	Input threshold voltage (Low) SKHI 22A SKHI 22B	4,5 1,5			V
$R_{in}$	Input resistance SKHI 22A SKHI 22B		10 3,3		k $\Omega$
$V_{G(on)}$	Turn on gate voltage output		+ 15		V
$V_{G(off)}$	Turn off gate voltage output		- 7		V
$R_{GE}$	Internal gate-emitter resistance		22		k $\Omega$
$f_{ASIC}$	Asic system switching frequency		8		MHz
$t_{d(on)IO}$	Input-output turn-on propagation time	0,85	1	1,15	$\mu$ s
$t_{d(off)IO}$	Input-output turn-off propagation time	0,85	1	1,15	$\mu$ s
$t_{d(terr)}$	Error input-output propagation time		0,6		$\mu$ s
$t_{pERRRESET}$	Error reset time		9		$\mu$ s
$t_{TD}$	Top-Bot Interlock Dead Time SKHI 22A SKHI 22B		4,3		$\mu$ s
$V_{CEsat}$	Reference voltage for $V_{CE}$ -monitoring		5 <sup>2)</sup>	4,7	V
$C_{ps}$	Coupling capacitance primary secondary		12	10	pF
MTBF	Mean Time Between Failure $T_a = 40 \text{ }^{\circ}\text{C}$		2,0		$10^6 \text{ h}$
w	weight		45		g

This technical information specifies semiconductor devices but promises no characteristics. No warranty or guarantee expressed or implied is made regarding delivery, performance or suitability.

## PIN array

Fig. 2 shows the pin arrays. The input side (primary side) comprises 10 inputs (SKHI 22A / 21A 8 inputs), forming the interface to the control circuit (see fig.1).

The output side (secondary side) of the hybrid driver shows two symmetrical groups of pins with 4 outputs, each forming the interface to the power module. All pins are designed for a grid of 2,54 mm.

### Primary side PIN array

PIN No.	Designation	Explanation
P14	GND / 0V	related earth connection for input signals
P13	V <sub>S</sub>	+ 15V ± 4% voltage supply
P12	V <sub>IN1</sub>	switching signal input 1 (TOP switch) positive 5V logic (for SKHI22A /21A, 15V logic)
P11	frøø	not wired
P10	/ERROR	error output, low = error; open collector output; max 30V / 15mA (for SKHI22A /21A, internal 10kΩ pull-up resistor versus V <sub>S</sub> )
P9	TDT2	signal input for digital adjustment of interlocking time; <b>SKHI22B: to be switched by bridge to GND (see fig. 3)</b> <b>SKHI22A /21A: to be switched by bridge to V<sub>S</sub></b>
P8	V <sub>IN2</sub>	switching signal input 2 (BOTTOM switch); positive 5V logic (for SKHI22A /21A, 15V logic)
P7	GND / 0V	related earth connection for input signals
P6	SELECT	signal input for neutralizing locking function; to be switched by bridge to GND
P5	TDT1	signal input for digital adjustment of locking time; to be switched by bridge to GND

**ATTENTION:** Inputs P6 and P5 are not existing for SKHI 22A/ 21A. The contactor tracks of the digital input signals P5/ P6/ P9 must not be longer than 20 mm to avoid interferences, if no bridges are connected.

### Secondary side PIN array

PIN No.	Designation	Explanation
S20	V <sub>CE1</sub>	collector output IGBT 1 (TOP switch)
S15	C <sub>CE1</sub>	reference voltage adjustment with R <sub>CE</sub> and C <sub>CE</sub>
S14	G <sub>ON1</sub>	gate 1 R <sub>ON</sub> output
S13	G <sub>OFF1</sub>	gate 1 R <sub>OFF</sub> output
S12	E1	emitter output IGBT 1 (TOP switch)
S1	V <sub>CE2</sub>	collector output IGBT 2 (BOTTOM switch)
S6	C <sub>CE2</sub>	reference voltage adjustment with R <sub>CE</sub> and C <sub>CE</sub>
S7	G <sub>ON2</sub>	gate 2 R <sub>ON</sub> output
S8	G <sub>OFF2</sub>	gate 2 R <sub>OFF</sub> output
S9	E2	emitter output IGBT 2 (BOTTOM switch)

**ATTENTION:** The connector leads to the power module should be as short as possible.