

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

BRUNO RODRIGUEZ TONDIN

**DESENVOLVIMENTO E
IMPLEMENTAÇÃO DE UM MICRO
INVERSOR GRID-TIE UTILIZANDO
DSPIC**

Porto Alegre
2016

BRUNO RODRIGUEZ TONDIN

**DESENVOLVIMENTO E
IMPLEMENTAÇÃO DE UM MICRO
INVERSOR GRID-TIE UTILIZANDO
DSPIC**

Projeto de Diplomação apresentado ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul como parte dos requisitos para a obtenção do título de Engenheiro Eletricista.

ORIENTADOR: Prof. Dr. Fausto Bastos Líbano

Porto Alegre
2016

BRUNO RODRIGUEZ TONDIN

**DESENVOLVIMENTO E
IMPLEMENTAÇÃO DE UM MICRO
INVERSOR GRID-TIE UTILIZANDO
DSPIC**

Este Projeto foi julgado adequado para a obtenção dos créditos da Disciplina Projeto de Diplomação do Departamento de Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: _____

Prof. Dr. Fausto Bastos Líbano, UFRGS

Doutor pela Universidade Politécnica de Madri

Banca Examinadora:

Prof. Dr. Fausto Bastos Líbano, UFRGS

Doutor pela Universidade Politécnica de Madri

Prof. Dr. Luiz Tiarajú dos Reis Loureiro, UFRGS

Doutor pela Universidade Federal do Rio Grande do Sul

MSc. Danton Pereira da Silva Junior, UFRGS

Mestre pela Universidade Federal do Rio Grande do Sul

Chefe do DELET: _____

Prof. Dr. Ály Flores Ferreira Filho

Porto Alegre, julho de 2016.

AGRADECIMENTOS

Primeiramente aos meus pais, Magali e Gilmar, por todo o apoio e carinho incondicional durante, não só, todos estes anos na faculdade, mas também os que passaram antes e os que estão por vir.

À minha família, que sempre compreendeu minhas ausências durante estes anos de estudo.

Aos meus amigos, que ajudaram a fazer o trilhar deste curso mais agradável.

Aos colegas do Hospital de Clínicas de Porto Alegre, que colaboraram com dicas valiosas.

Aos professores, pelas experiências e conhecimento transmitidos.

Ao meu orientador, pela sugestão do trabalho e pelo suporte dado.

À Texas Instruments e Microchip, por enviarem amostras grátis de boa parte dos componentes utilizados neste trabalho.

RESUMO

Este trabalho apresenta uma revisão bibliográfica acerca dos principais elementos e abordagens que envolvem o desenvolvimento da etapa de conversão CC/CA em um micro inversor *grid-tie* para geração fotovoltaica. Um microcontrolador DSPIC33EP256MC202 foi utilizado para executar os algoritmos de modulação e sincronização, de forma a mostrar que é possível a implementação do equipamento utilizando componentes de baixo custo. O hardware foi testado em um ambiente de laboratório e mostrou resultados satisfatórios.

Palavras-chave: Energia Solar, Eletrônica de Potência, Micro Inversor, Sincronização com a Rede.

ABSTRACT

This paper presents a literature review about the main elements and approaches that involve the development of DC/AC conversion in a grid-tie micro inverter for photovoltaic generation. A DSPIC33EP256MC202 microcontroller was used to perform the modulation and synchronization algorithms, showing that it is possible to implement the equipment using low cost components. The hardware has been tested in a lab environment and showed satisfactory results.

Keywords: Solar Energy, Power Electronics, Micro Inverter, Grid Synchronization.

LISTA DE ILUSTRAÇÕES

Figura 1:	Célula solar empregando tecnologia monocristalina (a) e multi-cristalina (b).	20
Figura 2:	Uma célula, um módulo e um arranjo solar.	21
Figura 3:	Curvas características $V \times I$ para intensidade solar (a) e temperatura (b) do módulo CanadianSolar Dymond CS6X-P-FG.	21
Figura 4:	Sistema de Cabana.	22
Figura 5:	Sistema de Casa de Campo.	23
Figura 6:	Sistema Residencial Urbano.	24
Figura 7:	Um Inversor e Múltiplos Conversores CC/CC.	24
Figura 8:	Configuração usando Micro Inversor.	25
Figura 9:	Abordagens com (a) Um Estágio e (b) Dois Estágios.	26
Figura 10:	Exemplo da topologia de meia ponte com, 2, 3, 4 e n-níveis.	27
Figura 11:	Topologia de meia-ponte com dois níveis (a) e a ponte completa equivalente com três níveis (b).	28
Figura 12:	Modulação SPWM utilizando (a) 2 níveis, (b) 3 níveis e (c) 5 níveis.	28
Figura 13:	Diagramas de bloco simplificados dos inversores de malha aberta (a) e de malha fechada (b).	30
Figura 14:	Saída de um inversor com Pseudo-Modulação de (a) 2 níveis, (b) 3 níveis, (c) 5 níveis	31
Figura 15:	Modulação PWM de Pulso Único.	32
Figura 16:	Modulação PWM de Múltiplos Pulsos.	33
Figura 17:	Tensão de saída em um inversor de ponte completa utilizando PWM de múltiplos pulsos.	35

Figura 18:	Representação do sinal SPWM usando comparador em um inversor de ponte completa.	35
Figura 19:	Modelo de um PLL básico.	38
Figura 20:	Diagrama de Blocos do PLL Simulado no PSIM.	41
Figura 21:	Saída do Detector de Fase Para V_{in} e V_{sync} em Fase.	42
Figura 22:	Saída do Detector de Fase Para V_{in} e V_{sync} com uma Diferença de Fase de 45 Graus.	42
Figura 23:	Sinais V_{in} , V_{sync} , V_{df} e Verro Durante Operação do PLL.	43
Figura 24:	Sinais de erro Verro e de Ação de Controle V_{pi} Durante Sincronização.	43
Figura 25:	Sinais ωt , $\sin(\omega t)$ e V_{in}	44
Figura 26:	Dente de Serra ωt , Ação de Controle V_{pi} , Soma de Ambos, Sinal de Referência V_{in} e a Saída do PLL V_{sync} , durante a sincronização.	45
Figura 27:	a) Entrada do PLL V_{in} +Ruído e Saída do Detector de Fase V_{df} . b) Erro. c) Ação de Controle V_{pi} , Rampa de Referência ωt e a Soma de Ambos. d) Entrada do PLL V_{in} +Ruído e a Saída sincronizada V_{sync}	46
Figura 28:	Modelo de um PLL por fase em quadratura.	47
Figura 29:	Mudança de referência entre o sistema $\alpha\beta$ e o sistema dq	47
Figura 30:	Diagrama de Blocos do PLL baseado em Transformada Inversa de Park.	48
Figura 31:	Diagrama em blocos do filtro baseado em SOGI.	49
Figura 32:	Modelo de PLL usando Filtro Passa-Baixa.	50
Figura 33:	Gráfico do Ponto de Máxima Potência.	53
Figura 34:	Um Inversor Conectado à Rede de Distribuição.	54
Figura 35:	Diagrama Fasorial de um Inversor Conectado à Rede.	54
Figura 36:	Módulo IGBT IRAMS10UP60A já montado no protótipo do equipamento.	59
Figura 37:	DIE de um isolador magnético digital e com potência integrados.	60
Figura 38:	Diagrama de um isolador por magnetoresistência gigante.	60
Figura 39:	Diagrama de um isolador capacitivo.	61
Figura 40:	Gráfico da relação entre carga e eficiência no módulo CC/CC isolado DCR011203P.	62
Figura 41:	Comparação entre o PWM simétrico e o assimétrico.	63

Figura 42:	Funcionamento do módulo PWM no modo (a) “alinhado à borda” e (b) “alinhado ao centro”.	64
Figura 43:	Funcionamento da leitura dos valores de <i>duty-cycle</i> na tabela seno. . .	65
Figura 44:	Fluxograma do funcionamento do microcontrolador para geração do SPWM.	66
Figura 45:	Esquema do Filtro LCL.	67
Figura 46:	Resposta em frequência do filtro LCL sem o resistor de <i>dumping</i> . . .	68
Figura 47:	Resposta em frequência do filtro LCL com o resistor de <i>dumping</i> com 1.8Ω	69
Figura 48:	Diagrama de Blocos do PLL desenvolvido.	69
Figura 49:	Tempos onde ocorrem as leituras e escritas nos registradores do Timer 1 e Timer 2.	70
Figura 50:	Fluxograma do algoritmo do PLL implementado no microcontrolador.	72
Figura 51:	a) Fotografia da Parte Frontal da Placa. b) Fotografia da Parte Traseira da Placa	75
Figura 52:	Sinal de saída no braço A (amarelo), no braço B do inversor (azul) e a tensão entre os terminais de ambos os braços (vermelho).	76
Figura 53:	Espectro de frequência do inversor, sem Filtro e a vazio, em torno da frequência fundamental.	76
Figura 54:	Espectro de frequência do inversor, sem Filtro e a vazio, em torno da frequência de chaveamento.	77
Figura 55:	Sinal de saída do filtro LCL com carga de 75Ω	78
Figura 56:	Espectro de frequência do inversor, com filtro e carga R, em torno da frequência fundamental.	78
Figura 57:	Espectro de frequência do inversor, com filtro e carga R, em torno da frequência de chaveamento.	79
Figura 58:	Espectro de frequência da tensão do inversor, com filtro e carga RC série, em torno da frequência fundamental.	80
Figura 59:	Espectro de frequência da tensão do inversor, com filtro e carga RC série, em torno da frequência de chaveamento.	80
Figura 60:	Espectro de frequência da corrente do inversor, com filtro e carga RC série, em torno da frequência fundamental.	81

Figura 61:	Espectro de frequência da corrente do inversor, com filtro e carga RC série, em torno da frequência de chaveamento.	81
Figura 62:	Espectro de frequência da tensão do inversor, com filtro e carga RL série, em torno da frequência fundamental.	82
Figura 63:	Espectro de frequência da tensão do inversor, com filtro e carga RL série, em torno da frequência de chaveamento.	82
Figura 64:	Espectro de frequência da corrente do inversor, com filtro e carga RL série, em torno da frequência fundamental.	83
Figura 65:	Espectro de frequência da corrente do inversor, com filtro e carga RL série, em torno da frequência de chaveamento.	84
Figura 66:	Espectro de frequência da tensão do inversor, com filtro e carga RLC série, em torno da frequência fundamental.	84
Figura 67:	Espectro de frequência da tensão do inversor, com filtro e carga RLC série, em torno da frequência de chaveamento.	85
Figura 68:	Espectro de frequência da corrente do inversor, com filtro e carga RLC série, em torno da frequência fundamental.	85
Figura 69:	Espectro de frequência da corrente do inversor, com filtro e carga RLC série, em torno da frequência de chaveamento.	86
Figura 70:	Saída do inversor sincronizado com o sinal de referência a 60Hz.	87
Figura 71:	Saída do inversor sincronizado com o sinal de referência triangular a 60Hz.	88
Figura 72:	Saída do inversor sincronizado com o sinal de referência quadrado a 60Hz.	88
Figura 73:	Saída do inversor sincronizado com o sinal de referência quadrado a 60Hz com terceira harmônica.	89
Figura 74:	Saída do inversor sincronizado com o sinal de referência quadrado a 60Hz com harmônicas até nona ordem.	89
Figura 75:	Saída do inversor sincronizado com o sinal de referência quadrado a 60Hz com ruído.	90
Figura 76:	Saída do inversor sincronizado com o sinal senoidal de 60Hz com uma diferença de fase de 10°.	90

Figura 77:	Saída do inversor sincronizado com o sinal senoidal de 50Hz com uma diferença de fase de 10°.	91
Figura 78:	Saída do inversor sincronizado com o sinal senoidal de 60Hz com uma diferença de fase de 20°.	91
Figura 79:	Percentual do uso da CPU ao executar os algoritmos de modulação e sincronização.	92
Figura 80:	Saída do inversor sincronizado com o sinal senoidal de 60Hz com uma diferença de fase de 20°.	95
Figura 81:	Saída do inversor sincronizado com o sinal senoidal de 60Hz com uma diferença de fase de 20°.	96
Figura 82:	Saída do inversor sincronizado com o sinal senoidal de 60Hz com uma diferença de fase de 20°.	97
Figura 83:	Saída do inversor sincronizado com o sinal senoidal de 60Hz com uma diferença de fase de 20°.	98
Figura 84:	Saída do inversor sincronizado com o sinal senoidal de 60Hz com uma diferença de fase de 20°.	99
Figura 85:	Saída do inversor sincronizado com o sinal senoidal de 60Hz com uma diferença de fase de 20°.	100

LISTA DE TABELAS

Tabela 1:	Nível das harmônicas em relação à frequência fundamental.	86
Tabela 2:	Cálculo de eficiência do inversor.	92

LISTA DE ABREVIATURAS

CC	Corrente Contínua
CA	Corrente Alternada
CCAT	Corrente Contínua em Alta Tensão
UPS	Fontes Ininterruptas de Energia
NTD	Normas Técnicas de Distribuição
ANEEL	Agência Nacional de Energia Elétrica
MPP	Ponto de Máxima Potência
MPPT	Rastreamento de Ponto de Máxima Potência
BJT	Transistor de Junção Bipolar
MOSFET	Transistor de Efeito de Campo Metal-Óxido-Semicondutor
IGBT	Transistor Bipolar de Porta Isolada
PWM	Modulação por Largura de Pulso
SPWM	Modulação por Largura de Pulso Senoidal
RMS	Raiz do Valor Quadrático Médio ou Valor Eficaz
PLL	Malha de Captura de Fase
VCO	Oscilador Controlado por Tensão
PI	Proporcional-Integral
DFT	Transformada Discreta de Fourier
RDFT	Transformada Discreta de Fourier Recursiva

FFT	Transformada Rápida de Fourier
SOGI	Integrador Generalizado de Segunda Ordem
SRF	Referência Síncrona
FIR	Resposta ao Impulso Finita
PCC	Ponto de Comum Acoplamento
THD	Distorção Harmônica Total
IEEE	Instituto de Engenheiros Eletricistas e Eletrônicos
GPIO	Entrada e Saída de Propósito Geral
UART	Transmissor/Receptor Assíncrono Universal
I2C	Inter-Circuito Integrado
CAN	Controlador Área Rede
DSP	Processador Digital de Sinais

LISTA DE SÍMBOLOS

kS/s Mil Amostras por Segundo

MIPS Milhões de Instruções por Segundo

P Potência Ativa [W]

Q Potência Reativa [var]

SUMÁRIO

1	INTRODUÇÃO	17
1.1	Motivação	17
1.2	Objetivo	18
1.3	Organização do Trabalho	18
2	INVERSORES	19
2.1	Aplicação em Energia Solar	20
2.2	Configurações de Sistemas de Potência Solares	22
2.2.1	Sistema de Cabana	22
2.2.2	Sistema de Casa de Campo	22
2.2.3	Sistema Residencial Urbano	23
2.2.4	Um Inversor e Múltiplos Conversores CC/CC	23
2.2.5	Sistema com Micro Inversor	24
2.3	Inversores Quanto ao Número de Estágios	26
2.4	Algumas Topologias	27
3	ESTRATÉGIAS DE CONTROLE PARA O INVERSOR	29
3.1	Técnicas de Modulação	29
3.1.1	Métodos em Malha Fechada	29
3.1.2	Pseudo Modulação	30
3.1.3	PWM	31
3.2	Sincronização e Monitoramento	36
3.3	Técnicas de Sincronização Para Sistemas Monofásicos	37
3.3.1	Simulação de Um Modelo de PLL Básico	41

3.3.2	Métodos de Detecção de Fase	46
3.3.3	Topologias para o Filtro do PLL	50
3.4	Controle de Fluxo de Potência	52
3.5	Técnicas de Anti-Ilhamento	55
4	DESENVOLVIMENTO	57
4.1	O Microcontrolador DSPIC33E	57
4.2	Estágio de Potência	58
4.3	Isolação	59
4.4	Implementação	62
4.4.1	Geração dos Sinais de Gatilhamento	62
4.4.2	Filtro de Saída	66
4.4.3	Implementação do Algoritmo de Sincronização	69
5	RESULTADOS E DISCUSSÕES	74
5.1	Montagem de uma Placa de Desenvolvimento	74
5.2	Formas de Onda	75
5.2.1	Saída em Circuito Aberto	75
5.2.2	Saída com Filtro LCL e Carga R	77
5.2.3	Saída com Filtro LCL e Carga RC série	79
5.2.4	Saída com Filtro LCL e Carga RL série	82
5.2.5	Saída com Filtro LCL e Carga RLC série	84
5.2.6	Desempenho do PLL	87
5.3	Eficiência	91
5.4	Consumo Computacional	92
6	CONCLUSÃO	93
	BIBLIOGRAFIA	95
	APÊNDICE A CÓDIGO PARA GERAÇÃO DA TABELA SENOS DO PWM, EM MATLAB	101
	APÊNDICE B ESQUEMÁTICO DA PLACA DO PROTÓTIPO	102

1 INTRODUÇÃO

1.1 Motivação

O aumento significativo nas tarifas de energia elétrica no Brasil nos últimos dois anos [1], consequência do aumento da demanda pela mesma [2], aliada à crise hídrica que assolou o país em 2015 [3], além da possibilidade de aprovação do projeto de lei nº 167, de 2013, que isenta impostos sobre dispositivos fotossensíveis semicondutores, são algumas das razões que incentivam unidades consumidoras a também gerarem energia a partir do uso de painéis solares.

A energia solar, por ser totalmente dependente de fatores climáticos e regionais, além da característica das células fotovoltaicas em gerar energia elétrica na forma de corrente contínua, fazem com que seja necessário um equipamento que converta esta corrente CC em corrente CA de forma que seja possível utilizar a energia em equipamentos comerciais no ponto de consumo/geração fornecendo o excedente a rede de distribuição. O dispositivo que faz esta conversão é o inversor de frequência.

No contexto desta nova tendência para produção de energia alternativa e, da necessidade de adequar as suas características de forma que possa ser aplicada na rede, pesquisas estão sendo feitas para que se melhorem cada vez mais os equipamentos para a geração. Esta melhora se dá principalmente pelo aumento da eficiência dos painéis solares e do dispositivo inversor, buscando a diminuição de custos e aumento da confiabilidade e segurança desses equipamentos. Tudo isso colabora para que o retorno do investimento nos equipamentos se torne mais rápido e com isso haja um maior incentivo para consumidores em potencial.

1.2 Objetivo

Este trabalho apresenta as etapas de desenvolvimento e implementação de um micro inversor monofásico de baixo custo para painéis fotovoltaicos. Utilizando um microcontrolador da família dsPIC33E como solução para a estratégia de controle e supervisão, o equipamento deve ser capaz de entrar em sincronia com a rede da concessionária, atendendo todas os requisitos contidos nas normas locais vigentes e também possuir uma proteção anti-ilhamento eficiente e controle de potência ativa e reativa.

1.3 Organização do Trabalho

No capítulo 2 deste trabalho será apresentada uma breve introdução sobre as configurações e topologias mais comuns empregadas em projetos de inversores, apontando suas vantagens e desvantagens

No capítulo 3 serão mostradas e discutidas as diferentes estratégias de modulação, de sincronização e de anti-ilhamento que permitem o inversor operar de forma eficiente e segura quando conectado à rede.

Já no capítulo 4 será colocado em detalhes as metodologias utilizadas para a implementação do inversor a partir das especificações propostas. Serão mostrados os cálculos e simulações além do passo a passo para que o equipamento pudesse ser projetado.

No capítulo 5 serão mostrados os resultados obtidos, além de sugestões para futuras melhorias no equipamento.

2 INVERSORES

Quando expostas à radiação do sol, as células fotovoltaicas absorvem a energia térmica e a convertem diretamente em eletricidade [4]. Ocorre que a corrente gerada é contínua, além de ter seus níveis totalmente dependente das condições ambientais. Neste sentido, faz-se necessário desenvolver um equipamento que seja responsável por converter a tensão CC em CA com uma qualidade aceitável para a aplicação que se propõe.

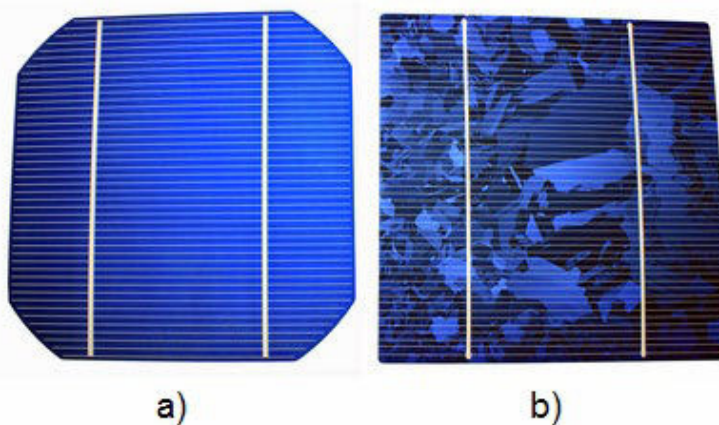
Os equipamentos responsáveis por converter tensões contínuas em alternadas são conhecidos como inversores de frequência, ou simplesmente inversores. Sua popularidade vem aumentando nas aplicações industriais, como no acionamento de máquinas CA de velocidade variável e aquecimento indutivo, além de serem componentes fundamentais em fontes ininterruptas de energia (UPS), geradores eólicos, fotovoltaicos e células de combustível.[5-7].

Quando se projeta um equipamento visando fins comerciais é necessário que este obedeça normas técnicas a fim de que tenha o objetivo de garantir: (a) compatibilidade, ou seja, permitir que seja usado em conjunto com outros produtos e processos sem que ocorram interações inaceitáveis; (b) intercambialidade, para que o produto possa ser usado no lugar de outro similar e atender os mesmos objetivos; (c) segurança para garantir ausência de risco inaceitável de dano; (d) proteção ao meio ambiente e proteção do produto [8]. Este trabalho terá seu foco, quanto a normalização, na busca por garantir conformidade técnica quanto a operação do inversor fotovoltaico dentro da norma AES Sul NTD 014.001 [9], que visa "fornecer as diretrizes básicas para interligação entre a rede de distribuição da AES Sul e sistemas de microgeração e minigeração distribuída com paralelismo permanente, visando os aspectos de proteção, operação e segurança, de forma a atender a Resolução Normativa nº 482/12 da ANEEL".

2.1 Aplicação em Energia Solar

As tecnologias de fabricação de células solares mais comuns atualmente são baseadas em silício monocristalino e multi-cristalino. A primeira possui a vantagem de ser mais eficiente (entre 14% e 21%), ter uma grande vida útil (até 30 anos) e funcionar melhor com pouca luz. As desvantagens são que, pelo fato de utilizar um silício mais puro, os custos de fabricação aumentam. Ocorre também que o silício monocristalino é produzido utilizando a técnica de Czochralski, fazendo com que cada célula tenha formato circular e, por consequência, menor aproveitamento da área do módulo. As células multi-cristalinas, por sua vez, são mais baratas de serem produzidas, permitem fabricação em formas retangulares, também possuem grande durabilidade, mas pecam na eficiência (entre 13% e 16,5%) [10].

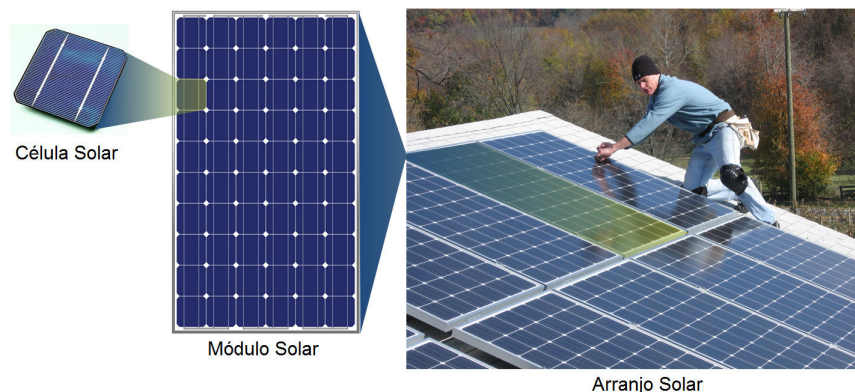
Figura 1: Célula solar empregando tecnologia monocristalina (a) e multi-cristalina (b).



As células solares são os elementos mais básicos que compõe o bloco fotovoltaico de um sistema de geração solar. Associando-se várias células em um painel se obtém um Módulo, que por sua vez pode ser combinado em um arranjo (Figura 2). No contexto de geração de energia, células solares sempre trabalham associadas em módulos, nunca isoladas.

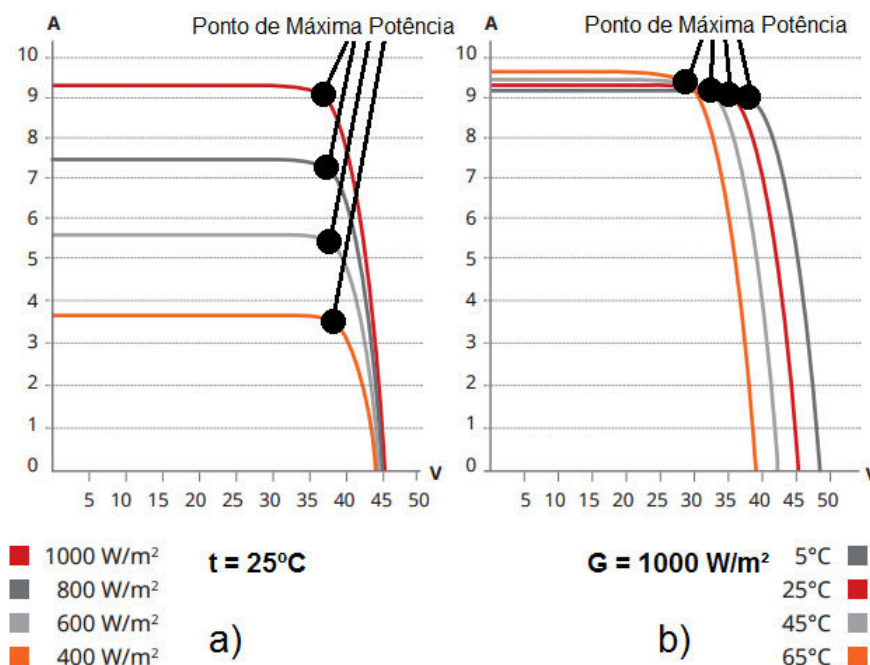
A fim de se aproveitar a máxima energia que um módulo solar pode entregar, os inversores devem estar sempre buscando fazer com que o módulo opere no Ponto de Máxima Potência (MPP). Isto é feito utilizando uma malha de controle conhecida como Rastreo

Figura 2: Uma célula, um módulo e um arranjo solar.



de Ponto de Máxima Potência (MPPT). Cada módulo possui suas curvas características, que relacionam tensão e corrente para uma determinada intensidade solar ou para uma determinada temperatura (Figura 3).

Figura 3: Curvas características $V \times I$ para intensidade solar (a) e temperatura (b) do módulo CanadianSolar Dymond CS6X-P-FG.



Fonte: [11].

Ambas, intensidade solar e temperatura, afetam a saída da célula. A corrente é dire-

tamente proporcional à variação da luz incidente, variando pouco com a temperatura. A tensão, por sua vez, varia pouco com a luminosidade e é mais sensível as variações de temperatura [12].

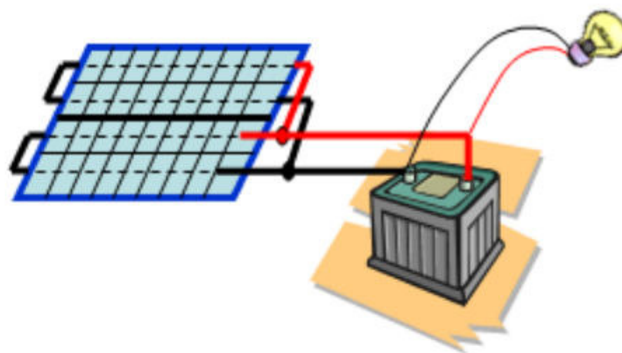
2.2 Configurações de Sistemas de Potência Solares

Serão discutidas as diferentes configurações de módulos solares assim como suas aplicações, vantagens e desvantagens.

2.2.1 Sistema de Cabana

Um sistema simples operando em 12V CC, com potência máxima de 100W, promove energia suficiente para pequenas cabanas. Os módulos são conectados diretamente à uma bateria, e esta é conectada em lâmpadas e outros equipamentos 12V CC. A vida útil da bateria é comprometida pelo fato da corrente de carregamento não ser regulada. É um sistema *off-grid*, ou seja, não pode ser conectado à rede[13].

Figura 4: Sistema de Cabana.

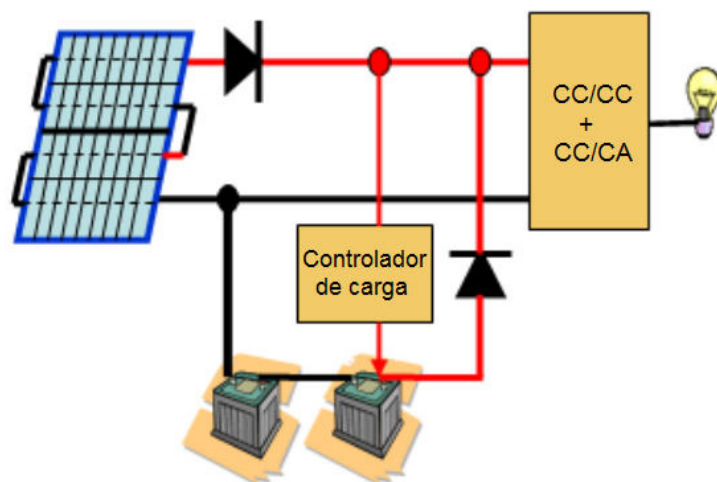


Fonte: [13]

2.2.2 Sistema de Casa de Campo

Nesta configuração são utilizados arranjos operando de 24 a 96 Volts, conectados em um inversor 127/220V e com uma bateria sendo carregada usando controle de corrente para garantir uma boa durabilidade da mesma. Também é um sistema *off-grid*[13].

Figura 5: Sistema de Casa de Campo.



Fonte: [13]

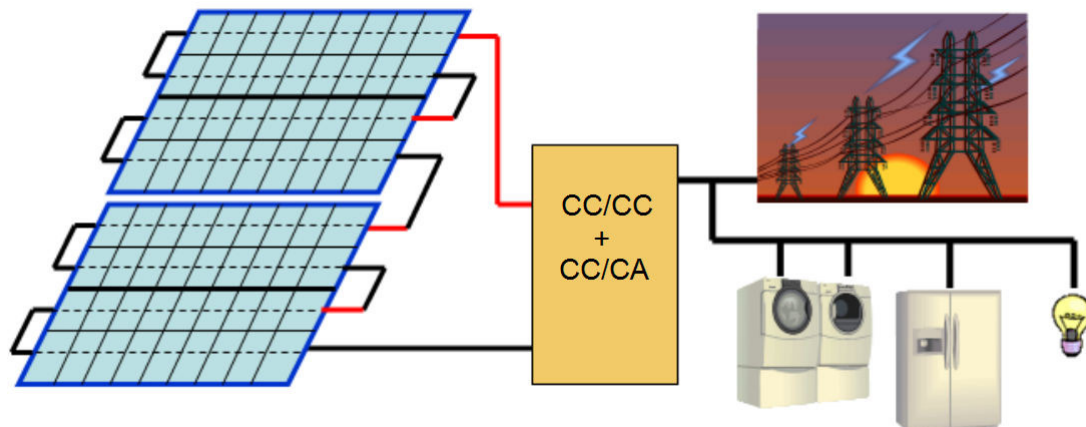
2.2.3 Sistema Residencial Urbano

Também chamado de sistema de inversor *string*, onde arranjos maiores, com tensões de 200VDC a 400VDC, são ligados a apenas um inversor de potência entre 2 e 10kW. Este sistema é conectado na rede de forma que o consumidor possa utilizar a energia da rede durante a noite e gerar e fornecer a energia excedente à concessionária durante o dia sob a forma de compensação destes kWh gerados e injetados na rede ao longo do mês. Esta configuração usando apenas um inversor para todo o arranjo tem duas desvantagens: a primeira é que um defeito em algum componente iria comprometer todo o funcionamento do sistema. A segunda é a impossibilidade de obter um ótimo aproveitamento da energia de todos os módulos caso o arranjo não receba luz de forma uniforme. O sistema *grid-tie* tem a vantagem de eliminar a necessidade de dispendiosas e pouco duráveis baterias, pois utiliza a energia da concessionária durante a noite ou quando a geração não supre a demanda[13]. Pode ser visualizado na Figura 6.

2.2.4 Um Inversor e Múltiplos Conversores CC/CC

Nos inversores das topologias anteriores, cada arranjo tinha sua tensão regulada por um conversor CC/CC apenas, causando mal aproveitamento da energia absorvida. Porém, utilizando-se de um conversor CC/CC para cada módulo, é possível rastrear o MPP individualmente de forma a garantir a máxima transferência de potência ao conversor CC/CA.

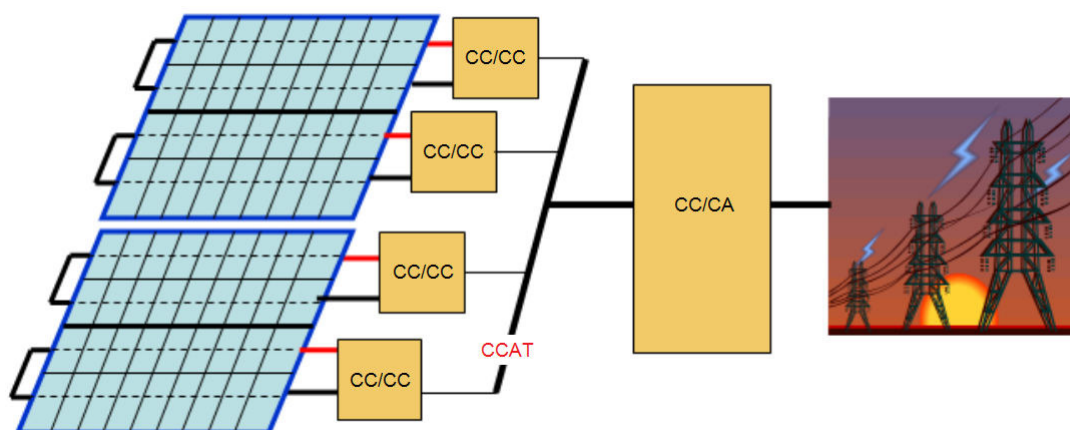
Figura 6: Sistema Residencial Urbano.



Fonte: [13]

Esta configuração ainda é suscetível ao problema de comprometimento total caso ocorra uma falha no inversor, além de necessitar trabalhar com alta tensão em corrente contínua, dificultando os sistemas de proteção.

Figura 7: Um Inversor e Múltiplos Conversores CC/CC.



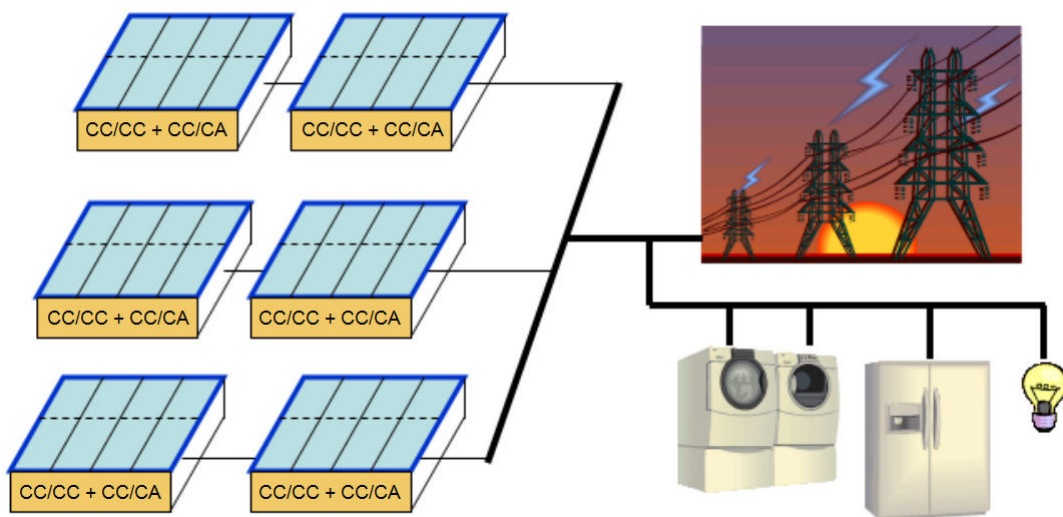
Fonte: [13]

2.2.5 Sistema com Micro Inversor

Nesta topologia cada módulo incorpora seu próprio conjunto inversor de baixa potência (menor que 300W), também chamado Micro Inversor, de forma que há uma grande

redução no custo de instalação, aumento de segurança (sistema descentralizado) e possibilidade de cada módulo operar no seu MPP.

Figura 8: Configuração usando Micro Inversor.



Fonte: [13]

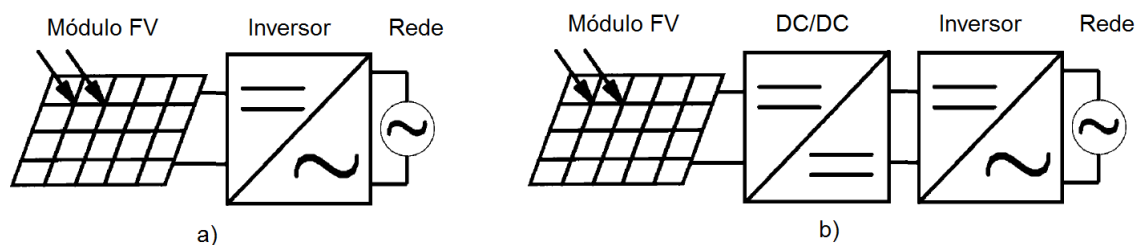
Porque usar Micro Inversores?

- Cada módulo possui um inversor dedicado a operar no seu ponto ótimo de transferência de potência de forma que, caso ocorra um sombreamento parcial do arranjo, os outros módulos não serão afetados.
- Por trabalharem com potências relativamente baixas, os componentes eletrônicos tendem a operar com menor temperatura, eliminando da necessidade do uso de *coolers* e, por consequência, aumenta-se a durabilidade do equipamento.
- Possibilidade de substituir as técnicas de *Hard-Switching* por *Soft-Switching*, de forma a aumentar a eficiência e reduzir dissipação de calor [14].
- Possibilidade de empregar capacitores de tensão alta mas de baixa capacitância, de forma a eliminar a necessidade de uso de capacitores eletrolíticos, os quais possuem grande taxa de falhas.
- Sistemas com Micro Inversor requerem múltiplos inversores para gerar um determinado nível de potência, com isso a produção dos mesmos tende a aumentar e, conseqüentemente, se reduz os custos de fabricação.

2.3 Inversores Quanto ao Número de Estágios

Foi visto na seção anterior que a configuração do tipo Micro Inversor garante uma melhor eficiência do módulo fotovoltaico, pois o coloca no seu ponto ótimo de transferência de potência. No entanto, dentro do conceito de Micro Inversor, é possível optar por duas grandes abordagens distintas: de Um Estágio e Múltiplos Estágios. A escolha entre elas se dá principalmente pela confiabilidade, eficiência e custo. No quesito confiabilidade, ambas diferem principalmente pelo fato dos inversores de Um Estágio necessitarem de grandes capacitores eletrolíticos para filtrar o *ripple* de 120Hz, que, caso não seja corretamente filtrado, pode diminuir a potência entregue pelo painel solar, além de causar problemas de interferência eletromagnética [15]. Como dito anteriormente, a necessidade de usar grandes capacitores eletrolíticos compromete a durabilidade do equipamento, pois possuem alta taxa de falha quando comparados com outros tipos de capacitores [16].

Figura 9: Abordagens com (a) Um Estágio e (b) Dois Estágios.



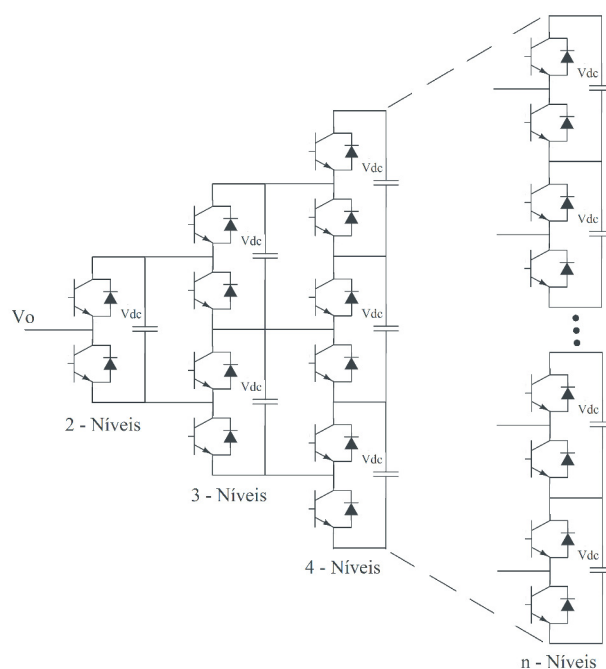
Em contrapartida, os inversores de Um Estágio conseguem combinar as etapas de *boost* e inversão em apenas um estágio de potência. Desta forma, possuem circuitos mais simples e, de forma a requerem um menor número de componentes (menor custo) e obterem uma eficiência mais elevada [17].

O inversor de Múltiplos Estágios é definido como um inversor com duas ou mais etapas de conversão de potência. A grande maioria possui uma ou mais etapas de elevação ou rebaixamento de tensão ou isolamento e no final uma etapa converte a tensão CC em CA. O foco deste trabalho estará nos algoritmos que envolvem o funcionamento desta última etapa em inversores de Múltiplos Estágios.

2.4 Algumas Topologias

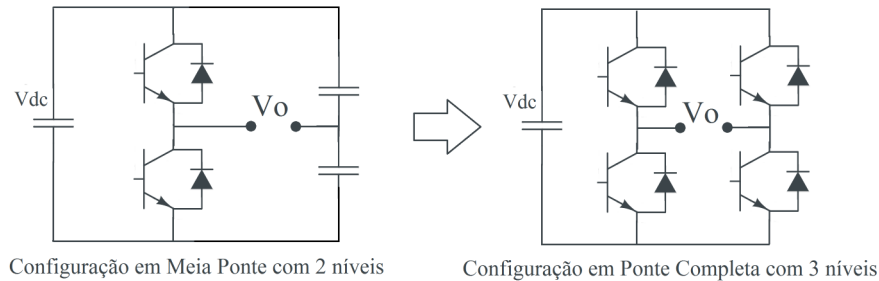
Os inversores modernos são dispositivos que trabalham chaveando elementos semicondutores como o MOSFET (*metal oxide semiconductor field effect transistor*), o IGBT (*insulated gate bipolar transistor*) ou o BJT (*bipolar junction transistor*) entre um estado de alta impedância e um estado de condução, de forma a modular sua tensão de entrada CC em tensão CA. Estas chaves podem ser empregadas de forma que, dependendo da topologia, permitem que a saída do inversor opere com n níveis de tensão. A Figura 10 apresenta a topologia de meia-ponte, onde apenas um braço inversor é empregado.

Figura 10: Exemplo da topologia de meia ponte com, 2, 3, 4 e n -níveis.



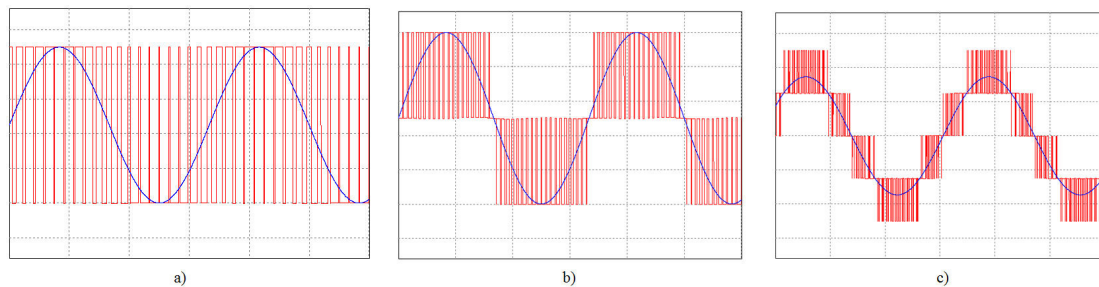
Ainda no contexto de inversores monofásicos, a ponte completa é similar à meia ponte, porém com um braço a mais adicionado ao ponto neutro da carga (Figura 11) de forma a permitir que o inversor obtenha o dobro da excursão na sua tensão de saída [5]. Geralmente as topologias que utilizam 5 ou mais níveis de tensão são destinados ao uso em tensões elevadas.

Figura 11: Topologia de meia-ponte com dois níveis (a) e a ponte completa equivalente com três níveis (b).



A Figura 12 ilustra os sinais de saída de inversores de 2, 3 e 5 níveis.

Figura 12: Modulação SPWM utilizando (a) 2 níveis, (b) 3 níveis e (c) 5 níveis.



O inversor de ponte trifásica funciona de forma similar à de ponte completa, porém destinado a acionar cargas trifásicas. Em todas os casos deve-se ter um cuidado especial para não permitir que, mesmo por alguns instantes, ambas as chaves do braço conduzam simultaneamente, causando um curto-circuito na fonte de tensão CC, prejudicial para os elementos do sistema. Este problema é solucionado ao se aplicar um tempo morto (*Dead-Time*) entre os sinais de gatilhamento das chaves do parte baixa e da parte alta dos braços do inversor.

3 ESTRATÉGIAS DE CONTROLE PARA O INVERSOR

Este capítulo apresenta os três conceitos fundamentais que envolvem o funcionamento de um inversor de frequência conectado à rede: técnicas de modulação, que abordam os sinais que irão acionar as chaves de potência do inversor; sincronização, que permite operar o inversor em paralelo com a rede da concessionária, entregando a maior potência possível; anti-ilhamento, que irá desconectar o inversor da rede quando ocorrer uma falha.

3.1 Técnicas de Modulação

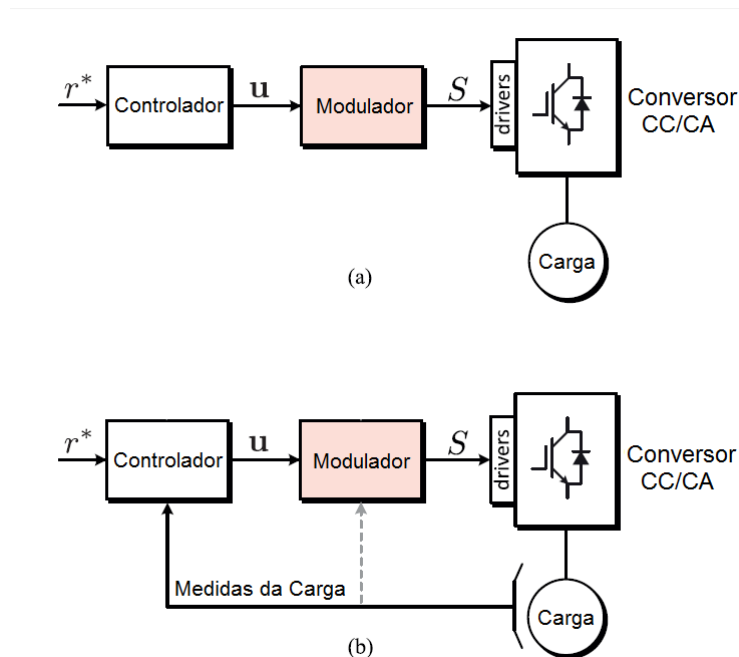
As técnicas de modulação empregadas nos inversores são os algoritmos que geram os sinais de acionamento das chaves visando uma finalidade e/ou otimização em especial. Podem ser empregadas técnicas com intuito de gerar a senoide mais pura possível, dentro do limite de especificação do hardware; gerar uma senoide minimizando as perdas por chaveamento nos elementos semicondutores; ou ainda, que não necessite de um processamento matemático intenso.

Pode-se dividir as técnicas de modulação existentes em 3 grandes grupos: métodos em malha fechada, pseudo-modulação e modulação por largura de pulso.

3.1.1 Métodos em Malha Fechada

Como pode ser visto nos diagramas de bloco da Figura 13, diferente das técnicas de modulação em malha aberta, que não dependem de nenhum sinal de realimentação vindo da carga fazendo com que o sinal de controle u se mantenha constante durante sua operação, nos métodos de malha fechada o sinal de controle será dependente da referência pretendida e de um ou mais parâmetros da carga, atualizando-se no tempo de amostragem subsequente [18].

Figura 13: Diagramas de bloco simplificados dos inversores de malha aberta (a) e de malha fechada (b).



Fonte: [18]

Alguns exemplos de modulação em malha fechada:

- Método de Controle de Corrente por Histerese

Busca manter as correntes de fase sempre dentro de uma faixa próxima à corrente de referência. É o método de malha fechada mais simples, e portanto muito utilizado na indústria [19].

- Método de Controle Direto de Conjugado e Controle Direto de Potência

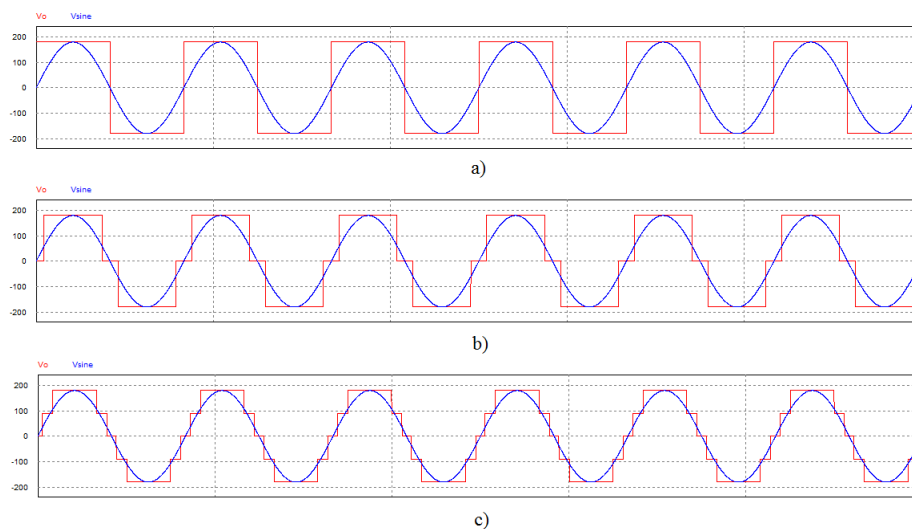
O primeiro usa como referência o fluxo ou conjugado do motor que está sendo acionado, enquanto o segundo, muito usado em inversores *grid-tie*, usa como referência a potência ativa e reativa que deve ser entregue a rede [20, 21].

3.1.2 Pseudo Modulação

A pseudo modulação busca minimizar o erro na tensão de saída ajustando, naquele instante, o estado das chaves que mais aproxima esta saída do valor desejado. Em inversores de dois níveis se utiliza uma onda quadrada e em inversores de múltiplos níveis a

onda é uma escada, como pode ser visto na Figura 14 [20]. Como regra geral, a pseudo-modulação minimiza as perdas por chaveamento, com o revés de gerar uma grande distorção harmônica total, além de possuir uma frequência de chaveamento não uniforme de forma a causar o espalhamento do espectro harmônico [18].

Figura 14: Saída de um inversor com Pseudo-Modulação de (a) 2 níveis, (b) 3 níveis, (c) 5 níveis



3.1.3 PWM

PWM (*Pulse Width Modulation*) é uma forma simples e efetiva de obter uma senoide a partir de pulsos retangulares que variam suas larguras proporcionalmente à amplitude de uma onda de referência, no centro do mesmo pulso [5]. Na prática, assim como outras formas de modulação usando chaves, a saída do inversor é um conjunto de pulsos com um número limitado de níveis de tensão, diferente de uma onda quadrada ou escada por exemplo. Por conta disso as componentes harmônicas de um sinal PWM são de ordens muito superiores a da componente fundamental, permitindo uma filtragem mais eficiente da saída.

Três são as abordagens principais no que se refere a aplicação das técnicas de PWM: pulso único, pulsos múltiplos e senoide pura.

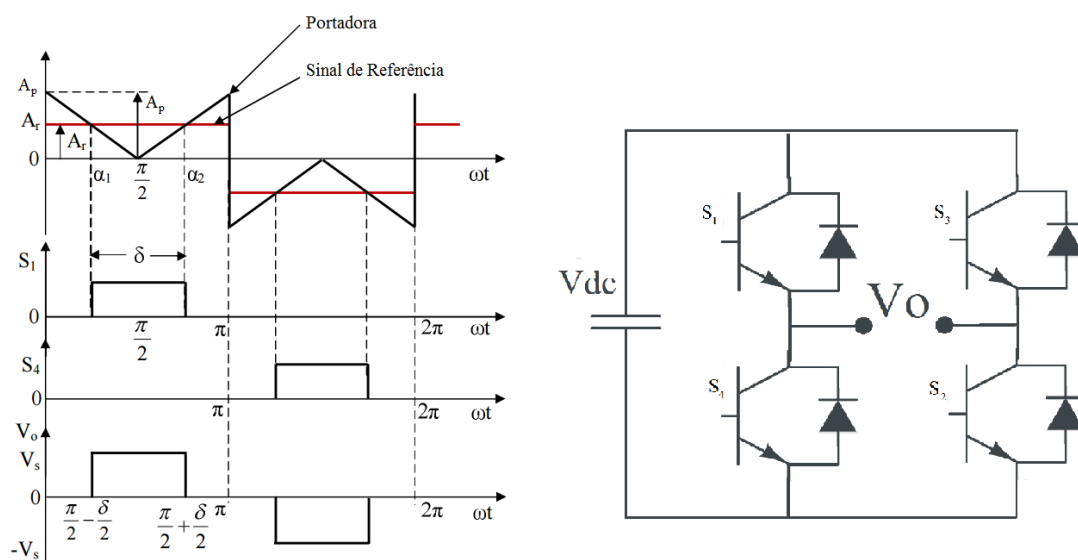
- PWM por pulso único.

Na técnica de pulso único haverá apenas um pulso por semiciclo do sinal de referência, de forma que alterando a largura deste, a tensão RMS de saída pode ser ajustada. É muito

usada em UPS de baixo custo pois não necessita de grande processamento por parte do microcontrolador.

A Figura 15 mostra que ao se comparar uma onda de referência retangular, com amplitude A_r e uma portadora triangular invertida de amplitude A_p , os sinais de gatilhamento para um inversor de ponte completa são gerados.

Figura 15: Modulação PWM de Pulso Único.



Fonte: Adaptado de [21]

Variando-se a relação entre A_r e A_p , varia-se o índice de modulação da tensão de saída. Pela variação de A_r podendo ir de 0 a A_p , a largura de pulso δ pode ser variada de 0 a π .

$$M = \frac{A_r}{A_p} \quad (1)$$

De forma que a tensão eficaz da saída pode ser calculada como:

$$V_o = \left[\frac{2}{2\pi} \int_{\frac{\pi-\delta}{2}}^{\frac{\pi+\delta}{2}} V_s^2 d(\omega t) \right]^{\frac{1}{2}} = V_s \sqrt{\frac{\delta}{\pi}} \quad (2)$$

e sua representação em série de Fourier:

$$V_o(t) = \sum_{n=1,3,5,\dots}^{\infty} \frac{4V_s}{n\pi} \sin\left(\frac{n\delta}{2}\right) \sin(n\omega t) \quad (3)$$

- PWM por pulsos múltiplos.

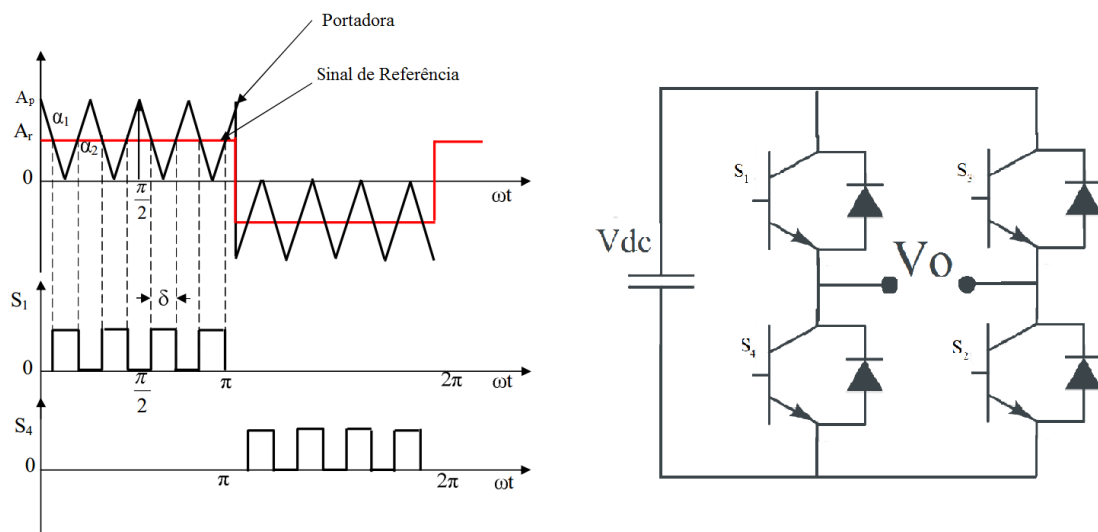
Para minimizar o grande conteúdo harmônico gerado pela técnica anterior, mas sem perder a vantagem do baixo custo computacional, se emprega a técnica de Múltiplos Pulsos. Neste modo, mais de um pulso é gerado por semiciclo da onda de referência, sendo o número de pulsos p definido pela frequência da portadora.

$$p = \frac{f_p}{2f_o} = \frac{m_f}{2} \quad (4)$$

onde $m_f = \frac{f_p}{f_o}$ é definido como a Razão da Frequência de Modulação. Algumas literaturas sugerem que não utilizar um valor inteiro para esta razão pode introduzir sub harmônicas abaixo da fundamental [22].

A Figura 16 mostra que, assim como na modulação por pulso único, os sinais de gatilhamento podem ser obtidos via comparação entre um sinal de referência quadrado e uma portadora triangular.

Figura 16: Modulação PWM de Múltiplos Pulsos.



Fonte: Adaptado de [21]

Por conseguinte o índice de modulação continua sendo:

$$M = \frac{A_r}{A_p} \quad (5)$$

tal que variando-se este M de 0 a 1, se varia a largura de pulso δ de 0 a $\frac{\pi}{p}$, assim como a tensão de saída de 0 a V_s . A tensão eficaz da saída com esta modulação é dada por:

$$V_o = \left[\frac{2p}{2\pi} \int_{\frac{\pi/p-\delta}{2}}^{\frac{\pi/p+\delta}{2}} V_s^2 d(\omega t) \right]^{\frac{1}{2}} = V_s \sqrt{\frac{p\delta}{\pi}} \quad (6)$$

e a série de Fourier para tensão instantânea na saída (Figura 17) é dada por:

$$V_o(t) = \sum_{n=1,3,5,\dots}^{\infty} B_n \sin(n\omega t) \quad (7)$$

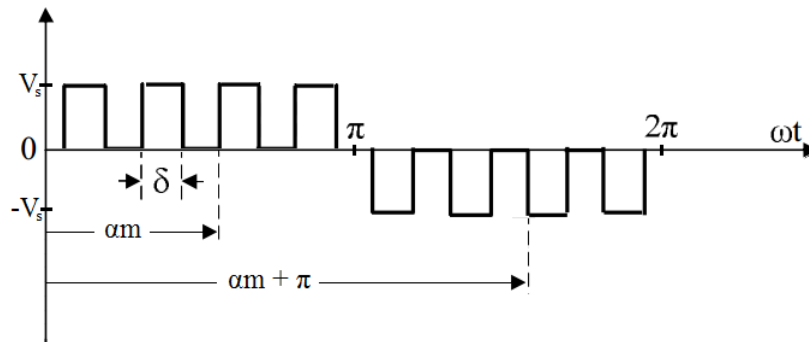
onde B_n pode ser determinado o par de pulsos onde sua parte positiva começa em $\omega_t = \alpha_m$ e termina em $\omega_t = \alpha_m + \pi$.

$$\begin{aligned} B_m &= \frac{1}{\pi} \left[\alpha \int_{\alpha_m}^{\alpha_m+\delta} \cos(n\omega t) d(\omega t) - \int_{\pi+\alpha_m}^{\pi+\alpha_m+\delta} \cos(n\omega t) d(\omega t) \right] \\ &= \frac{2V_s}{n\pi} \sin\left(\frac{n\delta}{2}\right) \left[\sin\left(n\alpha_m + \frac{n\delta}{2}\right) - \sin\left(n\pi + n\alpha_m + \frac{n\delta}{2}\right) \right] \end{aligned} \quad (8)$$

- PWM senoidal.

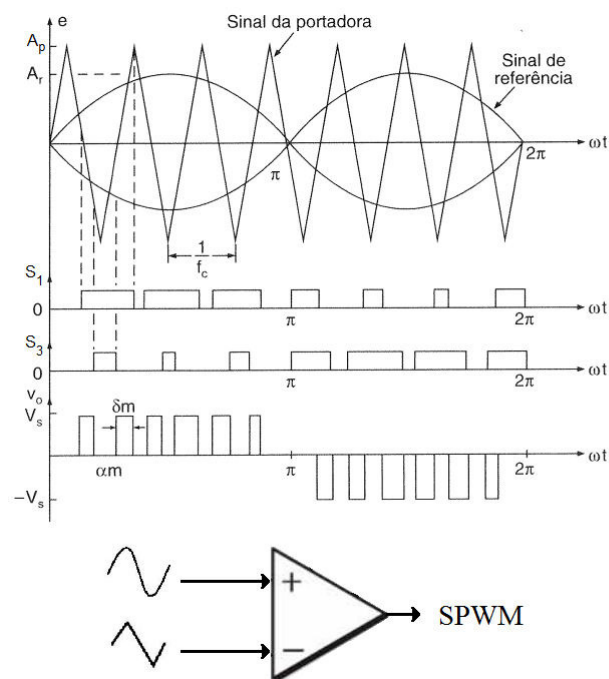
Similar ao PWM por múltiplos pulsos, o PWM senoidal SPWM (*Sinusoidal Pulse Width Modulation*) possui mais de um pulso por semiciclo da senoide fundamental. No entanto, a largura de cada um destes pulsos não é constante, variando conforme o valor instantâneo desta senoide de referência, no centro do respectivo pulso. Pode-se representar este sinal SPWM fazendo a comparação entre a função da senoide desejada e uma portadora de alta frequência, geralmente triangular, como pode ser visto na Figura 18, e assim gerar os sinais de comandos para as chaves.

Figura 17: Tensão de saída em um inversor de ponte completa utilizando PWM de múltiplos pulsos.



Fonte: Adaptado de [21]

Figura 18: Representação do sinal SPWM usando comparador em um inversor de ponte completa.



Fonte: [5]

A tensão eficaz da saída é controlada pelo índice de modulação M :

$$M = \frac{A_r}{A_p} \quad (9)$$

onde A_r é a amplitude da senoide de referência e A_p é a amplitude da portadora triangular. Nota-se que é possível "sobremodular" a saída do inversor para se obter uma tensão eficaz mais elevada, no entanto eleva-se também seu conteúdo harmônico

Sendo δ_m a largura do m – *ésimo* pulso, como pode ser visto na Figura 18, a Equação 6 pode ser estendida para:

$$V_o = V_s \sqrt{\left(\sum_{m=1}^p \frac{\delta m}{\pi}\right)} \quad (10)$$

que é a tensão eficaz para a saída de um inversor SPWM.

A tensão instantânea de saída pode ser calculada utilizando as mesmas equações de série de Fourier para PWM de múltiplos pulsos: equações 7 e 8.

O índice de frequência da tensão de saída m_f é dado como a razão entre a frequência da portadora f_p e a frequência da modulante f_r [18].

$$m_f = \frac{f_p}{f_r} \quad (11)$$

Quando este índice é um número inteiro, diz-se que o PWM é síncrono e, caso contrário, assíncrono. Este último ocorre principalmente quando f_p é fixo e f_r deve variar. Possuir um alto índice de frequência por um lado é vantajoso, pois reduz o conteúdo harmônico de baixa frequência que causa aquecimento em transformadores e indutores. Em contrapartida, quanto maior a frequência da portadora, maiores as perdas por chaveamento nos elementos semicondutores [18].

3.2 Sincronização e Monitoramento

Redes elétricas são sistemas complexos e dinâmicos e, portanto, não se pode considerar seus parâmetros como frequência, fase e tensão como sendo constantes. Com isso, torna-se necessário que o inversor monitore constantemente a rede, de forma a garantir estabilidade e segurança quando ambos estão conectados, além de promover uma sincronia adequada [23]. Além do mais, inversores de potência não podem ser considerados simples dispositivos conectados à rede, pois podem ativamente influenciar na frequência e tensão da mesma, principalmente quando grandes potências são envolvidas. Por esta razão, diversos parâmetros são especificados para que a unidade geradora opere de forma segura. Isto inclui regulação de tensão, limites de fator de potência, resposta à surtos e

mudanças na frequência.

Sincronização e monitoramento são dois conceitos intimamente ligados. O primeiro nada mais é do que o monitoramento instantâneo do estado da rede em que o inversor está conectado. É um processo adaptativo onde frequência e fase da rede e do inversor devem se igualar para trabalharem de forma uníssona.

Nas seções seguintes estão apresentados os principais métodos de sincronização existentes assim como uma breve explicação sobre Anti-Ilhamento, uma técnica que permite desconectar o inversor da rede em caso de falhas.

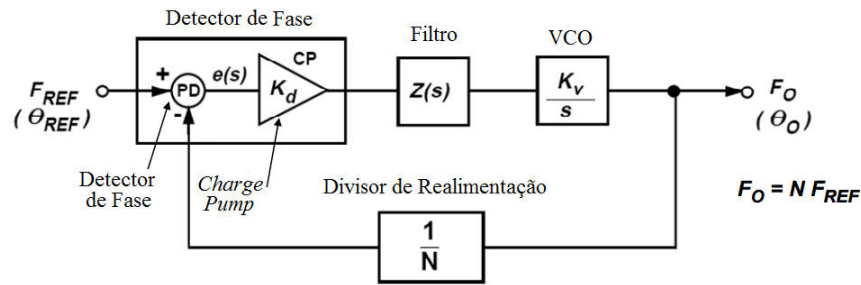
3.3 Técnicas de Sincronização Para Sistemas Monofásicos

A sincronização de sistemas monofásicos grid-tie consiste na leitura dos parâmetros da tensão da rede para ajustar o oscilador do inversor, de forma a se adaptar a dinâmica imposta por esta mesma rede. Normalmente os atributos de maior interesse são a amplitude e o ângulo de fase da componente fundamental da frequência da rede. No entanto a detecção de outras componentes harmônicas pode ser interessante para permitir implementações de funcionalidades extras [23].

Métodos de sincronização podem ser separados por dois grandes grupos: métodos no domínio do tempo e métodos no domínio da frequência. Estes últimos, que não serão discutidos neste trabalho, baseiam-se basicamente em alguma implementação de análise de Fourier em suas formas discretas como a DFT (*discrete Fourier transform*), a RDFT (*recursive discrete Fourier transform*), ou a FFT (*Fast Fourier Transform*).

Os métodos no domínio do tempo são baseados em processos em malha fechada que monitoram constantemente as variáveis de interesse da rede. As técnicas mais amplamente aplicadas utilizando este conceito são baseadas em PLL (*phase-locked loop*). Segundo a Analog Devices [24] "um PLL é um sistema realimentado que combina um VCO (*voltage controlled oscillator*) e um comparador conectados de forma que o oscilador mantenha um ângulo de fase constante com um sinal de referência". A Figura 19 representa o modelo mais simples de PLL, onde seus blocos são o Detector de Fase (composto por um detector de frequência de fase e um *charge pump*), Filtro (composto por um Filtro Passa-Baixa e/ou um controlador PI), VCO, e um Divisor de Realimentação.

Figura 19: Modelo de um PLL básico.



Fonte: [24]

A realimentação negativa força o erro $e(s)$ a se aproximar de zero, ou seja, fazer com que a saída do divisor de realimentação e o sinal de referência estejam "travados" em frequência e fase. Uma vez que isto ocorre, é possível conectar o inversor à rede de forma segura.

Considerando um PLL onde o detector de fase é implementado por meio de um multiplicador combinado com um ganho (K_d), e que o filtro é apenas um controlador PI, o VCO é um dispositivo que gera uma função senoidal cuja frequência depende de sua tensão de entrada, e que a entrada deste PLL é a função:

$$v = V \sin(\theta) = V \sin(\omega t + \phi), \quad (12)$$

e o sinal gerado pelo VCO é dado por:

$$v' = \sin(\theta') = \sin(\omega' t + \phi') \quad (13)$$

se obtêm a seguinte saída do detector de fase:

$$\begin{aligned} \varepsilon_{pd} &= V K_d \sin(\omega t + \phi) \cos(\omega' t + \phi') \\ &= \frac{V K_{pd}}{2} \left[\underbrace{\sin((\omega - \omega')t + (\phi - \phi'))}_{\text{termo de baixa frequência}} + \underbrace{\sin((\omega + \omega')t + (\phi + \phi'))}_{\text{termo de alta frequência}} \right] \end{aligned} \quad (14)$$

Sabendo que a saída do detector de fase é conectada a um filtro passa-baixa, a parte de alta frequência da Equação 14 pode ser descartada, com isso se tem

$$\varepsilon_{pd}^- = \frac{VK_{pd}}{2} \sin((\omega - \omega')t + (\phi - \phi')) \quad (15)$$

Assumindo que o VCO está sincronizado com a tensão de entrada, ou seja $\omega \approx \omega'$, o termo CC do erro de fase é dado por

$$\varepsilon_{pd}^- = \frac{VK_{pd}}{2} \sin(\phi - \phi') \quad (16)$$

é possível observar a partir da Equação 16 que a saída do detector de fase é não-linear por conta do termo senoidal. No entanto, quando o erro de fase é pequeno, ou seja $\phi \approx \phi'$, é possível linearizar a função no entorno do ponto de operação, ou seja, $\sin(\phi - \phi') \approx \sin(\theta - \theta') \approx (\theta - \theta')$. Portanto, uma vez que o PLL está “travado”, o termo relevante do sinal de erro é dado por

$$\varepsilon_{pd}^- = \frac{VK_{pd}}{2} (\theta - \theta') \quad (17)$$

A frequência média do VCO é determinada por

$$\bar{\omega}' = (\omega_c + \Delta\bar{\omega}') = (\omega_c + k_{vco}\tilde{v}_{lf}) \quad (18)$$

onde ω_c é a frequência central do VCO, que é fornecida ao PLL como um parâmetro de pré-alimentação dependente do *range* da frequência a ser detectada. Por isso, pequenas variações na frequência do VCO são dadas por

$$\Delta\bar{\omega}' = k_{vco}\tilde{v}_{lf} \quad (19)$$

e as variações no ângulo de fase detectado pelo PLL pode ser escrito como

$$\tilde{\theta}'(t) = \int \bar{\omega}' dt = \int k_{vco}\tilde{v}_{lf} dt \quad (20)$$

É possível passar estas equações obtidas para o domínio da frequência usando a transformada de Laplace. Com isso se tem as expressões para os sinais de cada bloco do PLL:

- Detector de Erro:
$$E_{pd}(s) = \frac{V}{2} (\Theta(s) - \Theta(s)') \quad (21)$$

- Filtro:
$$V_{lf} = K_p \left(1 + \frac{1}{T_i s} \right) \varepsilon_{pd}(s) \quad (22)$$

- VCO:
$$\Theta'(s) = \frac{1}{s} V_{lf}(s) \quad (23)$$

Um método direto de análise do sistema em malha fechada (com $k_{pd} = k_{vco} = 1$ e $V = 1$) fornece as seguintes funções de transferência. Em malha aberta:

$$F_{OL}(s) = PD(s)LF(s)VCO(s) = k_{in} \frac{k_p(1 + \frac{1}{T_i s})}{s} = \frac{k_p s + \frac{k_p}{T_i}}{s^2} \quad (24)$$

e em malha fechada:

$$H_{\theta}(s) = \frac{\Theta(s)'}{\Theta(s)} = \frac{LF(s)}{s+LF(s)} = \frac{K_p s + \frac{k_p}{T_i}}{s^2 + K_p s + \frac{k_p}{T_i}} \quad (25)$$

ficando assim com a função de transferência para o erro

$$E_{\theta}(s) = \frac{E_{pd}(s)}{\Theta(s)} = 1 - H_{\theta}(s) = \frac{s}{s+LP(s)} = \frac{s^2}{s^2 + K_p s + \frac{k_p}{T_i}} \quad (26)$$

Observando estas funções de transferência é possível observar alguns aspectos quanto ao desempenho do dado PLL. A função de transferência em malha aberta da Equação 24 mostra que o sistema é de ordem 2, ou seja, garante erro nulo em regime permanente para entradas do tipo rampa. A Equação 25 revela que o PLL possui uma característica de filtro passa-baixa na detecção do ângulo de fase de entrada, o que é um recurso interessante para atenuar o erro causado por um possível ruído ou harmônicos de alta ordem no sinal de entrada. Estas funções de segunda ordem podem ser escritas na forma normalizada:

$$H_{\theta} = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (27)$$

$$E_{\theta} = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (28)$$

onde

$$\omega_n = \sqrt{\frac{K_p}{T_i}} \quad \text{e} \quad \zeta = \frac{\sqrt{K_p T_i}}{2} \quad (29)$$

A seguinte aproximação é proposta em [25] para estimar o tempo de acomodação t_s , medido de $t = 0$ até o momento em que o sistema esteja dentro da faixa de 1% do regime permanente de uma resposta a um salto.

$$t_s = 4.6\tau \quad \text{com} \quad \tau = \frac{1}{\zeta\omega_n} \quad (30)$$

Esta expressão também pode ser usada para estimar de forma grosseira o tempo de acomodação de um sistema definido pela Equação 27, conseqüentemente serve também para o ajuste dos parâmetros do controlador PI do PLL, como segue

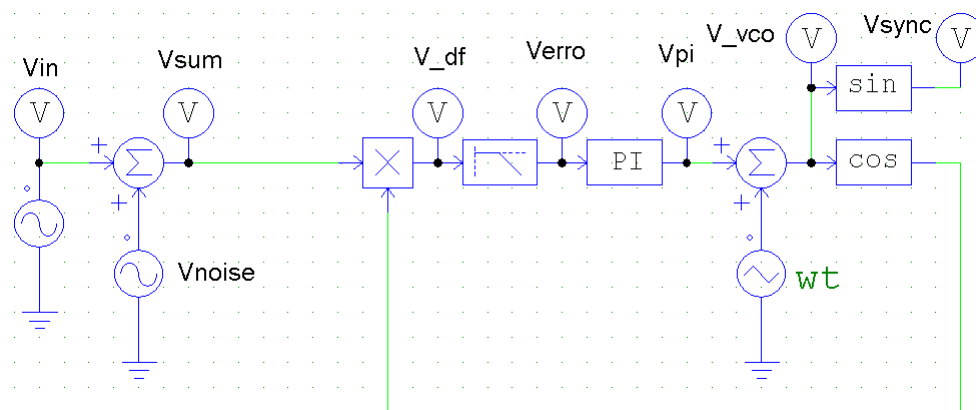
$$K_p = 2\zeta\omega_n = \frac{9.2}{t_s}, \quad T_i = \frac{2\zeta}{\omega_n} = \frac{t_s\zeta^2}{2.3} \quad (31)$$

Os valores que serão obtidos devem ser tomados como estimativa e, para resultados mais precisos simulações podem ser usadas.

3.3.1 Simulação de Um Modelo de PLL Básico

Com a finalidade de verificar o funcionamento do PLL, um diagrama de blocos do mesmo foi simulado no software PSIM.

Figura 20: Diagrama de Blocos do PLL Simulado no PSIM.



A entrada deste PLL é constituída da senoide a ser sincronizada (V_{in}), de 60Hz, com amplitude unitária, com 30° de defasagem entre a referência do sistema ωt , e somada com uma com um “ruído” V_{noise} (uma senoide de frequência 180Hz). Nas primeiras simulações este ruído vai ser “desligado”.

O primeiro bloco é o detector de fase, cuja saída é uma multiplicação entre a senoide V_{in} e a saída V_{sync} defasada de 90° , como está definido na Equação 14. Esta defasagem

garante que, quando V_{in} e V_{sync} estiverem em fase, a saída do detector de fase V_{df} será uma senoide com média zero (Figura 21). Para qualquer defasagem entre elas, V_{df} terá média diferente de zero (Figura 22).

Figura 21: Saída do Detector de Fase Para V_{in} e V_{sync} em Fase.

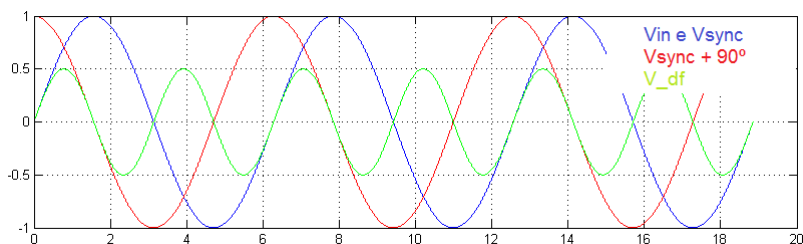
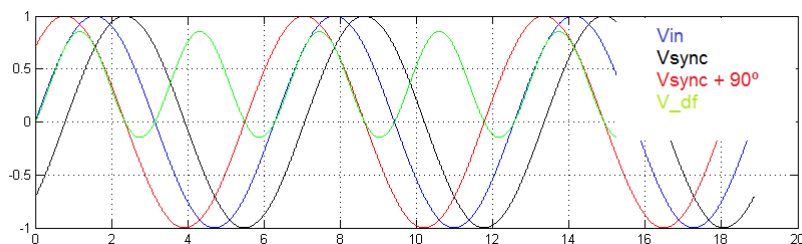
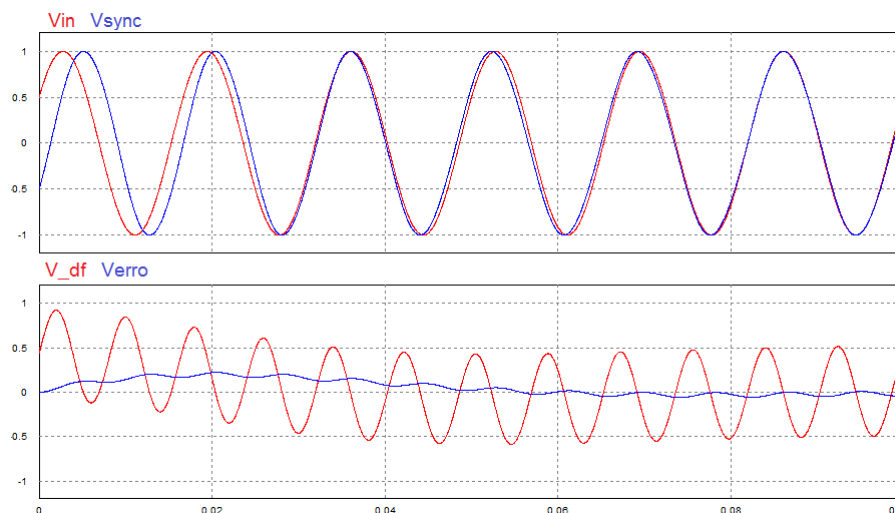


Figura 22: Saída do Detector de Fase Para V_{in} e V_{sync} com uma Diferença de Fase de 45 Graus.



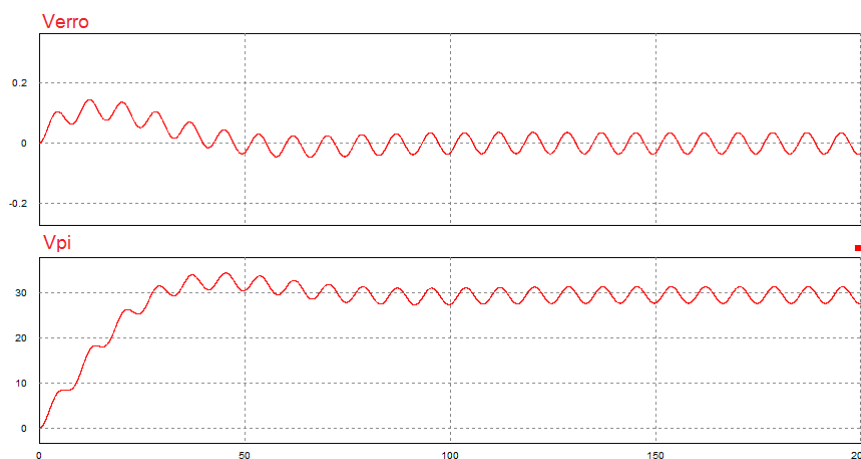
Na dedução matemática da Equação 15, o termo de alta frequência do V_{df} é desconsiderado. Isto é feito de forma prática utilizando um filtro passa-baixa. Desta forma, para diferenças de fase pequenas, o valor de saída do filtro será proporcional a esta diferença de fase, como mostra a Equação 17. A Figura 23 mostra as formas de onda de V_{sync} entrando em sincronismo com V_{in} , assim como o a saída do detector de fase V_{df} , antes e depois do filtro passa-baixa (V_{erro}).

Figura 23: Sinais V_{in} , V_{sync} , V_{df} e V_{erro} Durante Operação do PLL.



O controlador PI irá gerar um sinal de controle V_{pi} que irá forçar o erro a se aproximar de zero, ou seja, fazer com que V_{in} e V_{sync} entrem em fase. A Figura 24 apresenta o erro V_{erro} e a ação de controle V_{pi} durante o processo de sincronização.

Figura 24: Sinais de erro V_{erro} e de Ação de Controle V_{pi} Durante Sincronização.



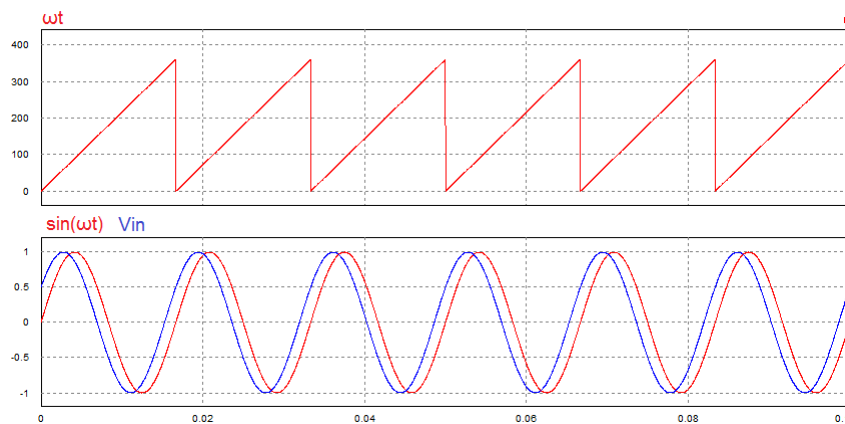
Note que, apesar do uso de um filtro passa-baixa, o sinal continua com caráter oscilatório. Isto se deve ao fato de não ser possível aumentar muito a ordem do filtro, nem diminuir a frequência de corte do mesmo, pois causaria instabilidade no sistema.

O VCO, neste caso, é simulado por uma função seno. Portanto, para que a saída seja uma senoide de 60Hz, é necessário que a entrada desta função seja uma rampa que vá de 0 a 360° em $16.67ms$, periodicamente. Esta sequência de rampas nada mais é do que

uma função dente de serra com amplitude de 0 a 360° e frequência $60Hz$. No diagrama de blocos desta simulação esta função está representada pela fonte “ ωt ”.

A Figura 25 mostra o sinal ωt , a senoide $\sin(\omega t)$ e a entrada V_{in} . Esta última atrasada de 30° , como dito anteriormente.

Figura 25: Sinais ωt , $\sin(\omega t)$ e V_{in} .

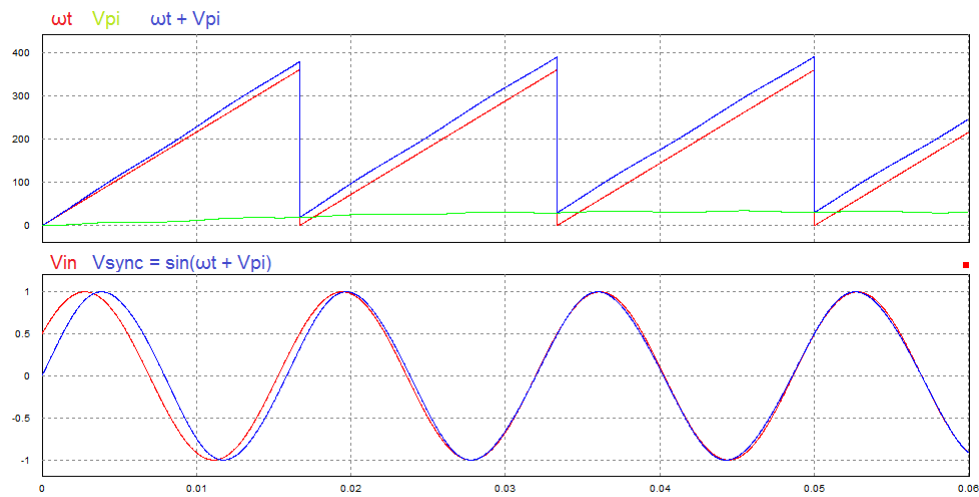


Pode-se verificar que a saída de controle em regime permanente (sincronismo), compensa esta diferença de fase entre V_{in} e ωt através do bloco de soma. Desta forma se tem que a saída do PLL é:

$$V_{sync} = \sin(\omega t + V\pi) \quad (32)$$

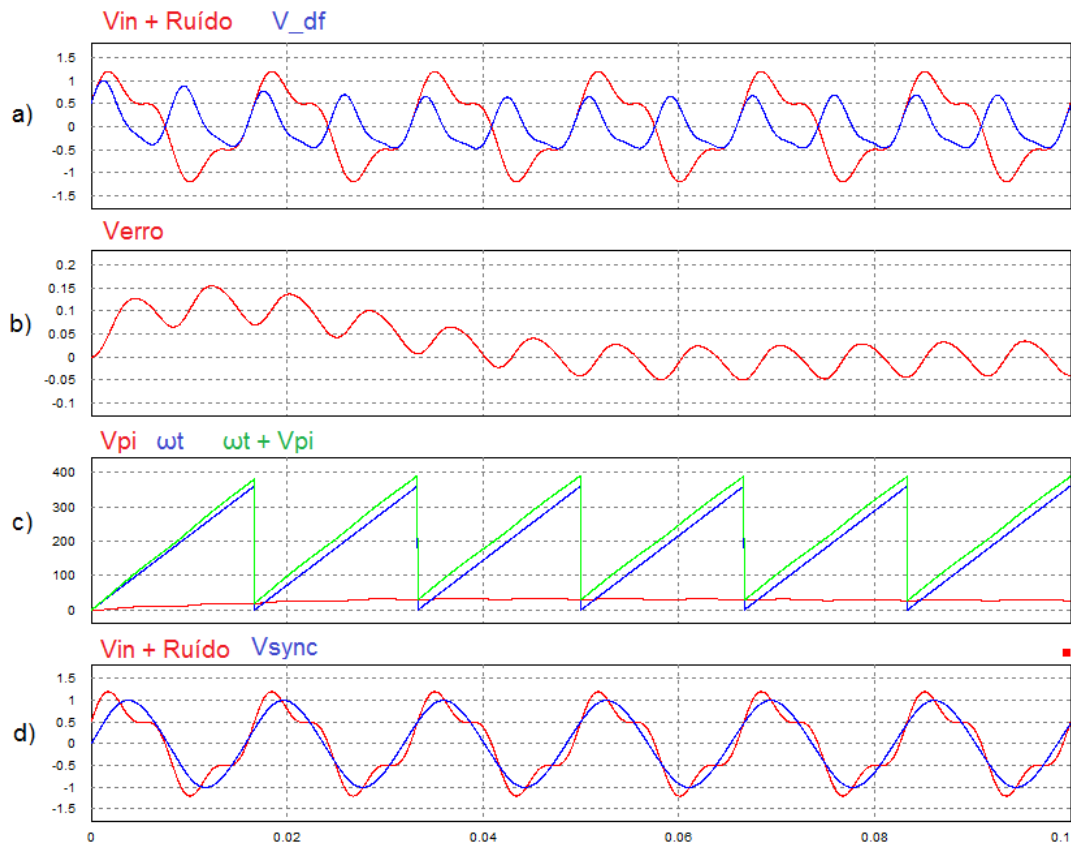
A Figura 26 ilustra a Equação 32.

Figura 26: Dente de Serra ωt , Ação de Controle V_{pi} , Soma de Ambos, Sinal de Referência V_{in} e a Saída do PLL V_{sync} , durante a sincronização.



A adição de ruído não afeta a performance do PLL pois o filtro passa-baixa e a característica de filtro passa-baixa do controlador PI causam sua atenuação. Pode-se visualizar na Figura 27 o efeito da adição de ruído.

Figura 27: a) Entrada do PLL $V_{in} + \text{Ruído}$ e Saída do Detector de Fase V_{df} . b) Erro. c) Ação de Controle V_{pi} , Rampa de Referência ωt e a Soma de Ambos. d) Entrada do PLL $V_{in} + \text{Ruído}$ e a Saída sincronizada V_{sync}



Pode-se verificar que, a partir do sinal V_{pi} , o ruído já foi praticamente todo atenuado.

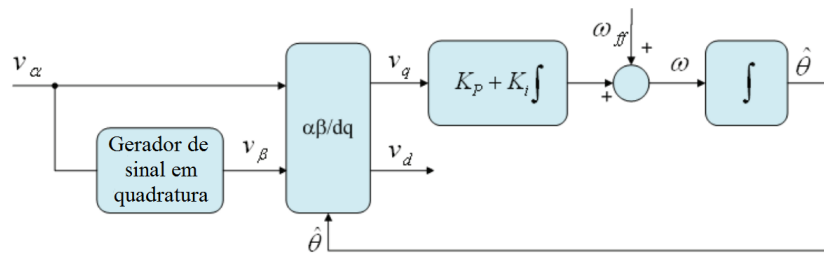
O PLL analisado é baseado no modelo mais básico, mas mesmo assim apresenta uma boa performance frente a um ruído determinístico. Há diversas outras formas de implementá-lo utilizando outros conceitos. Uma primeira classificação de diferentes PLLs pode ser feita considerando a estrutura do detector de fase.

3.3.2 Métodos de Detecção de Fase

No modelo anterior o bloco de detecção de fase era composto somente por um multiplicador, porém é possível implementá-lo utilizando detecção de fase por quadratura, o chamado de SRF-PLL (*Synchronous Reference Frame - PLL*), que é uma das topologias mais empregadas atualmente.

Na Figura 28 o bloco que antes era basicamente um multiplicador agora é composto por um bloco que, a partir da entrada de referência v_{α} , gera um sinal defasado de 90° v_{β} .

Figura 28: Modelo de um PLL por fase em quadratura.



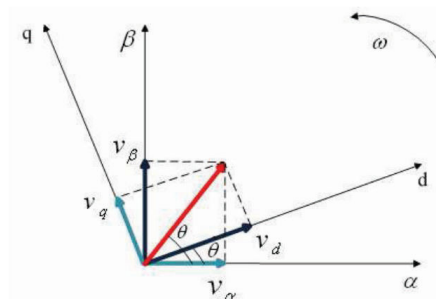
Fonte: [26]

O bloco de transformada de Park traz o sistema $\alpha\beta$ para um sistema de dois vetores ortogonais (dq) e que giram em sincronismo com a frequência da rede [27].

$$\begin{bmatrix} v_d \\ v_q \end{bmatrix} = \begin{bmatrix} \cos\hat{\theta} & -\sin\hat{\theta} \\ \sin\hat{\theta} & \cos\hat{\theta} \end{bmatrix} \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \quad (33)$$

A malha de realimentação controla a posição angular deste vetor de referência dq . Neste caso o vetor da tensão da rede está totalmente alinhado com o vetor d e, por consequência, a componente q é igualada a zero. A componente d descreve o caminho da amplitude do vetor da tensão [28].

Figura 29: Mudança de referência entre o sistema $\alpha\beta$ e o sistema dq .



Diversas técnicas podem ser empregadas para gerar o sinal em quadratura v_β . A mais simples consiste em aplicar um *delay* com $\frac{1}{4}$ do período de v_α , de forma a obter um outro sinal defasado de 90° . Desta maneira, todos os harmônicos presentes no sinal de entrada

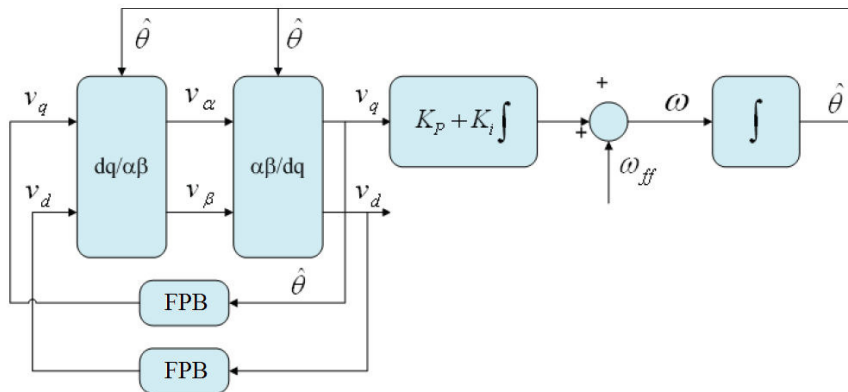
serão caracterizados pelo mesmo *delay*. Outras abordagens fazem o uso da Transformada Inversa de Park, da Transformada de Hilbert ou de um SOGI (*Second Order Generalized Integrator*).

- Transformada Inversa de Park

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \begin{bmatrix} \cos\delta & \sin\delta \\ \sin\delta & \cos\delta \end{bmatrix} \begin{bmatrix} v_d \\ v_q \end{bmatrix} \quad (34)$$

A Equação 34 define a Transformada Inversa de Park, que quando aplicada ao SRF-PLL gera duas malhas interdependentes onde a entrada do bloco $dq/\alpha\beta$ realimenta a $\alpha\beta/dq$ e vice versa. Para evitar que ocorram laços algébricos, um par de filtros passa-baixa é colocado nas saídas do bloco $\alpha\beta/dq$ [29], como pode ser visto na Figura 30.

Figura 30: Diagrama de Blocos do PLL baseado em Transformada Inversa de Park.



Fonte: [26]

- Transformada de Hilbert

A transformada de Hilbert para um sinal $x(t)$ qualquer é dada por:

$$H(x) = \frac{P}{\pi} \int_{-\infty}^{\infty} \frac{x(\tau)}{t-\tau} d\tau \quad (35)$$

onde P é o valor principal de Cauchy

A transformação de Hilbert viola o princípio da causalidade, de forma que não seja possível ser fisicamente realizável. No entanto pode-se aproximá-lo através de filtros digitais. Usando um filtro FIR (*Finite Impulse Response*) com os coeficientes dados por

$$h[n] = \begin{cases} \frac{1 - \cos((n - 0.5N)\pi)}{(n - 0.5N)\pi} & \text{para } n \neq 0.5N \\ 0 & \text{para } n = 0.5N \end{cases} \quad (36)$$

onde N é a ordem do filtro e n é o índice do respectivo coeficiente.

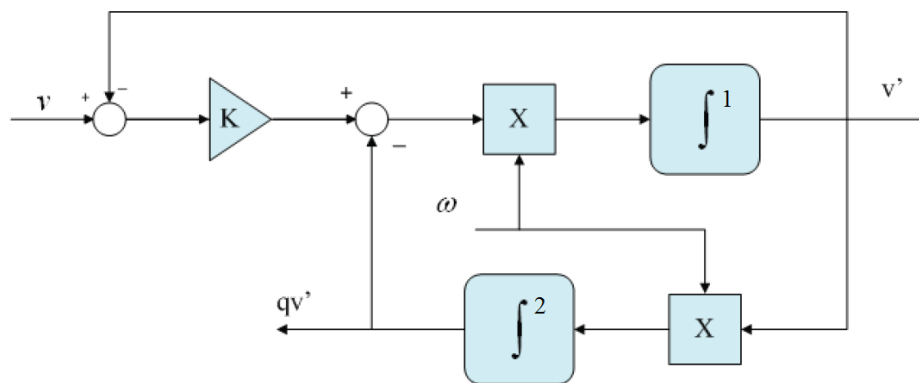
- SOGI

A função de transferência do filtro baseado no *Second Order Generalized Integrator* é definida por:

$$H(s) = \frac{\omega s}{s^2 + \omega^2} \quad (37)$$

onde ω representa a frequência de ressonância do SOGI [30].

Figura 31: Diagrama em blocos do filtro baseado em SOGI.



Fonte: [26]

O esquema da Figura 31 é basicamente composto por dois integradores. O integrador número 1 gera o sinal v' com a mesma fase do do sinal de entrada v , enquanto o integrador número 2 se encarrega de gerar o sinal em quadratura qv' . As funções de transferência em malha fechada ficam:

$$H_d(s) = \frac{v'}{v} = \frac{k\omega s}{s^2 + k\omega s + \omega^2}$$

$$H_q(s) = \frac{qv'}{v} = \frac{k\omega^2}{s^2 + k\omega s + \omega^2} \quad (38)$$

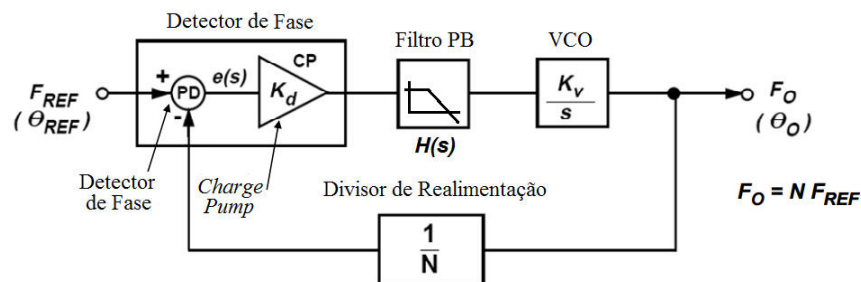
onde o parâmetro k ajusta a capacidade do filtro de forma que quanto menor este parâmetro, mais estreita é sua banda de passagem. Em contrapartida, valores muito baixos degradam consideravelmente a performance dinâmica do SOGI, resultando em um atraso significativo na extração da referência [31].

Os três primeiros métodos possuem as desvantagens: dependência de estabilidade da frequência, alta complexidade, serem não lineares e terem problemas em relação a filtragem. A técnica do SOGI, em contrapartida, gera um par de sinais ortogonais já filtrados, utilizando simples blocos integradores e de ganho.

3.3.3 Topologias para o Filtro do PLL

Outro fator que merece atenção na detecção da fase é a eficiência em se rejeitar as harmônicas do sinal de entrada do controlador. Para tanto são empregados filtros que podem ser tanto internos quanto externos. A filtragem interna ocorre exclusivamente devido a estrutura do Detector de Fase, enquanto a externa não depende de nenhuma característica intrínseca do sistema, mas sim da condição da tensão da rede quanto a sua pureza espectral [26]. A técnica mais simples envolve o uso de um filtro passa-baixa (seu modelo encontra-se na Figura 32).

Figura 32: Modelo de PLL usando Filtro Passa-Baixa.



Fonte: [26]

A função de transferência deste filtro, com ganho unitário é:

$$H(s) = \frac{1}{(1/2\pi f_c) + s} \quad (39)$$

onde f_c é a frequência de corte. Utilizando este filtro, a precisão do monitoramento melhora, porém a performance dinâmica diminui e a filtragem se torna sensível à variação de frequência, pois filtros passa-baixa introduzem mudanças de fase no sinal [32].

Existem outras alternativas para o filtro passa-baixa, como:

- Filtro Ressonante de Segunda Ordem

A vantagem deste, em relação ao filtro passa-baixa, é a maior estabilidade e uma maior capacidade de rejeitar harmônicas sem introduzir variação da fase do sinal na frequência ω (para todas as outras frequências a variação de fase é de $\pm 90^\circ$) [33].

$$H(s) = \frac{2k_f s}{s^2 + \omega^2} \quad (40)$$

onde k_f é a banda de passagem do filtro e ω é a frequência de ressonância.

- Filtro de Média Móvel

A equação que descreve este filtro é dada por

$$\bar{x}(t) = \frac{1}{T_\omega} \int_{t-T_\omega}^t x(\tau) d\tau \quad (41)$$

o valor médio do sinal de entrada é obtido através de uma janela de largura T_ω , onde haverá sempre um atraso inerente à esta largura. Quanto mais estreita for a janela, mais lento será a resposta do filtro. Se a entrada conter componentes senoidais de múltiplos inteiros da frequência equivalente do filtro $f_\omega = 1/T_\omega$, a saída será um valor constante [34].

Dependendo do valor escolhido para a largura da janela T_ω , o Filtro de Média irá se comportar como um filtro passa-baixa [26].

- Filtro com Controlador Repetitivo

O principal objetivo do controle repetitivo é eliminar as oscilações da segunda harmônica na malha do PLL. Ele se comporta como um filtro passa-banda de forma que apenas as harmônicas ímpares são eliminadas. Com isso, o ganho K_p do controlador PI é indiretamente aumentado, aumentando sua capacidade de rejeição às harmônicas pares.

O modelo do controlador repetitivo é baseado em um algoritmo de Transformada Discreta de Fourier, de forma que sua função de transferência discreta é:

$$F_{TDF} = \frac{2}{N} \sum_{i=0}^{N-1} \left(\sum_{k \in N_n} \cos \left[\frac{2\pi}{N} h(i + N_a) \right] \right) z^{-1} \quad (42)$$

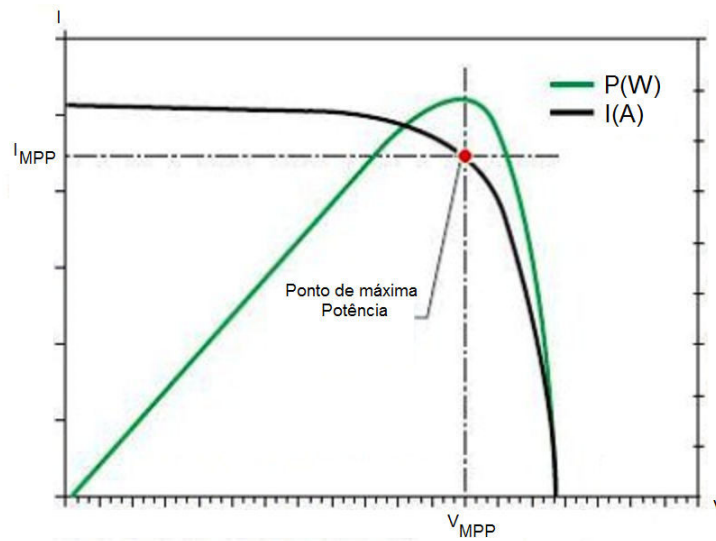
que representa a equação de um filtro FIR (*Finite Impulse Response*) de ordem N com ganho unitário nas harmônicas h [35].

Nesta seção foram apresentadas as técnicas que abrangem a maior parte das aplicações atuais na indústria, no entanto métodos mais sofisticados existem, porém fogem do escopo deste trabalho.

3.4 Controle de Fluxo de Potência

Para garantir o melhor aproveitamento da potência disponível no sistema de geração fotovoltaico, o estágio CC/CC e o estágio CC/CA do micro inversor devem trabalhar de forma uníssona para que a tensão e a corrente do painel solar se encontrem em seu ponto de máxima potência.

Figura 33: Gráfico do Ponto de Máxima Potência.



Fonte: [36]

Sabendo que a tensão V_{MPP} e a corrente I_{MPP} são aqueles em que o painel se encontra operando em sua maior eficiência, temos:

$$P_{MPP} = V_{MPP} \cdot I_{MPP} \quad (43)$$

Sabendo que, em um inversor de dois estágios operando com saída SPWM com índice de modulação unitário, a tensão de pico da senoide na saída será constante e definida pela tensão do barramento CC, ou seja:

$$V_{s_{pc}} = V_{MPP} \cdot G \quad (44)$$

onde $V_{s_{pc}}$ é a tensão de pico da senoide na saída e G é o ganho do conversor CC/CC.

Considerando um conversor CC/CC sem perdas, a corrente de saída do inversor, para garantir operação no MPP, deve ser:

$$I = \frac{I_{MPP}}{G} \quad (45)$$

O diagrama esquemático da Figura 34 representa um inversor genérico conectado à rede, enquanto a Figura 35 apresenta seu respectivo diagrama fasorial.

Figura 34: Um Inversor Conectado à Rede de Distribuição.

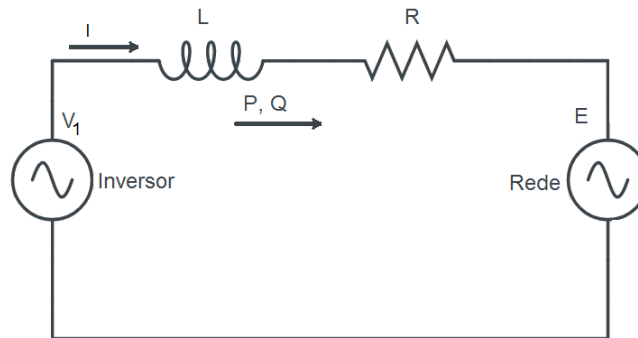
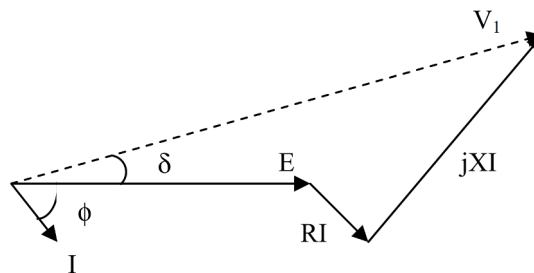


Figura 35: Diagrama Fasorial de um Inversor Conectado à Rede.



Fonte: [37]

Equacionando este diagrama fasorial, se tem:

$$I = \frac{\vec{V}_1 - \vec{E}}{R + jX} \quad (46)$$

e sabendo que

$$P = \text{Re}\{\vec{V}_1 \vec{I}^*\} \quad (47)$$

$$Q = \text{Im}\{\vec{V}_1 \vec{I}^*\} \quad (48)$$

onde $\vec{V}_1 = V_1 \angle \delta$ e $\vec{E} = E \angle 0$. Pode-se reescrever as Equações 47 e 48 como sendo

$$P = \frac{V_1}{R^2 + X^2} [R(V_1 - E \cos(\delta)) + X E \sin(\delta)] \quad (49)$$

$$Q = \frac{V_1}{R^2 + X^2} [X(V_1 - E \cos(\delta)) + RE \sin(\delta)] \quad (50)$$

A resistência R pode ser desconsiderada pois, no ponto de acoplamento entre o inversor e a rede (PCC - *Point of Common Coupling*), $X \gg R$. Esta reatância X se deve principalmente ao indutor de saída do filtro do conversor CC/CA. Assumindo também que a defasagem entre as tensões V_1 e E (δ) é geralmente pequena, pode-se considerar $\cos(\delta) = 1$ e $\sin(\delta) = \delta$, de forma que as Equações 49 e 50 serão reescritas como:

$$P = \frac{V_1}{X} E \delta \quad (51)$$

$$Q = \frac{V_1}{X} (V_1 - E) \quad (52)$$

Ou seja, a potência ativa (P) pode ser controlada pela variação pela diferença de ângulo de fase (δ), que será forçada pelo estágio CC/CA do inversor. A potência reativa, por outro lado, pode ser controlada pela diferença de tensão entre a rede e o inversor [37].

3.5 Técnicas de Anti-Ilhamento

O fenômeno de ilhamento se manifesta em um sistema fotovoltaico grid-tie quando a tensão da rede desliga, na maior parte das vezes devido a uma falta, e o inversor continua a fornecer potência à carga local [38]. As causas para este efeito podem ser devidas a:

- Uma falta que foi detectada pela rede mas não foi detectada pelo sistema fotovoltaico ou sistemas de proteção.
- Desconexão acidental da rede causada por falha em algum equipamento.
- Desligamento da rede para manutenção.
- Erro humano.
- Vandalismo.
- Ação da natureza.

Problemas relacionados a segurança, qualidade de energia, prejuízos comerciais e integridade do sistema são as principais consequências deste tipo de evento [39 e 40]. Por esta razão, a detecção da ocorrência de ilhamento é um recurso essencial para sistema *grid-tie* como um todo e, por conta disso, muitas técnicas de anti-ilhamento foram desenvolvidos nas últimas décadas [41]. Só nos últimos 10 anos mais de 400 artigos foram publicados apenas no IEEE. As técnicas em geral podem ser divididas em dois grupos: anti-ilhamento por método passivo e anti-ilhamento por método ativo. Este último não será abordado neste trabalho pois envolve algoritmos complexos que não poderiam ser executados em um microcontrolador comum.

São apresentados os métodos passivos mais comuns entre aqueles que se enquadram dentro da categoria dos passivos.

- Detecção de sobre/sub tensão ou sobre/sub frequência.

Neste método a tensão e a frequência no ponto de conexão comum é continuamente monitorada. Se ao menos um dos parâmetros estiverem fora da norma especificada, o inversor é desconectado da rede. Não é um método recomendado pois é intrinsecamente sujeito a ignorar falhas em certas condições [42].

- Método de Monitoramento das Harmônicas na Tensão.

Tem por objetivo monitorar a distorção harmônica da tensão para detectar uma condição de ilhamento [43-45].

Quando o funcionamento do sistema está normal, a distorção harmônica e a tensão no PCC é definida pela rede. No entanto, quando ocorre o fenômeno de ilhamento, quem dita estas características é o inversor. É possível fazer esta detecção utilizando todo o espectro harmônico, através do THD, ou apenas considerando a terceira, quinta e sétima harmônica. Este método se torna difícil se a distorção da rede não é alta ou baixa o suficiente [41].

- Método de Monitoramento de Fase.

Consiste em verificar a ocorrência de um salto abrupto na diferença de fase, entre a tensão nos terminais do inversor e sua corrente de saída. Se um PLL muito rápido estiver implementado, este salto na fase é insignificante, pois esta tensão e esta corrente estarão sempre em fase [46 e 47].

4 DESENVOLVIMENTO

Segue neste capítulo os passos necessários para a implementação de cada funcionalidade do inversor. Nas primeiras seções são apresentados os componentes do hardware previsto, e nas seções seguintes a implementação propriamente dita.

4.1 O Microcontrolador DSPIC33E

Uma vez que o preço de um micro inversor de qualidade no Brasil encontra-se ainda em um patamar elevado (em torno de 1700 reais um inversor de 260 Watts [48]), se fez necessário buscar uma alternativa que contemple todas as especificações propostas no projeto, e que contenha componentes de baixo custo. Para isso, o dispositivo responsável por executar os algoritmos de controle do equipamento deveria:

- Ter um custo baixo.
- Ter capacidade de processamento suficiente para executar todos os comandos em tempo real.
- Não depender de outros componentes periféricos para funcionar.
- Ter memória suficiente para permitir um *upgrade* do *firmware*.

Dentro destas necessidades foi escolhido o microcontrolador da Microchip® DSPIC33EP256MC202 que possui as seguintes características [49]:

- Custo unitário de USD 3.03 [Newark 1/6/2016], podendo ser reduzido para USD 1.89 [Digi-Key 1/6/2016] caso não seja necessário mais do que 32KB de memória de programa (DSPIC33EP32MC202).

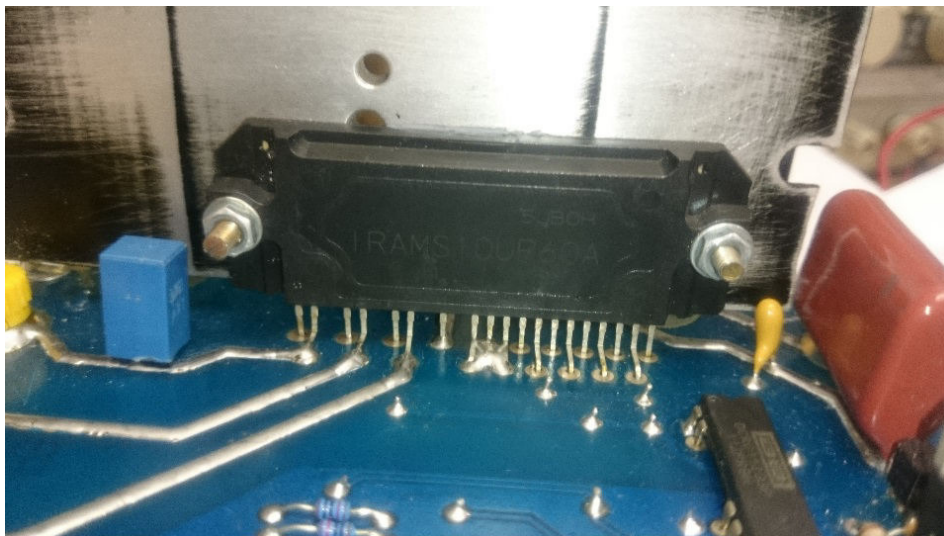
- Lançado em 2014, o que garante uma boa margem de tempo antes de ficar obsoleto e, conseqüentemente, elevar seu preço.
- Ferramentas de desenvolvimento acessíveis.
- Memória de programa com 256KB permite implementar diversas funcionalidades no equipamento.
- Possui frequência de operação de até 70 MIPS, permitindo realizar os algoritmos propostos em tempo real com boa precisão.
- Possui 5 *timers* de 16bits, podendo ser associados para formar *timers* de 32 bits. Permitem gerar intervalos de tempo até aproximadamente 1 minuto com precisão de 15 nanossegundos (com uso de *prescaler* é possível aumentar este tempo, porém perde-se precisão proporcionalmente).
- Possui 6 conversores AD de 12 bits com 500kS/s e 10 bits com 1MS/s.
- possui módulo dedicado de geração de PWM com 6 saídas independentes (permite acionar pontes trifásicas) e com *dead-time* configurável.
- Carrega hardware para comunicação UART, SPI E I²C, de forma que se comunicar com periféricos externos se torna fácil, além de não ocupar o tempo de processamento na rotina principal.

Com estas características o DSPIC33EP256MC202 pode desempenhar muito bem seu papel dentro do contexto de um micro inversor de baixo custo.

4.2 Estágio de Potência

No desenvolvimento do projeto foi adotado para o estágio de potência o módulo IGBT totalmente integrado IRAMS10UP60A da International Rectifier (Figura 36) por comodidade. No entanto este é um dispositivo que integra os *drivers* e os IGBTs para 3 fases com até 10A de corrente [50], ou seja, para a implementação de um inversor monofásico de ponte completa, um dos braços do módulo não foi utilizado. Além de seu uso no equipamento proposto estar superdimensionado, o componente foi descontinuado pelo fabricante de forma que seu custo se torna elevado e a produção do inversor a longo prazo fica comprometida.

Figura 36: Módulo IGBT IRAMS10UP60A já montado no protótipo do equipamento.



4.3 Isolação

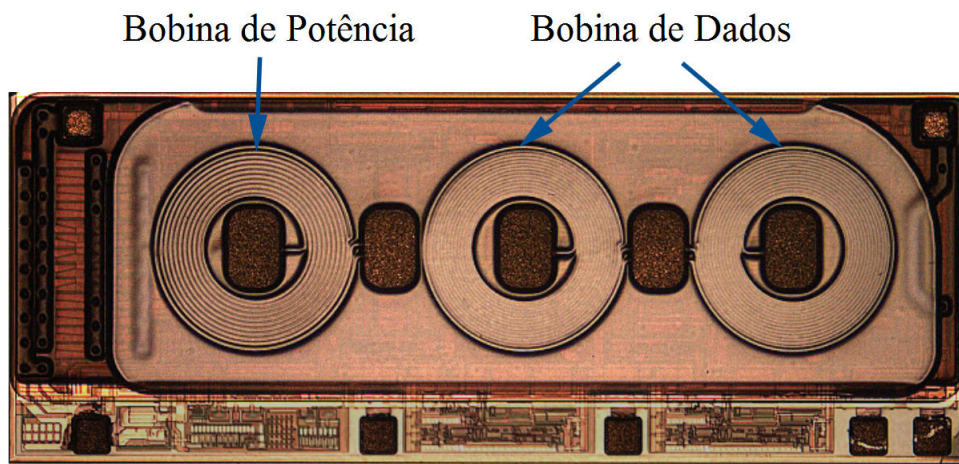
Isolação compreende o conjunto de componentes que vão garantir o isolamento galvânico entre a parte de potência (alta-tensão) e a parte lógica do inversor (baixa-tensão). Se faz necessário tanto para a alimentação quanto para os sinais analógicos e digitais que circulam entre os dois circuitos, evitando assim perigosos transientes de corrente e interferência causada pelo chaveamento dos elementos de potência.

Existem quatro tecnologias para isolamento dos sinais analógicos e digitais no mercado atualmente: óptico, magnético, capacitivo, e de magnetorresistência gigante.

O isolador óptico, também chamado de opto-acoplador transmite o sinal através de pulsos luminosos entre um LED e um fototransistor. Possui a vantagem da luz ser inerentemente imune a campos elétricos e magnéticos externos e serem extremamente baratos. No entanto são lentos, dissipam muita potência e seus LEDs degradam com o tempo[51].

O isolador magnético funciona através do acoplamento magnético entre uma bobina no lado isolado e outra no lado não isolado (Figura 37).

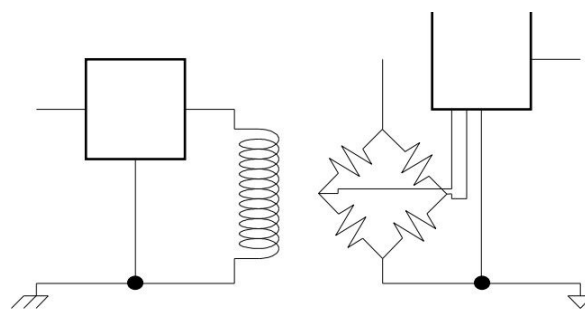
Figura 37: DIE de um isolador magnético digital e com potência integrados.



Possui a vantagem de ser rápido, ter baixo consumo, possuir tamanho reduzido, e poder integrar um conversor CC/CC isolado no mesmo encapsulamento, no entanto não é a solução com melhor custo benefício. Outra desvantagem desta tecnologia é que o chaveamento destas bobinas produz um indesejado ruído eletromagnético de forma que se faz necessário usar capacitores de *Stitching* de alta tensão próximo ao componente, e entre o plano de terra isolado e não isolado para reduzir este efeito, aumentando o custo do projeto [51].

Os isoladores por magnetoresistência gigante (Figura 38) são similares aos magnéticos, porém com a bobina do secundário substituída por um circuito resistivo com a propriedade de variar sua resistência em função do campo magnético aplicado. São rápidos, porém possuem um custo elevado[51].

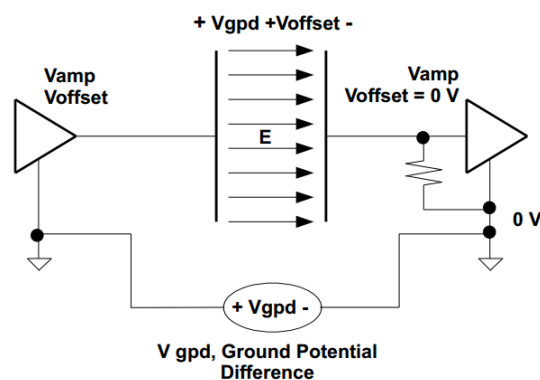
Figura 38: Diagrama de um isolador por magnetoresistência gigante.



Fonte: [51]

Usando o campo elétrico entre placas paralelas para transmitir os sinais, o isolador capacitivo (Figura 39) é eficiente em tamanho e consumo de energia, além de ser imune a interferência por campo magnético.

Figura 39: Diagrama de um isolador capacitivo.



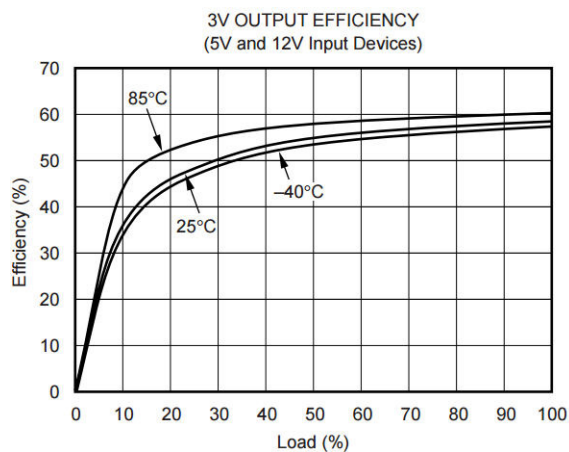
Fonte: [51]

Possui baixo custo e alta velocidade, sendo ideal para o uso neste trabalho. Por disponibilidade, foi utilizado no projeto o isolador capacitivo digital ISO7420 da Texas Instruments, porém com características semelhantes é possível utilizar o isolador SI8440AB da Silicon Laboratories com um custo unitário de USD 1.69 [Mouser 2/6/16].

Para garantir o isolamento da alimentação da parte lógica do inversor, foi utilizado um conversor CC/CC isolado com 3.3 Volts de saída e pelo menos 200mA de corrente. É importante ressaltar que não se deve superdimensionar este componente pois, além de elevar o custo do mesmo, sua eficiência aumenta gradativamente com a carga (Figura 40).

Por disponibilidade, foi utilizado no projeto o módulo conversor CC/CC isolado DCR011203P da Burr-Brown que pode fornecer até 390mA de corrente [52], no entanto é um componente que por ser antigo possui um alto custo (USD 10.21 na Digi-Key) e baixa eficiência (60% em carga máxima, como pode ser visto no gráfico da Figura 40). Por USD 2.62 (Digi-Key 2/6/16) o módulo conversor VBSD1-S5-S3.3-DIP da CUI Inc. fornece 300mA de corrente com uma eficiência de até 72% [53].

Figura 40: Gráfico da relação entre carga e eficiência no módulo CC/CC isolado DCR011203P.



Fonte: [52]

Para o sensoreamento isolado da tensão e corrente entre a rede foi usado o amplificador isolador da Texas Instruments AMC1200 (USD 4.01 a unidade na Arrow em 2/6/16) e o sensor de corrente por efeito Hall ACS712-05B da Allegro(USD 3.52 a unidade na Chip One Stop em 2/6/16).

4.4 Implementação

Para que os objetivos propostos fossem obtidos o trabalho foi dividido nas seguintes etapas: geração dos sinais de gatilhamento, projeto do filtro de saída e implementação do algoritmo de sincronização.

4.4.1 Geração dos Sinais de Gatilhamento

A primeira etapa do desenvolvimento do software do inversor consistiu em escrever o código que iria gerar os pulsos de acionamento das chaves do módulo IGBT. Para isso foi utilizado o periférico gerador de PWM de alta velocidade específico do DSPIC, que apresenta os seguintes recursos relevantes a este trabalho:

- Até 3 geradores PWM.

Permite o acionamento de pontes trifásicas. Neste trabalho apenas duas foram utilizadas.

- Duas saídas por gerador que podem ser configuradas para funcionarem de modo complementar.

Simplifica o projeto pois evita a necessidade de uso de um inversor lógico externo por exemplo.

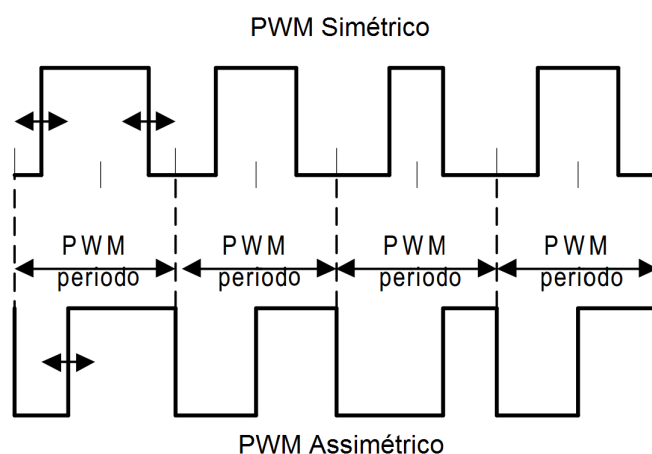
- Gerador de *Dead-Time* integrado.

Este recurso evita que as saídas complementares acionem as chaves de um braço ao mesmo tempo, evitando o curto circuito nas mesmas.

- PWM alinhado ao centro.

A maioria dos módulos PWM dos microcontroladores existentes trabalham gerando seus pulsos alinhados em uma das bordas do período de cada pulso (assimétrico), ou seja, pode-se dizer que sua modulação PWM é baseada em uma portadora “dente de serra”. Esta forma gera um maior conteúdo harmônico na saída do inversor em relação ao PWM baseado em portadora triangular, de forma que a possibilidade de gerar os pulsos alinhados no centro do período (simétrico), torna a implementação mais vantajosa.

Figura 41: Comparação entre o PWM simétrico e o assimétrico.



Para assegurar que não houvessem harmônicos pares na saída do inversor, foi escolhida uma frequência de chaveamento que fosse um múltiplo inteiro e ímpar da frequência da onda de referência (60Hz) [54]. Além disso, para garantir uma maior eficiência do filtro de saída, esta frequência de chaveamento foi escolhida a maior possível, dentro do

limite máximo estabelecido pelo *datasheet* do módulo IGBT (20KHz). Com essas limitações o número de pontos por ciclo da senoide de referência escolhido foi de 333 pontos, e por consequência a frequência da portadora:

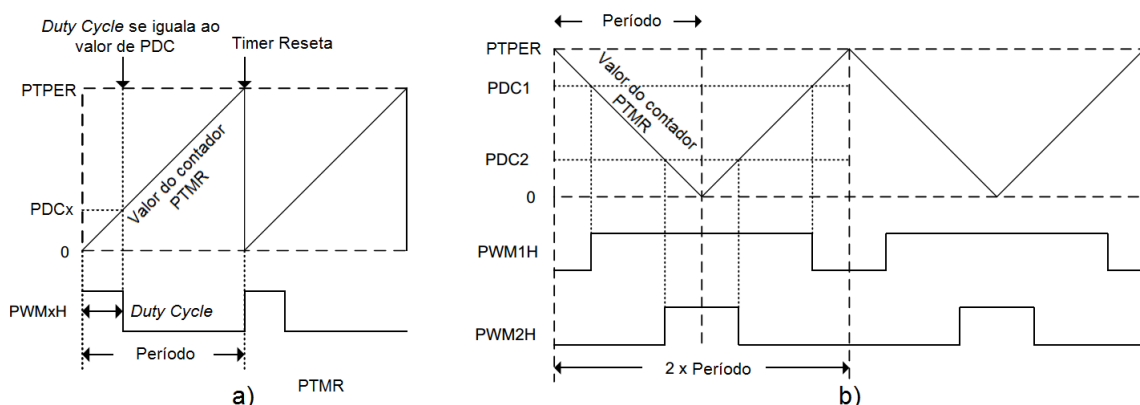
$$F_p = N_{pontos} F_{ref} = 333 \times 60Hz = 19980Hz \quad (53)$$

Segundo o *datasheet* do módulo PWM da família do DSPIC33EP [datasheet DO PWM do DSPIC33E], o valor que deve ser atribuído ao registrador PTPER (que vai determinar o período do PWM) para uma desejada frequência é de:

$$PTPER = \frac{f_{OSC}}{f_{PWM} \cdot prescaler} = \frac{140MHz}{19980Hz \cdot 4} \simeq 1752 \quad (54)$$

onde f_{OSC} é a frequência do oscilador do microcontrolador, f_{PWM} é a frequência do PWM desejado, e o *prescaler* é um valor adimensional que divide a frequência do oscilador para o módulo PWM. No entanto, por estar trabalhando com os pulsos centralizados, o período de cada um deles dobra, de forma que para manter a frequência desejada, o valor atribuído para o PTPER deve ser dividido por 2, ou seja, 876.

Figura 42: Funcionamento do módulo PWM no modo (a) “alinhado à borda” e (b) “alinhado ao centro”.



Fonte: [55]

A Figura 42 ilustra o funcionamento do módulo PWM nas duas configurações:

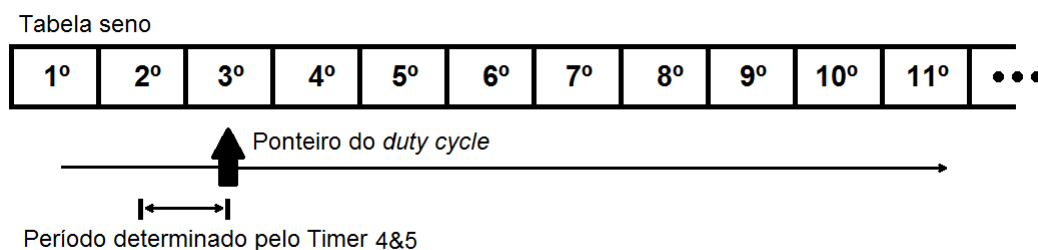
- Modo “alinhado à borda”

O contador PTMR incrementa seu valor a cada ciclo de clock, dividido pelo valor do *prescaler*, de 0 até se igualar ao valor atribuído ao PTPER, de onde ele irá ser zerado para reiniciar o ciclo. Durante este período, o valor da saída alta do PWM (PWMxH) estará em nível alto (sua saída complementar PWMxL em nível baixo) enquanto o valor de PTMR estiver inferior ao seu registrador de *duty cycle* correspondente (PDCx). Depois disso o nível lógico de PWMxH e PWMxL irá se inverter até que se inicie o ciclo novamente.

- Modo “alinhado ao centro”

A Figura 42 (b) ilustra o funcionamento do módulo PWM neste modo, para dois sinais das chaves *high-side* PWM1H e PWM2H (os sinais para as chaves *low-side* PWM1L e PWM2L são suas complementares) com valores de *duty cycle* PDC1 e PDC2 respectivamente. No primeiro período o contador PTMR decremente de PTPER até 0 e, na sequência, incrementa de 0 até PTPER. Enquanto o valor de PTMR estiver abaixo de PDCx, a saída *high-side* correspondente se mantém em nível alto e a saída *low-side* em nível baixo.

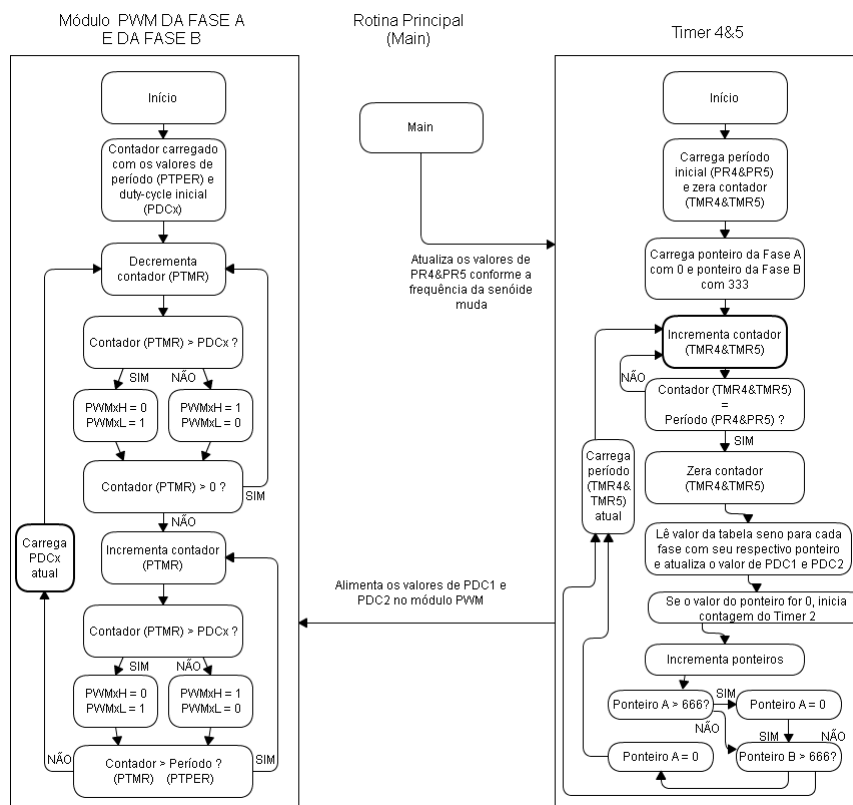
Figura 43: Funcionamento da leitura dos valores de *duty-cycle* na tabela seno.



Utilizando um *script* do MATLAB, que se encontra no Apêndice A, foi gerado uma tabela com os valores instantâneos de um seno de 0 a 2π , de amplitude igual ao valor de PTPER, com 666 pontos. Dois ponteiros (variáveis declaradas como PTR1 e PTR2) varrem esta tabela, defasados de π entre eles, em intervalos de tempo definidos pelo Timer 4&5 de 32 bits, e “enviam” este valor ao PDC1 e PDC2 do módulo PWM. Para auxiliar na detecção da diferença de fase entre a senoide sintetizada e a senoide da rede, toda vez que o primeiro valor da tabela é lido pelo ponteiro não defasado, o Timer 2 é reiniciado. O fato de um timer de 32 bits ser utilizado para alimentar o módulo PWM com os valores de *duty-cycle* permite variar a frequência de saída com uma resolução teórica de aproximadamente $0.034Hz$ em torno do ponto de operação, ao se variar os valores dos registradores

de período (PR4 e PR5) deste timer. A possibilidade de variar a frequência da senoide gerada é essencial para a possibilidade de sincronização com a rede. O fluxograma do funcionamento do microcontrolador para geração do SPWM se encontra na Figura 44, e a forma de onda obtida se encontra ilustrada na Figura 52 na seção de resultados.

Figura 44: Fluxograma do funcionamento do microcontrolador para geração do SPWM.



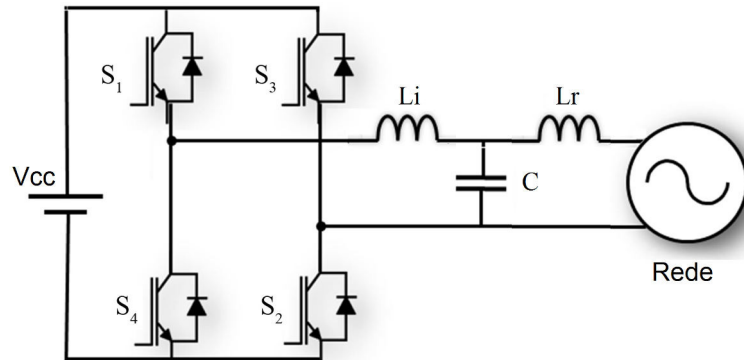
O sinal gerado se encontra na Figura 52, de forma que fica evidente que, por ser gerado diretamente pelas chaves semicondutoras, contém muitas harmônicas em alta frequência que são indesejadas. Com isso, torna-se necessário projetar um filtro que atenuie este conteúdo harmônico.

4.4.2 Filtro de Saída

A fim de reduzir este conteúdo espectral indesejado, um filtro L ou LCL (Figura 45) é adicionado entre a rede e o inversor. Comparado com o filtro L, o filtro LCL tem uma melhor capacidade de atenuação em harmônicas de mais alta ordem, além de melhores características dinâmicas [56 e 57]. Uma característica deste filtro é que ele possui uma atenuação de $60dB/dec$ para frequência acima de sua frequência de ressonância, além de

proporcionar um melhor desacoplamento entre o filtro e a impedância da rede, e diminuir o *ripple* na corrente do indutor L_r [58].

Figura 45: Esquema do Filtro LCL.



A frequência de ressonância do filtro LCL é dada por:

$$f_{res} = \frac{1}{2\pi} \sqrt{\frac{L_i + L_r}{L_i \times L_r \times C}} \quad (55)$$

$$10f_{senoide} < f_{res} < 0.5f_{chaveamento}$$

Entre os valores disponíveis para componentes, foram escolhidos aqueles em que esta frequência de ressonância ficasse aproximadamente um grau de magnitude abaixo da frequência de chaveamento do PWM. Para isso foi usado um capacitor de poliéster de 10uF 250V (EPCOS B32524Q3106K) e um indutor de 1.21mH (L_r) e outro de 0.456mH (L_i), de forma que a frequência de ressonância do filtro foi de:

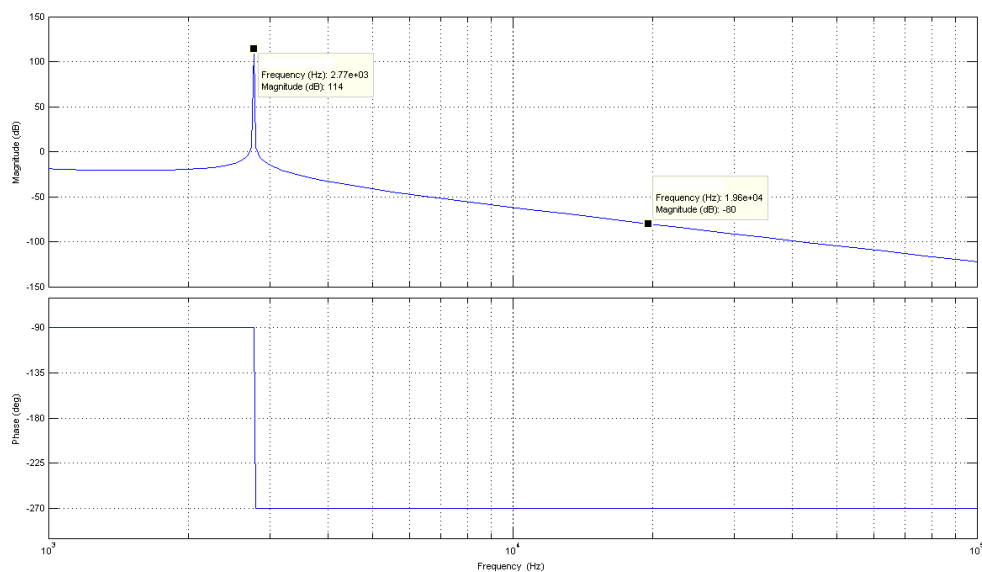
$$f_{res} = \frac{1}{2\pi} \sqrt{\frac{1.2mH + 0.456mH}{1.2mH \times 0.456mH \times 10\mu F}} = 2.77kHz \quad (56)$$

Ocorre que pela natureza deste filtro, poderá haver um ganho nas frequências próximas à sua frequência de ressonância. O método mais simples para evitar este problema é usar um resistor de *damping*. Em geral existem 4 possíveis locais para este resistor ser adicionado, em série ou paralelo ao indutor L_r ou em série ou paralelo ao capacitor C [59]. Foi escolhido usar o resistor em série ao capacitor, e seu valor pode ser calculado por:

$$R_d = \frac{1}{3\omega_{res}C} = 1.91\Omega \quad (57)$$

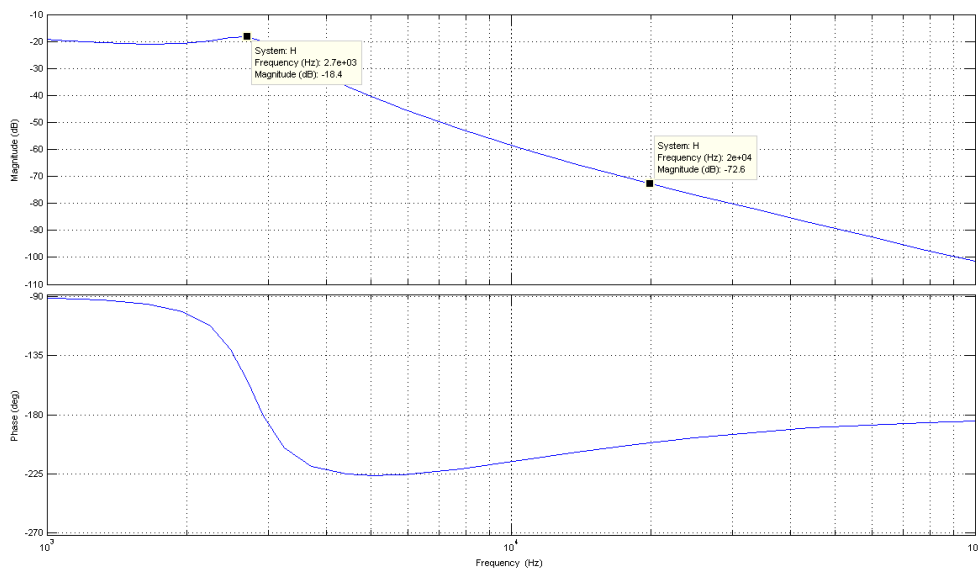
O diagrama de Bode da Figura 46 mostra a resposta em frequência do filtro projetado sem o resistor de *damping*. É possível notar uma atenuação de $80dB$ na frequência de chaveamento do PWM, no entanto há um ganho indesejado de $114dB$ na frequência de ressonância do mesmo.

Figura 46: Resposta em frequência do filtro LCL sem o resistor de *damping*.



A Figura 47 apresenta o diagrama de Bode do filtro agora com o resistor de *damping*. Se verifica uma grande redução no ganho do filtro na frequência de ressonância, ao custo de uma menor atenuação nas altas frequências geradas pelo chaveamento dos elementos semicondutores ($72dB$ em $19980Hz$), e uma redução na eficiência no equipamento pela adição de uma resistência no circuito.

Figura 47: Resposta em frequência do filtro LCL com o resistor de *dumping* com 1.8Ω .

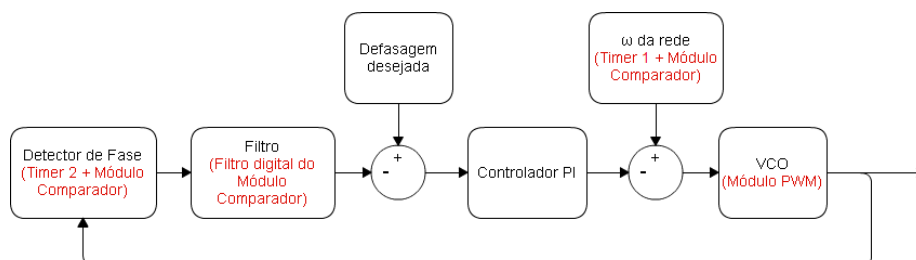


O filtro foi testado com uma carga resistiva de 75Ω na saída. Foi obtida a forma de onda apresentada na Figura 55 na seção de resultados.

4.4.3 Implementação do Algoritmo de Sincronização

Foi desenvolvido um PLL em software para que a saída do inversor pudesse ser sincronizada com a rede.

Figura 48: Diagrama de Blocos do PLL desenvolvido.



A Figura 48 apresenta o diagrama de blocos contendo todos os elementos do PLL implementados, destacando em vermelho os respectivos módulos utilizados no microcon-

trolador:

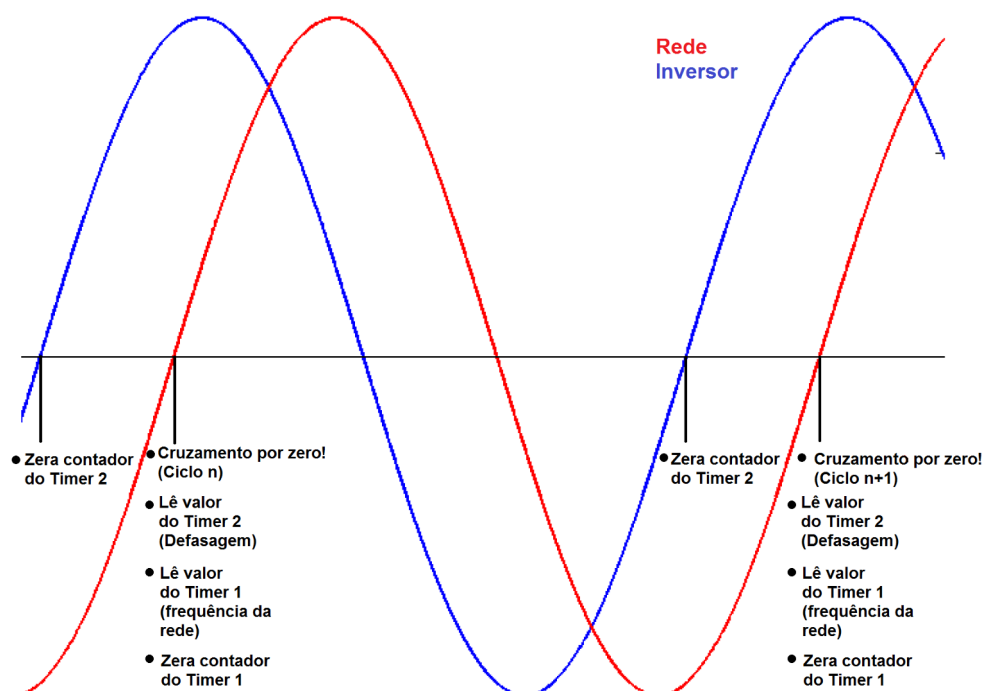
- Detector de Fase

Responsável por obter a defasagem entre a senoide da rede e a senoide sintetizada pelo inversor. Foi implementada utilizando o módulo comparador e o Timer 2 do DSPIC. Quando o ponteiro que varre a os valores da tabela seno lê o seu primeiro valor, o registrador do contador do Timer 2 (TMR2), que está sendo incrementado continuamente, é zerado. Desta forma, quando ocorre o cruzamento por zero na borda de subida da senoide da rede, o valor de TMR2 é armazenado. Sabendo que cada unidade deste registrador representa uma intervalo de tempo definido por

$$P_{Timer2} = \frac{Prescaler}{F_{cyc}} = \frac{64}{70MHz} = 914.3ns \quad (58)$$

onde F_{cyc} é a frequência do ciclo de máquina do microcontrolador, e o *Prescaler* é o divisor desta frequência, é possível obter a fase com uma resolução de $19.75m^\circ$. A Figura 49 ilustra os momentos onde ocorrem as leituras e escritas do registrador do Timer 2.

Figura 49: Tempos onde ocorrem as leituras e escritas nos registradores do Timer 1 e Timer 2.



- Filtro

Para evitar detecções de cruzamento por zero indesejadas, causadas por ruído ou espúrios de qualquer natureza, um filtro foi implementado utilizando o próprio recurso de filtragem presente no módulo comparador. Este filtro digital requer que três amostras consecutivas tenham o mesmo estado lógico antes de trocar o nível de sua saída. Assumindo que o estado atual é “0”, uma sequência de entradas sendo “001010110111” só irá causar uma mudança de estado para “alto” no final da sequência. De forma similar, uma sequência de 3 consecutivos “0”s irá mudar a saída do filtro para o nível “baixo” [55].

- Controlador PI

Um controlador PI foi implementado utilizando as equações apresentadas na Seção 3.3, de forma que se obteve, através da Equação 31, utilizando um tempo de acomodação $t_s = 1s$ e sem *overshoot* ($\zeta = 1$), os seguintes valores para as constantes do controlador:

$$K_p = \frac{9.2}{t_s} = 18.4, \quad T_i = \frac{t_s \zeta^2}{2.3} = 0.435 \quad (59)$$

Sabendo que a taxa de amostragem dos dados do sistema é de $16.67ms$, pode-se calcular a constante K_i [60]

$$K_i = \frac{K_p}{T_i} = \frac{18.4}{0.435} = 42 \quad (60)$$

A seguinte função de recorrência foi implementada no microcontrolador:

$$u(k) = u(k-1) + K_p(e(k) - e(k-1)) + K_i T e(k) \quad (61)$$

Nota-se que na Figura 48 há um bloco denominado “defasagem desejada”. Esta defasagem é a referência do controlador que, ao ser variada, permite regular o fluxo de potência ativa entregue à rede.

- Detector de Frequência

Um PLL convencional trabalha com uma frequência ω predeterminada e fixa. A introdução de um detector de frequência da rede não só corrige erros de sincronização

causados por pequenas flutuações que ocorrem na mesma, como também permite que o inversor opere em redes de 50Hz sem grandes adaptações.

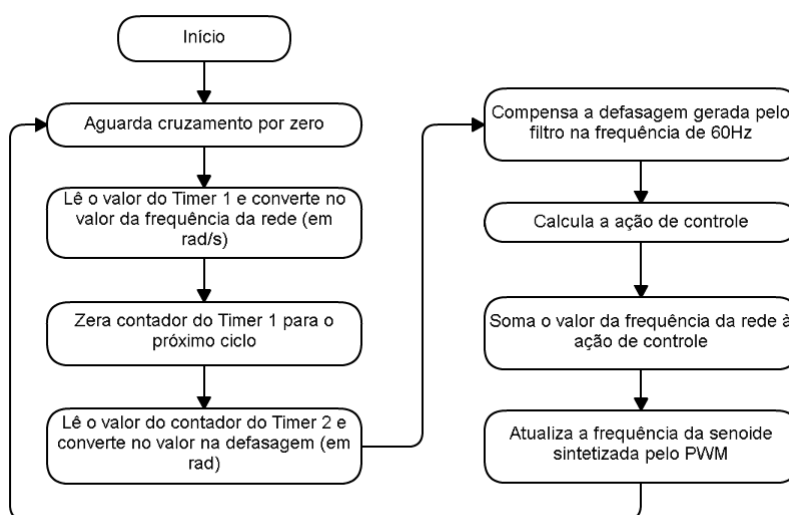
O funcionamento deste bloco é similar ao detector de fase. Quando ocorre um cruzamento por zero na senoide da rede, o contador do Timer 1 é zerado, e vai ser lido apenas quando houver outro cruzamento por zero, e assim de forma sucessiva. Assim como no Timer 2, cada unidade lida representa um intervalo de tempo de $914.3ns$, de forma que é possível detectar a frequência com uma resolução teórica de $3.29mHz$. A Figura 49 ilustra os momentos onde ocorrem as leituras e escritas do registrador do Timer 1.

- VCO

Com a finalidade de entregar uma senoide a partir de um sinal constante, o VCO neste trabalho nada mais é que o módulo PWM gerando o sinal senoidal com a frequência definida pelos valores carregados nos registradores de período do Timer 4 e Timer 5.

A Figura 50 apresenta o fluxograma do algoritmo implementado no DSPIC que integra todos os blocos do PLL da Figura 48.

Figura 50: Fluxograma do algoritmo do PLL implementado no microcontrolador.



Para fins de teste, foram aplicados sinais com de um gerador de funções (senoidal puro e senoidais com distorções harmônicas) a fim de se verificar o comportamento do PLL com o osciloscópio. Os valores instantâneos de frequência e fase detectadas pelo mi-

crocontrolador foram adquiridas de um em um segundo através da porta serial do mesmo e são mostrados juntos às formas de onda na seção de resultados.

5 RESULTADOS E DISCUSSÕES

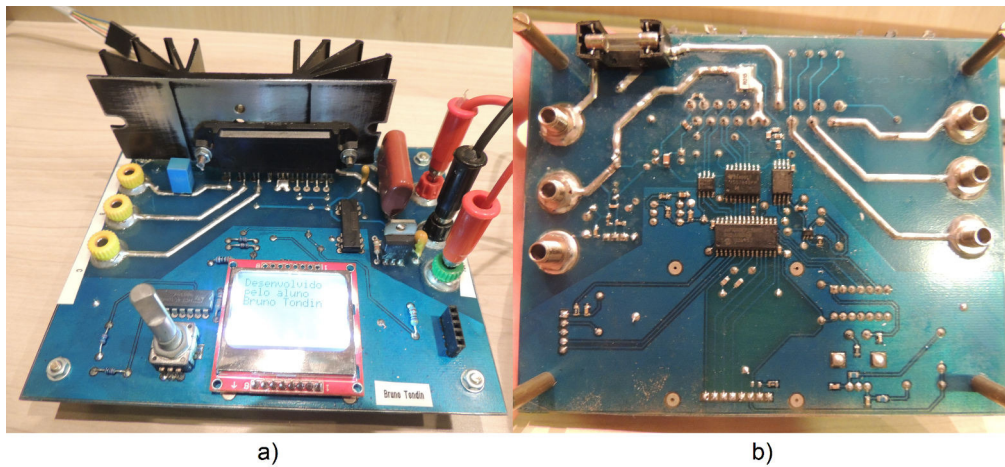
5.1 Montagem de uma Placa de Desenvolvimento

O trabalho envolvendo inversores, seja para fins de geração ou de acionamento de máquinas, requer o uso de tensões e corrente relativamente elevadas. Neste contexto, se fez necessário desenvolver uma placa de avaliação que garantisse segurança ao desenvolvimento da parte prática deste trabalho. Além do mais, sabendo que no futuro novas funcionalidades poderiam ser implementadas, e as atuais, melhoradas, novos componentes foram adicionados. Entre eles se destacam:

- Aproveitamento das três fases disponíveis no módulo IRAMS10UP60A,
- Resistor Shunt combinado com um isolador analógico a fim de se medir a corrente de saída,
- Display gráfico de 84x48 *pixels* com luz de fundo para exibir informações,
- Encoder rotativo de seleção com um botão para interface com usuário
- 2 terminais GPIO totalmente configuráveis, mais um terra e uma alimentação. Permitem programar e depurar o microcontrolador além de, durante a operação, serem usados tanto como um terminal de comunicação UART, I2C ou CAN (este último se for utilizado um DSPIC33EPXXXMC502, que é compatível pino a pino).

Uma técnica de fabricação caseira utilizando tintas fotossensíveis foi empregada para produzir uma placa que tivesse trilhas de qualidade uniforme e um revestimento de máscara de solda, além de uma fina camada de prata nos terminais a serem soldados. Desta forma se pôde garantir uma boa resistência à oxidação. Fotografias, frontal e traseira, podem ser vistas na Figura 51.

Figura 51: a) Fotografia da Parte Frontal da Placa. b) Fotografia da Parte Traseira da Placa



Nota-se que a placa não apresenta nenhum filtro de saída. De fato, todos os testes envolvendo a filtragem do sinal foram feitos utilizando um filtro externo.

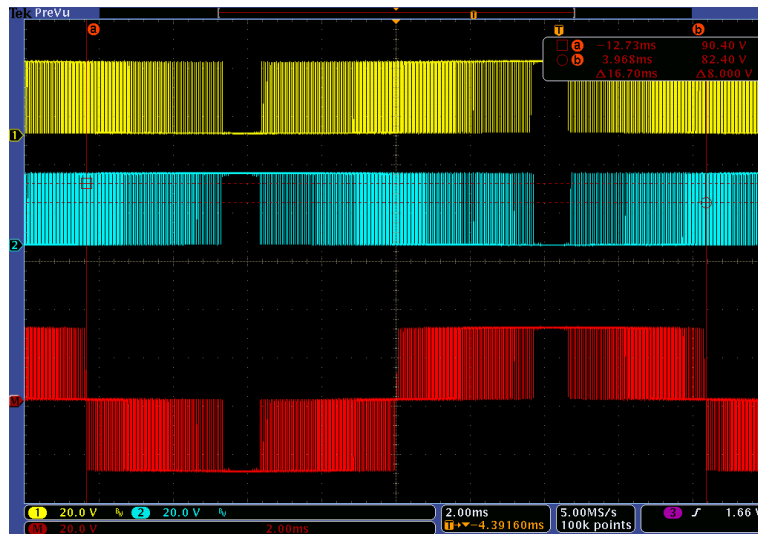
5.2 Formas de Onda

Todos os sinais medidos foram feitos utilizando o osciloscópio Tektronix DPO 4034 de 350MHz. As aquisições são apresentadas organizadas nas diferentes configurações de carga na saída:

5.2.1 Saída em Circuito Aberto

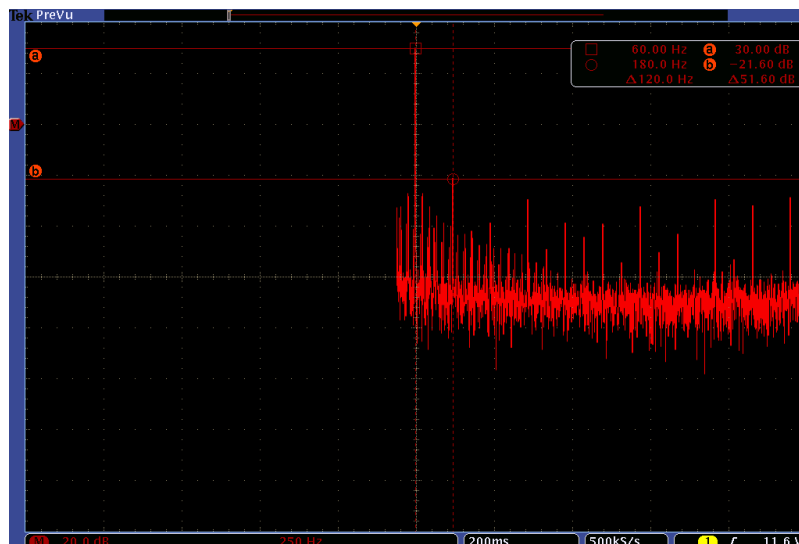
Os sinais de saída do módulo IGBT foram medidos em circuito aberto a fim de se verificar a performance do inversor sem interação com carga. A forma de onda é apresentada na Figura 52.

Figura 52: Sinal de saída no braço A (amarelo), no braço B do inversor (azul) e a tensão entre os terminais de ambos os braços (vermelho).



Verifica-se que o sinal apresenta pequenos intervalos de tempo em que não parece haver chaveamento. Isto se deve às indutâncias e capacitâncias parasitas do circuito, atrasos causados pelos isoladores e, principalmente, pelo *dead-time* de $300ns$ imposto pelo *driver* que integra o módulo IGBT IRAM210UP60A. O DSPIC33EP256MC202, nas configurações utilizadas, permite que se alcance um *dead-time* de até $1,87ms$ com uma resolução de $28,ns$. Uma análise no domínio da frequência foi realizado:

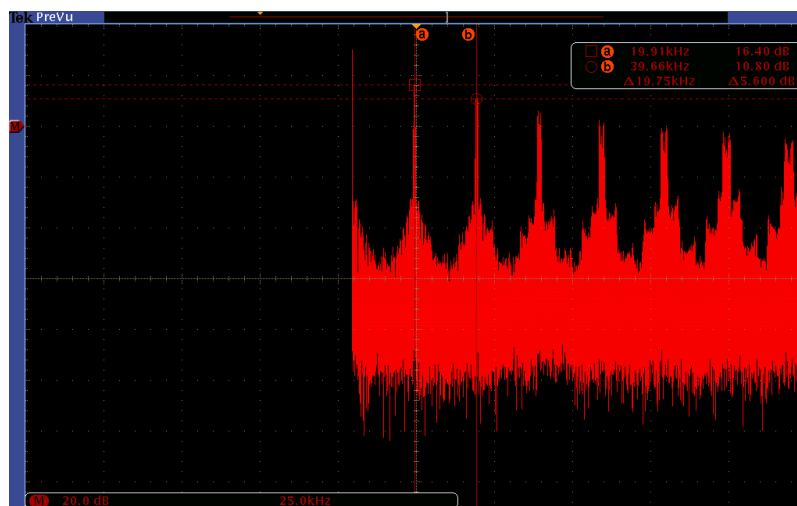
Figura 53: Espectro de frequência do inversor, sem Filtro e a vazio, em torno da frequência fundamental.



A harmônica mais relevante se encontra em 180Hz com uma atenuação de 51dB.

O conteúdo harmônica causado pelo chaveamento foi medido e é apresentado na Figura 54.

Figura 54: Espectro de frequência do inversor, sem Filtro e a vazio, em torno da frequência de chaveamento.

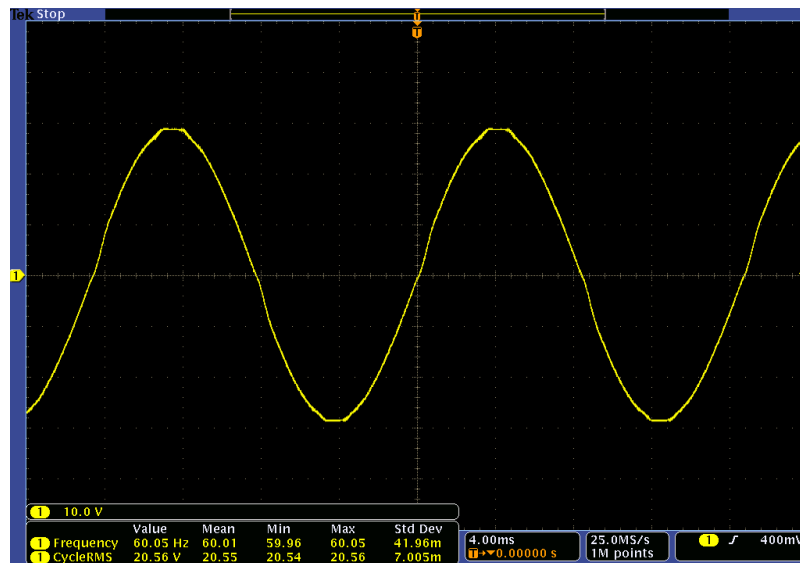


As harmônicas mais relevantes se encontram em 20kHz e 40kHz com uma atenuação de 13.6dB e 19.2dB, respectivamente.

5.2.2 Saída com Filtro LCL e Carga R

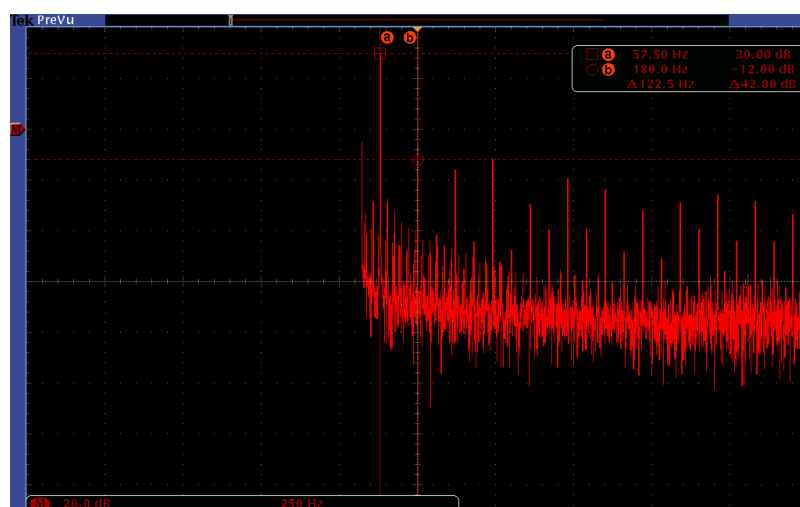
O filtro LCL projetado foi adicionado ao circuito, além de uma carga R de 75Ω . A forma de onda obtida se encontra na Figura 55.

Figura 55: Sinal de saída do filtro LCL com carga de 75Ω .



É possível verificar um achatamento nas cristas e vales da senoide gerada. Isto se deve ao fato dos *drivers* que integram módulo IGBT IRAM210UP60A evitarem a possibilidade de ocorrer curto circuito entre as chaves dos braços da ponte, inserindo um *dead-time* fixo de $300ns$. Uma análise no domínio da frequência foi realizado:

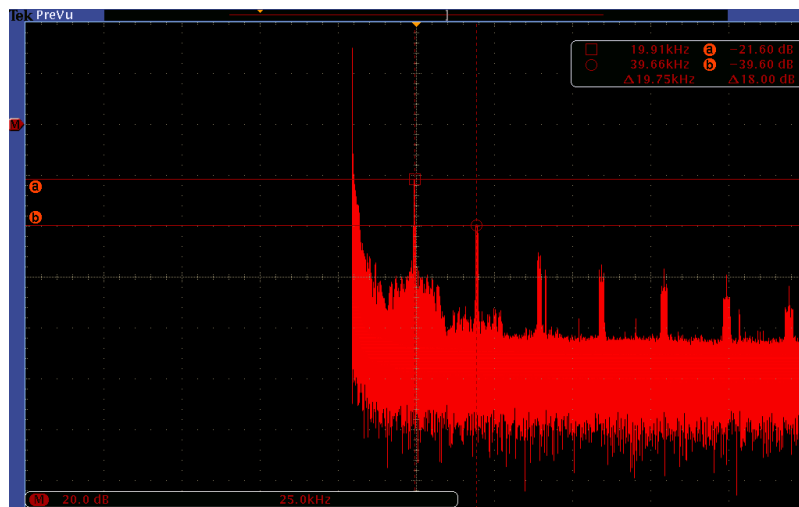
Figura 56: Espectro de frequência do inversor, com filtro e carga R, em torno da frequência fundamental.



As harmônicas mais relevantes se encontra em 180Hz e 420Hz com uma atenuação de 42dB e 41.6dB, respectivamente.

O conteúdo harmônica causado pelo chaveamento foi medido e é apresentado na Figura 57.

Figura 57: Espectro de frequência do inversor, com filtro e carga R, em torno da frequência de chaveamento.



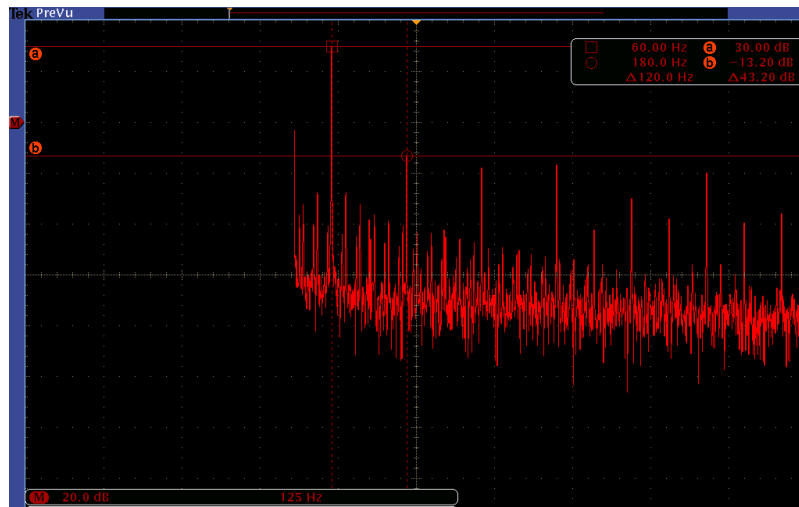
As harmônicas mais relevantes se encontram em 20kHz e 40kHz com uma atenuação de 51,6dB e 69,6dB, respectivamente.

Como a carga é apenas resistiva, todas as medidas refletem o comportamento da corrente de saída.

5.2.3 Saída com Filtro LCL e Carga RC série

Ainda com o filtro LCL projetado, foi adicionado um capacitor de $21\mu F$ em série com o resistor de 75Ω na carga. Foram feitas medidas no espectro de frequência do sinal de saída:

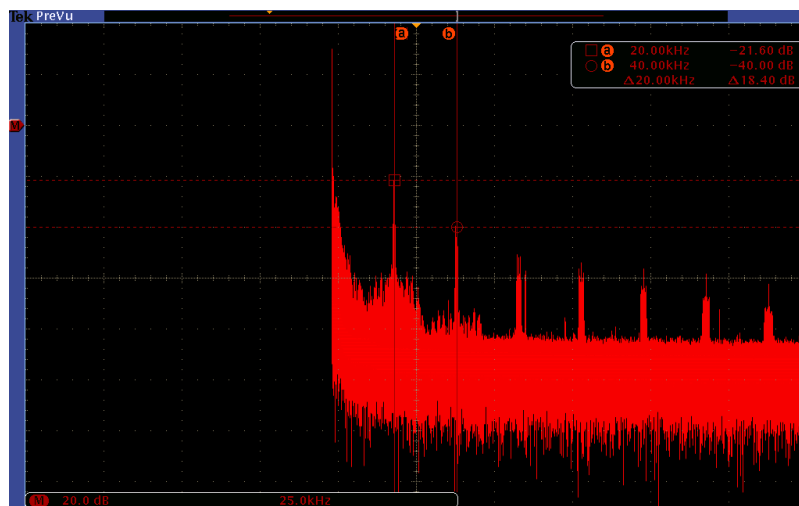
Figura 58: Espectro de frequência da tensão do inversor, com filtro e carga RC série, em torno da frequência fundamental.



A harmônica mais relevante se encontra em 180Hz com uma atenuação de 43,2dB.

O conteúdo harmônico causado pelo chaveamento foi medido e é apresentado na Figura 59.

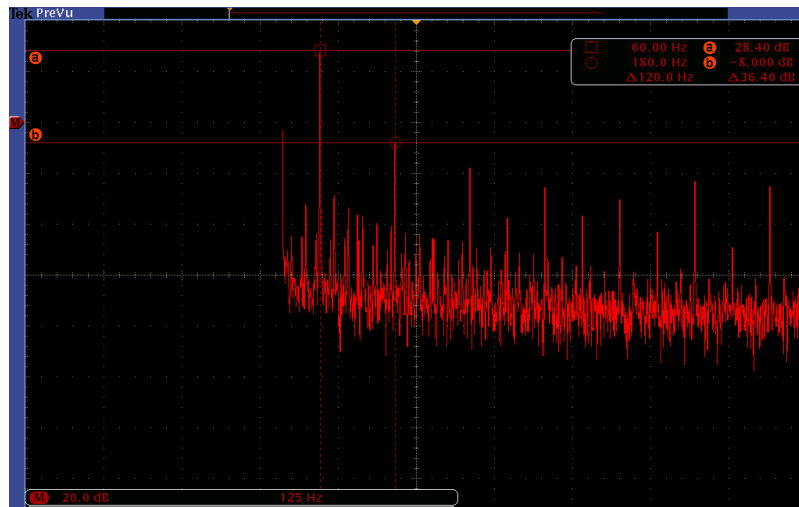
Figura 59: Espectro de frequência da tensão do inversor, com filtro e carga RC série, em torno da frequência de chaveamento.



As harmônicas mais relevantes se encontram em 20kHz e 40kHz com uma atenuação de 51,6dB e 70dB, respectivamente.

Foram feitas as mesmas medidas para a tensão em cima do resistor R, que refletem a corrente de saída do inversor:

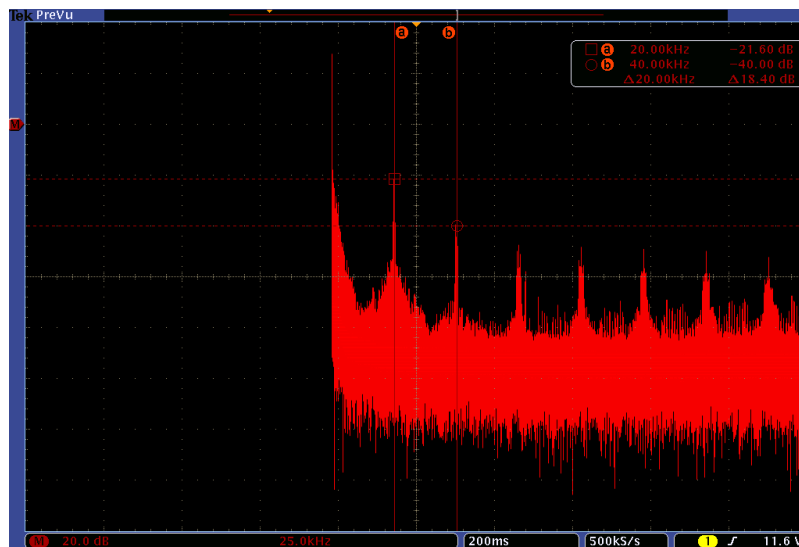
Figura 60: Espectro de frequência da corrente do inversor, com filtro e carga RC série, em torno da frequência fundamental.



A harmônica mais relevante se encontra em 180Hz com uma atenuação de 36,4dB.

O conteúdo harmônico causado pelo chaveamento foi medido e é apresentado na Figura 61.

Figura 61: Espectro de frequência da corrente do inversor, com filtro e carga RC série, em torno da frequência de chaveamento.

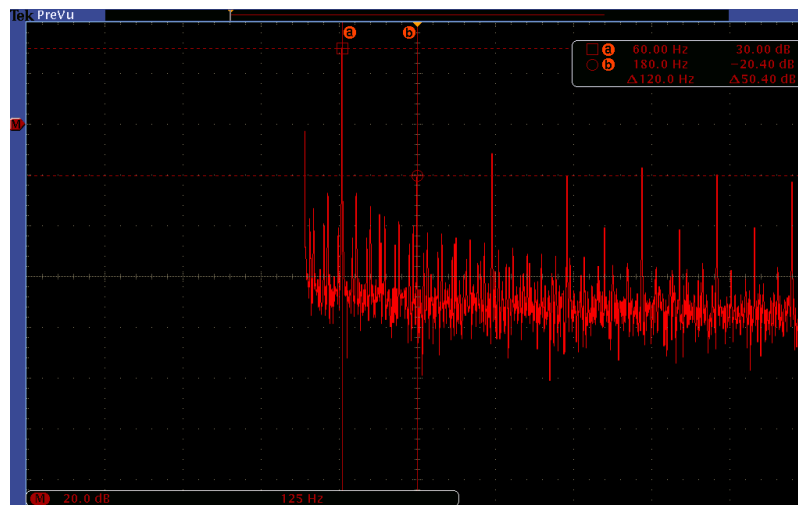


As harmônicas mais relevantes se encontram em 20kHz e 40KHz com uma atenuação de 50dB e 68,4dB, respectivamente.

5.2.4 Saída com Filtro LCL e Carga RL série

Ainda com o filtro LCL projetado, foi adicionado um indutor de $1200mH$ em série com o resistor de 75Ω na carga. Foram feitas medidas no espectro de frequência do sinal de saída:

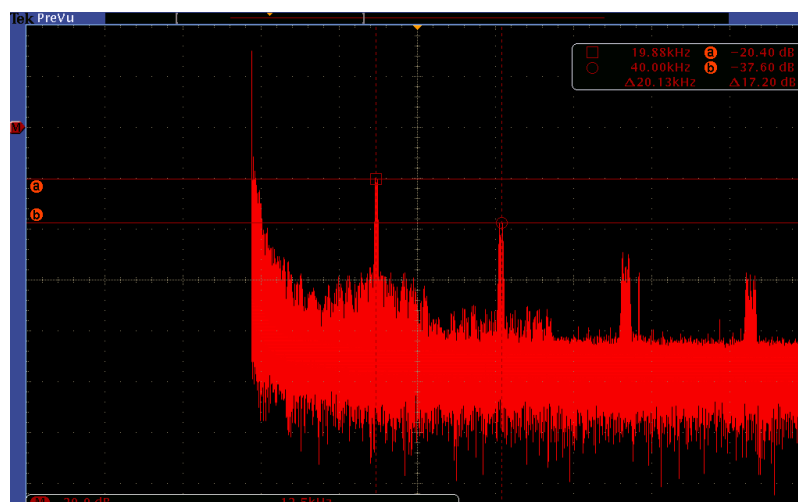
Figura 62: Espectro de frequência da tensão do inversor, com filtro e carga RL série, em torno da frequência fundamental.



A harmônica mais relevante se encontra em 180Hz com uma atenuação de 50,4dB.

O conteúdo harmônico causado pelo chaveamento foi medido e é apresentado na Figura 63.

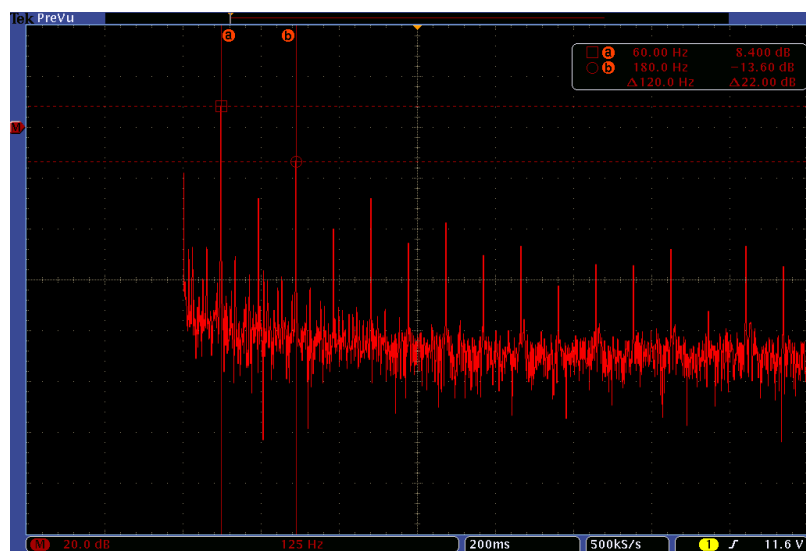
Figura 63: Espectro de frequência da tensão do inversor, com filtro e carga RL série, em torno da frequência de chaveamento.



As harmônicas mais relevantes se encontram em 20kHz e 40kHz com uma atenuação de 50,4dB e 67,6dB, respectivamente.

Foram feitas as mesmas medidas para a tensão em cima do resistor R, que refletem a corrente de saída do inversor:

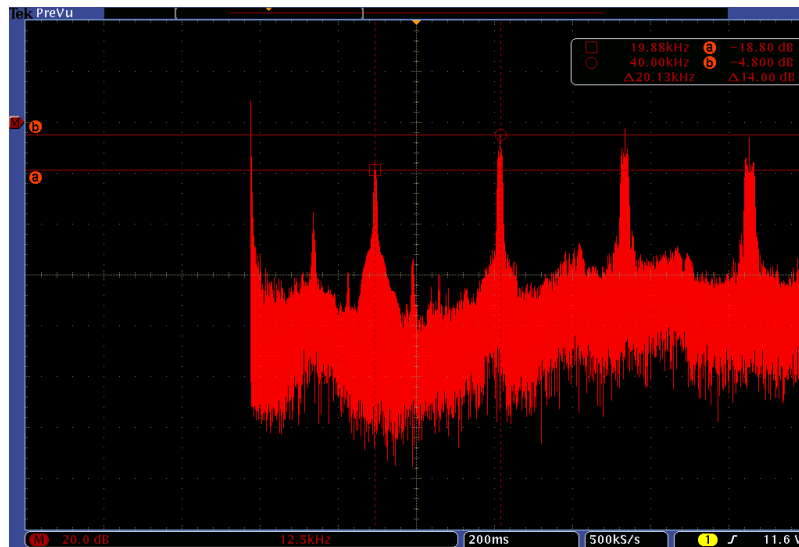
Figura 64: Espectro de frequência da corrente do inversor, com filtro e carga RL série, em torno da frequência fundamental.



A harmônica mais relevante se encontra em 180Hz com uma atenuação de 22dB.

O conteúdo harmônico causado pelo chaveamento foi medido e é apresentado na Figura 65.

Figura 65: Espectro de frequência da corrente do inversor, com filtro e carga RL série, em torno da frequência de chaveamento.

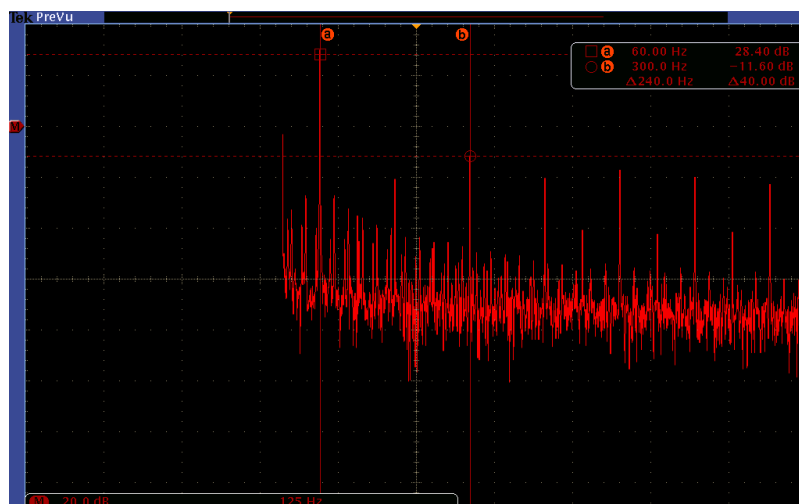


As harmônicas mais relevantes se encontram em 20kHz e 40kHz com uma atenuação de 27,2dB e 13,2dB, respectivamente.

5.2.5 Saída com Filtro LCL e Carga RLC série

Ainda com o filtro LCL projetado, foram colocados o indutor de $1200mH$, o resistor de 75Ω e o capacitor de $21\mu F$ em série como carga. Foram feitas medidas no espectro de frequência do sinal de saída:

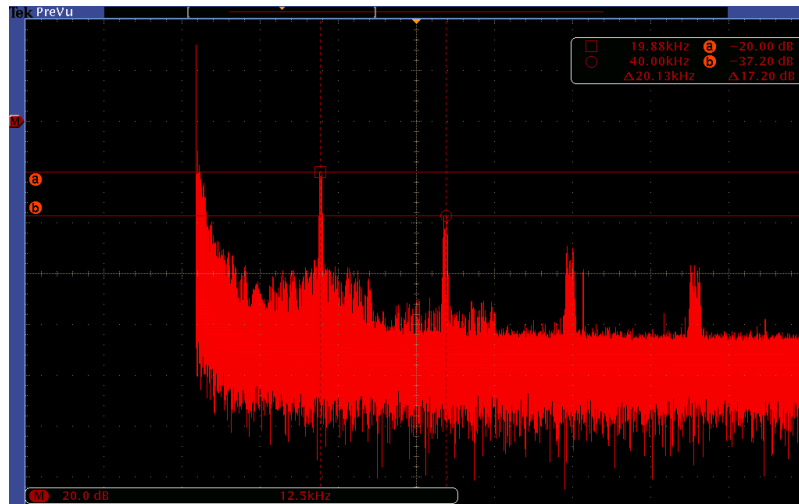
Figura 66: Espectro de frequência da tensão do inversor, com filtro e carga RLC série, em torno da frequência fundamental.



A harmônica mais relevante se encontra em 180Hz com uma atenuação de 40dB.

O conteúdo harmônico causado pelo chaveamento foi medido e é apresentado na Figura 67.

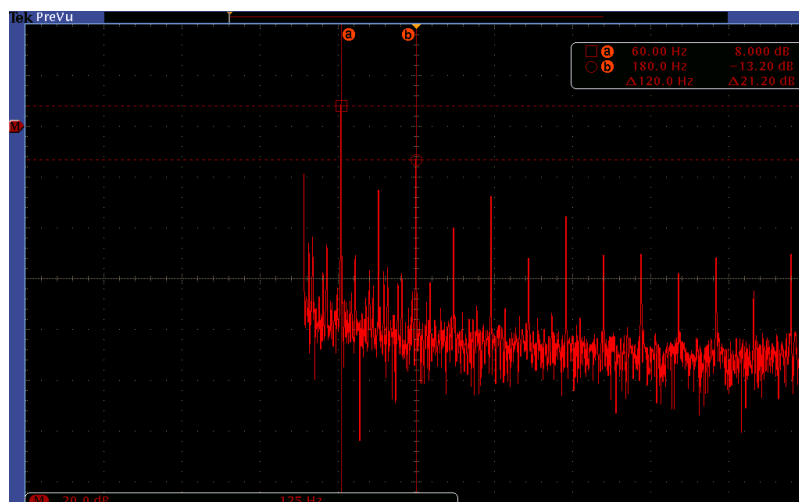
Figura 67: Espectro de frequência da tensão do inversor, com filtro e carga RLC série, em torno da frequência de chaveamento.



As harmônicas mais relevantes se encontram em 20kHz e 40kHz com uma atenuação de 48,4dB e 65,6dB, respectivamente.

Foram feitas as mesmas medidas para a tensão em cima do resistor R, que refletem a corrente de saída do inversor:

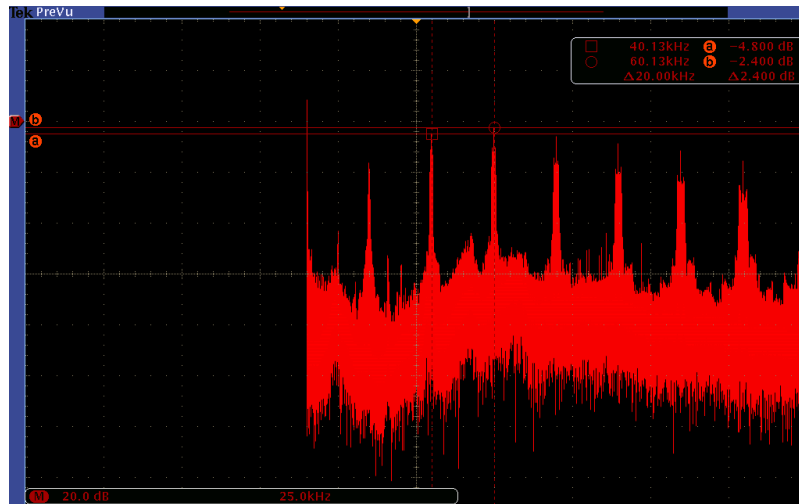
Figura 68: Espectro de frequência da corrente do inversor, com filtro e carga RLC série, em torno da frequência fundamental.



A harmônica mais relevante se encontra em 180Hz com uma atenuação de 21,2dB.

O conteúdo harmônico causado pelo chaveamento foi medido e é apresentado na Figura 69.

Figura 69: Espectro de frequência da corrente do inversor, com filtro e carga RLC série, em torno da frequência de chaveamento.



As harmônicas mais relevantes se encontram em 40kHz e 60kHz com uma atenuação de 12,8dB e 10,4dB, respectivamente.

A Tabela 1 resume as medidas feitas nas sub-seções anteriores

Tabela 1: Nível das harmônicas em relação à frequência fundamental.

Configuração	MRF	MRC
Sem filtro a vazio	-51,0dB	-13,6dB
V e I com carga R	-41,6dB	-51,6dB
V com carga RC	-43,2dB	-51,6dB
I com carga RC	-36,4dB	-50,0dB
V com carga RL	-50,4dB	-50,4dB
I com carga RL	-22,0dB	-13,2dB
V com carga RLC	-40,0dB	-48,4dB
I com carga RLC	-21,2dB	-10,4dB

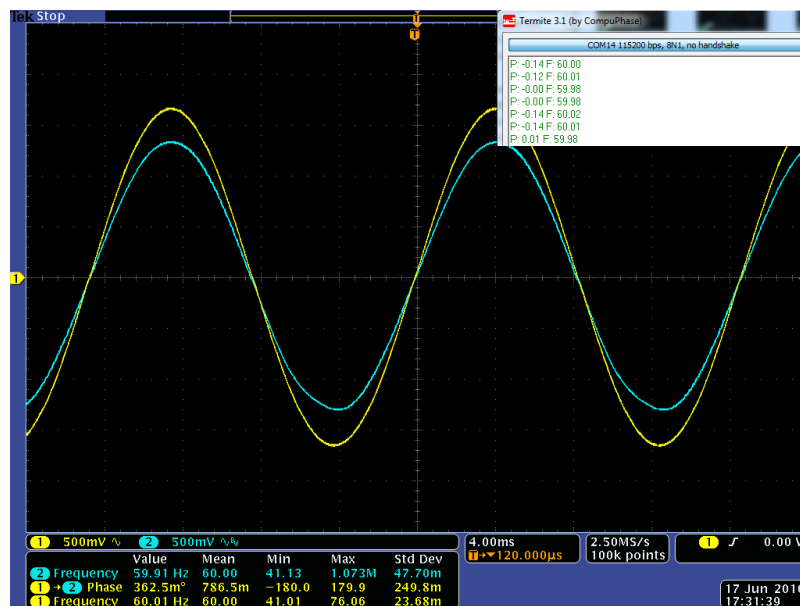
onde MRF é a harmônica em baixa frequência mais significativa e MRC é a harmônica em alta frequência mais significativa

5.2.6 Desempenho do PLL

Análises quantitativas quanto ao desempenho do PLL não foram feitas. No entanto, diversas formas de onda foram usadas como sinal de entrada do sistema para avaliar se ocorria a sincronização. Todos os sinais de referência foram gerados a partir do gerador de funções arbitrário Tektronix AFG3021B.

A Figura 70 mostra o sinal de saída do inversor (em azul) sincronizado com o gerador de funções (em amarelo). No canto superior direito da mesma são mostrados os valores de fase e frequência lidos pela serial.

Figura 70: Saída do inversor sincronizado com o sinal de referência a 60Hz.



A Figura 71 e a Figura 72 mostram o sinal de saída do inversor (em azul) sincronizado com o gerador de funções (em amarelo), para uma onda triangular e uma onda quadrada, respectivamente.

Figura 71: Saída do inversor sincronizado com o sinal de referência triangular a 60Hz.

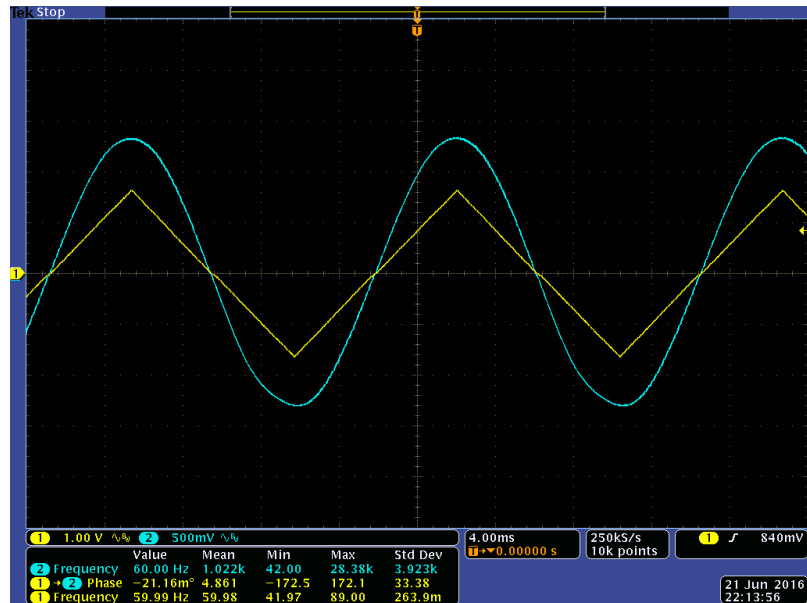
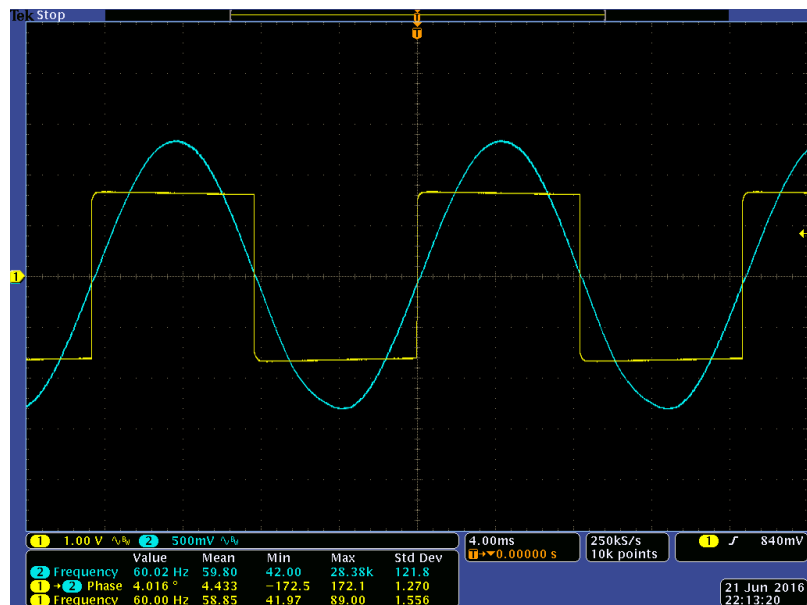


Figura 72: Saída do inversor sincronizado com o sinal de referência quadrado a 60Hz.



A sincronização também ocorreu de forma satisfatória em um sinal senoidal com uma terceira harmônica com atenuada de $-10,46dB$, um sinal com componentes até a nona harmônica, e um sinal com grande presença de ruído branco. As Figuras 73, 74 e 75 mostram os três casos, respectivamente. Isso prova o caráter “filtro passa-baixa” do PLL.

Figura 73: Saída do inversor sincronizado com o sinal de referência quadrado a 60Hz com terceira harmônica.

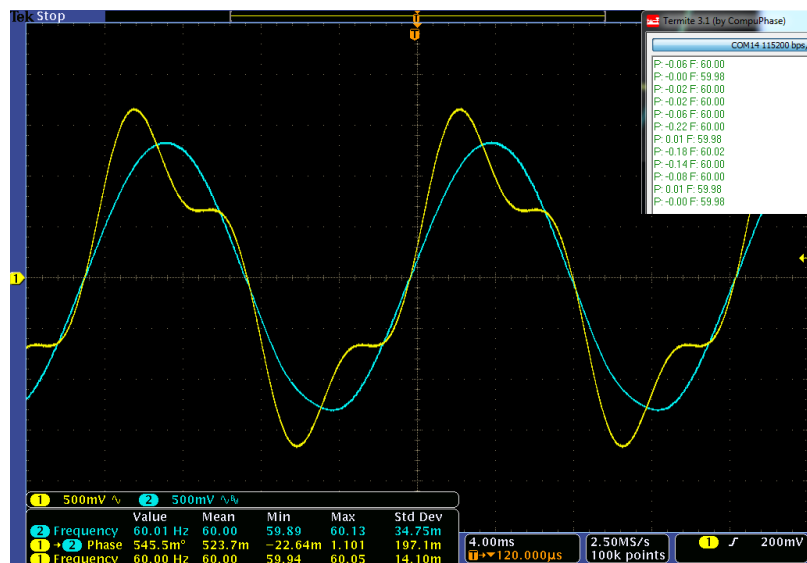


Figura 74: Saída do inversor sincronizado com o sinal de referência quadrado a 60Hz com harmônicas até nona ordem.

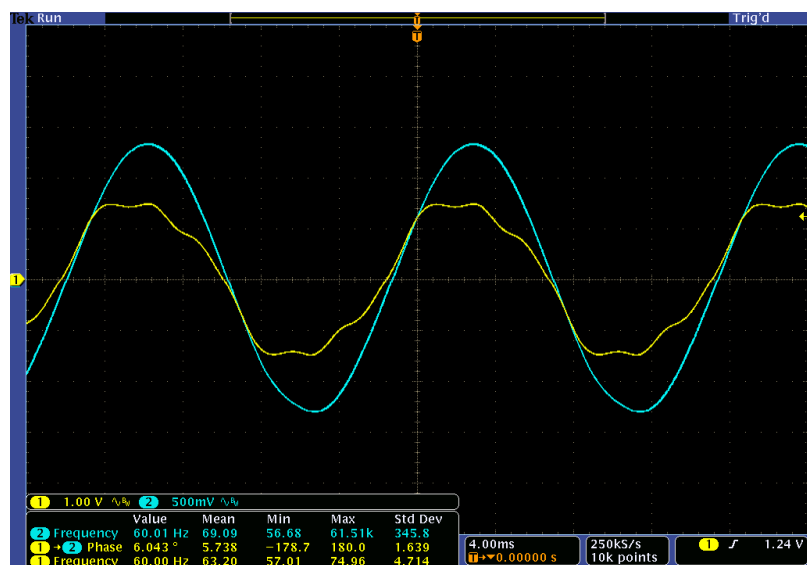
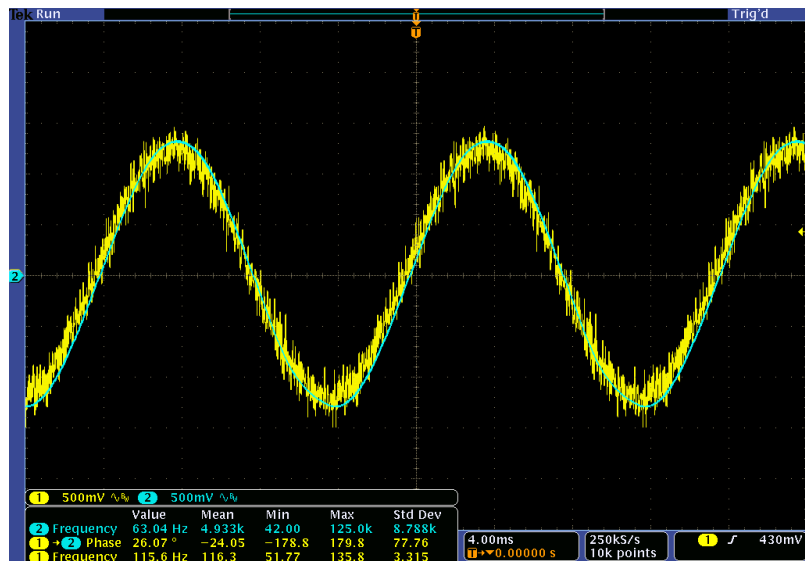


Figura 75: Saída do inversor sincronizado com o sinal de referência quadrado a 60Hz com ruído.



Como visto anteriormente, segundo a Equação 51, se a diferença de fase entre a saída do inversor e a tensão da rede for 0° então não haverá injeção de potência ativa. As Figuras 76, 77 e 78 mostram a sincronização ocorrendo com uma diferença de fase predefinida e proporcional a potência ativa que se deseja entregar a rede.

Figura 76: Saída do inversor sincronizado com o sinal senoidal de 60Hz com uma diferença de fase de 10° .

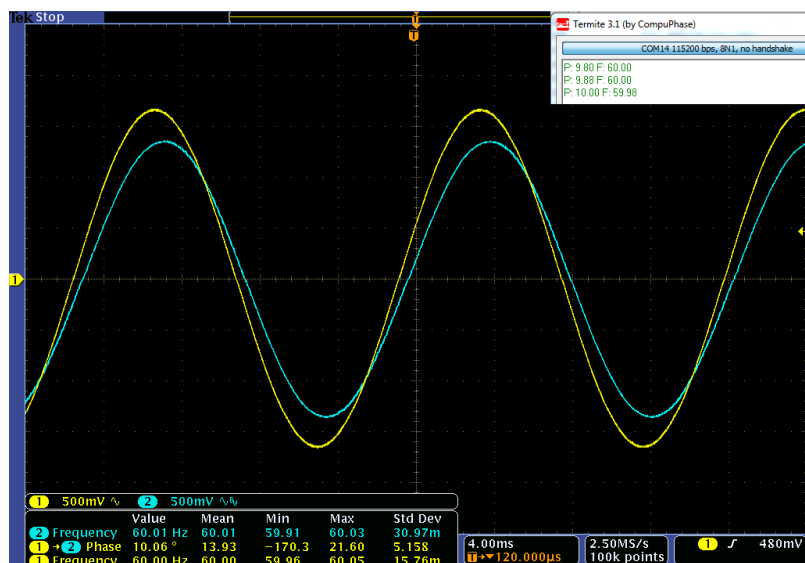


Figura 77: Saída do inversor sincronizado com o sinal senoidal de 50Hz com uma diferença de fase de 10° .

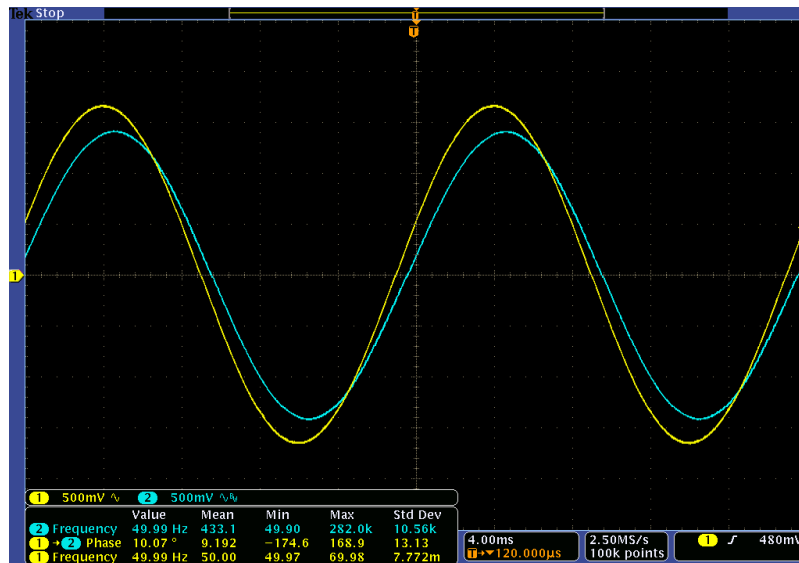
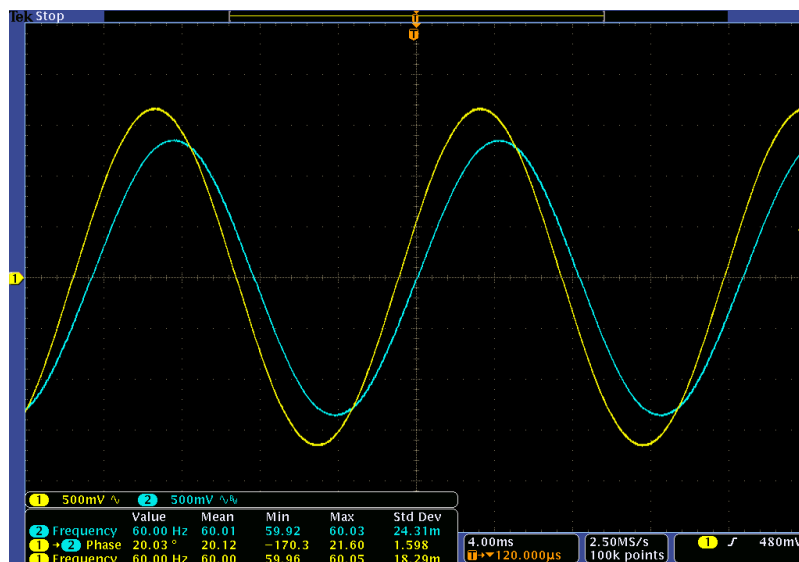


Figura 78: Saída do inversor sincronizado com o sinal senoidal de 60Hz com uma diferença de fase de 20° .



5.3 Eficiência

Para verificar as perdas envolvidas no processo de conversão CC/CA pelo inversor, o mesmo foi ligado a uma carga resistiva de 75Ω com e sem o filtro, de forma que foi possível verificar as perdas envolvidas no estágio de filtragem. Resultados se encontram

na Tabela 2

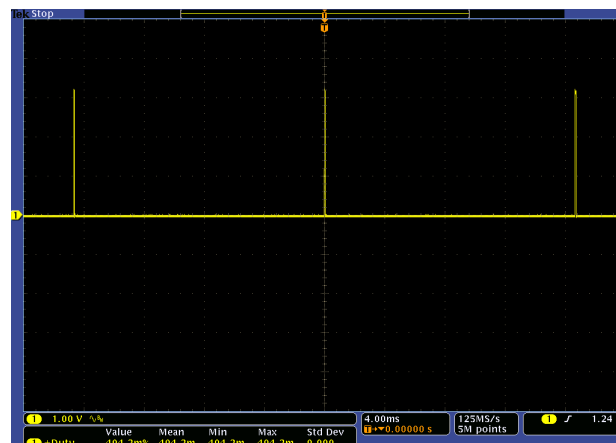
Tabela 2: Cálculo de eficiência do inversor.

Configuração	Sem filtro	Com filtro
V_{in}	109,5V	109,7V
I_{in}	1,623A	1,280A
P_{in}	177,7W	140,4W
V_{out}	84,40V	74,00V
I_{out}	2,044A	1,792A
P_{out}	172,5W	132,6W
Perdas	5,2W	7,8W
Eficiência	97,07%	94,4%

5.4 Consumo Computacional

A fim de se verificar o consumo computacional do microcontrolador, executando o algoritmo de todos os recursos desenvolvidos, foi medido o tempo ocioso do mesmo da seguinte forma: uma porta digital do microcontrolador foi colocada em nível baixo sempre que o mesmo estivesse ocupado. Caso contrário, o pino estava em nível alto. Com o auxílio do osciloscópio esta porta foi lida, e o valor de *duty-cycle* representou o percentual de “ociosidade” do mesmo, como pode ser visto na Figura 79, ou seja, 99,6%.

Figura 79: Percentual do uso da CPU ao executar os algoritmos de modulação e sincronização.



6 CONCLUSÃO

Neste trabalho foi feita uma extensa revisão bibliográfica acerca dos elementos básicos que compõem um inversor grid-tie. Foram avaliados os principais métodos de modulação de sinais de saída, de sincronização com a rede da concessionária e de proteção contra o fenômeno de ilhamento. Com isso, pôde-se obter uma base sólida para compreender as novas tendências no desenvolvimento de um equipamento que, a cada ano, se torna mais popular do ponto de vista comercial.

O uso do microcontrolador DSPIC33EP256MC202 se mostrou bastante proveitoso no contexto deste trabalho pois permite implementar, utilizando seus periféricos dedicados, muitas das tarefas que poderiam consumir um tempo considerável da rotina principal. No entanto, mesmo o custo computacional não tendo sido um fator preocupante (uso de apenas 0,4% do tempo por período de amostragem), é possível otimizar este código de forma que o DSPIC faça o aproveitamento total dos recursos que o tornam um DSP. Porém para isso é necessário que haja um aprofundamento na utilização de suas instruções a nível de *assembly*.

A simulação do PLL utilizando o PSIM, assim como a análise do comportamento das formas de onda geradas em cada um de seus blocos, permitiu dissolver a dedução matemática em um algoritmo que apresentou a performance esperada. O PLL implementado funcionou de forma satisfatória quando trabalhando com referências bem comportadas, criadas a partir de um gerador de funções. Porém outros algoritmos mais robustos, como os PLLs baseados em transformada de Park e em SOGI, devem ser considerados quando se fizer necessário um produto final.

A placa desenvolvida com a finalidade de servir de base para os testes em que eram utilizadas tensões e correntes elevadas, atendeu aos requisitos a nível de protótipo. No entanto algumas melhorias devem ser feitas para o desenvolvimento de um produto final,

como a adição de um filtro LCL, de usar trilhas de potência mais curtas, aumentar a densidade de componentes por área e, obviamente, incluir um estágio CC/CC.

Por fim. O desenvolvimento deste trabalho exigiu conhecimentos em diversas áreas estudadas durante as aulas no curso de engenharia elétrica (e também fora delas), como teoria de circuitos, eletrônica, eletrônica de potência, sistemas de controle, programação de microcontroladores e confecção de placas de circuito impresso. No entanto, para que se desenvolva um produto comercialmente viável, é necessário que se aprofunde ainda mais em grande parte destes conceitos. Com isso espera-se que esta monografia ajude no desenvolvimento de trabalhos futuros, servindo como uma referência para aquilo que ainda pode se desenvolver.

REFERÊNCIAS

- [1] DIEESE. **Comportamento das tarifas de energia elétrica no Brasil**. {s.l}, 2015. 19 p. Disponível em: <<http://www.dieese.org.br/notatecnica/2015/notaTec147eletricidade.pdf>>. Acesso em: 8 abr. 2016.
- [2] Empresa de Pesquisa Energética. **Consumo de Energia no Brasil: Análises Setoriais**. Rio de Janeiro: Empresa de Pesquisa Energética, 2014. 116 f. (ESTUDOS DE EFICIÊNCIA ENERGÉTICA).
- [3] ANEEL (Ed.). **Encarte Especial sobre a Crise Hídrica**. Brasília: Superintendência de Planejamento de Recursos Hídricos, 2014. 30 p. (1). Disponível em: <<http://conjuntura.ana.gov.br/docs/crisehidrica.pdf>>. Acesso em: 10 abr. 2016.
- [4] TAGARE, Digambar M. Photovoltaic Energy—Solar Cells and Solar Power Systems. **Electric Power Generation: The Changing Dimensions**, p. 195-216, 2011.
- [5] RASHID, Muhammad H. **Eletrônica de Potência: Circuitos, Dispositivos e Aplicações**, São Paulo: Makron Books, 1999.
- [6] INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS. **The authoritative dictionary of IEEE standards terms**. Standards Information Network, IEEE Press, 2000.
- [7] SALEH, S. A.; RAHMAN, M. Azizur. Introduction to Power Inverters. **An Introduction to Wavelet Modulated Inverters**, p. 1-17.
- [8] Associação Brasileira de Normas Técnicas. **NORMALIZAÇÃO: GUIA DE TERMOS E EXPRESSÕES**. Rio de Janeiro: Sebrae, 2012. 62 p.
- [9] AES SUL DISTRIBUIDORA GAÚCHA DE ENERGIA S.A.. **NTD – 014.002: Requisitos para Geração Própria – Resolução 690/2015**. [s. L.], 2016. 4 p. Disponível em: <[https://www.aessul.com.br/grandesclientes/site/Uploads/NTD_014_002 - Requisitos para Geração Própria Resolução 6902015.pdf](https://www.aessul.com.br/grandesclientes/site/Uploads/NTD_014_002_-_Requisitos_para_Gera%C3%A7%C3%A3o_Pr%C3%B3pria_Resolu%C3%A7%C3%A3o_6902015.pdf)>. Acesso em: 21 jun. 2016.
- [10] PORTAL SOLAR. **TIPOS DE PAINEL SOLAR FOTOVOLTAICO**. [2016]. Disponível em: <<http://www.portalsolar.com.br/tipos-de-painel-solar-fotovoltaico.html>>. Acesso em: 10 abr. 2016.

- [11] CANADIAN SOLAR. **Datasheet: DYMOND CS6X-315/320/325P-FG**, 2016.
- [12] COELHO, Roberto Francisco. **Concepção, análise e implementação de uma microrrede interligada à rede elétrica para alimentação ininterrupta de cargas cc a partir de fontes renováveis**. 2013. 330 f. Tese (Doutorado) - Curso de Engenharia Elétrica, Instituto de Eletrônica de Potência, Universidade Federal de Santa Catarina, Florianópolis, 2013.
- [13] KAMIL, Mohammad. Grid-Connected Solar Microinverter Reference Design Using a dsPIC® Digital Signal Controller. **Microchip Technology Inc**, 2010.
- [14] BOSE, Bimal. **Need a Switch?** Eee Ind. Electron. Mag., [s.l.], v. 1, n. 4, p.30-39, 2007. Institute of Electrical & Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/mie.2007.909539>
- [15] TODOROVIC, Maja Harfman et al. A multi-objective study for down selection of a micro-inverter topology for residential applications. In: **2014 IEEE 40th Photovoltaic Specialist Conference (PVSC)**. IEEE, 2014. p. 3108-3113.
- [16] AGAMY, Mohammed S. et al. Dc-dc converter topology assessment for large scale distributed photovoltaic plant architectures. In: **2011 IEEE Energy Conversion Congress and Exposition**. IEEE, 2011. p. 764-769.
- [17] XUE, Yaosuo et al. Topologies of single-phase inverters for small distributed power generators: an overview. **IEEE Transactions on Power Electronics**, v. 19, n. 5, p. 1305-1314, 2004.
- [18] LEON, Jose I. et al. The Essential Role and the Continuous Evolution of Modulation Techniques for Voltage-Source Inverters in the Past, Present, and Future Power Electronics. **IEEE Transactions on Industrial Electronics**, v. 63, n. 5, p. 2688-2701, 2016.
- [19] MOHAN, Ned; UNDELAND, Tore M.; ROBBINS, William P.. **Power Electronics: Converters, Applications, and Design**. 3. ed. India: Wiley, 2002. 824 p.
- [20] NOGUCHI, Toshihiko et al. Direct power control of PWM converter without power-source voltage sensors. **IEEE Transactions on Industry Applications**, v. 34, n. 3, p. 473-479, 1998.
- [21] RAJENDRANS, S. **Non-linear controller based boost dc-ac inverter for grid connected solar power generation**. 2014. 154 f. Tese (Doutorado) - Curso de Engenharia Elétrica, Faculdade de Engenharia Elétrica, Universidade de Anna, Tamil Nadu, 2014.

- [22] HOLMES, D. Grahame; LIPO, Thomas A. **Pulse width modulation for power converters: principles and practice**. John Wiley & Sons, 2003.
- [23] TEODORESCU, Remus; LISERRE, Marco; RODRÍGUEZ, Pedro. Grid Synchronization in Single-Phase Power Converters. **Grid converters for photovoltaic and wind power systems**, p. 43-91, 2011.
- [24] ANALOG DEVICES. **Fundamentals of Phase Locked Loops (PLLs)**. [s. L.]: Analog Devices, 2009. 10 p.
- [25] FRANKLIN, Gene F. et al. **Feedback control of dynamic systems**. Reading: Addison-Wesley, 1994.
- [26] NICASTRI, A.; NAGLIERO, A. Comparison and evaluation of the PLL techniques for the design of the grid-connected inverter systems. In: **2010 IEEE International Symposium on Industrial Electronics**. IEEE, 2010. p. 3865-3870.
- [27] CIOBOTARU, Mihai; TEODORESCU, Remus; BLAABJERG, Frede. Improved PLL structures for single-phase grid inverters. **Proc. of PELINCEC**, v. 5, n. 6, 2005.
- [28] SILVA, Sidelmo M. et al. Performance evaluation of PLL algorithms for single-phase grid-connected systems. In: **Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE**. IEEE, 2004. p. 2259-2263.
- [29] SANTOS FILHO, Rubens M. et al. Comparison of three single-phase PLL algorithms for UPS applications. **IEEE Transactions on Industrial Electronics**, v. 55, n. 8, p. 2923-2932, 2008.
- [30] CIOBOTARU, Mihai et al. A new single-phase PLL structure based on second order generalized integrator. In: **Power Electronics Specialists Conference**. 2006. p. 1-6.
- [31] GOLESTAN, Saeed; MONFARED, Mohammad; GUERRERO, Josep M. Second order generalized integrator based reference current generation method for single-phase shunt active power filters under adverse grid conditions. In: **Power Electronics, Drive Systems and Technologies Conference (PEDSTC), 2013 4th**. IEEE, 2013. p. 510-517.
- [32] CATALIOTTI, Antonio; COSENTINO, Valentina; NUCCIO, Salvatore. A phase-locked loop for the synchronization of power quality instruments in the presence of stationary and transient disturbances. **IEEE Transactions on Instrumentation and Measurement**, v. 56, n. 6, p. 2232-2239, 2007.

- [33] SHI, Lisheng; CROW, Mariesa L. A novel PLL system based on adaptive resonant filter. In: **Power Symposium, 2008. NAPS'08. 40th North American**. IEEE, 2008. p. 1-8.
- [34] ROBLES, Eider et al. Grid synchronization method based on a quasi-ideal low-pass filter stage and a phase-locked loop. In: **2008 IEEE Power Electronics Specialists Conference**. IEEE, 2008. p. 4056-4061.
- [35] TIMBUS, Adrian V. et al. PLL algorithm for power generation systems robust to grid voltage faults. In: **Proc. of PESC**. 2006. p. 1-7.
- [36] PATANKAR, Chaitanya. **Maximum Power Point Tracking**. [2014]. Disponível em: <<http://www.solarenergyexplorer.com/maximum-power-point-tracking.html>>. Acesso em: 11 maio 2016.
- [37] SEDGHISIGARCHI, Kourosh. Power flow control of inverter based distributed generators in LV microgrids. **2011 IEEE Power And Energy Society General Meeting**, [s.l.], p.1-6, jul. 2011. Institute of Electrical & Electronics Engineers (IEEE).
- [38] BANU, Ioan Viorel et al. A study on anti-islanding detection algorithms for grid-tied photovoltaic systems. In: **2014 International Conference on Optimization of Electrical and Electronic Equipment (OPTIM)**. IEEE, 2014. p. 655-660.
- [39] WOYTE, Achim; BELMANS, Ronnie; NIJS, Johan. Power flow fluctuations in distribution grids with high PV penetration. In: **Proceedings of Seventeenth European Photovoltaic Solar Energy Conference**. 2001. p. 2414-2417.
- [40] WALLING, R. A.; MILLER, N. W. Distributed generation islanding-implications on power system dynamic performance. In: **Power Engineering Society Summer Meeting, 2002 IEEE**. IEEE, 2002. p. 92-96.
- [41] DE MANGO, Francesco et al. Overview of anti-islanding algorithms for PV systems. Part I: Passive methods. In: **Power Electronics and Motion Control Conference, 2006. EPE-PEMC 2006. 12th International**. IEEE, 2006. p. 1878-1883.
- [42] ESTÉBANEZ, Emilio J. et al. An overview of anti-islanding detection algorithms in photovoltaic systems in case of multiple current-controlled inverters. In: **Industrial Electronics, 2009. IECON'09. 35th Annual Conference of IEEE**. IEEE, 2009. p. 4555-4560.

- [43] HUDSON, Raymond M. et al. Implementation and testing of anti-islanding algorithms for IEEE 929-2000 compliance of single phase photovoltaic inverters. In: **Photovoltaic Specialists Conference, 2002. Conference Record of the Twenty-Ninth IEEE**. IEEE, 2002. p. 1414-1419.
- [44] JANG, Sung-Il; KIM, Kwang-Ho. An islanding detection method for distributed generations using voltage unbalance and total harmonic distortion of current. **IEEE transactions on power delivery**, v. 19, n. 2, p. 745-752, 2004.
- [45] ZEINELDIN, H. et al. Safe controlled islanding of inverter based distributed generation. In: **Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual**. IEEE, 2004. p. 2515-2520.
- [46] International Energy Agency. **Evaluation of islanding detection methods for photovoltaic utility-interactive power systems**. Santa Clara: International Energy Agency, 2002. 51 p.
- [47] ROPP, Michael E. et al. Determining the relative effectiveness of islanding detection methods using phase criteria and nondetection zones. **IEEE Transactions on Energy Conversion**, v. 15, n. 3, p. 290-296, 2000.
- [48] NEOSOLAR ENERGIA. Loja. 2016. Disponível em: <<http://www.neosolar.com.br/loja/microinversori-energy-gt260-260w-220v-mc4.html>>. Acesso em: 15 maio 2016.
- [49] MICROCHIP. **DsPIC33EPXXGP50X, dsPIC33EPXXMC20X/50X, and PIC24EPXXGP/MC20X Datasheet**. Chandler: Microchip, 2012. 510 p. Disponível em: <<http://ww1.microchip.com/downloads/en/DeviceDoc/70657F.pdf>>. Acesso em: 20 abr. 2016.
- [50] INTERNATIONAL RECTIFIER. **IRAMS10UP60A: Series 10A, 600V**. El Segundo: Ir, 2012. 17 p. Disponível em: <<http://www.infineon.com/dgdl/irams10up60a.pdf?fileId=5546d462533600a4015355da040f186a>>. Acesso em: 20 maio 2015.
- [51] GINGERICH, Kevin; STERZIK, Chris. The iso72x family of high-speed digital isolators. **Texas Instruments Application Report SLLA198**, 2006.
- [52] BURR BROWN. **DCR011203P Datasheet**. Tucson: Ti, 2001. 16 p.
- [53] CUI INC. **VBSD1-DIP Series Datasheet**. Tualatin: Cui Inc, 2012. Disponível em: <<http://www.cui.com/product/resource/vbsd1-dip.pdf>>. Acesso em: 10 jun. 2016.

- [54] ASPALLI, M. S.; WAMANRAO, Anil. Sinusoidal pulse width modulation (SPWM) with variable carrier synchronization for multilevel inverter controllers. In: **Control, Automation, Communication and Energy Conservation, 2009. INCACEC 2009. 2009 International Conference on.** IEEE, 2009. p. 1-6.
- [55] MICROCHIP. **DSPIC33E Family Reference Manual.** Chandler: Microchip, 2014.
- [56] BAO, Chenlei et al. Step-by-step controller design for LCL-type grid-connected inverter with capacitor–current-feedback active-damping. **IEEE Transactions on Power Electronics**, v. 29, n. 3, p. 1239-1253, 2014.
- [57] JIA, Yaoqin; ZHAO, Jiqian; FU, Xiaowei. Direct grid current control of LCL-filtered grid-connected inverter mitigating grid voltage disturbance. **IEEE Transactions on Power Electronics**, v. 29, n. 3, p. 1532-1541, 2014.
- [58] KAHLANE, A. E. W. H.; HASSAINE, L.; KHERCHI, M. **LCL filter design for photovoltaic grid connected systems**, 2014.
- [59] REZNIK, Aleksandr et al. Filter design and performance analysis for grid-interconnected systems. **IEEE Transactions on Industry Applications**, v. 50, n. 2, p. 1225-1232, 2014.
- [60] LAGES, Walter Fetter. **Controladores PID.** Porto A

APÊNDICE A CÓDIGO PARA GERAÇÃO DA TABELA SENOS DO PWM, EM MATLAB

```
N_PONTOS = 666      %Número de pontos do seno

PTPER = 876        %Valor máximo do time base

xa = linspace(0,2*pi,N_PONTOS);

sina = (PTPER)*(0.5*(1 + 1*sin(xa))); %Gera os pontos da senoide

sina = round(sina); %Arredonda para o número inteiro mais próximo

csvwrite('LUTsintable.txt',sina) %Gera um arquivo .txt com valores
% separados por vírgula
```

APÊNDICE B ESQUEMÁTICO DA PLACA DO PROTÓ- TIPO

