

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

YAGO LAFOURCADE BARACY

PROJETO DE DIPLOMAÇÃO

**ANÁLISE E DESENVOLVIMENTO DE PLACAS DE
CIRCUITO IMPRESSO DE UM MULTIMEDIDOR DE
GRANDEZAS ELÉTRICAS**

Porto Alegre

2016

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

**ANÁLISE E DESENVOLVIMENTO DE PLACAS DE
CIRCUITO IMPRESSO DE UM MULTIMEDIDOR DE
GRANDEZAS ELÉTRICAS**

Projeto de Diplomação apresentado ao
Departamento de Engenharia Elétrica da Universidade
Federal do Rio Grande do Sul, como parte dos
requisitos para Graduação em Engenharia Elétrica.

ORIENTADOR: Prof. Dr. Luiz Fernando Ferreira

Porto Alegre

2016

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

YAGO LAFOURCADE BARACY

**ANÁLISE E DESENVOLVIMENTO DE PLACAS DE
CIRCUITO IMPRESSO DE UM MULTIMEDIDOR DE
GRANDEZAS ELÉTRICAS**

Este projeto foi julgado adequado para fazer jus aos créditos da Disciplina de “Projeto de Diplomação”, do Departamento de Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: _____

Prof. Dr. Luiz Fernando Ferreira, UFRGS
Doutor pela UFRGS - Porto Alegre, Brasil

Banca Examinadora:

Prof. Dr. Luiz Fernando Ferreira, UFRGS
Doutor pela UFRGS - Porto Alegre, Brasil

Prof. Dr. Tiago Roberto Balen, UFRGS
Doutor pela UFRGS - Porto Alegre, Brasil

Eng. Fernando Sacilotto Crivellaro, UFRGS

Porto Alegre, dezembro de 2016.

DEDICATÓRIA

Dedico este trabalho primeiramente à minha avó, pois sem ela nada do que conquisei até o momento seria possível. À minha família, aos grandes amigos que fiz durante a graduação e também aos que já conhecia antes da graduação, que de alguma maneira me deram apoio para superar os momentos difíceis e fizeram parte também de momentos felizes da minha vida.

AGRADECIMENTOS

À minha família por sempre estar me incentivando e por me dar o suporte necessário para passar pelos obstáculos frequentes da vida.

Ao Brasil por proporcionar que eu pudesse fazer uma faculdade e me tornar um engenheiro.

Aos colegas pelo seu auxílio nas tarefas desenvolvidas durante o curso e pelos momentos bons e divertidos que passamos ao longo destes trabalhosos anos.

À empresa IMS por contribuir com os recursos necessários para a execução deste projeto, como também aos colegas e amigos que fiz nesta empresa, estando sempre com palavras de apoio e me auxiliando quando necessário.

À Universidade, professores, funcionários, pelo convívio e aprendizado ao longo destes anos de graduação.

RESUMO

Este trabalho tem por objetivo realizar as etapas necessárias para o desenvolvimento de Placas de Circuito Impresso (PCIs) de um multimedidor de grandezas elétricas antes da sua fabricação e montagem. Primeiramente, determinou-se a disposição mecânica das PCIs, assim como, a localização de componentes mais críticos, como os conectores que interligam as placas e não podem ter sua localização alterada no momento em que é realizado o layout da PCI. Para obter-se esta configuração mecânica foi utilizado o Autodesk® Inventor® Professional 2015 em conjunto com o Altium Designer®. No primeiro software foi possível realizar e visualizar a montagem das placas na caixa do equipamento e no segundo software foram realizadas todas as alterações necessárias na parte dimensional das PCIs. Tendo-se a configuração mecânica das placas do multimedidor, utilizou-se o Altium Designer® para realizar dois layouts da placa frontal a partir do diagrama elétrico já existente do circuito da mesma, aplicando-se estratégias e regras básicas para evitar que perturbações eletromagnéticas entre os componentes do circuito ou do ambiente externo provoquem problemas de funcionamento da PCI e para diminuir custos e possíveis danos nos componentes no momento da montagem destes. No roteamento do primeiro layout das trilhas da PCI, as trilhas localizadas próximas ao microprocessador e em layers diferentes foram colocadas em sentido aleatório com relação às coordenadas do plano, seguindo o método labirinto. Já no segundo layout o roteamento seguiu o método X-Y, em que trilhas próximas ao microprocessador foram colocadas no sentido x do plano se pertenciam ao layer bottom e no sentido y do plano se pertenciam ao layer top. Seguindo-se esta regra conseguiu-se utilizar um menor número de vias e obter-se um maior espaçamento entre as trilhas da PCI. O barramento de dados da memória NAND foi roteado de maneira diferente em cada um dos dois layouts realizados da placa frontal, onde a máxima diferença de tempos de atraso obtida do barramento no primeiro layout foi de 84,8ps enquanto que no segundo layout foi de 37,5ps (2,26 vezes menor em relação ao barramento de dados do primeiro layout).

Palavras-chaves: Placa de Circuito Impresso. Compatibilidade Eletromagnética. Interferência Eletromagnética. Layout. Linhas Microstrip.

ABSTRACT

This work aims to perform the necessary steps for the development of Printed Circuit Boards (PCBs) of a multimeter of electrical quantities before their manufacture and assembly. Firstly, the mechanical arrangement of the PCBs was determined, as well as the location of more critical components such as connectors that interconnect the boards and can not have their location altered at the time the PCB layout is performed. In order to obtain this mechanical configuration, Autodesk® Inventor® Professional 2015 was used in conjunction with Altium Designer®. Using the first software it was possible to perform and visualize the assembly of the boards in the equipment box and using the second software all the necessary changes in the PCBs dimensions were performed. With the mechanical configuration of the multimeter boards, Altium Designer® was used to perform two layouts of the CPU board from the pre-existing electrical circuit diagram, applying strategies and basic rules to avoid that electromagnetic disturbances between the components of the circuit or the external environment cause problems of operation of the PCB and to reduce costs and possible damages in the components when they are assembled. In the routing of the first PCB layout, the traces located near the microprocessor and in different layers were placed in a random direction with respect to the coordinates of the plane, following the maze method. In the second PCB layout the routing followed the X-Y method, in which traces close to the microprocessor were placed in the x direction of the plane if they belonged to the bottom layer and in the y direction of the plane if they belonged to the top layer. Following this rule was used a smaller number of traces and was obtained a greater spacing between the traces of the PCB. The NAND memory data bus was routed differently in each of the two realized layouts of the CPU board, where the maximum delay time difference obtained in the first layout was 84,8ps while in the second layout it was of 37,5ps (2,26 times lower than the data bus of the first PCB layout).

Keywords: Printed Circuit Board. Electromagnetic Compatibility. Electromagnetic Interference. Layout. Microstrip Lines.

LISTA DE ILUSTRAÇÕES

Figura 1 - Componentes PTH e SMD	17
Figura 2 - Via (1), blind via (2) e buried via (3).....	18
Figura 3 - Ilhas through-hole (1) e surface-mount (2).....	18
Figura 4 - Fiduciais globais e locais	19
Figura 5 - Distância da máscara de solda ao ponto fiducial	20
Figura 6 - Soldagem de componentes através da solda onda	22
Figura 7 - Formação dos condutores da PCI através do método fio-discreto	25
Figura 8 - Relação da área da seção transversal do condutor de cobre, em um layer externo da PCI, com a corrente que o circula e o seu aumento de temperatura.....	30
Figura 9 - Relação da área da seção transversal do condutor de cobre, em um layer interno da PCI, com a corrente que o circula e o seu aumento de temperatura.....	30
Figura 10 - Relação da área da seção transversal do condutor de cobre com a sua largura e a sua espessura	31
Figura 11 - Roteamento labirinto (1) e X-Y (2)	32
Figura 12 - Linha microstrip	33
Figura 13 - Distribuição das linhas de campo magnético de acordo com o tamanho dos planos	36
Figura 14 - Divisão do circuito de acordo com as funcionalidades	37
Figura 15 - Trilhas com separação seguindo a regra 3W	38
Figura 16 - Canto da trilha na PCI.....	39
Figura 17 - Montagem das placas do equipamento no Autodesk® Inventor® Professional 2015	42
Figura 18 - Montagem incluindo placa com botões para regulagem de distância em relação à parte frontal da caixa	43
Figura 19 - Placa traseira do multimedidor com alguns componentes inclusos.....	44
Figura 20 - Placa inferior e superior do multimedidor com alguns componentes inclusos	45
Figura 21 - Placa do teclado com alguns componentes inclusos.....	45
Figura 22 - Placa frontal do multimedidor com alguns componentes inclusos.....	46
Figura 23 - Blocos do circuito da placa frontal	47
Figura 24 - Configuração dos layers da placa frontal.....	48
Figura 25 - Componentes da PCI no layer bottom	49
Figura 26 - Visualização 3D dos componentes da PCI no bottom layer.....	50
Figura 27 - Dimensões da placa frontal e regiões que não devem ser montados componentes	51
Figura 28 - Localização dos pontos fiduciais na PCI.....	52
Figura 29 - Thermal reliefs nos terminais conectados.....	52
Figura 30 - Plano de alimentação (em preto) seguindo a regra 20-H.....	53
Figura 31 - Dimensões mecânicas da primeira opção de compra do buzzer.....	54
Figura 32 - Dimensões mecânicas da segunda opção de compra do buzzer	55
Figura 33 - Circuito de reset com capacitor bypass	56
Figura 34 - Circuito da memória NAND da placa frontal	58
Figura 35 - Plano de alimentação da PCI (área que não está em vermelho) nos dois layouts realizados	59

Figura 36 - Footprint genérico para buzzers com passos diferentes	60
Figura 37 - Capacitor bypass de um dos pinos de alimentação do microprocessador colocado no primeiro layout da placa frontal.....	61
Figura 38 - Capacitor bypass de um dos pinos de alimentação do microprocessador colocado no segundo layout da placa frontal	61
Figura 39 - Barramento de dados da memória roteados no primeiro layout	62
Figura 40 - Barramento de dados da memória roteados no segundo layout	62
Figura 41 - Roteamento labirinto na área do microprocessador no primeiro layout com as vias destacadas em branco	64
Figura 42 - Roteamento X-Y na área do microprocessador no segundo layout com as vias destacadas em branco	65

LISTA DE TABELAS

Tabela 1 - Projeto das camadas da PCI para obter o seu melhor desempenho.....	35
Tabela 2 - Tempos de atraso dos dados da memória no primeiro layout	63
Tabela 3 - Tempos de atraso dos dados da memória no segundo layout.....	63

LISTA DE ABREVIATURAS

PCI: Placa de Circuito Impresso

PCB: Printed Circuit Board

EMC: Compatibilidade Eletromagnética

RF: Rádio Frequência

EMI: Interferência Eletromagnética

QEE: Qualidade de Energia Elétrica

PTH: Pin Through Hole

SMD: Surface Mounted Device

CI: Circuito Integrado

CC: Corrente Contínua

CA: Corrente Alternada

SUMÁRIO

1	INTRODUÇÃO	14
1.1	MOTIVAÇÃO	14
1.2	OBJETIVOS	15
1.3	ESTRUTURA DO TRABALHO.....	15
2	CONTEXTUALIZAÇÃO TEÓRICA	17
2.1	DEFINIÇÕES	17
2.1.1	Componente PTH e SMD.....	17
2.1.2	Vias, blind vias e buried vias	17
2.1.3	Pad, ilhas e trilhas.....	18
2.1.4	Pontos fiduciais	19
2.1.5	Thermal relief	20
2.1.6	Footprint.....	20
2.1.7	Serigrafia	20
2.1.8	Unidades de medidas utilizadas em PCI	21
2.1.9	Máscara de solda	21
2.2	SOLDAGEM DE COMPONENTES.....	21
2.2.1	Solda onda	21
2.2.2	Soldagem por refusão.....	22
2.3	MATERIAL ISOLANTE DA PCI.....	23
2.4	TIPOS DE PCI.....	23
2.4.1	Natureza do substrato	24
2.4.2	Modo de impressão do formato do condutor	24
2.4.3	Natureza física da PCI	25
2.4.4	Método de formação do condutor	26
2.4.4.1	Laminação	26
2.4.4.2	Método subtrativo	26
2.4.4.3	Método aditivo	27
2.4.5	Número de layers condutores	27
2.4.5.1	PCI face simples.....	27
2.4.5.2	PCI face dupla.....	27
2.4.5.3	PCI multilayer	28
2.5	MÉTODOS DE COLOCAÇÃO DE COMPONENTES.....	28
2.5.1	Método through-hole.....	28
2.5.2	Métodos through-hole e surface-mount misturados	28
2.5.3	Método surface-mount em um lado somente	29
2.5.4	Método surface-mount em ambos os lados	29
2.5.5	Método surface-mount em ambos os lados com método through-hole	29
2.6	CAPACIDADE DE CONDUÇÃO DE CORRENTE.....	29
2.7	ROTEAMENTO DA PCI.....	31
2.8	LINHAS MICROSTRIP.....	32
2.9	COMPATIBILIDADE ELETROMAGNÉTICA	34
2.9.1	Camadas da PCI	34
2.9.2	Regra 20-H	35
2.9.3	Crosstalk.....	36
2.9.3.1	Regra 3W	38
2.9.4	Roteamento dos cantos das trilhas	38
2.9.5	Capacitores bypass	39
3	METODOLOGIA.....	41

3.1	FUNCIONALIDADE DE CADA PCI DO MULTIMEDIDOR.....	41
3.2	INTEGRAÇÃO DE SOFTWARES	41
3.3	DESCRIÇÃO DOS BLOCOS DO CIRCUITO DA PLACA FRONTAL.....	46
3.4	LAYOUT DA PLACA FRONTAL NO ALTIUM DESIGNER®	47
3.4.1	Configurando os layers da PCI	48
3.4.2	Modo de colocação dos componentes para soldagem.....	49
3.4.3	Posicionamento dos pontos fiduciais.....	51
3.4.4	Utilização de thermal relief nos planos.....	52
3.4.5	Determinação do tamanho do plano de alimentação	53
3.4.6	Regra 3W aplicada às trilhas da PCI.....	54
3.4.7	Previsões na PCI	54
3.4.8	Inclusão de capacitores bypass no diagrama elétrico.....	55
3.4.9	Colocação dos componentes de acordo com a funcionalidade	56
3.4.10	Regra de roteamento da PCI	57
3.4.11	Barramentos da Memória.....	57
4	RESULTADOS E DISCUSSÕES	59
4.1	TAMANHO DO PLANO DE ALIMENTAÇÃO	59
4.2	IMPLEMENTAÇÃO DO FOOTPRINT GENÉRICO.....	60
4.3	POSIÇÃO DOS CAPACITORES BYPASS	60
4.4	BARRAMENTOS DA MEMÓRIA E TEMPOS DE ATRASO	62
4.5	ROTEAMENTO LABIRINTO E X-Y	64
5	CONCLUSÕES.....	66
	REFERÊNCIAS	68

1 INTRODUÇÃO

O desenvolvimento de PCIs requer habilidades e conhecimentos do engenheiro projetista que vão além da projeção de esquemas elétricos e simulação de circuitos eletrônicos, pois na indústria esses circuitos são utilizados em aplicações específicas que requerem diversas características relevantes no equipamento que está sendo desenvolvido. Entre essas características, tem-se a configuração mecânica do equipamento, que delimitará o tamanho do local onde serão interligados os componentes de interesse do circuito e como será possível realizar a distribuição dos componentes presentes no esquema elétrico. As limitações mecânicas, o atendimento às normas especificadas no projeto do equipamento e o custo envolvido na produção são constituintes que permitem definir estratégias de layout para atender todas as necessidades envolvidas no êxito do desenvolvimento do produto.

1.1 MOTIVAÇÃO

O mercado atual exige que as empresas desenvolvam e adaptem seus produtos às necessidades dos seus clientes. No que diz respeito ao desenvolvimento de equipamentos eletrônicos, torna-se imprescindível um bom conhecimento sobre técnicas de layout, além do domínio das funcionalidades dos circuitos que constituirão o esquema elétrico. Estas técnicas de layout e todos os processos envolvidos, desde a escolha do material da placa, o número de layers que serão utilizados, a largura das trilhas, posicionamento adequado dos componentes, entre outros aspectos importantes, muitas vezes são desconhecidos pelo projetista de hardware iniciante e são imprescindíveis para se obter os resultados esperados nos testes para a validação do equipamento, evitando o custo que as correções de erros podem acarretar.

A preocupação crescente da indústria com a Qualidade de Energia Elétrica (QEE) - que segundo Dugan, *et al.* (2003) “pode ser definida como qualquer problema de energia manifestado em desvios de tensão, corrente, ou frequência que resultam em falha ou má operação do equipamento do consumidor” - e a necessidade do controle de demanda energética, torna necessário o uso de medidores que meçam as grandezas que influenciam diretamente a QEE, definidas nos Procedimentos de Distribuição (PRODIST) pela Agência Nacional de Energia Elétrica (ANEEL). Este fato motivou o estudo dos diagramas elétricos de um multimedidor de grandezas elétricas e a implementação das

técnicas de layouts, que serão apresentadas neste trabalho, para o desenvolvimento de suas PCIs, visando evitar que seja necessário um retrabalho para consertar possíveis problemas e diminuir os custos de fabricação e montagem.

1.2 OBJETIVOS

O primeiro objetivo deste trabalho é determinar as dimensões mecânicas das PCIs de um multimedidor de grandezas elétricas para aloca-las em uma determinada caixa utilizando a integração de dois softwares, o Altium Designer® e o Autodesk® Inventor® Professional 2015. A partir das dimensões mecânicas das PCIs determinadas e utilizando-se o diagrama elétrico já existente do circuito de uma das placas, o segundo objetivo é desenvolver o layout desta PCI aplicando estratégias e regras básicas para evitar que perturbações eletromagnéticas entre os componentes do circuito ou do ambiente externo provoquem problemas de funcionamento da PCI, diminuir custos na fabricação da placa e também para evitar possíveis danos nos componentes no momento da montagem destes.

A empresa IMS Soluções em Energia Ltda. contribuiu com os recursos necessários para a execução deste projeto, que foi realizado durante o período de estágio nesta empresa.

1.3 ESTRUTURA DO TRABALHO

O trabalho está dividido em cinco capítulos, iniciando neste capítulo 1 que introduz o que será abordado nos capítulos posteriores.

No capítulo 2 há a contextualização teórica, onde estão demonstrados os métodos e estratégias para o desenvolvimento de PCIs como, por exemplo, as técnicas para evitar a Interferência Eletromagnética (EMI) durante a operação do equipamento, estando estas técnicas presentes nos estudos relacionados à Compatibilidade Eletromagnética (EMC).

No capítulo 3 encontra-se a metodologia experimental, que demonstra como foram obtidas as dimensões das PCIs do multimedidor com a integração do Altium Designer® e o Autodesk® Inventor® Professional 2015 e a aplicação de estratégias de layout no desenvolvimento da PCI frontal do equipamento.

O capítulo 4 apresenta os resultados alcançados comparando-se dois diferentes layouts realizados da mesma PCI.

Por último, no capítulo 5 constam as conclusões finais e as possíveis melhorias que poderão ser realizadas em trabalhos futuros.

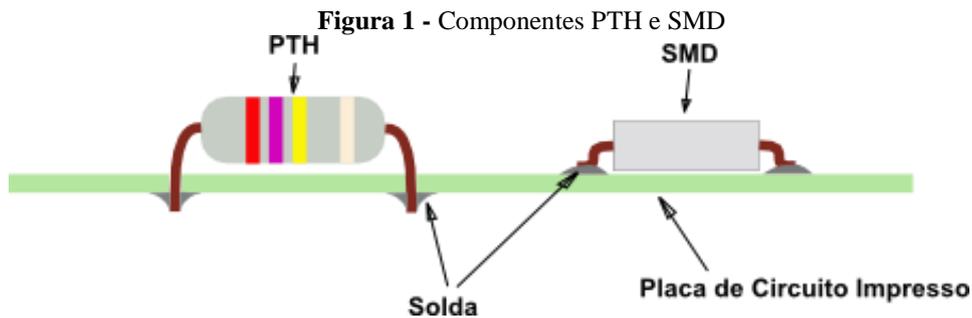
2 CONTEXTUALIZAÇÃO TEÓRICA

2.1 DEFINIÇÕES

Neste capítulo serão explicadas algumas definições importantes relacionadas a PCIs que vão ser utilizadas ao longo do trabalho.

2.1.1 Componente PTH e SMD

Na Figura 1, estão representados exemplos de componentes Pin Through Hole (PTH) e Surface Mounted Device (SMD) que são utilizados nos circuitos presentes nas PCIs.



Fonte: ELETRONPI, 2016

Nota-se na Figura 1, que os terminais do componente PTH são soldados no lado contrário onde foi colocado este componente (terminal atravessa o furo na placa), e o componente SMD tem seus terminais soldados no mesmo lado onde este se encontra.

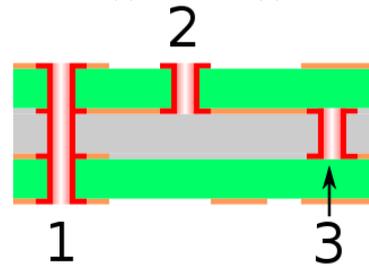
2.1.2 Vias, blind vias e buried vias

Through hole via ou via (como será chamado ao longo do trabalho), corresponde a um furo metalizado internamente que atravessa completamente a placa interligando todas as camadas de cobre (layers) relacionadas (VERASTEGUI, 2007).

Blind via é uma via que conecta um layer externo com um ou mais layers internos. Já buried via é uma via entre ao menos dois layers internos, que não é visível nos layers externos, na qual esta tecnologia permite maiores funcionalidades em menores espaços da PCI (MULTI CIRCUIT BOARDS LTD, 2016).

Na Figura 2 estão representadas a via (1), a blind via (2) e a buried via (3).

Figura 2 – Via (1), blind via (2) e buried via (3)



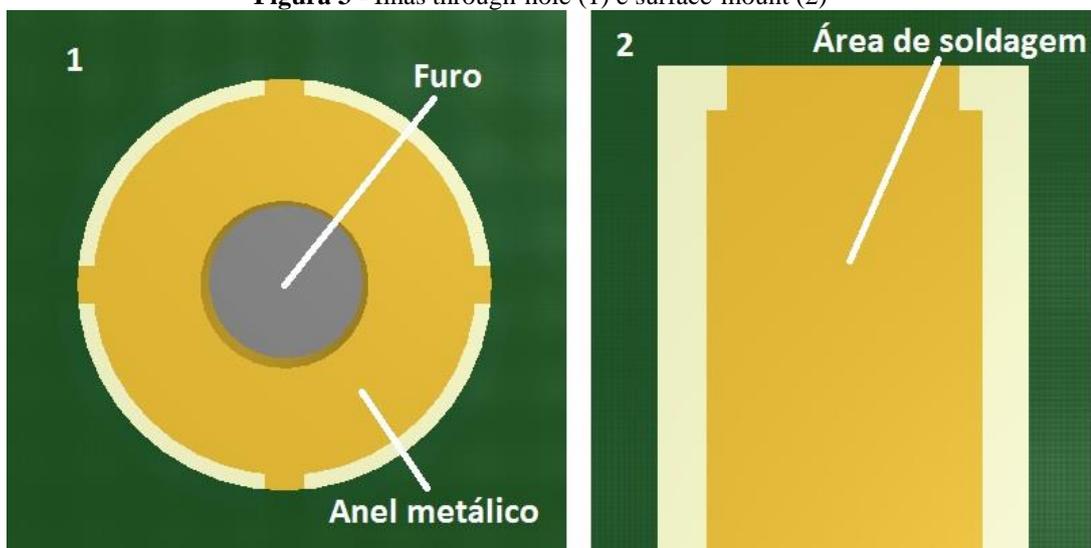
Fonte: WIKIPEDIA, 2016

2.1.3 Pad, ilhas e trilhas

Uma trilha é um pedaço de cobre que faz a conexão elétrica entre dois ou mais pontos de uma PCI, realizando a mesma função que fios utilizados para unir nós de um determinado circuito (PCBDesign, 2016).

Um pad ou ilha é uma pequena superfície de cobre em uma PCI que permite soldar o componente na placa, podendo ser through-hole (que significa ser passante por todos os layers da placa) ou surface-mount (que significa estar sobre a superfície de apenas um layer da placa). Os dois tipos de ilhas estão representadas na Figura 3 (ELECTROSOFT ENGINEERING, 2010).

Figura 3 - Ilhas through-hole (1) e surface-mount (2)



Note a partir da Figura 3, que as ilhas through-hole (1) são colocadas ao redor de furos para permitir a soldagem e conexão dos componentes PTH com as trilhas da PCI. Já as ilhas surface-mount (2) completam toda a área de soldagem do terminal do componente SMD.

2.1.4 Pontos fiduciais

Pontos fiduciais estabelecem pontos mensuráveis comuns para todos os passos no processo de montagem de componentes. Estes pontos permitem que o equipamento de montagem automático localize precisamente o formato do circuito. Pontos fiduciais são geralmente categorizados em dois tipos: fiduciais globais e fiduciais locais (ACCUTRON INC, 2016).

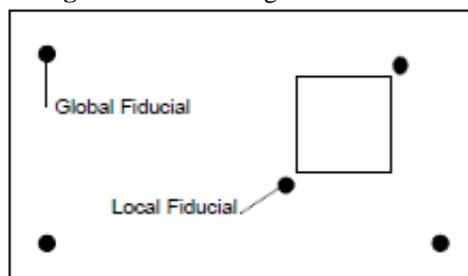
Fiduciais globais são utilizados para localizar a posição de todas as características em uma PCI individual. Já fiduciais locais são utilizados para localizar a posição de um componente individual que pode requerer mais precisão na sua localização (ACCUTRON INC, 2016).

Fiduciais deveriam ter uma abertura da máscara de solda grande o bastante para fornecer um bom contraste, sendo que manter o fiducial sem a máscara de solda habilita a identificação precisa por todos os sistemas de visão de alinhamento (ACCUTRON INC, 2016).

São necessários no mínimo dois fiduciais globais para corrigir offsets translacionais (posição x e y) e offsets rotacionais (posição angular), devendo estar posicionados opostos diagonalmente e tão longe quanto possível do circuito da PCI. Na correção de distorções não lineares são necessários três fiduciais globais que devem estar dispostos em uma posição triangular tão longe quanto possível do circuito (ACCUTRON INC, 2016).

Um mínimo de um fiducial local é necessário para corrigir offsets translacionais e para corrigir também offsets rotacionais, são necessários dois fiduciais locais localizados diagonalmente na forma do componente, o qual se deseja maior precisão da sua posição na PCI. A Figura 4 apresenta um exemplo de fiduciais globais dispostos triangularmente e fiduciais locais localizados diagonalmente onde deve ser colocado o componente (ACCUTRON INC, 2016)

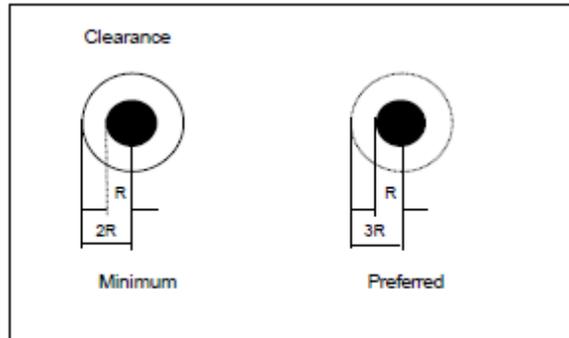
Figura 4 - Fiduciais globais e locais



Fonte: ACCUTRON INC, 2016

Aconselha-se que o ponto fiducial tenha no mínimo 1mm de diâmetro e a distância da abertura da máscara de solda em relação a este ponto seja de no mínimo um raio desse ponto, mas sendo preferível o valor de um diâmetro da distância do ponto até a máscara de solda, como demonstrado na Figura 5 (ACCUTRON INC, 2016).

Figura 5 - Distância da máscara de solda ao ponto fiducial



Fonte: ACCUTRON INC, 2016

2.1.5 Thermal relief

Thermal relief é um pad da PCI conectado a um plano ou a uma quantia acumulada de cobre utilizando uma conexão termal. Ele se parece como um pad normal com “raios” de cobre conectando-se no cobre ao redor. Estes “raios” reduzem a largura total de cobre no pad conectado sobre a quantia acumulada de cobre, como a utilizada em planos de terra, reduzindo a condutividade termal e amenizando problemas de escoamento termal, como o que poderia ocorrer ao realizar a soldagem dos componentes (LACHAPELLE, 2012).

2.1.6 Footprint

Segundo a IPC-7351 (2005), footprint corresponde a uma combinação de formas existentes nas PCIs, que são feitas de material condutor como o cobre. Sendo utilizadas para a montagem, interconexão e teste de um componente particular.

2.1.7 Serigrafia

A serigrafia é normalmente utilizada para identificar componentes, pontos de teste, símbolos de alerta, logos de companhia e marcas do fabricante. Coloca-se nos lados da placa onde se encontram os componentes e é feita de material não condutor, evitando problemas

de curto na PCI ao realizar a identificação, comparada a uma realizada utilizando o próprio cobre (JACKSON, 2013).

2.1.8 Unidades de medidas utilizadas em PCI

A unidade mil (milésimo de polegada) é geralmente utilizada nos softwares de design de PCIs e na Equação 1 consta a conversão de mils para milímetros para uma determinada medida.

$$d = \frac{l \times 2.54}{100} \quad (1)$$

onde d é a unidade da medida [mm] e l é a unidade da medida [mils]

2.1.9 Máscara de solda

A máscara de solda é aplicada na PCI para proteger as suas trilhas de oxidação e isolá-las eletricamente. Esta cobertura normalmente é verde-claro ou azul-claro e formada por uma resina acrílica fotossensível (VANTERESIAN, 2002).

É necessário haver um espaçamento entre pads da PCI e a máscara de solda para permitir que se realize a soldagem dos componentes, assim como em relação a pontos de teste e fiduciais. Sendo as outras partes de cobre todas cobertas por esta máscara (EPEC, 2016b).

2.2 SOLDAGEM DE COMPONENTES

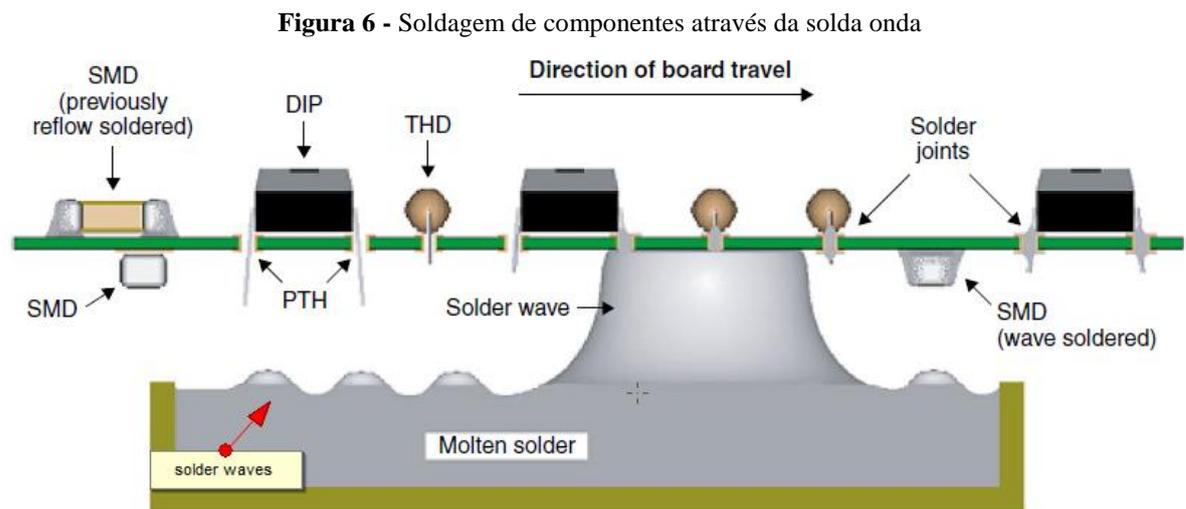
Além da soldagem manual de componentes pertencentes da PCI, existem dois tipos de soldagem que são utilizados na indústria para agilizar este processo, são eles: solda onda e soldagem por refusão.

2.2.1 Solda onda

A solda onda é um processo de soldagem em larga escala, na qual os componentes eletrônicos são soldados em uma PCI para formar a montagem eletrônica. O nome é derivado do uso de ondas de solda fundida para anexar componentes metálicos na PCI (EPEC, 2016a).

O processo utiliza um tanque para manter uma quantidade de solda fundida, onde os componentes depois de inseridos ou colocados na placa passam através de uma onda ou cascata de solda bombeada. A solda molha as áreas metálicas expostas da PCI (áreas sem a proteção com máscara de solda), criando uma conexão mecânica e elétrica confiável. Este processo de soldagem é utilizado em montagens through-hole e surface-mount. Na montagem surface-mount os componentes são colados pela alocadora de componentes (*pick and place*) antes de passarem pela solda onda (EPEC, 2016a).

A Figura 6 apresenta um exemplo de soldagem de componentes utilizando a solda onda.



Fonte: APPLIED ELECTRONICS ENGINEERING, 2016

2.2.2 Soldagem por refusão

No processo de soldagem por refusão transfere-se calor para a PCI, onde está depositada a pasta de solda e estão posicionados os componentes, até uma temperatura capaz de fundir a pasta e efetuar a ligação intermetálica, proporcionando a conexão elétrica e mecânica entre os terminais dos componentes de contato da PCI (DS TOOLS, 2016).

Na colocação da pasta de solda recomenda-se a utilização de stencil, o qual é uma folha metálica de aço inoxidável com furos exatamente nos locais dos pads dos componentes e onde a pasta de solda será colocada. A quantia e a espessura da pasta de solda afetam diretamente a qualidade da ligação entre a base do componente SMD e a PCI (API, 2009).

A soldagem por refusão é menos complexa e exigente que a solda onda, pois menos parâmetros operacionais precisam ser controlados (STRAUSS, 1998).

Ao utilizar a soldagem por refusão na montagem de componentes SMD e a solda onda em componentes PTH quando estes se encontram no mesmo lado da placa, a USA Surface Mount Council (SMC) recomenda que: primeiro coloque-se a pasta de solda em um lado da placa onde serão alocados todos componentes SMD na PCI; depois se realize a soldagem por refusão nestes componentes SMD; com os componentes SMD soldados, colocam-se os componentes PTH no mesmo lado dos componentes SMD e utiliza-se a solda onda no outro lado da placa para soldá-los (STRAUSS, 1998).

2.3 MATERIAL ISOLANTE DA PCI

A isolação entre os layers condutores da PCI pode ser realizada com diferentes tipos de materiais, entre eles: CEM-1, CEM-3, FR-1, FR-2 e FR-4.

CEM-1 é composto por dois materiais base diferentes, resina epóxi e fibra de vidro, sendo o seu interior formado por papel ou papel celofane. Sua utilização é apropriada em placas face simples. Já o CEM-3 é formado por resina epóxi e fibra de vidro não trançada e é utilizado em placas face simples e dupla face (WDF, 2013).

FR-1 e FR-2 têm propriedades semelhantes, as quais são formadas por uma resina fenólica e papel, sendo utilizadas em placas de face simples. FR-2 é conhecido como fenolite, que não é recomendado o seu uso em ambientes úmidos, pois absorve certa quantidade de água (MEHL, 2016).

FR-4 é composto por uma resina epóxi reforçada com tecido de fibra de vidro, resistente à umidade e sendo utilizado em PCIs de face dupla e multilayers (MELO, RIOS e GUTIERREZ, 2001).

2.4 TIPOS DE PCI

Conforme Coombs (2008), as PCIs podem ser classificadas de acordo com:

- a natureza do seu substrato;
- o modo como o formato do condutor é impresso;
- a sua natureza física;

- o método de formação do condutor atual;
- o número de layers condutores;
- a existência ou ausência de Plated-Through-Holes;
- o método de produção.

Uma estrutura fundamental comum nas classificações de PCIs é que elas devem fornecer caminhos que interconectam componentes para serem montados nelas (COOMBS, 2008).

2.4.1 Natureza do substrato

O material do substrato da PCI deve ser compatível com o produto que está sendo desenvolvido e com as necessidades de processo, o que pode incluir os estresses causados pela exposição a altas temperaturas de soldagem durante o processo de montagem. Os materiais utilizados podem ser orgânicos e inorgânicos (COOMBS, 2008).

Substratos orgânicos consistem de layers de papel impregnados com resina fenólica ou layers de fibra de vidro tecida ou não tecida com resina epóxi, poliimida, éster de cianeto, resina BT, etc. As características físicas requeridas onde a PCI será aplicada é o que dita o uso destes tipos de substratos, como por exemplo, a temperatura de operação, frequência ou força mecânica (COOMBS, 2008).

Substratos inorgânicos consistem principalmente de materiais cerâmicos e metálicos tal como alumínio, ferro macio, e cobre-invar-cobre. A utilização destes substratos ocorre principalmente em PCIs que necessitam ter dissipação de calor (COOMBS, 2008).

2.4.2 Modo de impressão do formato do condutor

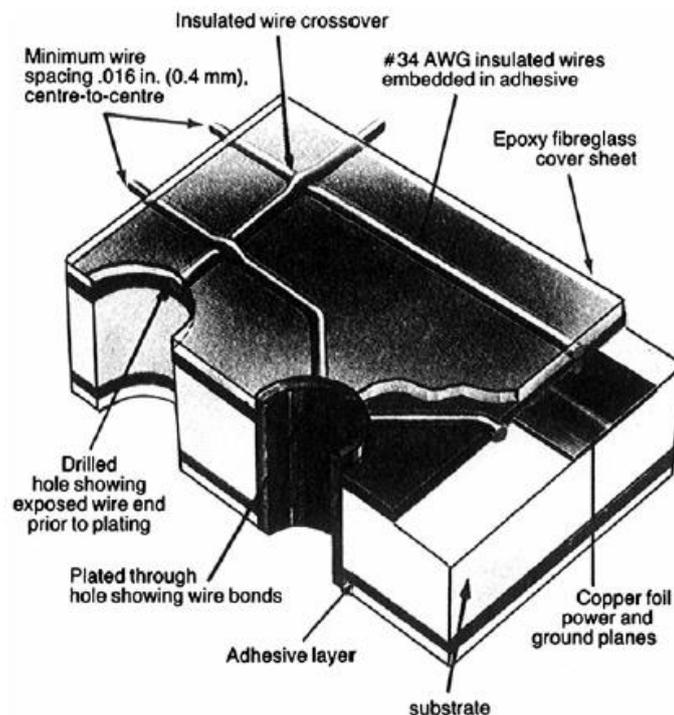
Existem dois tipos de PCI no que diz respeito ao modo como é colocado o formato dos condutores na placa: a PCI por interconexão gráfica e as placas de fios-discretos (COOMBS, 2008).

Uma PCI gráfica é a PCI padrão a qual normalmente é referida quando se fala sobre algo relacionado a PCIs. Neste caso, a imagem do formato do circuito principal é formada fotograficamente em um material fotossensível, tal como placa de vidro ou filme plástico.

Após a formação da imagem, esta é transferida para a PCI por projeção ou foto impressão (COOMBS, 2008).

As placas de fio-discreto não envolvem um processamento de imagem para a formação dos condutores de sinais. Sendo os condutores formados diretamente na PCI com fio de cobre isolado. A Figura 7 apresenta uma PCI fabricada através do método fio-discreto (COOMBS, 2008).

Figura 7 - Formação dos condutores da PCI através do método fio-discreto



Fonte: COOMBS, 2008

Na Figura 7, é possível observar que devido à tolerância dos cruzamentos de fios de cobre, um layer único de fiação pode ter a união de múltiplos condutores, o que oferece uma densidade alta de fiação. Por ser um processo de fiação de natureza sequencial, o método de fio-discreto não é apropriado para produção de PCIs em larga escala (COOMBS, 2008).

2.4.3 Natureza física da PCI

Tem-se outra classe de placas que são compostas de PCIs rígidas e flexíveis. Diferentemente de placas feitas de vários materiais, as placas flexíveis geralmente são feitas de bases de poliéster e bases de poliimida. As placas Rigi-flex são combinações de placas rígidas e flexíveis normalmente ligadas juntas, no qual a maioria destas placas forma uma

estrutura tridimensional que tem partes flexíveis conectando as placas rígidas, que geralmente suportam os componentes (COOMBS, 2008).

2.4.4 Método de formação do condutor

As PCIs podem ser caracterizadas pelo método utilizado para a formação de seus condutores, que pode depender do número de layers que as compõem.

2.4.4.1 Laminação

Laminação é o processo em que as PCIs com mais de dois layers são formadas. Este processo começa com a formação dos condutores dos layers internos em finas peças de lâminas chamadas de detalhes. Estes detalhes são separados por lâminas curadas parcialmente chamadas prepeg, depois são empilhados em uma pilha com layers de prepeg na parte de cima e de baixo e lâminas finas no exterior. Esta pilha é colocada em uma prensa capaz de aquecer a combinação a uma temperatura que faz a resina de prepeg alcançar o estado líquido. A resina liquefeita flui nas lacunas entre os condutores para criar uma placa sólida após resfriada (COOMBS, 2008).

Materiais como poliimida não têm uma forma prepeg para agir como uma cola durante a laminação. Por isso utiliza-se uma folha de cola especial durante a laminação para a fixação de layers individuais juntos (COOMBS, 2008).

2.4.4.2 Método subtrativo

Primeiramente, no método subtrativo trilhas e outros formatos condutivos são formados em uma PCI, cobrindo uma folha de laminado com uma folha contínua de lâmina fina de cobre. Um layer de cobertura protetiva é aplicado de modo que cubra a forma condutora desejada. A placa com esta cobertura é corroída, onde é removido o cobre indesejado e as formas desejadas dos condutores ficam abaixo da cobertura protetiva. Este é o método mais utilizado na indústria de fabricação de PCIs (COOMBS, 2008).

2.4.4.3 Método aditivo

Neste modo de formar condutores, começa-se com um substrato descoberto e o cobre é depositado para formar os condutores. Existem dois métodos para realizar este: a deposição sem o uso de energia elétrica em áreas sensibilizadas a aceitar o cobre reduzido, e a deposição com uso de energia elétrica, onde primeiro aplica-se uma cobertura muito fina de cobre reduzido sobre uma superfície inteira para agir como um caminho condutivo, seguido pela deposição com o uso de energia elétrica para completar a espessura (COOMBS, 2008).

O método aditivo não é normalmente utilizado em produção, porque o processo não é robusto o suficiente para suportar a manipulação de montagem e retrabalho comuns. Sua vantagem é a redução da quantidade de químicas requeridas para fabricar as PCIs (COOMBS, 2008).

2.4.5 Número de layers condutores

As PCIs podem ser classificadas de acordo com o número de layers que possuem: face simples, face dupla ou multilayer.

2.4.5.1 PCI face simples

A maioria das PCIs básicas têm componentes montados em um lado da placa e os formatos condutores no outro lado. Por ter estes condutores em apenas um lado da placa, este tipo de PCI é chamado de face simples, single-sided ou single-layer (QUALIECO CIRCUITS LTD, 2012a).

2.4.5.2 PCI face dupla

As PCIs face dupla, double-sided ou double-layer têm dupla área para formar os condutores comparada a PCI de face simples. Por ter as formas condutoras separadas nos dois lados da placa, há a necessidade de conexão elétrica entre elas através de vias, por exemplo (QUALIECO CIRCUITS LTD, 2012b).

2.4.5.3 PCI multilayer

PCIs multilayer têm uma ou mais formas condutoras no interior da placa, o que aumenta a área disponível para roteamento. Este tipo de PCI é obtida através do processo de laminação (QUALIECO CIRCUITS LTD, 2012c).

O número de layers é referido como o número de formas condutoras separadas, que normalmente inclui dois layers externos. Estes tipos de PCIs têm geralmente entre quatro e oito layers, porém podem ser fabricados com quase cem layers (QUALIECO CIRCUITS LTD, 2012c).

2.5 MÉTODOS DE COLOCAÇÃO DE COMPONENTES

A escolha dos métodos e das combinações de métodos para a colocação dos componentes da PCI tem impacto no custo final, facilidade de montagem, disponibilidade de componentes, facilidade de teste, e facilidade de retrabalho (COOMBS, 2008).

2.5.1 Método through-hole

Todos os terminais de componente fixados na PCI podem ser inseridos em furos que passam através da PCI. Estes componentes são seguros através da solda onda onde a montagem envolve uma operação de colocação do componente seguida pela solda onda (COOMBS, 2008).

2.5.2 Métodos through-hole e surface-mount misturados

Conectores são anexados à PCI com a tecnologia through-hole e todos os outros componentes são montados usando pacotes surface-mount. Na montagem, primeiramente colocam-se todas as partes surface-mount e soldam-se estas partes em um local com um sistema de solda por refusão. Logo depois, inserem-se todas as partes through-hole e soldam-se as mesmas nos locais em uma operação de solda-onda. A soldagem dos componentes through-hole pode ser feita manualmente também (COOMBS, 2008).

2.5.3 Método surface-mount em um lado somente

Neste tipo de fabricação, há apenas componentes surface-mount que são montados no mesmo lado da PCI. A montagem envolve somente a alocação dos componentes e a soldagem nos locais utilizando alguma forma de solda por refusão (COOMBS, 2008).

2.5.4 Método surface-mount em ambos os lados

Neste método há componentes SMD em ambos os lados da PCI. O processo de montagem é realizado em dois passos que envolvem alocar todos os componentes em um lado e soldá-los na solda por refusão, seguido por colocar os componentes do outro lado e soldá-los também na solda por refusão (COOMBS, 2008).

2.5.5 Método surface-mount em ambos os lados com método through-hole

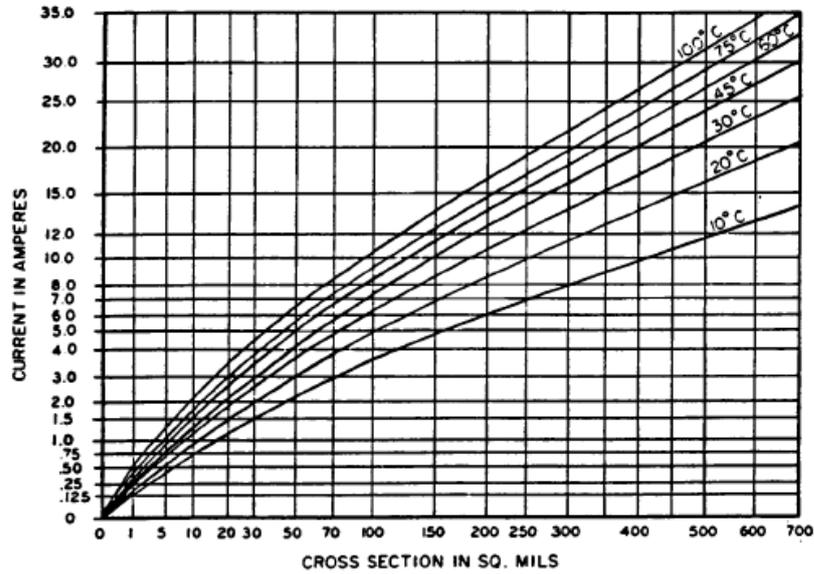
Este tipo de desenvolvimento da PCI contém partes surface-mount em ambos os lados e também componentes through-hole. A montagem é um processo de três etapas que envolve alocar os componentes surface-mount no lado primário e soldá-los na solda por refusão. Depois, os componentes surface-mount no lado secundário da PCI são colados no local, os componentes through-hole são inseridos, e a PCI é enviada através da solda onda (COOMBS, 2008).

2.6 CAPACIDADE DE CONDUÇÃO DE CORRENTE

A capacidade de condução de corrente pode ser definida em termos do aumento da temperatura em uma trilha como o resultado da aplicação de uma quantidade específica de corrente para um tamanho de trilha específico. O aumento da temperatura da trilha é dependente: do nível de corrente, da espessura da placa, da área seção transversal da trilha, da espessura da trilha para uma dada área de seção transversal, da distância das trilhas para os planos de cobre, do material da placa, do ambiente (ar, vácuo, etc.) e do efeito pelicular em frequência alta (GHz) (COOMBS, 2008).

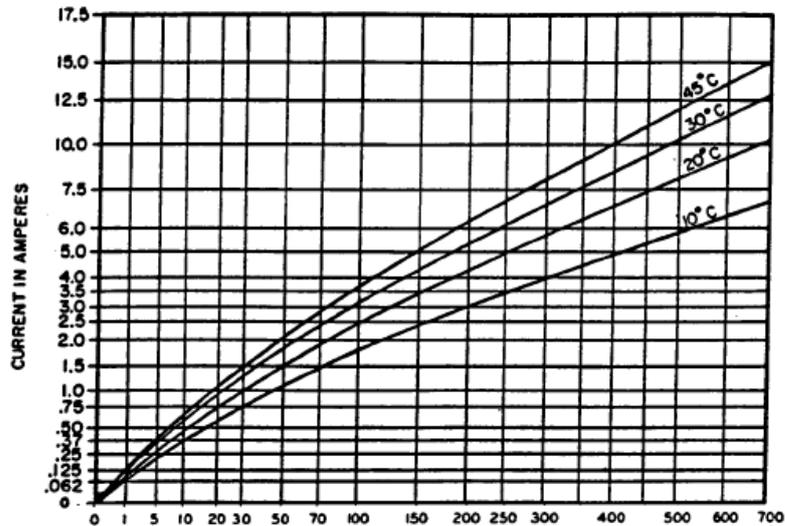
Na Figura 8 e na Figura 9, encontram-se os gráficos utilizados para determinar a área da seção transversal de um condutor de cobre no layer externo e interno da PCI, respectivamente.

Figura 8 - Relação da área da seção transversal do condutor de cobre, em um layer externo da PCI, com a corrente que o circula e o seu aumento de temperatura



Fonte: IPC-2221, 1998

Figura 9 - Relação da área da seção transversal do condutor de cobre, em um layer interno da PCI, com a corrente que o circula e o seu aumento de temperatura

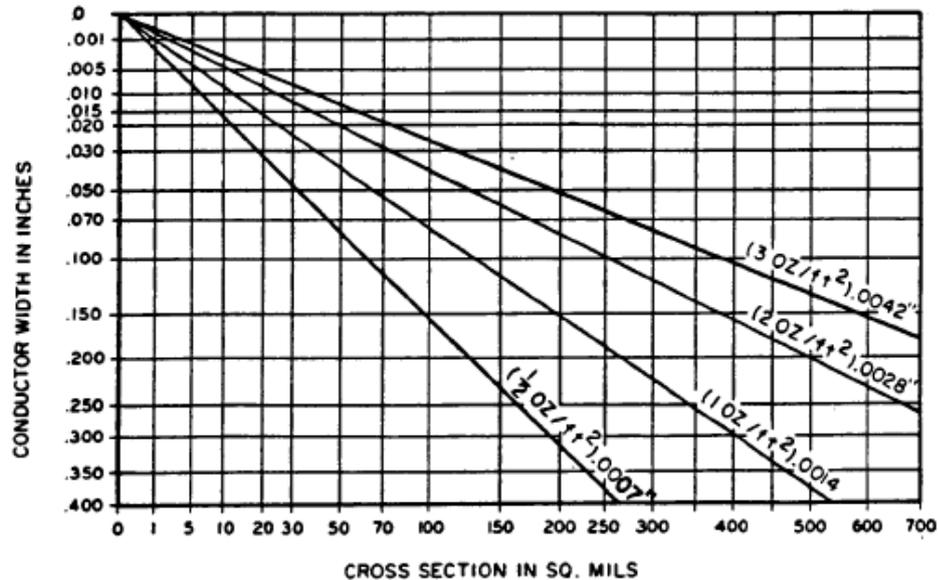


Fonte: IPC-2221, 1998

Na Figura 9, o eixo das abscissas do gráfico refere-se à área da seção transversal do condutor de cobre em mils quadrado.

É possível demonstrar a relação entre a largura da trilha de cobre na PCI com a área da sua seção transversal para determinados pesos de cobre (uma medida de sua espessura) em onças. Na Figura 10 está demonstrada essa relação, sabendo-se que os valores típicos são 0,5 onça, 1 onça e 2 onças. Uma trilha que utiliza um peso de cobre de 1 onça (equivalente a 28,35 gramas) tem uma espessura de 0,0014 polegada (VANTERESIAN, 2002).

Figura 10 - Relação da área da seção transversal do condutor de cobre com a sua largura e a sua espessura



Fonte: IPC-2221, 1998

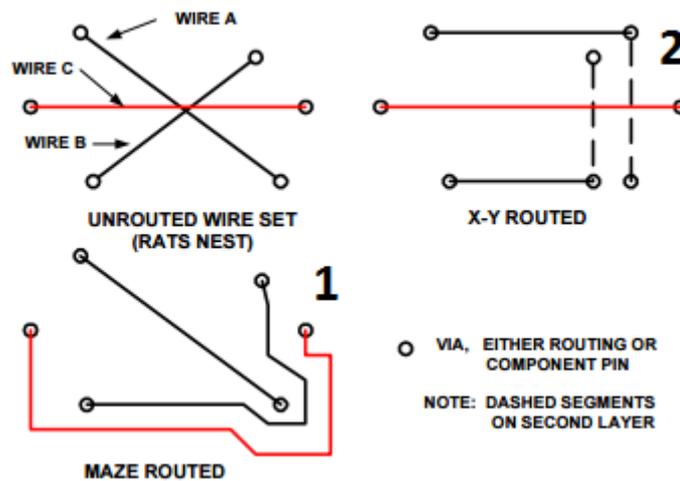
Obtendo-se a área da seção transversal da trilha de cobre a partir da Figura 8 (condutor no layer externo) ou da Figura 9 (condutor no layer interno) com os valores conhecidos da corrente que circula na trilha e o máximo aumento de temperatura no condutor, pode-se obter a largura mínima da trilha através da Figura 10. Segundo a IPC-2221 (1998) “Para uso geral o aumento de temperatura permissível é definido como a diferença entre a temperatura ambiente e a máxima temperatura de operação sustentada pela montagem”.

2.7 ROTEAMENTO DA PCI

Os dois métodos básicos de roteamento são o labirinto e o X-Y. No roteamento X-Y, as trilhas seguem direções opostas caso encontrem-se em layers diferentes, já no roteamento labirinto não existe uma regra definida para a direção da trilha, podendo trilhas de layers diferentes seguir a mesma direção para alcançar determinado ponto de conexão (pad, ponto de teste e etc.) (LEE, 1999).

Na Figura 11 estão demonstrados os dois tipos de roteamento para uma PCI.

Figura 11 - Roteamento labirinto (1) e X-Y (2)



Fonte: LEE, 1999

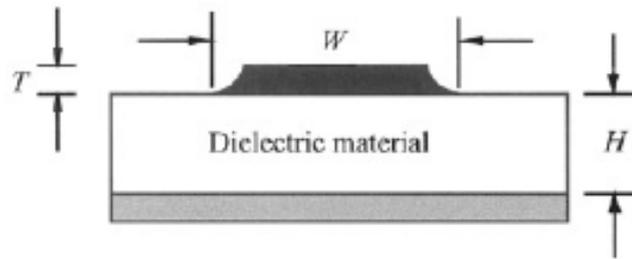
Através da Figura 11 é possível observar que no roteamento X-Y (2) são necessários no mínimo dois layers na PCI, pois a trilha representada por uma linha tracejada não poderia cruzar a outra trilha no mesmo layer da placa, pois ocorreria curto. Ainda nota-se que as trilhas em um lado da placa estão na posição horizontal, enquanto que no outro lado estão na posição vertical, seguindo exatamente o roteamento X-Y.

Segundo LEE (1999), recomenda-se o uso do roteamento X-Y para PCIs com mais de dois layers. Enquanto que se utiliza o roteamento labirinto (1) para PCIs com dois layers ou com um único layer, pois como foi comentado seria impossível realizar o roteamento X-Y em apenas um layer.

2.8 LINHAS MICROSTRIP

Linhas de transmissão microstrip é uma topologia utilizada para fornecer uma impedância de trilha controlada em uma PCI para circuitos digitais ou de Rádio Frequência (RF). Estas linhas são expostas no ar e separadas por um dielétrico de uma estrutura planar de referência (plano de terra ou de alimentação). A Figura 12 demonstra um exemplo de linha microstrip (MONTROSE, 2000).

Figura 12 - Linha microstrip



Fonte: MONTROSE, 2000

A impedância característica da microstrip da Figura 12 é calculada através da Equação 2 (ANALOG DEVICES, 2016).

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1,41}} \ln \left[\frac{5,98 \times H}{0,8 \times W + T} \right] \quad (2)$$

onde Z_0 é a impedância característica da microstrip [Ω], ϵ_r é a constante dielétrica do material entre a trilha e o plano de referência e H , W e T as dimensões dadas na Figura 12 referentes a altura do material dielétrico [mil], a largura da trilha [mil] e a espessura da trilha [mil] respectivamente

Através da Equação 2 é possível perceber que o dielétrico utilizado tendo uma constante elétrica conhecida, a altura de dielétrico em relação ao plano de referência sendo determinada e se a espessura da trilha utiliza um valor padrão de fabricação, quem ditará o valor da impedância característica da linha será a largura da trilha.

Nas placas multilayer as trilhas roteadas no layer externo mais próximo do plano de terra formam uma microstrip com este plano, enquanto que trilhas roteadas no layer externo mais próximo do plano de alimentação formam uma microstrip com este plano e não com o de terra.

O atraso de propagação do sinal roteado na microstrip é descrito pela Equação 3 (ANALOG DEVICES, 2016).

$$t_{pd} = 85 \times \sqrt{0,475 \times \epsilon_r + 0,67} \quad (3)$$

onde t_{pd} é o tempo de atraso da propagação do sinal na trilha [ps/pol]

A Equação 3 demonstra que a velocidade de propagação do sinal dentro de uma microstrip está relacionado somente com a permissividade efetiva do material dielétrico e varia com o comprimento da trilha.

2.9 COMPATIBILIDADE ELETROMAGNÉTICA

A Compatibilidade Eletromagnética (EMC) é a capacidade de sistemas, equipamentos e dispositivos elétricos e eletrônicos operarem em um determinado ambiente eletromagnético dentro de uma margem definida de segurança e, em níveis de design e performance, sem sofrer ou causar degradação inaceitável como um resultado de Interferência Eletromagnética (EMI). A EMI refere-se particularmente aos sinais de RF, que encontram-se na faixa de 10kHz a 100GHz, e é o processo no qual a energia eletromagnética desordenada é transmitida de um equipamento eletrônico para outro via radiação, caminhos condutivos ou por ambos (MONTROSE, 2000).

Existem algumas estratégias e regras de layout que visam tornar o equipamento de acordo com a EMC e estarão apresentadas neste subcapítulo 2.9.

2.9.1 Camadas da PCI

Ao desenvolver uma PCI deve-se primeiramente determinar quantos layers de roteamento de trilhas e de alimentação são requeridos de acordo com a funcionalidade da PCI. O número de layers é determinado pela especificação funcional, imunidade a ruído, separações em categorias de sinais, número de trilhas que serão roteadas, controle de impedância, densidade de componente de circuitos individuais, roteamento de barramentos ou algo semelhante (MONTROSE, 2000)

A utilização de planos como de alimentação e terra inseridos na PCI é um dos métodos mais importante de supressão de energia RF de modo comum desenvolvidos na parte interna da placa. Além disso, estes planos contribuem para diminuir a impedância de alta frequência da alimentação (MONTROSE, 2000)

Na Tabela 1, consta como realizar o projeto das camadas da PCI para obter um desempenho ideal da mesma.

S1 a S6 na Tabela 1 referem-se aos layers de sinais da PCI, ou seja, onde estarão presentes as trilhas para interconexão de componentes. Estão demonstrados na Tabela 1 o projeto das camadas das PCIs com até oito layers, incluindo layers de planos (alimentação e terra) e layers de roteamento.

Tabela 1 - Projeto das camadas da PCI para obter o seu melhor desempenho

Stackup	1	2	3	4	5	6	7	8	9	10
2 layers	S1 & ground	S2 & power								
4 layers two routing two planes	S1	ground	power	S2						
4 layers two routing two planes	ground	S1	S2	power						
6 layers four routing two planes	S1	S2	ground	power	S3	S4				
6 layers four routing two planes	S1	ground	S2	S3	power	S4				
6 layer three routing three planes	S1	power	ground	S2	ground	S3				
8 layers six routing two planes	S1	S2	ground	S3	S4	power	S5	S6		
8 layers four routing four planes	S1	ground	S2	ground	power	S3	ground	S4		

Fonte: MONTROSE, 2000

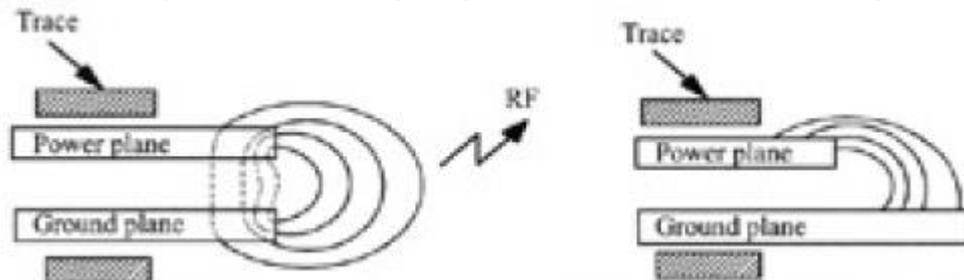
2.9.2 Regra 20-H

As correntes de RF irradiam nas bordas da PCI, porque existe acoplamento entre os planos de alimentação e terra devido ao fluxo magnético que ocorre entre eles. Ao utilizar lógicas ou clocks de alta frequência, os planos de alimentação e terra podem acoplar energia de RF um ao outro e irradiar esta energia no espaço livre e no ambiente. Para minimizar este efeito do acoplamento magnético, todos os planos de alimentação devem ser fisicamente menores que o plano de terra mais próximo seguindo a regra 20-H (MONTROSE, 2000).

Na implementação da regra 20-H, deve ser determinada a distância do espaçamento entre o plano de alimentação e o plano de terra mais próximo. A distância do espaçamento pode ser dada pela espessura de prepeg colocada para a isolação dos planos. A regra determina que as bordas do plano de alimentação devem ser recuadas vinte vezes o valor desta distância. Aumentar as dimensões físicas entre os planos além da determinada na regra 20-H - que permite uma redução de 70% do fluxo magnético na borda - não fornece uma redução significativa na propagação de energia de RF e apenas dificulta o roteamento da PCI (MONTROSE, 2000).

A Figura 13 demonstra como se distribuem as linhas de campo nas bordas da placa para planos de mesmo tamanho e quando o plano de alimentação segue a regra 20-H.

Figura 13 - Distribuição das linhas de campo magnético de acordo com o tamanho dos planos



Fonte: MONTROSE, 2000

Nota-se pela Figura 13 que se diminui a emissão de energia eletromagnética para o exterior da PCI, quando o plano de alimentação é reduzido em relação ao plano de terra.

2.9.3 Crosstalk

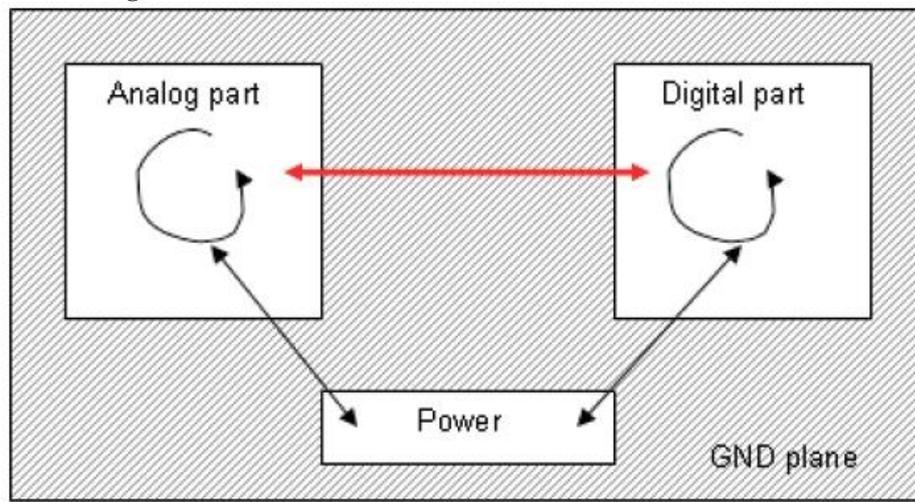
Crosstalk em uma PCI refere-se ao acoplamento eletromagnético involuntário entre trilhas, fios, trilha para fio, montagem de cabos, componentes e qualquer outro componente elétrico sujeito a um distúrbio de campo eletromagnético. Crosstalk é causado por correntes e tensões em uma rede e é similar a um acoplamento de antena. Quando o acoplamento ocorre, efeitos próximos do campo são observados (MONTROSE, 1999)

Crosstalk envolve acoplamento capacitivo e indutivo e pode ser identificado também como uma EMI interna para o sistema, que deve ser minimizada ou eliminada, podendo ser associado a sinais periódicos ou clock, mas também com dados, endereço, controle e trilhas de entrada e saída (I/O) (MONTROSE, 1999).

As técnicas de design e layout para evitar crosstalk são:

- Agrupar famílias de grupos lógicos de acordo com a funcionalidade como no exemplo demonstrado na Figura 14, onde se separou o circuito de acordo com a funcionalidade analógica, digital e da fonte de alimentação. Permanecer com a estrutura de barramento firmemente controlada.

Figura 14 - Divisão do circuito de acordo com as funcionalidades



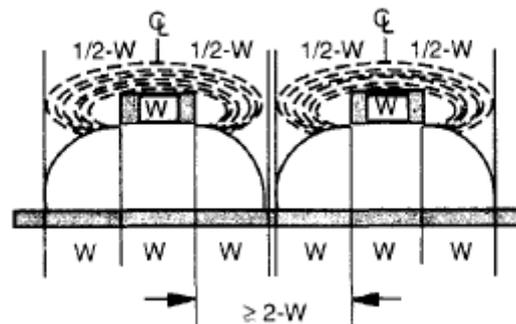
Fonte: WEILER, 2006

- Minimizar distância física entre componentes relacionados ao mesmo caminho de sinal.
- Minimizar comprimentos de trilhas roteadas paralelamente.
- Colocar componentes distantes de interconexões I/O e outras áreas suscetíveis à corrupção de dados e acoplamento
- Fornecer terminações apropriadas de trilhas paralelas, ou trilhas ricas em energia harmônica.
- Evitar rotear trilhas paralelas e fornecer separação suficiente entre trilhas para minimizar acoplamento indutivo.
- Rotear layers adjacentes ortogonalmente como no método X-Y. Este previne acoplamento capacitivo entre os planos.
- Reduzir a impedância da trilha e nível de sinal.

2.9.3.1 Regra 3W

A utilização da regra 3W é para minimizar acoplamento magnético entre trilhas. Esta regra consta que a distância da separação entre trilhas deve ser três vezes a largura de uma trilha única, medida de centro a centro destas trilhas. Caso contrário, a distância de separação entre duas trilhas deve ser maior que duas vezes a largura de uma trilha única. Esta separação entre trilhas representa uma redução de fluxo de crosstalk de aproximadamente 70%. Na Figura 15 estão representadas as trilhas seguindo a separação determinada pela regra 3W (MONTROSE, 1999).

Figura 15 - Trilhas com separação seguindo a regra 3W

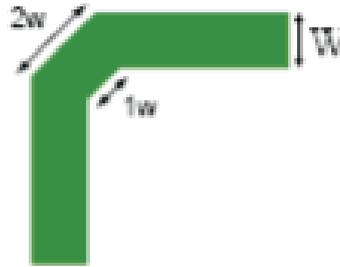


Fonte: MONTROSE, 1999

2.9.4 Roteamento dos cantos das trilhas

Quando uma trilha faz uma curva no seu traçado na PCI, sua capacitância por unidade de comprimento aumentará enquanto que sua indutância por unidade de comprimento diminuirá. Em trilhas que tem seus cantos fazendo 90° ao mudarem de direção, ocorre a adição de cobre na mesma, pois aumenta-se a largura da trilha neste canto, sendo seu valor dado por 1,414 vezes a largura da trilha. Esta adição de cobre na largura da trilha aumenta a capacitância desta em relação ao plano de referência e para evitar esta elevação da capacitância aconselha-se chanfrar o canto da trilha com um ângulo de 45°, o que permitiria manter constante a largura da trilha e conseqüentemente não elevaria a capacitância da mesma (MONTROSE, 2000).

Na obtenção de uma largura constante da trilha ao realizar uma curva, deve-se ter um dos chanfros com comprimento igual à largura da trilha e o outro com duas vezes a largura da trilha, sendo que formam um ângulo de 45° com a horizontal, como demonstrado na Figura 16.

Figura 16 - Canto da trilha na PCI

Fonte: WEILER, 2006

2.9.5 Capacitores bypass

A maioria dos Circuitos Integrados (CIs) sofre algum tipo de degradação de seu desempenho se há ripple ou ruído nos pinos de alimentação destes. A tolerância especificada da variação de tensão na alimentação inclui a soma do erro CC (Corrente Contínua), ripple e ruído, sendo que o dispositivo digital se manterá dentro das suas especificações se esta alimentação está dentro da tolerância (ANALOG DEVICES, 2009a).

Utilizam-se capacitores bypass - também chamados de capacitores de desacoplamento, porém como são utilizados neste trabalho entre a alimentação e o terra do circuito para eliminação de ruídos, o termo bypass é mais adequado - para remover a energia de RF distribuída na alimentação da rede da PCI, e, além disso, fornecer uma fonte de alimentação CC para dispositivos e componentes. Outra utilização dos capacitores bypass é para reduzir picos de corrente de surto propagados através da PCI.

Ruídos de baixa frequência requerem capacitores eletrolíticos com uma grande estrutura para agirem como armazenadores de corrente transiente, já ruídos em fonte de alimentação de alta frequência são mais bem reduzidos com capacitores SMD de baixa indutância conectados diretamente e próximos dos pinos de alimentação de todos os CIs da PCI. Cabe salientar que os capacitores bypass devem ser conectados diretamente a um plano de terra de baixa impedância a fim de ser efetivos, sendo requeridas trilhas curtas ou vias para minimizar a indutância série (ANALOG DEVICES, 2009a).

Os capacitores cerâmicos ou cerâmicos multilayer (MLCC) são os capacitores escolhidos acima de poucos MHz, devido ao tamanho compacto e baixa perda. A característica do dielétrico destes capacitores varia e o mais utilizado é o X7R que varia menos a capacitância para uma variação de uma tensão bias CC. A escolha do capacitor

deve levar em conta que sua frequência de ressonância deve ser maior que a frequência de interesse (ANALOG DEVICES, 2009a).

3 METODOLOGIA

Este capítulo descreve os procedimentos para determinar as dimensões das quatro PCIs do multimetro de grandezas elétricas, visando adaptar estas placas em uma determinada caixa. Após a determinação do dimensional das PCIs, são descritas as técnicas aplicadas para desenvolver dois layouts de uma destas PCIs, salientando que o diagrama elétrico desta placa desenvolvida já existia.

3.1 FUNCIONALIDADE DE CADA PCI DO MULTIMETRO

O multimetro possui quatro PCIs, onde cada uma tem um bloco do circuito elétrico que constitui o equipamento.

Na placa traseira é onde se encontram as entradas dos sinais de tensão e corrente que serão medidas, a entrada de alimentação e a entrada de comunicação do equipamento.

A placa inferior é constituída pelo circuito da fonte chaveada do equipamento que converte a tensão CA (Corrente Alternada) em CC e serve de alimentação para componentes elétricos desta e das outras PCIs. Esta fonte chaveada encontra-se na placa inferior, por tratar-se de uma PCI com uma massa maior em relação às demais placas.

O circuito de medição de tensão e corrente do equipamento encontra-se na placa superior, que determinará os valores de tensões que serão enviados para o A/D interno do microprocessador de acordo com a faixa de medição e a resolução requerida.

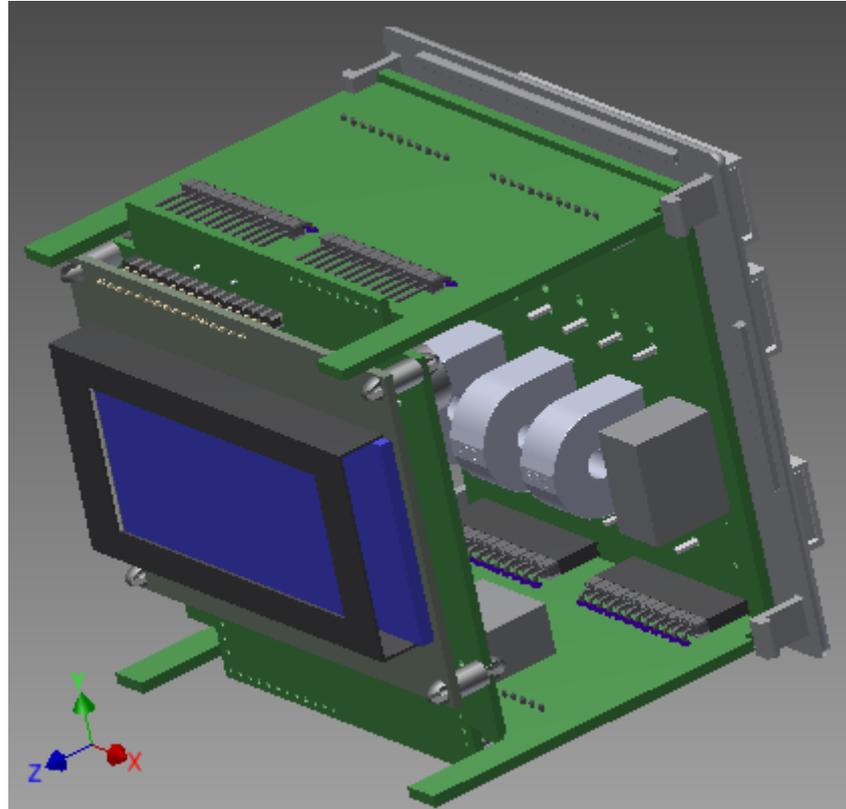
Na placa frontal, é onde se encontra o microprocessador e as memórias do equipamento, assim como o display para a interface com o usuário. O layout desta placa é o que será desenvolvido para a demonstração das técnicas e detalhes essenciais no desenvolvimento de uma PCI.

3.2 INTEGRAÇÃO DE SOFTWARES

O Autodesk® Inventor® Professional 2015 possibilitou a visualização da montagem das placas na caixa do equipamento, tornando possível detectar possíveis conflitos entre as dimensões da caixa e das placas. Já para realizar qualquer modificação nas dimensões destas placas, a alocação dos componentes e o roteamento das trilhas da PCI, foi utilizado o Altium Designer®. O arquivo da placa foi salvo na extensão *.step para ser possível sua visualização

em 3D no Autodesk® Inventor® Professional 2015. Na Figura 17, está demonstrada a montagem das placas do equipamento em conjunto com a tampa traseira da caixa. A caixa não está colocada na visualização da Figura 17 para que as placas estejam visíveis.

Figura 17 - Montagem das placas do equipamento no Autodesk® Inventor® Professional 2015



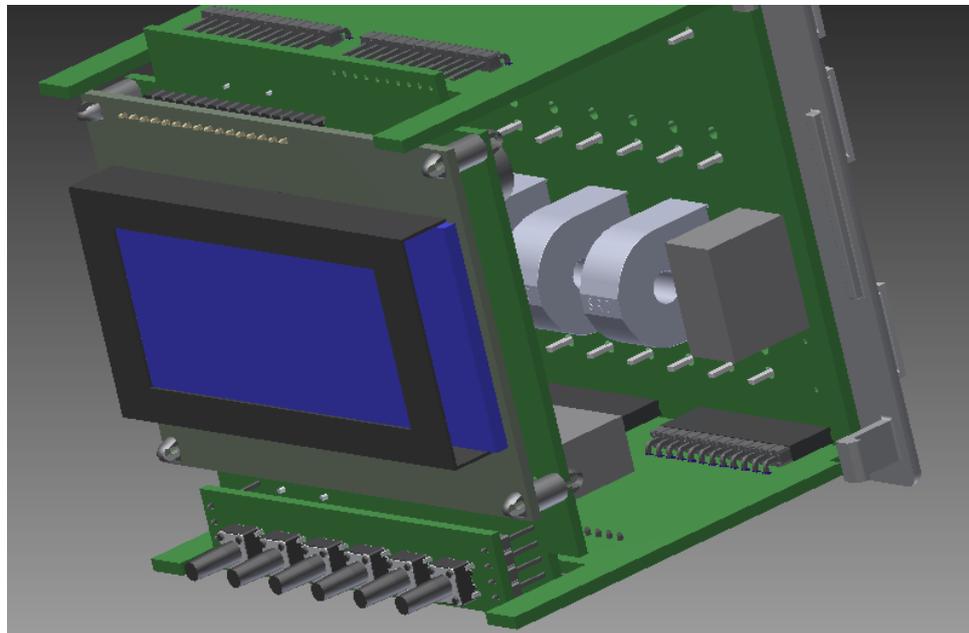
Nota-se na Figura 17, que através da montagem das placas é possível determinar a localização de componentes que as interligam, como, por exemplo, as barras de pinos, e também prever possíveis dificuldades que possam impedir a montagem de alguns componentes elétricos do circuito.

A utilização integrada do Autodesk® Inventor® Professional 2015 com o Altium Designer® baseou-se em determinar no Autodesk® Inventor® Professional 2015 se os componentes estavam em posições que não conflitavam com alguma parte do equipamento e caso conflitasse, qual seria o valor da medida de deslocamento nos eixos x,y e z presente na Figura 17, para colocar o componente em um lugar adequado, sendo esse mesmo procedimento realizado para determinar as dimensões de cada placa. Após determinar os valores de deslocamento nos eixos x, y e z das dimensões das placas e dos componentes mais críticos em relação ao espaço, no Altium Designer® são realizadas estas alterações nas

placas e depois são verificadas novamente no Autodesk® Inventor® Professional 2015 para a validação das mesmas.

Os botões para que o usuário pudesse operar o equipamento seriam colocados diretamente na placa frontal, porém a distância entre a placa frontal e a parte interna frontal da caixa é de 18,5mm, o que limitaria o uso de botões com uma altura maior que 20,5mm (a espessura da caixa por onde os botões passam é de 2mm). A alternativa criada para possibilitar a utilização de botões de diversas alturas e ampliar as opções de compra no mercado, foi a criação de mais uma placa que pode ter sua distância regulada em relação à parte interna frontal da caixa, através das duas barras de pinos que ligam esta nova placa à placa frontal. Na Figura 18, encontra-se a nova placa onde os botões serão montados na placa frontal do equipamento.

Figura 18 - Montagem incluindo placa com botões para regulagem de distância em relação à parte frontal da caixa

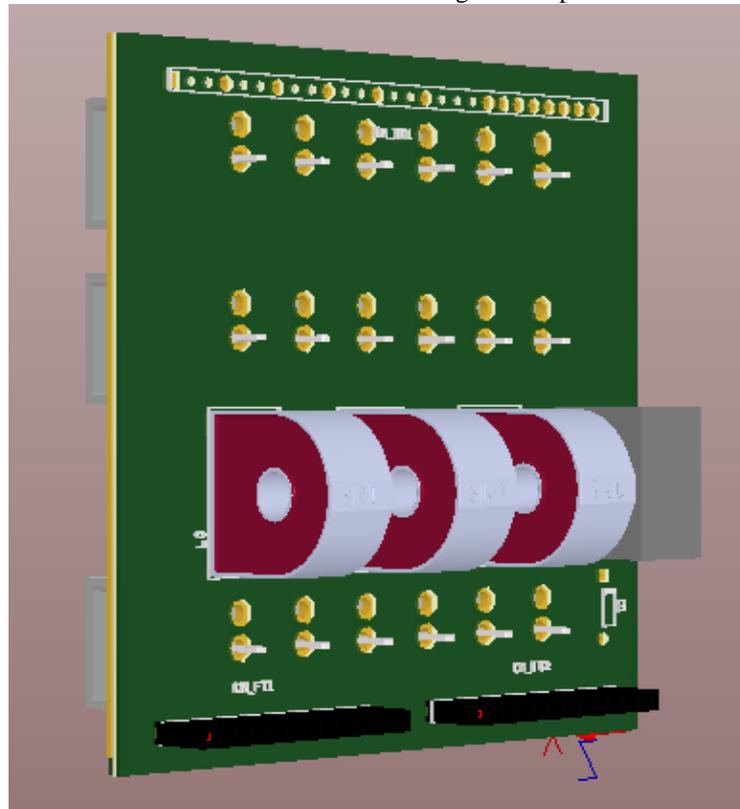


As placas foram dimensionadas para ocupar a maior área possível da caixa, sem resultar em problemas ou dificuldades para a montagem, porque quanto maior for a área das placas, maior será as opções de alocação de componentes e distribuição das trilhas no roteamento da PCI.

Na Figura 19 até a Figura 22, encontram-se os formatos obtidos das placas do multimetido, demonstrados individualmente e com os componentes inclusos que não podem ter sua posição modificada. Modificando-os de local podem ocorrer problemas de montagem, como, por exemplo, o deslocamento de uma barra de pinos, que poderia

provocar o deslocamento de uma ou mais placas, mudando-as para uma posição conflitante com alguma parte da caixa do equipamento.

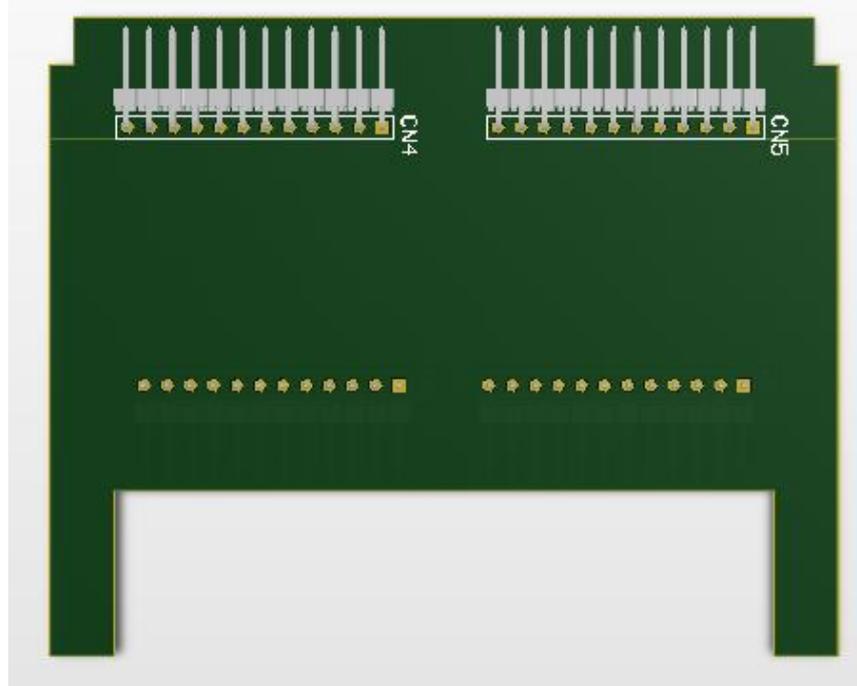
Figura 19 - Placa traseira do multimetror com alguns componentes inclusos



Foram colocados os três TCs (Transformadores de Corrente) e o relé na placa traseira da Figura 19, porque estes componentes ocupam um volume maior da parte interna da caixa em relação a outros componentes da mesma placa e merecem uma atenção especial. Além disso, como são passados fios nos furos dos TCs e depois soldados no conector que tem as entradas de corrente para medição, é necessário que a distância entre esses TCs seja simétrica para não haver diferença de tamanho destes fios e de um valor que facilite o manuseio para a soldagem dos fios, que são soldados manualmente.

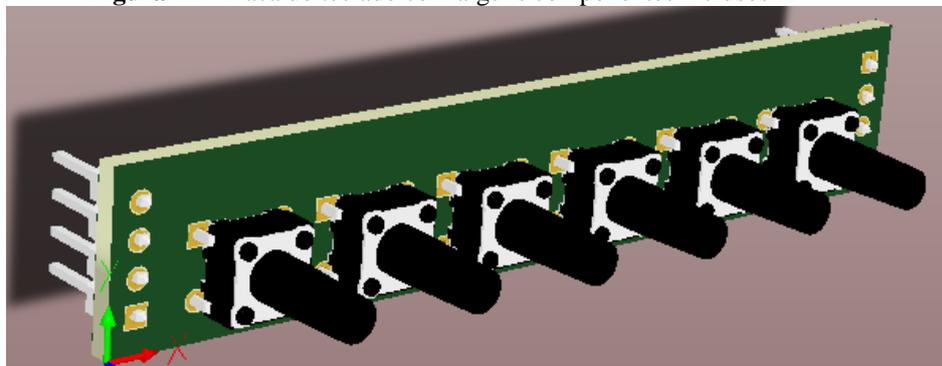
As placas inferior e superior possuem o mesmo formato e por isso apenas uma está representada na Figura 20. Nestas placas apenas as barras de pinos possuem uma localização fixada para a interligação dos sinais elétricos com as outras placas.

Figura 20 - Placa inferior e superior do multimetror com alguns componentes inclusos



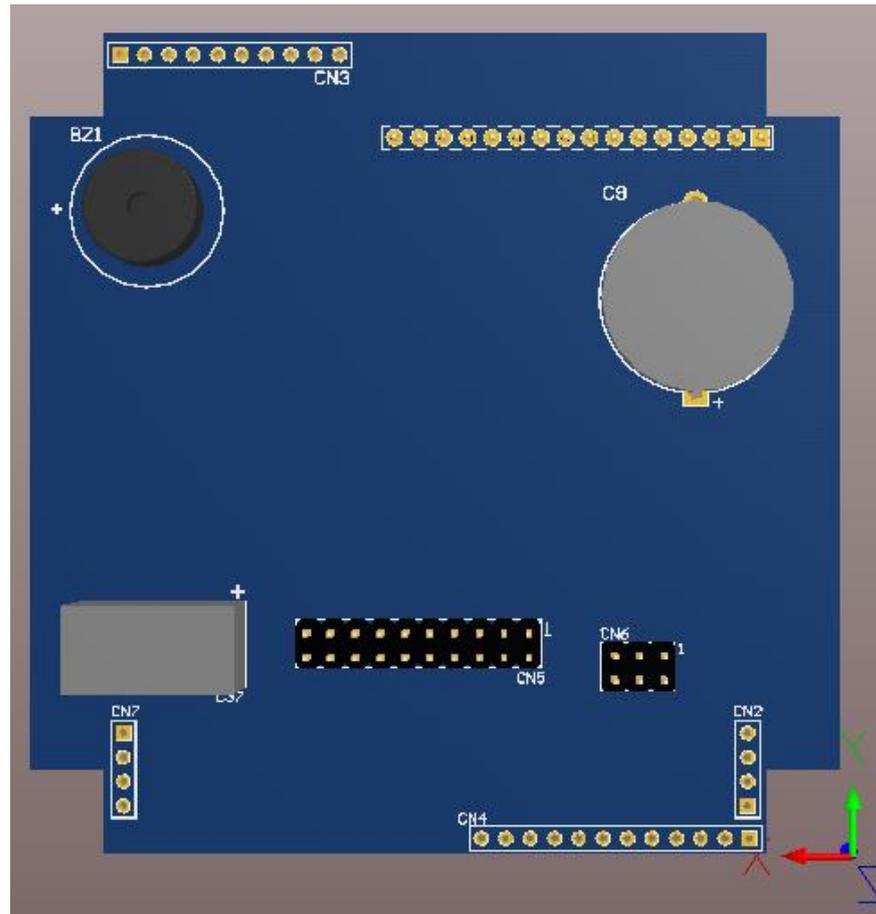
Na Figura 21, a placa do teclado tem fixados além da barra de pinos que permite regular a distância dos botões em relação à caixa, os próprios botões, pois os furos onde passam os botões na parte frontal da caixa já têm posições especificadas no projeto da mesma.

Figura 21 - Placa do teclado com alguns componentes inclusos



A distribuição dos componentes com posição fixa na PCI que será desenvolvida neste projeto (placa frontal) no Altium Designer®, utilizando estratégias e regras básicas para a criação de dois layouts desta mesma placa, está representada na Figura 22.

Figura 22 - Placa frontal do multimetror com alguns componentes inclusos



3.3 DESCRIÇÃO DOS BLOCOS DO CIRCUITO DA PLACA FRONTAL

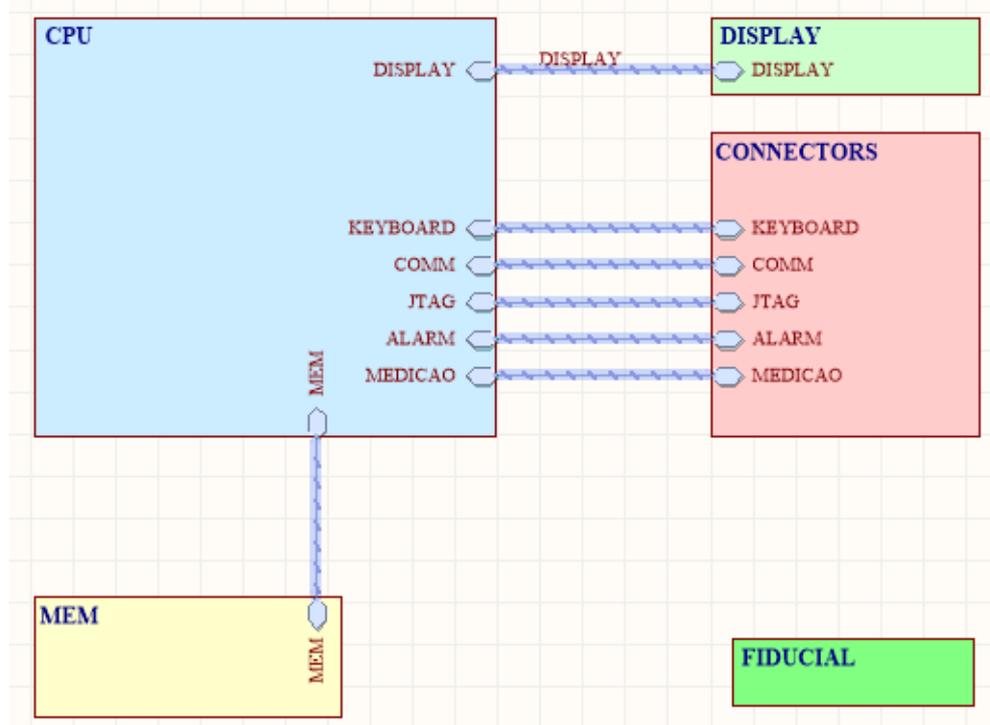
Na Figura 23, estão representados os blocos do circuito da placa frontal, os quais serão utilizados na realização de dois layouts utilizando técnicas diferentes de roteamento.

O bloco CPU da Figura 23 é onde encontra-se o microprocessador com os cristais osciladores e os circuitos de reset. A programação do microprocessador é realizada através do firmware já desenvolvido do equipamento. Além disso, tem-se ainda o buzzer do equipamento neste bloco, que é o componente eletrônico responsável por emitir os sinais sonoros do multimetror.

No bloco MEM da Figura 23 estão colocadas as memórias NAND e F-RAM, onde a primeira é responsável por deixar dados armazenados mesmo que o equipamento não esteja sendo alimentado, como por exemplo armazenar medições de tensão, corrente e fator de

potência. Os sinais de controle e de dados destas memórias são enviados pelo microprocessador.

Figura 23 - Blocos do circuito da placa frontal



No bloco DISPLAY da Figura 23, encontra-se o conector do display LCD 4 colunas por 16 linhas, o qual conecta os sinais controlados pelo microprocessador a este display.

O bloco CONNECTORS da Figura 23 tem os conectores que ligam os sinais da placa de medição e da placa da fonte chaveada à placa frontal, para ser possível a manipulação destes sinais via firmware. O conector para a depuração (debug) do equipamento também se encontra neste bloco.

Os pontos fiduciais foram colocados no bloco FIDUCIAL, para que fosse possível importá-los do diagrama elétrico para o layout da PCI.

3.4 LAYOUT DA PLACA FRONTAL NO ALTIUM DESIGNER®

Por tratar-se de uma PCI com alta densidade de componentes, possuir sinais de alta frequência na faixa de 12MHz e conter o microprocessador que além de conectar-se aos componentes desta PCI, ainda recebe sinais provenientes dos circuitos presentes nas outras placas do multimetedor, foi desenvolvida uma PCI multilayer nos dois layouts realizados da placa frontal. A Tabela 1 demonstra como foi realizada a distribuição dos layers na PCI,

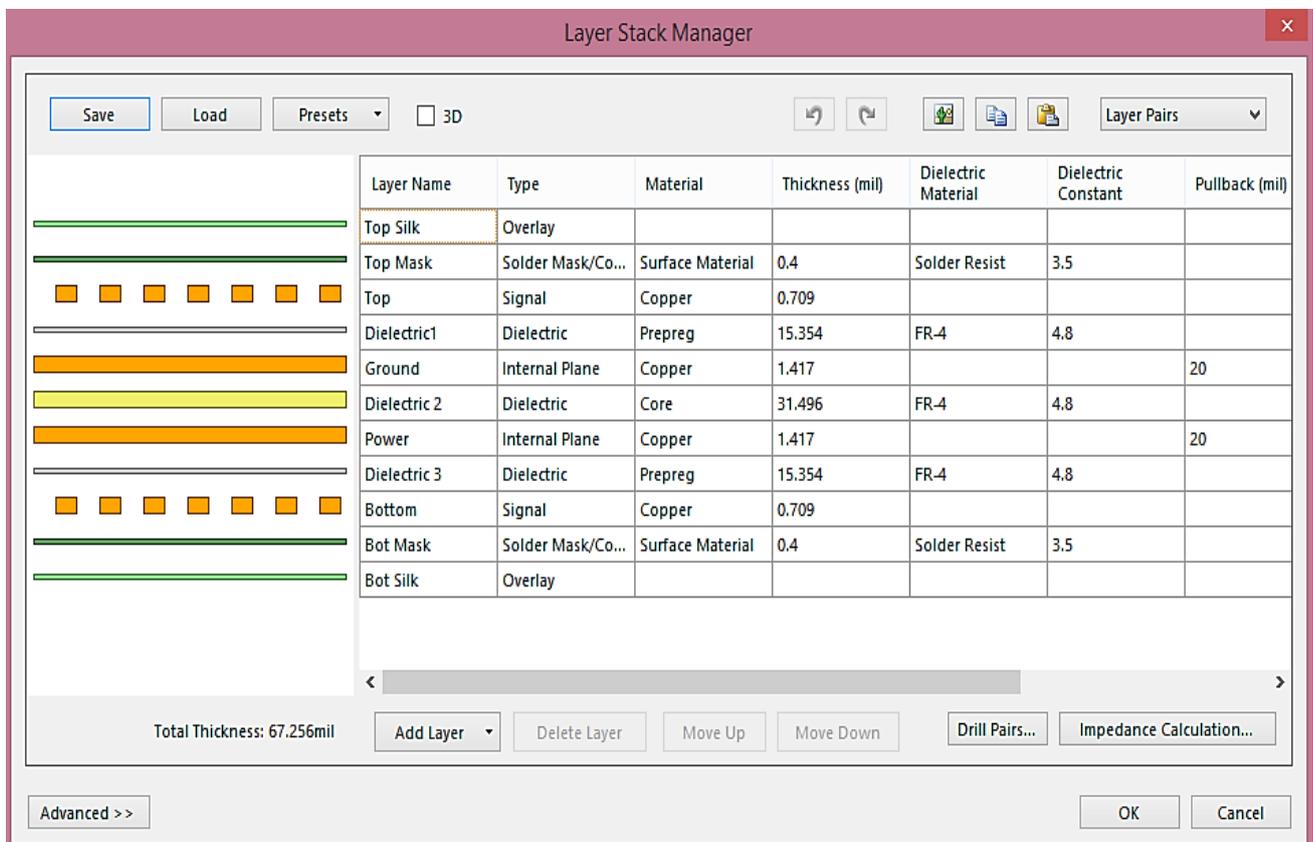
sabendo-se que foram utilizadas quatro camadas na mesma e os layers de sinais encontram-se na parte externa da PCI.

3.4.1 Configurando os layers da PCI

No Altium Designer®, no menu *Layer Stack Manager* é possível configurar e visualizar a estrutura das camadas da PCI, como pode ser visto na Figura 24.

Os valores das espessuras de cobre dos dois layers de sinais, do layer ground, do layer power, das espessuras do material dielétrico FR-4 entre os layers e da espessura da máscara de solda, foram configuradas para a placa frontal de acordo com os valores que constam na Figura 24.

Figura 24 - Configuração dos layers da placa frontal



Nota-se nos valores da Figura 24, que se colocou a espessura do prepreg de FR-4 entre os layers de sinais (bottom e top) e os planos de terra e alimentação menor que a espessura do núcleo da PCI, visando-se evitar problemas devido ao crosstalk nas trilhas dos sinais do

circuito e diminuir a área das correntes de retorno na PCI. O núcleo de FR-4 tem a maior espessura, em relação às outras partes, para dar sustentação mecânica à PCI.

3.4.2 Modo de colocação dos componentes para soldagem

A colocação dos componentes na PCI foi realizada de modo que a pasta de solda para soldar os componentes SMD esteja no lado contrário de onde deve ser colocada a solda nos terminais dos componentes PTH, o que diminui o custo de montagem dos componentes da PCI pela montadora. Exceto três barras de pinos que seriam montadas manualmente e não na solda onda, não acarretando maiores custos. Logo, os componentes SMD e PTH foram posicionados no layer bottom da PCI, com exceção das três barras de pinos mencionadas que se encontram no layer top. Na Figura 25, está demonstrado um exemplo de componentes localizados no layer bottom, onde as ilhas dos componentes SMD no layer bottom estão representadas em azul. A Figura 26 demonstra a visão 3D da Figura 25 para melhor visualização de como os componentes SMD e PTH estarão posicionados na PCI.

Analisando-se a Figura 26 pode-se visualizar que a solda do resistor PTH será realizada no lado contrário da pasta de solda dos capacitores SMD. Salienta-se a importância de se ter os arquivos STEP 3D (extensão *.step) de cada componente do circuito, que são as visualizações 3D destes componentes, facilitando na alocação dos componentes e organização da PCI através do software de design.

Figura 25 - Componentes da PCI no layer bottom

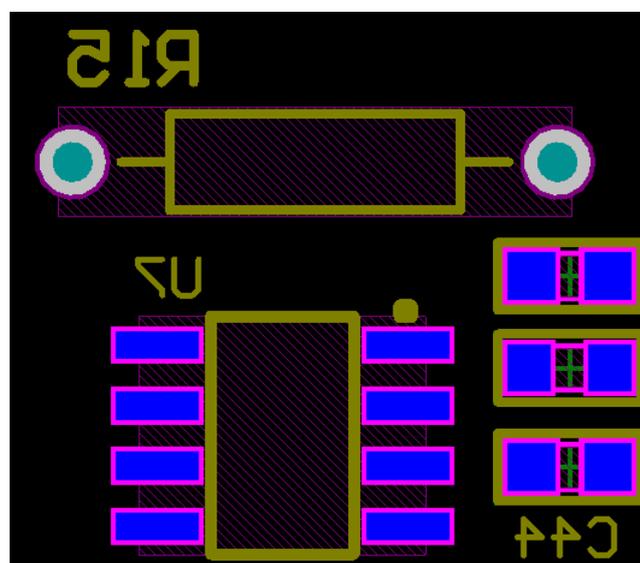
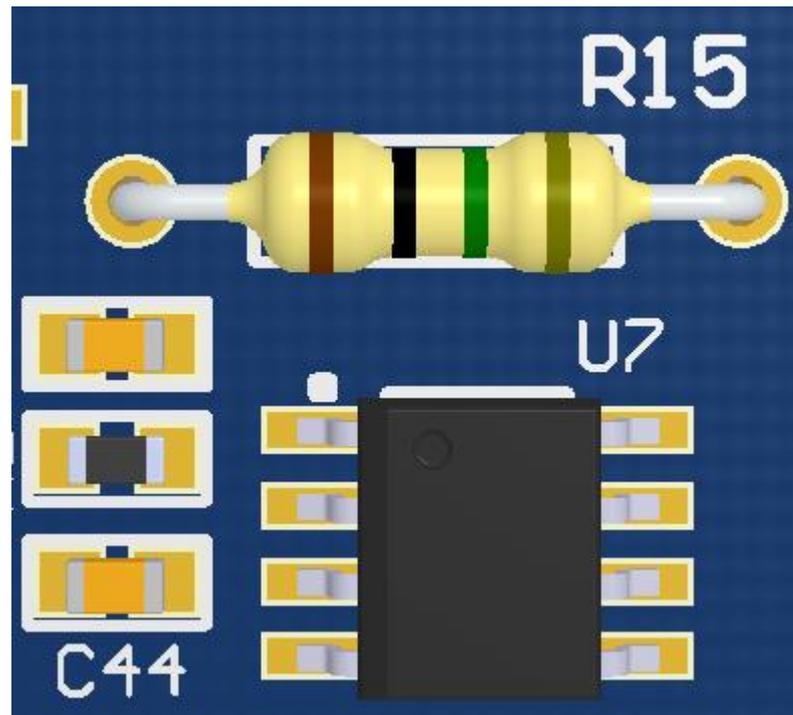
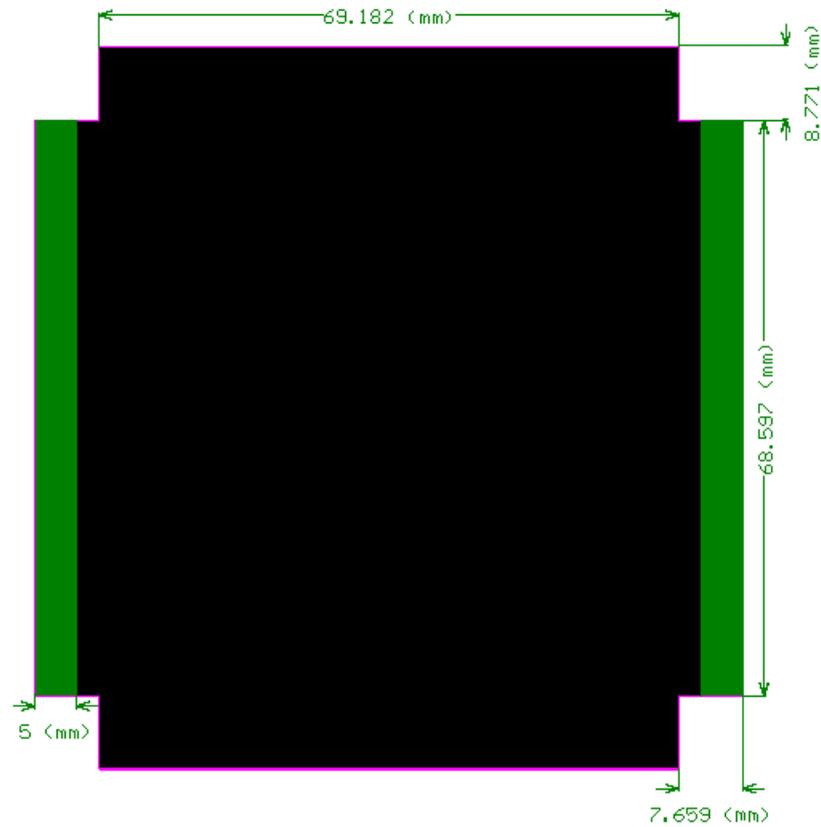


Figura 26 - Visualização 3D dos componentes da PCI no bottom layer

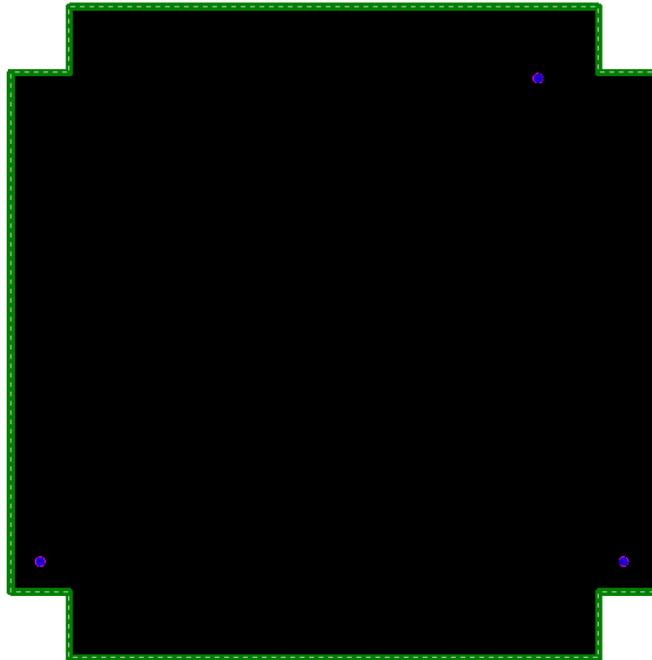
Visando evitar que ocorram danos na PCI no processo de montagem e soldagem dos componentes, torna-se necessário determinar a distância em relação às bordas da placa que os componentes SMD serão montados. Foi utilizada uma distância de 5mm, garantindo que ao ser fixada a placa para a montagem dos componentes SMD, estes não estejam na região de fixação da máquina que realizará o processo. Na Figura 27, estão representadas as dimensões desta PCI e nas regiões em verde na placa não devem ser colocados os componentes.

Figura 27 - Dimensões da placa frontal e regiões que não devem ser montados componentes



3.4.3 Posicionamento dos pontos fiduciais

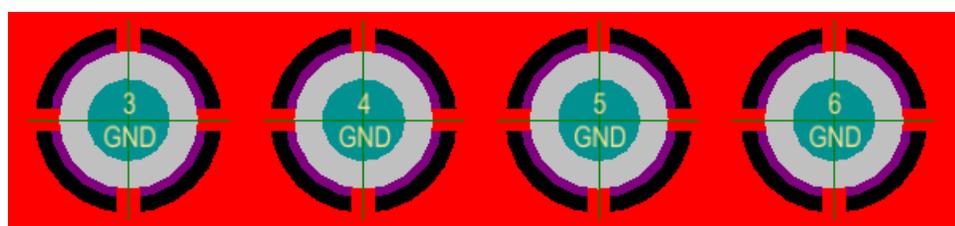
Na PCI foram posicionados três pontos fiduciais globais com diâmetro de 1,27mm para corrigir possíveis problemas de precisão na montagem através da alocadora de componentes (*pick and place*). Estes pontos foram colocados formando uma posição triangular como é possível verificar na Figura 28, os quais são os pontos em azul, pois se encontram no layer bottom onde serão montados os componentes SMD.

Figura 28 - Localização dos pontos fiduciais na PCI

3.4.4 Utilização de thermal relief nos planos

Os thermal reliefs foram utilizados nos terminais dos componentes que estão conectados diretamente nos planos de terra e alimentação da PCI, evitando-se que estes componentes sejam danificados no momento da soldagem ou até mesmo em um possível retrabalho da placa, pois uma rápida dissipação de calor poderia fazer que a solda esfriasse antes mesmo de realizar a ligação entre o terminal e o plano, sendo necessário elevar muitas vezes a temperatura do componente para a soldagem, podendo danificá-lo. Os terminais que são conectados nestes planos através de trilhas não necessitam de thermal relief, porque a própria trilha evita a rápida dissipação de calor no momento da soldagem.

Na Figura 29, encontra-se o exemplo da utilização de thermal reliefs (em vermelho) nos terminais de uma das barras de pinos conectados no terra presente no layer top da placa frontal.

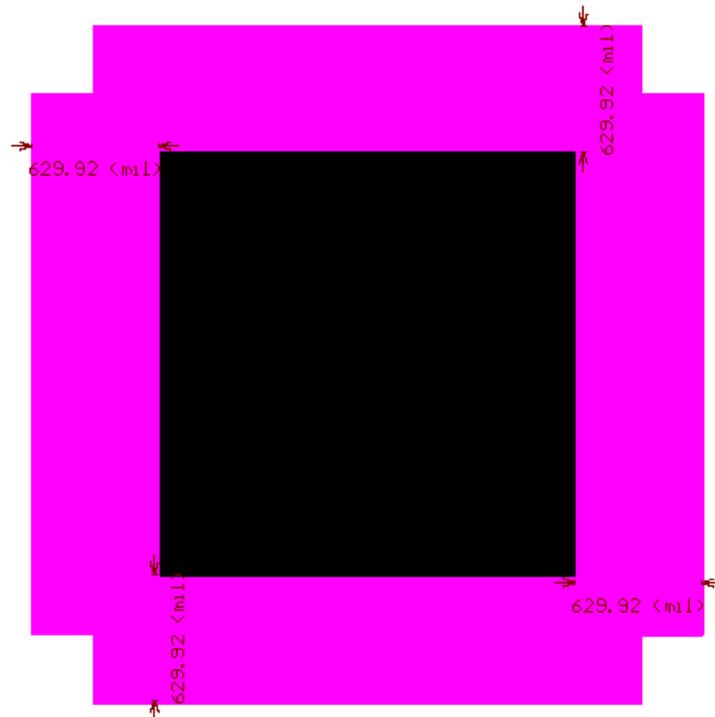
Figura 29 - Thermal reliefs nos terminais conectados

Cabe ressaltar que as vias no momento da realização do layout da PCI não precisam de thermal relief, sendo conectadas diretamente ao plano que pertence. Isso se deve ao fato de que não será necessário realizar alguma soldagem diretamente nas mesmas.

3.4.5 Determinação do tamanho do plano de alimentação

Inicialmente para a realização dos layouts utilizou-se a regra 20-H na determinação do tamanho do plano de alimentação, o que permite a diminuição das emissões de RF na borda da placa. Sabendo-se através da Figura 24 que a espessura do núcleo de FR-4 entre o plano de terra e o plano de alimentação é de 31,496 mil (800 micras), define-se pela regra 20-H que as bordas do plano de alimentação devem ser recuadas 629,92 mil (16mm). Considerando-se que o plano de terra ocupará toda a área da placa, na Figura 30 está representado o plano de alimentação na cor preta.

Figura 30 - Plano de alimentação (em preto) seguindo a regra 20-H



3.4.6 Regra 3W aplicada às trilhas da PCI

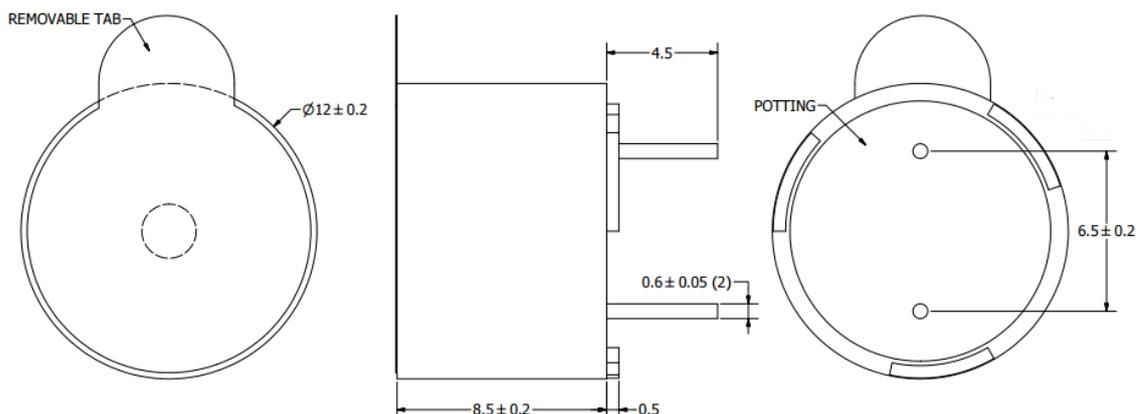
Nos layouts realizados da PCI frontal do equipamento procurou-se utilizar a regra 3W visando reduzir o fluxo de crosstalk entre as trilhas da PCI. Nas trilhas em que não é possível manter a separação entre os seus centros de três vezes a largura das mesmas, devido à falta de espaço durante o roteamento da PCI, procurou-se manter o maior afastamento possível sem haver conflito com os componentes ou outras trilhas.

3.4.7 Previsões na PCI

Ao realizar o layout da PCI, uma prática que pode evitar que seja necessário o relay layout da placa, e, conseqüentemente, evitar possíveis custos na fabricação de uma nova PCI, é que o projetista preveja no circuito que alguns componentes possam ser utilizados futuramente, colocando o footprint destes componentes no layout, mesmo que não sejam montados em um primeiro momento.

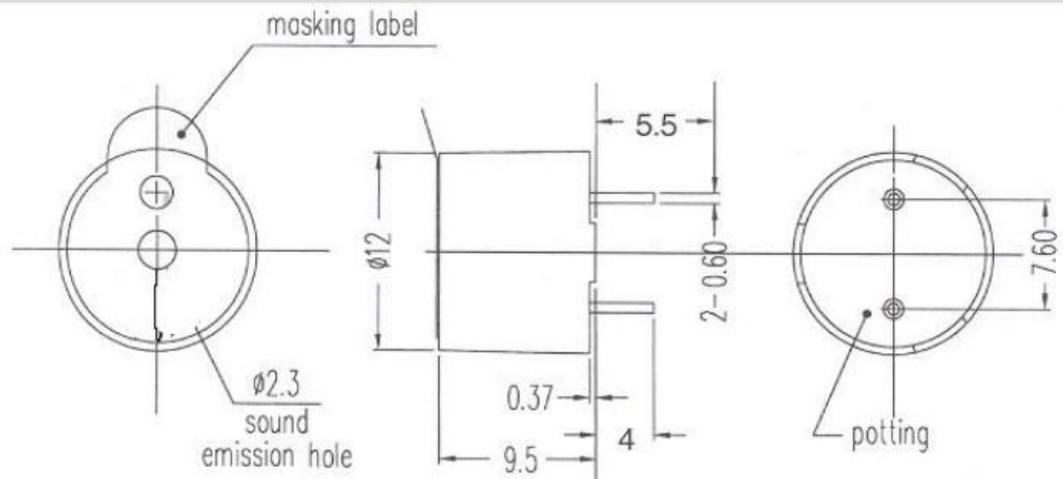
A previsão de possíveis alterações necessárias na placa pode ser utilizada também para propor mais opções de compra de um determinado componente, como por exemplo colocar mais de uma opção de passo (distância entre os terminais dos componentes) no footprint de um componente da PCI. No mercado, foram encontradas duas opções de buzzer com as mesmas características elétricas, porém com passos diferentes e com diâmetros diferentes. Este buzzer é necessário ser montado, pois faz parte do circuito da placa frontal, a qual foi feita os layouts. Na Figura 31 e na Figura 32 estão apresentadas as dimensões mecânicas de dois modelos diferentes de buzzer, os quais devem ter seus footprints previstos na PCI.

Figura 31 - Dimensões mecânicas da primeira opção de compra do buzzer



Fonte: PUI AUDIO, 2009

Figura 32 - Dimensões mecânicas da segunda opção de compra do buzzer

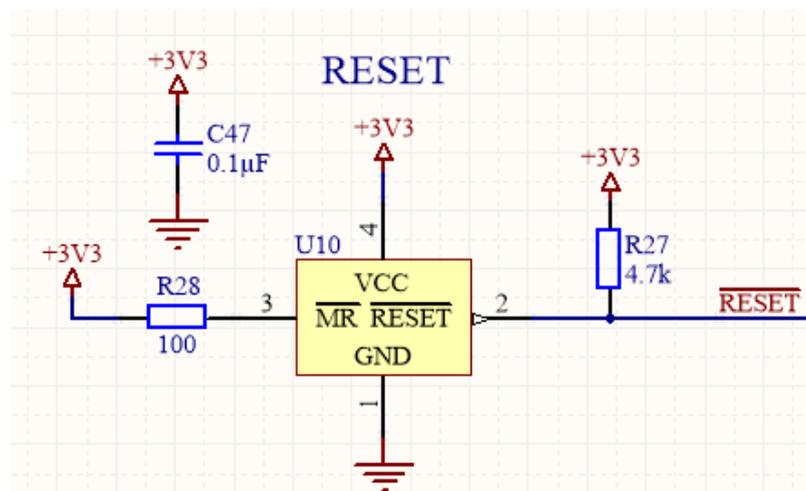


Fonte: PUI AUDIO, 2014

3.4.8 Inclusão de capacitores bypass no diagrama elétrico

Procurando mitigar ripples ou ruídos nos pinos da fonte de alimentação dos CIs do circuito que podem prejudicar o seu funcionamento esperado, adicionaram-se no diagrama elétrico existente da placa frontal, capacitores bypass em todos os pinos de alimentação dos CIs existentes. A utilização de capacitores cerâmicos SMD se deu por ter ser de baixo custo e de um tamanho compacto, o que permite maior flexibilidade no posicionamento dos componentes e de trilhas da PCI. O dielétrico aconselhável ao pensar no funcionamento adequado do circuito é o X7R por variar menos a capacitância em função da tensão bias CC. A Figura 33 demonstra o circuito de reset do microprocessador presente no bloco CPU da Figura 23 onde foi incluído o capacitor bypass C47 nos pinos de alimentação do CI.

Figura 33 - Circuito de reset com capacitor bypass



3.4.9 Colocação dos componentes de acordo com a funcionalidade

Como demonstrado na Figura 14, agrupar os componentes em blocos de acordo com sua funcionalidade diminui problemas relacionados à EMI. Uma das razões de colocar o circuito elétrico do multimetro em quatro placas, além dos aspectos relacionados a mecânica da caixa, é para dividir o circuito em blocos funcionais, como por exemplo os circuitos analógicos presentes na placa medição em relação aos circuitos digitais e de alta frequência da placa frontal.

A divisão em blocos funcionais nas quatro placas flexibilizou a alocação de componentes da placa frontal, pois o único bloco de circuito analógico nesta PCI é a do regulador de tensão para obter uma tensão de 3,3V a partir de uma tensão de 5V e alimentar os CIs do circuito. Procurou-se alocar na placa frontal componentes de mesma função próximos, como, por exemplo, os componentes do circuito de reset do microprocessador presente na Figura 33. Circuitos que exercem funções distintas nesta PCI foram espaçados e este modo de alocação permite a utilização de trilhas menores para interconectar os componentes no momento do roteamento. Os componentes que tiveram a posição determinada como consta na Figura 22, foram impedidos de ter sua posição modificada através da opção de bloqueio do Altium Designer[®], facilitando o roteamento da PCI.

Os cristais osciladores do microprocessador foram colocados próximos a ele por serem os sinais com as maiores frequências do circuito da PCI. Sendo assim, as trilhas desses

sinais possuem maior impedância por unidade de comprimento de trilha e devem ter o menor comprimento possível.

3.4.10 Regra de roteamento da PCI

O roteamento das trilhas seguiu regras diferentes nos dois layouts realizados da placa frontal. No primeiro layout utilizou-se o método labirinto em que as trilhas nos dois layers de sinais seguiram sentidos aleatórios de acordo com a necessidade de conectá-las em um pad ou em uma via. No segundo roteamento das trilhas seguiu-se o método X-Y, principalmente nas áreas da PCI próximas ao microprocessador, pois a densidade de trilhas nessas regiões são maiores devido à variedade de sinais de entrada e saída neste componente.

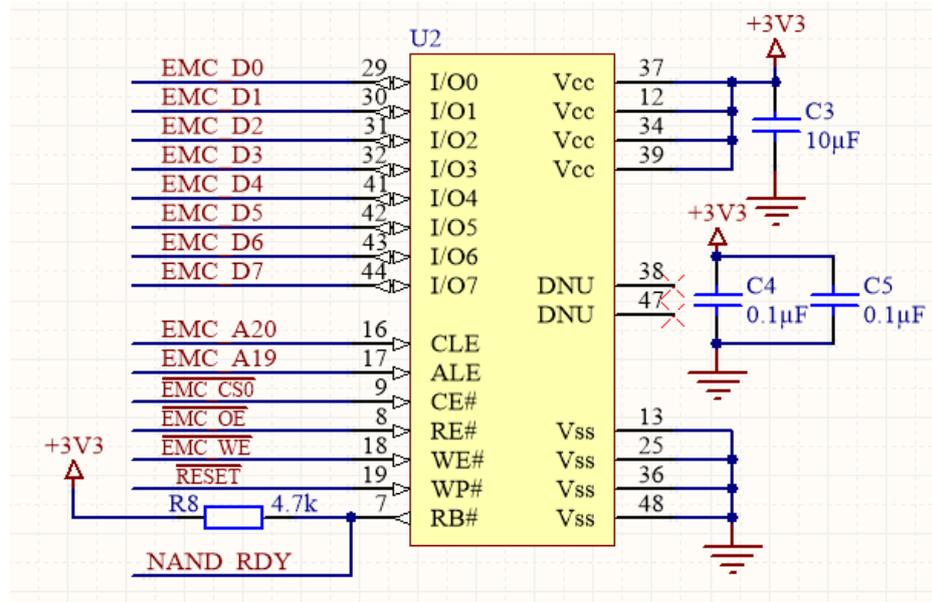
3.4.11 Barramentos da Memória

No layout em que foi utilizada a regra labirinto de roteamento, não iniciou-se o roteamento das trilhas pelos barramentos de dados e de controle da memória. Sendo que o roteamento destes barramentos não foi realizado em conjunto, e sim, roteando uma trilha por vez, mas tentando manter o mesmo formato de roteamento para trilhas do mesmo barramento.

Já no segundo layout realizado utilizando a regra X-Y de roteamento, foram selecionados os pontos do circuito que pertencem ao mesmo barramento da memória e utilizou-se a opção *Interactive Multi-Routing* do Altium Designer[®] que faz as trilhas de mesmo barramento seguir o caminho traçado por uma das trilhas do mesmo. O principal objetivo do roteamento de sinais de mesmo barramento em conjunto é para evitar que possíveis atrasos em um dos dados comprometam a leitura ou escrita correta dos bits de endereço pela memória.

Na Figura 34 está representado o circuito da memória NAND onde foram incluídos dois capacitores bypass (C4 e C5) nos pinos de alimentação do CI.

Figura 34 - Circuito da memória NAND da placa frontal



Os pinos 29, 30, 31, 32, 41, 42, 43 e 44 da memória na Figura 34 correspondem ao barramento de dados, já os pinos 16, 17, 9, 8, 18, 19 e 7 correspondem ao barramento de controle da memória. No capítulo 4 serão calculados os tempos de atraso de transmissão dos sinais nas trilhas dos barramentos de dados.

4 RESULTADOS E DISCUSSÕES

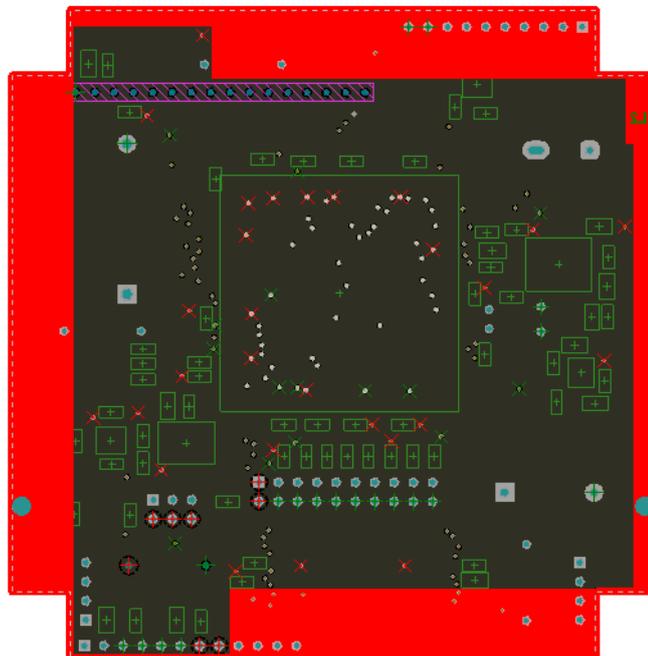
Neste capítulo serão comparados aspectos importantes nos dois layouts realizados da placa frontal, visando demonstrar as estratégias de layout aplicadas.

4.1 TAMANHO DO PLANO DE ALIMENTAÇÃO

Nos dois layouts realizados não foi possível recuar a distância das bordas do plano de alimentação com a distância demonstrada na Figura 30, pois as vias e os terminais de componentes PTH que estão conectados neste plano encontram-se mais próximos da borda da placa. Retirando-se o plano de alimentação das áreas onde estas vias e terminais se encontram, não seria possível ter conexão dos componentes com a alimentação de 3,3V do circuito.

Mesmo não sendo possível utilizar as distâncias estabelecidas na Figura 30, procurou-se diminuir as bordas do plano de alimentação em relação ao plano de terra que ocupa toda a área da placa, pois já auxiliará na diminuição de emissões de RF nas bordas da PCI. A Figura 35 demonstra o plano de alimentação (área da placa que não está em vermelho) que foi utilizado nos dois layouts realizados.

Figura 35 - Plano de alimentação da PCI (área que não está em vermelho) nos dois layouts realizados

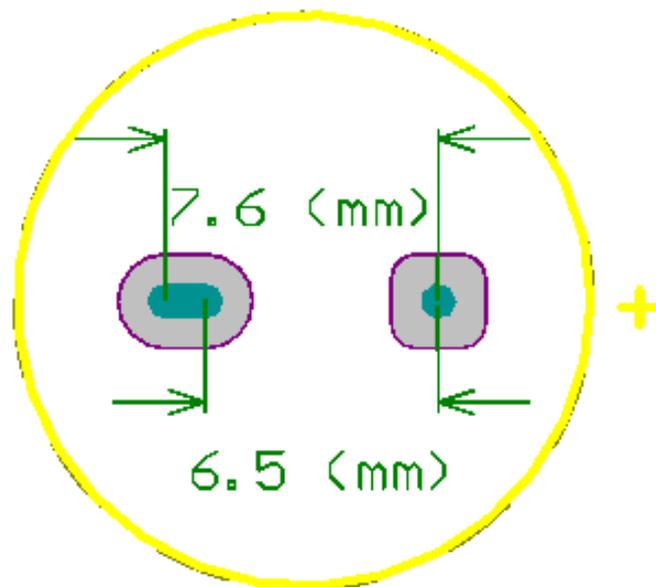


A maior distância obtida da borda do plano de alimentação (presente na Figura 35) em relação à borda do plano de terra foi de 361,2mil (9,175mm).

4.2 IMPLEMENTAÇÃO DO FOOTPRINT GENÉRICO

Na adequação do footprint que será colocado na placa frontal para os buzzers da Figura 31 e da Figura 32, aumentou-se a largura do furo de um dos pads do footprint para permitir que fossem montados os dois buzzers na PCI, tornando-o um footprint genérico para buzzers com passo de 6,5mm e 7,6mm. Na Figura 36, está demonstrado o footprint genérico com as dimensões dos dois tamanhos de passo a qual foi dimensionado.

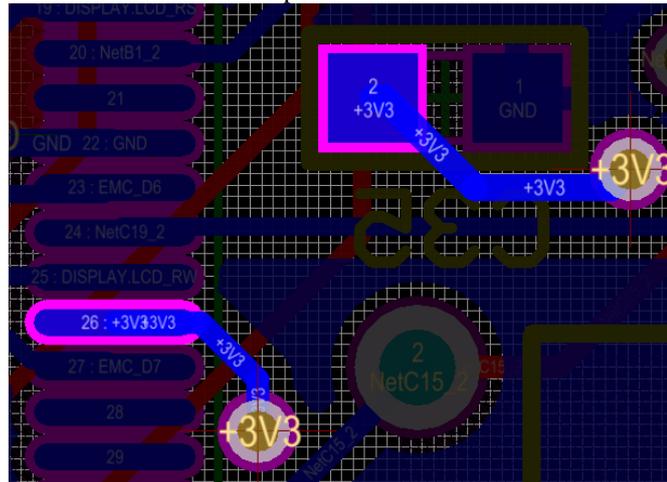
Figura 36 - Footprint genérico para buzzers com passos diferentes



4.3 POSIÇÃO DOS CAPACITORES BYPASS

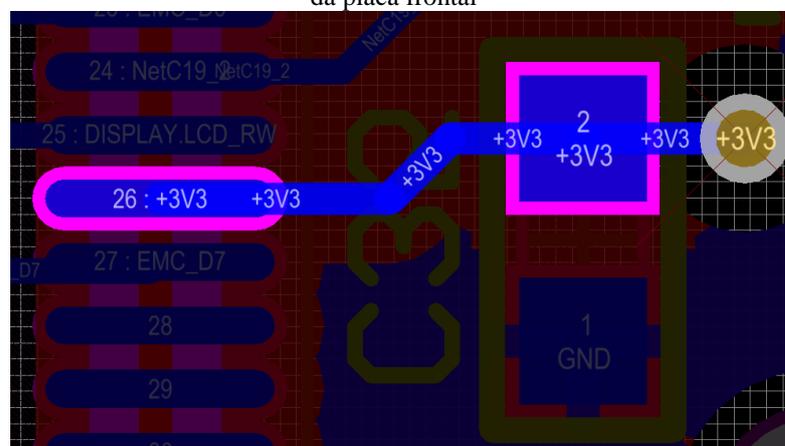
Na Figura 37 está representado em destaque, o capacitor bypass de um dos pinos de alimentação do microprocessador situado na PCI, no qual observa-se que não está conectado diretamente no pino do CI e sim conectado em uma via que o conecta ao plano de alimentação do circuito. Este modo de colocação do capacitor foi realizado no primeiro layout da placa frontal.

Figura 37 - Capacitor bypass de um dos pinos de alimentação do microprocessador colocado no primeiro layout da placa frontal



Ao não colocar o capacitor conectado diretamente no pino de alimentação do microprocessador, este perde sua funcionalidade de diminuir correntes transientes próximas ao CI. Para corrigir este problema, no segundo layout colocou-se o capacitor bypass mais próximo do pino de alimentação do microprocessador, podendo-se realizar a conexão direta ao capacitor e com uma trilha menor do que seria necessária para realizar esta conexão no primeiro layout. Na Figura 38, está representada a conexão correta do capacitor bypass realizada no segundo layout da placa frontal.

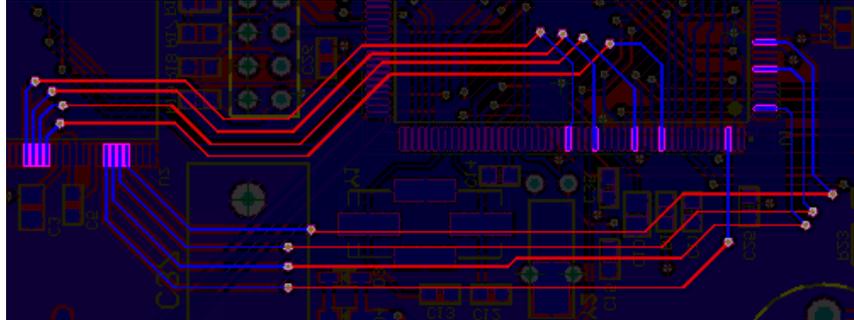
Figura 38 - Capacitor bypass de um dos pinos de alimentação do microprocessador colocado no segundo layout da placa frontal



4.4 BARRAMENTOS DA MEMÓRIA E TEMPOS DE ATRASO

Na Figura 39, estão destacadas as trilhas dos sinais do barramento de dados da memória NAND da Figura 34, roteadas no primeiro layout realizado da placa frontal.

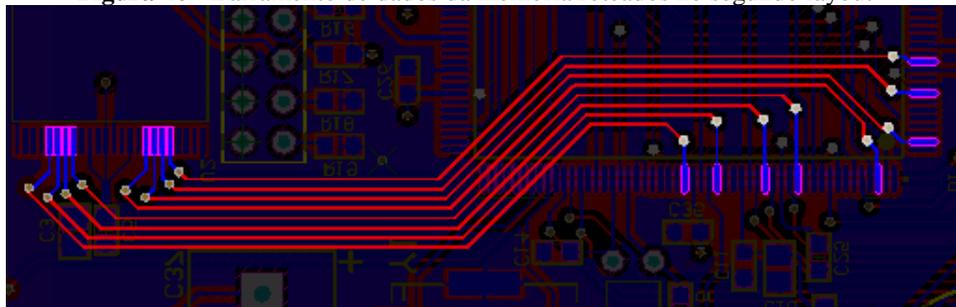
Figura 39 - Barramento de dados da memória roteados no primeiro layout



Como as trilhas do barramento de dados não foram roteadas seguindo o mesmo caminho na PCI, haverá maiores diferenças de comprimento entre trilhas de dados distintos e conseqüentemente maiores diferenças do tempo de atraso destes sinais.

No segundo layout realizado, onde foi roteado primeiramente o barramento de dados da memória NAND da Figura 34 utilizando a opção *Interactive Multi-Routing* do Altium Designer[®], obteve-se a forma destacada na Figura 40.

Figura 40 - Barramento de dados da memória roteados no segundo layout



A opção *Interactive Multi-Routing* ainda permitiu colocar um espaçamento constante entre as trilhas do barramento de dados. Sabendo-se que todas trilhas do barramento tem uma largura de 8 mils (203,2 micras), o espaçamento entre os centros das trilhas utilizado foi de 24 mils (609,6 micras) para seguir corretamente a regra 3W.

Tanto no primeiro layout do barramento de dados representado na Figura 39 quanto no segundo layout representado na Figura 40, a largura das trilhas é de $W=8$ mils (203,2

micras) e a espessura é dada na Figura 24 sendo no valor de $T = 0,709$ mil (18 micras). Além destes dois valores, sabendo-se que a constante dielétrica do material FR-4 é igual a $\epsilon_r = 4,8$ e a distância entre o plano de alimentação ou plano de terra aos layers de sinais (bottom e top) são iguais e no valor de $H = 15,354$ mils (390 micras), através da Equação 2 chega-se que o valor da impedância característica de uma trilha no layer top ou no layer bottom do barramento de dados da memória é $Z_0 = 89,32 \Omega$.

No cálculo do tempo de atraso dos sinais de dados é necessária apenas a constante dielétrica do material isolante utilizado na PCI que é $\epsilon_r = 4,8$ e conhecer o comprimento das trilhas de cada sinal do barramento de memória. Sabendo a constante dielétrica do material isolante, chega-se utilizando a Equação 3 que o tempo de atraso por comprimento de trilha é dado por $t_{pd} = 145,99$ ps/pol que trocando a unidade para mil corresponde a $t_{pd} = 0,14599$ ps/mil. Na Tabela 2 e na Tabela 3 estão representados os comprimentos totais das trilhas de cada dado da memória (adição de trilhas do layer bottom e do layer top) referentes ao primeiro e segundo layout respectivamente, assim como os valores dos tempos de atraso destes sinais.

Tabela 2 - Tempos de atraso dos dados da memória no primeiro layout

Dado	Comprimento trilha (mil)	Tempo de atraso (ps)
D0	2953,5	431,2
D1	2913,2	425,3
D2	2877,0	420,0
D3	2612,5	381,4
D4	2445,8	357,1
D5	2408,0	351,5
D6	2385,2	348,2
D7	2372,5	346,4

Tabela 3 - Tempos de atraso dos dados da memória no segundo layout

Dado	Comprimento trilha (mil)	Tempo de atraso (ps)
D0	2173,3	317,3
D1	2244,4	327,7
D2	2372,9	346,4
D3	2430,0	354,8
D4	2338,4	341,4
D5	2228,1	325,3
D6	2230,7	325,7
D7	2177,9	317,9

Analisando-se os valores da Tabela 2, obteve-se que a maior diferença de tempos de atraso entre os dados de mesmo barramento no primeiro layout da placa frontal foi de 84,8ps (entre D0 e D7), enquanto que a maior diferença obtida no segundo layout analisando os valores da Tabela 3 foi de 37,5ps (entre D3 e D0).

4.5 ROTEAMENTO LABIRINTO E X-Y

A área do microprocessador onde se encontra a maior densidade de trilhas do circuito da PCI está representada na Figura 41 e na Figura 42, onde a Figura 41 representa o roteamento do primeiro layout utilizando o roteamento labirinto e a Figura 42 o roteamento X-Y utilizado no segundo layout. As linhas em azul e em vermelho na Figura 41 e na Figura 42 referem-se aos layers bottom e top, respectivamente.

Figura 41 - Roteamento labirinto na área do microprocessador no primeiro layout com as vias destacadas em branco

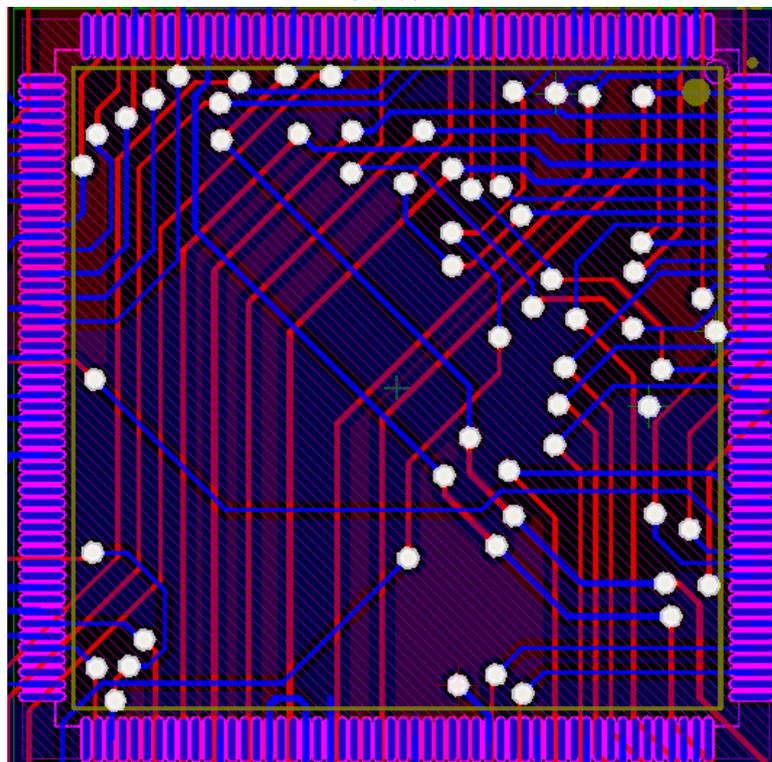
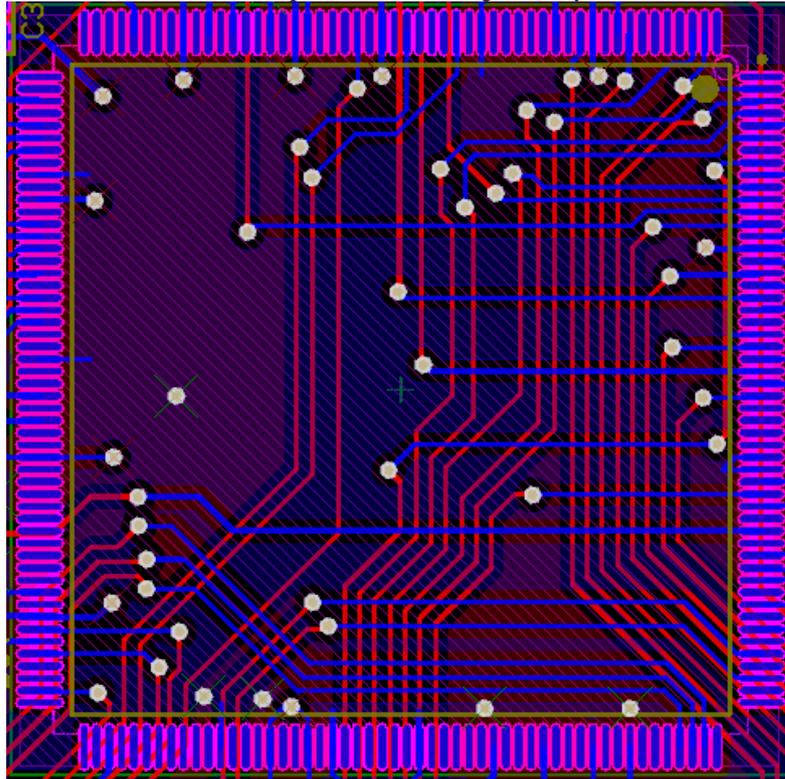


Figura 42 - Roteamento X-Y na área do microprocessador no segundo layout com as vias destacadas em branco



No roteamento labirinto da Figura 41, nota-se que foi necessário um maior número de vias na área do microprocessador em relação ao roteamento X-Y da Figura 42. Um total de 59 vias foi necessário ao utilizar o roteamento labirinto, enquanto que um total de 48 vias foi necessário ao realizar-se o roteamento X-Y. Este menor uso de vias no segundo layout representou a vantagem ao utilizar-se o roteamento X-Y, pois se deve sempre evitar utilizar vias na PCI, pois estas adicionam capacitância e indutância à trilha e podem produzir ruídos, reflexões e EMI. Além disso, rotar trilhas de layers diferentes ortogonalmente permite diminuir a capacitância entre estas trilhas.

Cabe ressaltar que foi necessário utilizar uma separação mais estreita em algumas trilhas (situadas no mesmo layer da PCI) no primeiro layout em relação à indicada na regra 3W, o que pode implicar em crosstalk entre as trilhas e afetar a integridade do sinal que circula nas mesmas.

5 CONCLUSÕES

A utilização de diferentes tipos de roteamento das trilhas nos dois layouts realizados da placa frontal permitiu demonstrar que ao desenvolver uma PCI multilayer, o método X-Y foi mais vantajoso, pois se conseguiu reduzir o número de vias no segundo layout, e, além disso, pode-se manter um maior espaçamento entre trilhas, assim como de trilhas em relação a vias. Evitando-se possíveis problemas de curto que possam ocorrer na PCI após a sua fabricação e tornando possível a utilização da regra 3W para evitar o crosstalk.

Além de realizar o posicionamento dos componentes em blocos funcionais para não haver problemas de integridade do sinal e ser possível utilizar o menor comprimento de trilhas, alguns componentes elétricos devem ter uma atenção especial, pois dependendo do seu posicionamento podem não desempenhar corretamente a sua função no circuito. Este problema foi demonstrado no posicionamento do capacitor de bypass do primeiro layout que não foi conectado diretamente no pino de alimentação do microprocessador, sendo corrigido no segundo layout este erro de posicionamento.

O conhecimento das propriedades elétricas do material isolante dos layers da PCI torna-se imprescindível para o controle de impedância das trilhas e dos tempos de atraso da circulação dos sinais nas mesmas. Foi possível observar através do estudo dos barramentos de dados da memória NAND da placa frontal, roteados nos layouts realizados, que a melhor maneira de evitar maiores diferenças de comprimento entre trilhas de mesmo barramento é realizando o layout de maneira que estas trilhas sigam a mesma trajetória na PCI até chegar ao local de conexão correspondente. Estes barramentos quando são os primeiros a serem roteados na placa, possuem menos obstáculos durante o percurso da trilha. No primeiro layout em que não se seguiu o mesmo caminho para todas as trilhas de mesmo barramento, obteve-se um tempo de atraso máximo entre dois dados do mesmo barramento 2,26 maior do que o tempo de atraso máximo entre dois dados obtidos no segundo layout.

Os tempos de atraso dos dados da memória podem provocar problemas de leitura de endereço, porque se o bit do dado deveria ser de nível lógico alto, por exemplo, ocorrendo um atraso pode-se chegar um nível lógico baixo errado na memória bem no momento em que esse bit é detectado.

É aconselhável em trabalhos futuros ser realizado o layout das outras PCIs pertencentes ao multimedidor de grandezas elétricas e que já tiveram seus formatos determinados através da integração dos softwares de design. Após a realização dos layouts

faltantes (placa superior, placa inferior e placa traseira) utilizando estratégias de layout demonstradas neste trabalho, indica-se a fabricação das PCIs para ser possível a realização de testes nos pontos de interesse do circuito, assim como para possibilitar verificar o equipamento em operação e realizar testes relacionados à EMC.

REFERÊNCIAS

1. DUGAN, R. C.; *et al.* **Electrical Power Systems Quality**. 2nd ed. New York: McGraw-Hill, 2003.
2. COOMBS JUNIOR, C. F. **Printed Circuits Handbook**. 6th ed. New York: McGraw-Hill, 2008.
3. VANTERESIAN, J. **Fabricating Printed Circuit Boards**. Woburn: Elsevier Science, 2002.
4. STRAUSS, R. **SMT Soldering Handbook**. 2nd ed. Woburn: Newnes, 1998.
5. MONTROSE, M. I. **Printed Circuit Board Design Techniques for EMC Compliance: A Handbook for Designers**. 2nd ed. New York: IEEE, 2000.
6. MONTROSE, M, I. **EMC and the printed circuit board: design, theory, and layout made Simple**. New York: IEEE, 1999.
7. QUALIECO CIRCUITS LTD. **Single-sided/layer PCBs**. 2012a. Disponível em: <<http://www.qualiecocircuits.co.nz/single-sided-layer-pcb.htm>>. Acesso em: 15 out. 2016.
8. QUALIECO CIRCUITS LTD. **Double-sided/layer PCBs**. 2012b. Disponível em: <<http://www.qualiecocircuits.co.nz/double-sided-layer-pcb.htm>>. Acesso em: 15 out. 2016.
9. QUALIECO CIRCUITS LTD. **Multilayer PCBs**. 2012c. Disponível em: <<http://www.qualiecocircuits.co.nz/multilayer-pcb.htm>>. Acesso em: 15 out. 2016.
10. EPEC. **Wave soldering defects**. 2016a. Disponível em: <<http://www.epectec.com/pcb/wave-soldering-defects/>>. Acesso em: 30 set. 2016.
11. APPLIED ELECTRONICS ENGINEERING. **A nice illustration of wave design**. Disponível em: <<http://appliedelectronicsengineering.blogspot.com.br/2014/07/a-nice-illustration-of-wave-soldering.html>>. Acesso em: 2 out. 2016.
12. DS TOOLS. **Processo de Soldagem de Componente SMD**. Disponível em: <<http://www.dstools.com.br/processo-de-soldagem-de-componente-smd>>. Acesso em: 10 out. 2016.
13. API. **Reflow Soldering Guidelines**. 2009. Disponível em: <http://micro.apitech.com/pdf/surface_mount_reflow_soldering.pdf>. Acesso em: 19 out. 2016.
14. WDF. **The Base Material CEM-1 and CEM-3 of PCB**. 2013. Disponível em: <<http://www.wonderfulpcb.com/news/The-Base-Material-CEM-1-and-CEM-3-of-PCB-85.html>>. Acesso em: 15 set. 2016.

15. MEHL, E. L. M. **Conceitos Fundamentais sobre Placas de Circuito Impresso.** Disponível em: <http://www.eletrica.ufpr.br/mehl/te232/textos/PCI_Conceitos_fundamentais.pdf>. Acesso em: 20 set. 2016.
16. MELO, P. R. S.; RIOS, E. C. D.; GUTIERREZ. R. M. V. **Placas de circuito impresso: mercado atual e perspectivas.** Rio de Janeiro, n. 14, p. 111-136, set. 2001
17. ELETRONPI. **Componentes SMD e PTH.** Disponível em: <<http://www.eletronpi.com.br/ce-006-ptb-smd.aspx>>. Acesso em: 29 set. 2016.
18. MULTI CIRCUIT BOARDS LTD. **Blind & Buried Vias.** Disponível em: <<https://www.multi-circuit-boards.eu/en/pcb-design-aid/drills-throughplating/blind-via-buried-via.html>>. Acesso em: 1 out. 2016.
19. VERASTEGUI, T. M. N. **Propagação de modos entre planos de referência em placas de circuito impresso de múltiplas camadas.** 2007. 104f. Dissertação (Mestrado). Universidade Federal do Paraná. Programa de Pós-Graduação em Engenharia Elétrica. Curitiba, 2007.
20. WIKIPEDIA. **Via (electronics).** Disponível em: <[https://en.wikipedia.org/wiki/Via_\(electronics\)](https://en.wikipedia.org/wiki/Via_(electronics))>. Acesso em: 30 out. 2016.
21. ELECTROSOFT ENGINEERING. **Concepts and terminology used in Printed Circuit Boards (PCB).** 2010. Disponível em: <<http://www.pcb.electrosoft-engineering.com/04-articles-custom-system-design-and-pcb/01-printed-circuit-board-concepts/printed-circuit-board-pcb-concepts.html>>. Acesso em: 1 nov. 2016.
22. PCBDesign. **PCB Structures: Vias, Pads, Lands, Dimensions, Traces, and Planes.** Disponível em: <<http://www.pcbdesign.org/pcb-layout/pcb-structures-vias-pads-lands-dimensions-traces-and-planes/>>. Acesso em: 27 set. 2016.
23. ACCUTRON INC. **Fiducial Mark Design Guidelines.** Disponível em: <<http://www.accutroninc.com/pdf/download/fiducial.pdf>>. Acesso em: 3 out. 2016.
24. LACHAPELLE, Denis. **On the use of thermal relief pattern for various via.** 2012. Disponível em: <<http://www.sysacom.com/pdf/an201211-01a.pdf>>. Acesso em: 5 out. 2016.
25. JACKSON, Paul. **Understanding PCB Manufacturing: Silk-Screening.** 2013. Disponível em: <<http://www.omnicircuitboards.com/blog/bid/312861/Understanding-PCB-Manufacturing-Silk-Screening>>. Acesso em: 7 out. 2016.
26. EPEC. **Solder Mask Design Basics.** 2016b. Disponível em: <<http://www.epectec.com/pcb/soldermask-design-basics.html>>. Acesso em: 16 set. 2016.
27. LEE, W. R. **PCB routers and routing methods.** 1999. Disponível em: <<http://www.speedingedge.com/PDF-Files/pcbroutrous.pdf>>. Acesso em: 30 ago. 2016.

28. WEILER, Alexander.; PAKOSTA, Alexander. **High-Speed Layout Guidelines**. Dallas: Texas Instruments, 2006. 20 p. Disponível em: <<http://www.ti.com/lit/an/scaa082/scaa082.pdf>>. Acesso em: 20 out. 2016.
29. ANALOG DEVICES. **Decoupling Techniques**. 2009a. Disponível em: <<http://www.analog.com/media/en/training-seminars/tutorials/MT-101.pdf>>. Acesso em: 8 nov. 2016.
30. ANALOG DEVICES. **Microstrip and Stripline Design**. 2009b. Disponível em: <<http://www.analog.com/media/en/training-seminars/tutorials/MT-094.pdf>>. Acesso em: 8 nov. 2016.
31. INSTITUTE FOR INTERCONNECTING AND PACKAGING ELECTRONIC CIRCUITS. **IPC-2221**: Generic Standard on Printed Board Design. Northbrook, 1998.
32. INSTITUTE FOR INTERCONNECTING AND PACKAGING ELECTRONIC CIRCUITS. **IPC-7351**: Generic Requirements for Surface Mount Design and Land Pattern Standard. Bannockburn, 2005.
33. ANALOG DEVICES. **Printed Circuit Board Issues**. Disponível em: <<http://www.analog.com/media/en/training-seminars/design-handbooks/Basic-Linear-Design/Chapter12.pdf>>. Acesso em: 1 nov. 2016.
34. PUI AUDIO. **AT-1224-TWT-R**. 2009. Disponível em: <<http://www.puiaudio.com/pdf/AT-1224-TWT-R.pdf>>. Acesso em: 10 out. 2016.
35. PUI AUDIO. **AI-1223-TWT-5V-5-R**. 2014. Disponível em: <<http://www.puiaudio.com/pdf/AI-1223-TWT-5V-5-R.pdf>>. Acesso em: 10 out. 2016.
36. BRASIL. Agência Nacional de Energia Elétrica. **Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional – PRODIST**: módulo 8 – Qualidade da Energia Elétrica, Brasília: ANEEL, 2016. Disponível em: <http://www2.aneel.gov.br/arquivos/PDF/M%C3%B3dulo8_Revis%C3%A3o_7.pdf>. Acesso em 19 out. 2016.