

## INTRODUÇÃO

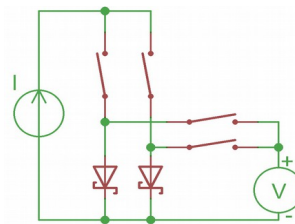
Com a progressiva redução das tensões de alimentação, faz-se necessário o estudo de novos dispositivos de referência de tensão, sendo o diodo Schottky uma opção em substituição aos diodos de junção PN. Os diodos Schottky são normalmente usados com a função de proteção nos pinos de entrada dos circuitos integrados, assim, os parâmetros de variabilidade fornecidos pela indústria são pouco confiáveis. Com a falta destes parâmetros surgiu a necessidade deste trabalho, aonde pretende-se construir um circuito integrado com uma grande quantidade de dispositivos que possam ser individualmente medidos. As medições efetuadas irão gerar os dados estatísticos necessários para os projetos que usem este dispositivo.

A atuação do aluno bolsista neste projeto se restringiu a realizar as simulações que identificaram os tamanhos dos transistores MOS usados como chaves, bem como a realização de uma parte do leiaute final do projeto.

## IDEIA BÁSICA

A ideia básica que gerou este projeto é a de aplicar uma fonte de corrente variável em um conjunto de diodos e medir a queda de tensão gerada em cada diodo individualmente. Pretende-se medir 400 diodos divididos em 4 geometrias com 100 diodos cada, para isso deve-se usar um sistema de chaveamento para o acesso individual a cada diodo. Com esta estratégia consegue-se medir um grande número

de diodos com o uso de poucos pinos de acesso externo ao circuito integrado.

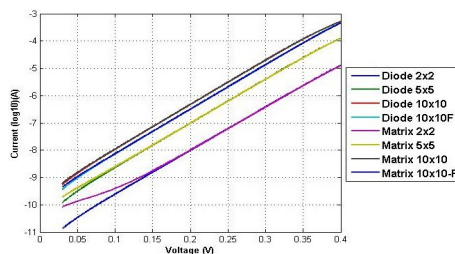


## SIMULAÇÕES

Simulações foram realizadas nas 4 geometrias de diodos para testar a melhor estratégia de acesso aos dispositivos e também para ajustar os tamanhos dos transistores usados como chaves. Estas simulações confirmaram os tamanhos dos transistores conforme a tabela abaixo.

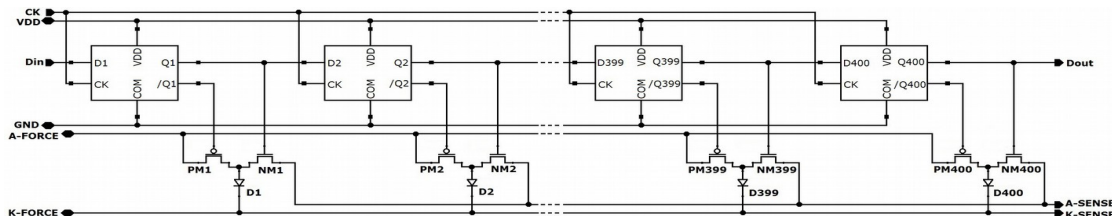
Geometria	PMOS			NMOS	
	L	W	Fingers	L	W
2µm x 2µm	0,24µm	0,84µm	1	0,24µm	0,84µm
5µm x 5µm	0,24µm	7,4µm	5	0,24µm	0,84µm
10µm x 10µm	0,24µm	22,8µm	10	0,24µm	0,84µm
10µm x 10µm-F	0,24µm	29,2µm	10	0,24µm	0,84µm

Com as simulações individuais finalizadas, foram montados todos os 400 diodos para averiguação da funcionalidade do circuito. Os gráficos da figura abaixo mostram que as simulações para o circuito com os 400 diodos se aproxima bastante das simulações onde temos a presença de apenas um diodo.



## CIRCUITO FINAL

Na figura ao lado podemos ver o esquema de ligações do circuito final. Nesta figura podemos ver os "flip-flops" usados para acionar as chaves PMOS e NMOS bem como o caminho de circulação de corrente e de medição de tensão sobre os diodos.

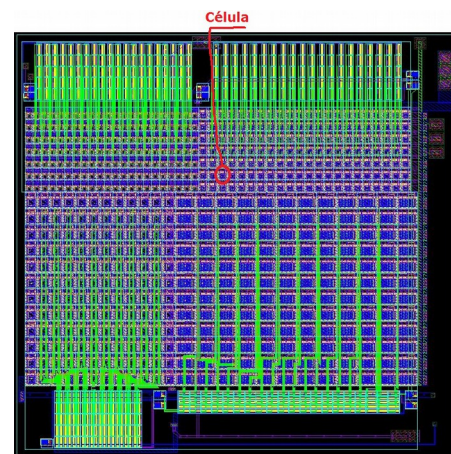
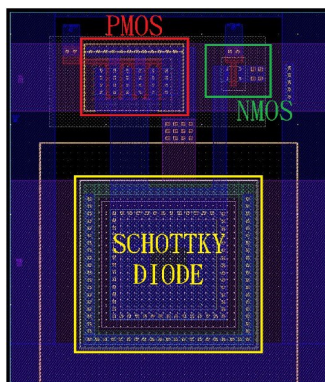


## LEIAUTE

Pela complexidade do projeto, o leiaute foi dividido em partes pequenas que foram sendo agrupadas até o desenho final. Na figura ao lado podemos ver o leiaute de uma célula composta por: DIODO, Chave PMOS e Chave NMOS.

Na outra figura temos o leiaute completo que foi enviado para prototipação em Agosto de 2016 com previsão de retorno em Novembro do mesmo ano. Está circulado naquela figura uma das células da figura anterior.

O processo utilizado neste trabalho foi o IBM 130nm, com isso o tamanho final do circuito é de 757µm de comprimento por 722µm de largura.



## AGRADECIMENTOS

Ao CNPQ, à PROPESQ e ao Programa CI-Brasil por terem possibilitado e financiado esta pesquisa.

Ao serviço MOSIS por fornecer prototipação gratuita do circuito.

À FAPERGS pelo fornecimento da bolsa de Iniciação Científica ofertada ao aluno.

## REFERÊNCIAS

Klimach, H. "Mismatch model for MOS transistors". Tese de doutorado, PPGEEL, UFSC, 2008.

Campana, R., Klimach, H. and Bampi, S. "0.5 V Supply Resistorless Voltage Reference for Low Voltage Applications," In Proceedings of the 28th symposium on Integrated circuits and systems design (SBCCI), 2015, vol. 1.