

AUTOMAÇÃO DE MODELO DE ATRASO PARA PORTAS ESTÁTICAS CMOS

Lucas Carraro, Renato P. Ribas

Instituto de Informática, UFRGS, Porto Alegre, Brasil
{lcarraro, rpribas}@inf.ufrgs.br

RESUMO

Trabalhos que propõe modelos analíticos de atraso normalmente descrevem os conceitos algébricos mas não consideram as questões de implementação. Este trabalho apresenta os passos requeridos para integrar um modelo de atraso analítico para gates CMOS complexos em um ambiente de EDA. A automação de um modelo de atraso permite validações mais rápidas de mudanças que sejam aplicadas às equações do modelo. Uma ferramenta assim também possibilita a execução de análises de primeira ordem de grandes conjuntos de gates CMOS. Quando comparados à simulações elétricas, modelos analíticos são muito mais simples de computar e, a despeito da imprecisão, eles são suficientemente acurados para diversas aplicações.

INTRODUÇÃO

A metodologia standard-cell é amplamente utilizada na concepção de circuitos VLSI. Esta metodologia depende de bibliotecas que contém componentes menores que são instanciados durante a síntese. Estes componentes são conhecidos como células e os seus aspectos afetam o leiaute final. É necessário conhecer a eficiência das células antes de mapear as suas instâncias em redes mais complexas. Diversas abordagens são usadas para caracterizar as células, mas todas possuem um trade-off entre performance e precisão. Simulação elétrica é a forma de análise mais precisa entre todas e é a opção usada na análise final de um circuito. Contudo, uma simulação elétrica pode ser inconveniente por questões de escalabilidade. Uma alternativa conhecida para estes cenários é o uso de modelos analíticos. Estes modelos estimam as características de uma porta lógica com um custo computacional muito baixo.

Modelos analíticos de atraso usam uma grande variedade de metodologias para estimar o comportamento de componentes elétricos. Conceber um modelo analítico não é uma tarefa simples, visto que existem diversos efeitos que precisam ser modelados. Modificar um modelo exige muitos testes e validação antes que ele possa ser aceito, mas testar quaisquer mudanças é uma tarefa custosa para ser feita manualmente.

Os trabalhos que propõe modelos focam em descrever o comportamento físico de uma porta lógica. Contudo estes trabalhos geralmente não discutem como o modelo pode ser implementado. O nosso trabalho discorre sobre as etapas necessárias para automatizar a análise de um modelo analítico. O modelo de referência usado é [1] devido à sua baixa taxa de erro, mas essas técnicas podem ser aplicadas a diversos modelos que usem uma abordagem similar.

TEMPO DE DESCARGA

O modelo requer o valor de tensão inicial e final de cada nó da rede para identificar a carga total (Q_t). Esta carga precisa ser descarregada das capacitâncias internas a fim de mudar o valor da saída. Não obstante, a corrente média de descarga (I_{avg}) da rede é modelada através da largura de um transistor eletricamente equivalente. Essa largura é obtida através de uma série de associações entre os transistores cujas entradas não variam. Os termos Q_t e I_{avg} são usados para estimar o tempo de descarga (Δt) de uma saída.

$$\Delta t = \frac{Q_t}{I_{avg}} \quad (1)$$

TENSÃO NODAL

Os possíveis valores lógicos que os nós da rede assumem são definidos como: '1' forte, '1' fraco, '0' forte, '0' fraco e alta impedância ('Z'). Como já é bem conhecido, um transistor NMOS (PMOS) conduz um '0' ('1') forte e um '1' ('0') fraco. Os nós que não possuem um caminho direto até a fonte de alimentação ou até o aterramento assumem o valor de alta impedância. Além disso, deve-se observar que o valor de saída de uma porta CMOS é sempre '1' forte ou '0' forte.

Em seguida, partindo do nó de alimentação (Vdd), que corresponde a um '1' forte lógico, todos os outros nós são visitados usando um algoritmo de caminhamento por largura. Com base no estado dos transistores percorridos é possível definir os valores lógicos propagados para os nós visitados. Os valores dos nós são então armazenados e o processo é repetido mas partindo do nó terra (Gnd), que corresponde ao valor lógico '0' forte. Na sequência, os resultados são combinados para obter um mapa completo de valores nodais. Este mapa é usado para identificar Q_t após uma transição lógica na saída de '1' para '0'.

CORRENTE MÉDIA DE DESCARGA

O termo I_{avg} requerido na equação (1) é obtido com uma média dos valores de tensão identificados previamente e com a largura de um transistor eletricamente equivalente. A fim de calcular a largura equivalente, todos os transistores operando na região linear devem ser combinados em um único dispositivo.

Arranjos em série são combinados usando:

$$\frac{1}{W_{eq}} = \sum \frac{1}{W} \quad (2)$$

E arranjos em paralelo são combinados com:

$$\frac{1}{W_{eq}} = \sum \frac{1}{W} \quad (3)$$

RESULTADOS

A tabela 1 apresenta os valores observados na rede pull-down da porta AOI211, ilustrada na figura 1.

FIGURA 1: REDE PULL-DOWN DA PORTA CMOS AOI211

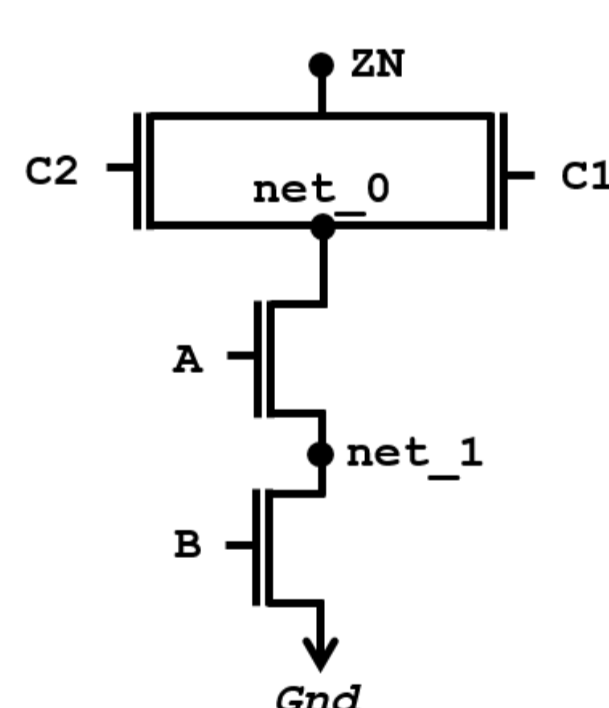


TABELA 1: VALORES OBSERVADOS NOS NÓS DA PORTA LÓGICA AOI211 DADOS ALGUNS VETORES DE ENTRADA

| Entradas {A, B, C1, C2} | Nós | | |
|----------------------------|------------|------------|------------|
| | ZN | net_0 | net_1 |
| {0,0,0,0} | Strong '1' | Z | Z |
| {0,0,1,1} | Strong '1' | Weak '1' | Z |
| {0,1,1,0} | Strong '1' | Weak '1' | Strong '0' |
| {1,0,0,0} | Strong '1' | Z | Z |
| {1,0,0,1} | Strong '1' | Weak '1' | Weak '1' |
| {1,1,1,0} | Strong '0' | Strong '0' | Strong '0' |

A tabela 2 apresenta larguras equivalentes obtidas através do método proposto neste trabalho para a representação comum de portas NAND e NOR.

TABELA 2: RESULTADOS DE LARGURA EQUIVALENTE OBTIDOS PARA DIVERSAS REDES

| Gate | Weq between output and Gnd (nm) | Weq between output and Vdd (nm) |
|-------|---------------------------------|---------------------------------|
| NAND4 | 103.75 | 2520 |
| NAND3 | 138.3 | 1890 |
| NAND2 | 207.5 | 1260 |
| NOR4 | 1660 | 157.5 |
| NOR3 | 1244.9 | 210 |
| NOR2 | 830 | 315 |