

262 ANALISADOR DE ESTADO LÓGICO EM IBM-PC HOSPEDEIRO.
J.L.P.A. Dias*, M.C. Tavares. (Departamento de
Engenharia Elétrica, UCPel)

O projeto "Analisador de Estado Lógico" tem por finalidade desenvolver uma ferramenta de baixo custo para projeto e manutenção de sistemas digitais. Utilizou-se como metodologia o desenvolvimento de placas de expansão para um microcomputador compatível com IBM-PC, de modo a utilizar os recursos de hardware e software já disponíveis neste micro, obtendo assim um custo muito mais baixo que o de um equipamento comercial. Espera-se obter como resultado final um equipamento com as seguintes características: frequência máxima de clock de 100 MHz, possibilidade de conexão de clock externo, 16 canais expandíveis a 64 canais no modo 50 MHz ou menos, e 4 canais expandíveis a 16 no modo 100 MHz; recursos básicos de trigger e facilidades de documentação via disco e impressora. O sistema como um todo é controlado por um software desenvolvido em linguagem Pascal. A primeira etapa, com as características citadas, deve ser concluída ainda em 1991, e numa etapa posterior, pretende-se acrescentar outras facilidades como ponteiras especializadas e suporte específico para microprocessadores e microcontroladores. (FAPERGS, FAPERGS/UCPel).