

Douglas Felipe Kunz

**Projeto e simulação de um amplificador diferencial
CMOS através do método gm/ID**

Porto Alegre

junho 2015

Douglas Felipe Kunz

Projeto e simulação de um amplificador diferencial CMOS através do método gm/ID

Projeto de Diplomação apresentado ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para a Graduação em Engenharia Elétrica.

Universidade Federal do Rio Grande do Sul

Escola de Engenharia

Departamento de Engenharia Elétrica

Orientador: Prof. Dr. Eng. Eric Ericsson Fabris

Porto Alegre

junho 2015

Douglas Felipe Kunz

Projeto e simulação de um amplificador diferencial CMOS através do método gm/ID

Projeto de Diplomação apresentado ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para a Graduação em Engenharia Elétrica.

Trabalho aprovado. Porto Alegre, 26 de junho de 2015:

Prof. Dr. Eng. Eric Ericsson Fabris
Orientador

Prof. Dr. Eng. Hamilton Klimach
Convidado 1

Prof. Dr. Eng. Gilson Inácio Wirth
Convidado 2

Porto Alegre
junho 2015

Para meus pais, Paulo e Lorene.

AGRADECIMENTOS

Ao Criador pelo fôlego, ao Salvador pela vida e ao Consolador pela comunhão.

Ao meus pais pelo incentivo ao estudo.

Aos meus irmãos, Evandro e Laura, motivos de alegria.

A minha esposa, Keila pelo apoio, motivação e paciência.

Aos colegas das empresas Toth e Datacom pelas oportunidades de aprendizado.

Ao amigo Leandro Brogni Bello pelo apoio durante a graduação.

Ao Professor Eric Ericsson Fabris pela disposição de orientar-me nesse trabalho.

Aos inúmeros intercessores pela lembrança em suas orações.

*"O temor do SENHOR
é o princípio do conhecimento;"
(Provérbios 1:7)*

RESUMO

Este trabalho apresenta o projeto e a simulação de um amplificador diferencial em tecnologia CMOS 500 nm. A topologia escolhida é composta por um par diferencial NMOS, uma carga ativa PMOS e um espelho de corrente NMOS. O circuito foi idealizado para operar com tensão de alimentação de até 1,5 V. Assim, foi necessário dimensionar os transistores para que operem na região de inversão fraca. Adotou-se o modelo EKV e o método gm/I_D .

Palavras-chaves: MOS, circuito integrado, inversão fraca, gm/I_D , coeficiente de inversão.

ABSTRACT

This paper presents the design and simulation of a differential amplifier in 500 nm CMOS technology. The topology chosen is composed of an NMOS differential pair, an active load PMOS and an NMOS current mirror. The circuit is designed to operate with supply voltage of 1.5 V. Thus, it was necessary to size the transistors to operate in weak inversion region.

Key-words: MOS, integrated circuit, weak inversion, g_m/I_D , coefficient inversion.

LISTA DE ILUSTRAÇÕES

Figura 1 – Desenho do dispositivo idealizado por Lilienfeld	15
Figura 2 – Sistema de projeto	17
Figura 3 – Circuitos para aquisição das características dos dispositivos MOS	18
Figura 4 – Estrutura de um dispositivo NMOS	19
Figura 5 – Operação de um dispositivo NMOS	21
Figura 6 – Variação I_D em relação à V_{DS}	22
Figura 7 – Variação I_D em relação à V_{DS} com múltiplos V_{GS}	23
Figura 8 – Variação da corrente de dreno em relação à V_{GS}	23
Figura 9 – Relação entre o ganho intrínseco e I_D	26
Figura 10 – Curva gm/I_D para o transistor NMOS	28
Figura 11 – Taxa gm/I_D em função do coeficiente de inversão	29
Figura 12 – Densidade de corrente $I_D/(W/L)$ vs Eficiência gm/I_D	29
Figura 13 – Coeficiente de inversão vs tensão Early para diferentes comprimentos de canais	30
Figura 14 – Frequência de transição vs Taxa de Eficiência	31
Figura 15 – Topologia de um amplificador diferencial	32
Figura 16 – Fluxograma de projeto	34
Figura 17 – Formulário para cálculo de parâmetros	36
Figura 18 – Relação entre tensão de entrada (V_{in}) e tensão de saída (V_{out})	38
Figura 19 – Resposta em frequência	39
Figura 20 – Ganho em modo diferencial	39
Figura 21 – Sinal de saída com entrada senoidal de 3 mV e 1kHz	40
Figura 22 – Sinal de saída com entrada senoidal de 10 mV e 1kHz	40
Figura 23 – Ganho em modo comum	41
Figura 24 – Resposta em frequência - alimentação menor	42
Figura 25 – Ganho em modo diferencial - alimentação menor	42
Figura 26 – Sinal de saída com entrada senoidal de 3 mV e 1kHz - alimentação menor	43
Figura 27 – Ganho em modo comum - alimentação menor	43
Figura 28 – Resposta em frequência - alimentação maior	44
Figura 29 – Ganho em modo diferencial - alimentação maior	44
Figura 30 – Sinal de saída com entrada senoidal de 3 mV e 1kHz - alimentação maior	45
Figura 31 – Ganho em modo comum - alimentação maior	45

LISTA DE TABELAS

Tabela 1 – Parâmetros extraídos em simulação para o transistor NMOS	35
Tabela 2 – Dimensionamento do circuito	38
Tabela 3 – Resultados calculados	38
Tabela 4 – Resultados calculados e simulados	41

LISTA DE ABREVIATURAS E SIGLAS

MOS	metal-oxide semiconductor
CMOS	complementary metal-oxide semiconductor
BJT	bipolar junction transistor
GBW	gain-bandwidth product
CMRR	common-mode rejection ratio

LISTA DE SÍMBOLOS

k	constante de Boltzmann [J/K]
T	temperatura [K]
q	carga do elétron [C]
W	largura do canal [m]
L	comprimento do canal [m]
μ_n	mobilidade de elétrons do canal n [$cm^2/(Vs)$]
C_{ox}	capacitância do óxido por unidade de área [F/m^2]
V_{TN}	tensão threshold do canal n [V]
U_T	tensão térmica [V]
gm	transcondutância porta-fonte [A/V]
gds	condutância dreno-fonte [A/V]
C_{gs}	capacitância porta-fonte [F]
C_{gd}	capacitância porta-dreno [F]
I_D	corrente dreno-fonte [A]
V_{GS}	tensão porta-fonte [V]
V_{DS}	tensão dreno-fonte [V]
V_{OV}	tensão de <i>overdrive</i> [V]
n	fator de substrato
r_o	resistência de saída [Ω]
λ	coeficiente de modulação do comprimento do canal [$1/V$]
A_i	ganho intrínseco
IC	coeficiente de inversão
V_A	Tensão Early [V]
FT	frequência de transição [Hz]

SUMÁRIO

1	Introdução	14
2	Histórico do transistor MOS	15
3	Objetivos	17
4	Transistores MOS	18
4.1	Estrutura física	18
4.2	Operação	19
4.3	Relações de tensão-corrente	21
4.3.1	Regiões de operação	21
4.3.2	Regiões de inversão	23
4.4	Transcondutância	24
4.5	Resistência de saída	25
4.6	Ganho intrínseco	26
5	Método de projeto	27
5.1	Taxa de eficiência	27
5.2	Coefficiente de inversão	28
5.3	Densidade de corrente	29
5.4	Tensão Early	30
5.5	Frequência de transição	30
6	Projeto do Amplificador Diferencial	32
6.1	Modelo de transistor	32
6.2	Condições de contorno	33
6.3	Equacionamento	33
6.4	Fluxo de projeto	33
6.5	Captura de parâmetros	34
6.6	Dimensionamento	35
7	Resultados	38
7.1	Análise da variação da alimentação	41
8	Conclusão	46
	Referências	47

Apêndices	48
APÊNDICE A Arquivo SPICE para simulação do transistor NMOS	49
APÊNDICE B Arquivo SPICE para simulação do transistor PMOS	50
APÊNDICE C Arquivo SPICE para simulação do amplificador diferencial	51
Anexo	52
ANEXO A Modelo EKV do transistor MOS	53

1 INTRODUÇÃO

O transistor MOS (do inglês *metal-oxide semiconductor*) é um dispositivo semicondutor de quatro terminais: porta, fonte, dreno e substrato. Esses terminais são respectivamente denotados por G, S, D, B (do inglês *gate, source, drain e bulk*).

A aplicação do transistor MOS abrange circuitos integrados tanto analógicos como digitais. Também é comum a combinação de ambos em um mesmo *chip* para aplicações conhecidas como *mixed-signal*.

Comparado com os transistores bipolar de junção (BJT), o transistor MOS pode ser fabricado em tamanhos menores e seu processo de manufatura é relativamente mais simples - Sedra e Smith (2009). Isso possibilita a produção de componentes mais baratos e com menor consumo de energia - Sedra e Smith (2009).

O consumo de energia tem sido um alvo no projeto de circuitos integrados. Conforme aumenta a demanda por sistemas eletrônicos embarcados, cresce a diversidade de ambientes em que esses circuitos serão empregados. Muitas delas possuem limitada disponibilidade de energia, como telefones celulares e sensoreamento remoto. Nesse cenário, o desafio no projeto de um circuito integrado é reduzir o consumo de energia.

O projeto de circuitos eletrônicos com transistores MOS que operam com baixo consumo possui características diferentes de um projeto em que não há essa limitação. Existem inúmeros artigos que abordam o comportamento de dispositivos MOS para aplicações ditas *low-power*. Em muitos livros, é comum observar capítulos dedicados à essa abordagem, como visto em Binkley (2008).

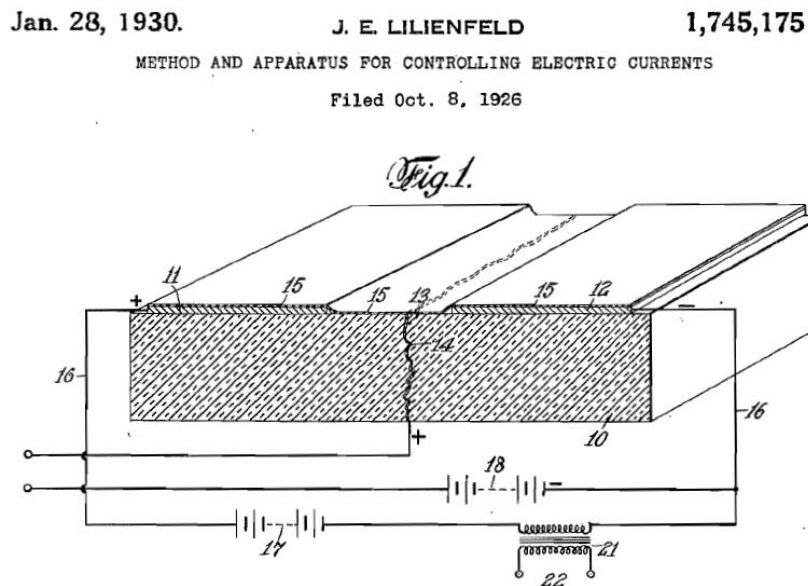
Neste trabalho será explorada a operação do transistor MOS e sua aplicação no projeto de um amplificador diferencial de baixo consumo.

2 HISTÓRICO DO TRANSISTOR MOS

A proposta deste capítulo é apresentar alguns eventos históricos concernentes ao desenvolvimento da tecnologia MOS.

O cientista inglês Michael Faraday realizou trabalhos experimentais que o conduziram à primeira observação documentada de um material com características que hoje são atribuídas aos semicondutores. Em 1833, enquanto investigava o efeito da temperatura no sulfato de prata, descobriu que a condutividade elétrica aumentava com o aumento da temperatura. Esse efeito, típico em semicondutores, é o oposto do que é medido em metais como cobre, em que a condutividade diminui quando a temperatura é aumentada. Atualmente entende-se que aumentar a temperatura da maioria dos semicondutores aumenta a densidade de portadores de carga dentro deles e, então, suas conductibilidades.

O físico austro-húngaro Julius Edgar Lilienfeld descreveu um dispositivo amplificador baseado nas propriedades semicondutoras do sulfeto de cobre. Em 1930, na patente nomeada “Método e aparato para controle de corrente elétrica”, ele propôs uma estrutura de três eletrodos com sulfeto de cobre. Hoje, esse dispositivo poderia ser classificado como um transistor de efeito de campo.



Fonte: United States Patent Office, Jan. 28, 1930 - US1745175

Figura 1: Desenho do dispositivo idealizado por Lilienfeld

O matemático inglês Alan Herries Wilson adaptou a teoria quântica dos sólidos para criar um modelo para o comportamento do semicondutor. Em 1931, enquanto trabalhava no Instituto Werner Heisenber, publicou dois artigos intitulados “A Teoria dos Semicondutores Ele-

trônicos”. Ele propôs que as propriedades particulares dos semicondutores eram devido à presença de átomos de impureza nos cristais puros desses materiais.

O engenheiro eletricista alemão Oskar Heil emitiu uma patente sobre controle de fluxo de corrente em um semicondutor Em 1943, enquanto trabalhava na Universidade de Cambridge, registrou que esse controle pode ser realizado via acoplamento capacitivo e um eletrodo. Essencialmente, esse dispositivo comporta-se como um transistor de efeito de campo.

O físico alemão Walter Hermann Schottky desenvolveu uma teoria que explica o comportamento retificador da junção metal-semicondutor, em 1938. No mesmo ano, Robert Pohl e Rudolf Hilsch realizaram experiências com cristais de bromido-potássio com três eletrodos, na Universidade de Gottingen, Alemanha. Eles reportaram amplificação de sinais de baixa frequência (próximo a 1 hertz), mas a pesquisa não levou a nenhuma aplicação.

Apesar dos avanços nas pesquisas, não há registros da produção de um transistor de efeito de campo até os anos 60. Nesse ínterim, as pesquisas com semicondutores conduziram ao advento dos transistores bipolares de junção. Essa foi a tecnologia dominante na indústria de semicondutores. Destacam-se as publicações de Jonh Bardeen, Walter Brattain e William Shockley que consolidaram o conceito de transistor de junção.

Somente em 1960, o engenheiro egípcio Martin 'John' M. Atalla e seu colega engenheiro sul-coreano Dawon Kanhg, dos laboratórios da Bell, alcançaram o primeiro bem sucedido transistor de efeito de campo de porta isolada.

Em 1963, o engenheiro americano Frank Marion Wanlass e o engenheiro chinês Chih-Tang Sah, nos laboratórios da Fairchild, mostraram que circuitos lógicos que combinam transistores MOS de canais P e N em configuração simétrica complementar aproximavam para quase zero o consumo de energia enquanto em operação estática. Wanlass patenteou a idéia que hoje é chamada CMOS.

A General Microelectronics apresentou o primeiro circuito integrado MOS comercial em 1964. Robert Norman usou um esquema de clock diferencial para projetar um *shift register* de 20 bits com transistores de canal p. A empresa projetou 23 circuitos integrados customizados que foram utilizados na fabricação da primeira calculadora eletrônica baseada em tecnologia MOS para a empresa Vitor Comptometer.

O empresário norte-americano Gordon Earle Moore publicou um artigo em 1965 no qual ele prediz o crescimento exponencial da escala de integração dos circuitos eletrônicos, conhecida hoje como “Lei de Moore”.

Avanços nos processos de manufatura permitiram à tecnologia MOS ter melhor custo-benefício que os transistores bipolar de junção , tornando-a dominante até o presente.

3 OBJETIVOS

Neste capítulo são apresentados os objetivos e as condições impostas ao projeto. Também são apresentadas as variáveis de entrada e saída bem como o método de cálculo empregado.

O objetivo é projetar um amplificador diferencial com transistores MOS. Nesse circuito, a principal característica um circuito é o baixo consumo, na ordem de centenas de μW . Além dessa restrição, o circuito deve operar com baixa tensão de alimentação.

As variáveis de entrada do projeto são o tamanho de cada transistor e a tecnologia de fabricação. A primeira será calculada ao longo desse trabalho. A segunda foi arbitrada (500 nm) para limitar o escopo do projeto.

As variáveis de saída do projeto são o ganho de tensão e a largura de banda. É desejável atribuir a essas variáveis valores específicos para atender uma determinada aplicação. Isso é possível quando há liberdade de escolha da tecnologia de fabricação. Entretanto, como esta já foi determinada, deve-se avaliar o desempenho dos transistores modelados para essa tecnologia a fim de conhecer os limites de ganho e largura de banda aplicáveis.

Além dos parâmetros citados, o projeto depende ainda da corrente de polarização e da tensão de alimentação. Apesar de serem variáveis de entrada, aqui serão tratadas como limitações de projeto, dado que deseja-se um circuito que opere com baixo consumo.

Definidas as variáveis envolvidas e as condições de contorno, deve-se estabelecer um método de projeto. Será empregado o método gm/I_D apresentado por [Silveira e Jespers \(1996\)](#). Diferentemente de outros, esse método não se restringe a uma determinada região de operação, mas viabiliza o dimensionamento dos transistores em qualquer região.

A figura 2 ilustra um diagrama de blocos que será usado como referência para o projeto do amplificador diferencial.

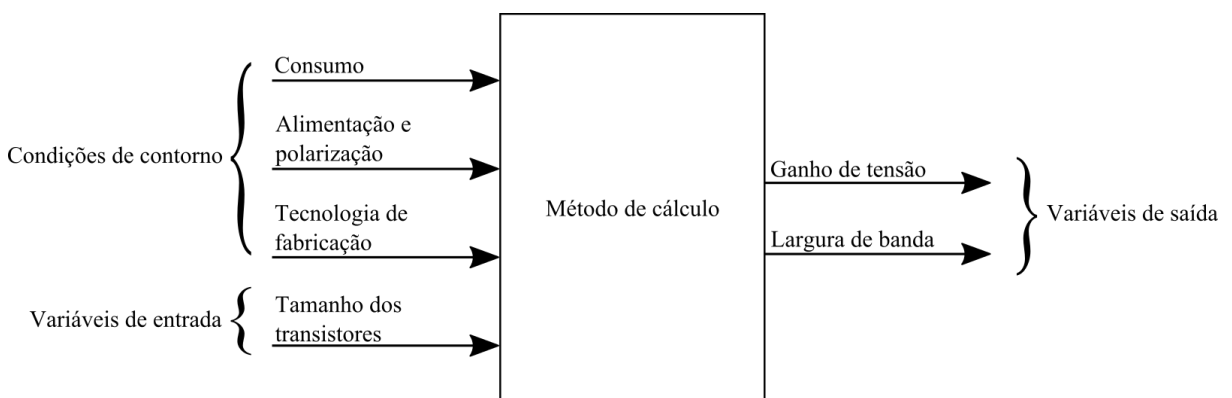


Figura 2: Sistema de projeto

4 TRANSISTORES MOS

Neste capítulo serão apresentadas as principais características do funcionamento do transistor MOS. Primeiramente, com a verificação da sua estrutura física e operação, serão observados os dois tipos de transistores: NMOS e PMOS. Após, será mostrado um conjunto de informações básicas para a aplicação desses dispositivos no projeto de um circuito, listadas abaixo:

1. Relações de tensão-corrente;
2. Transcondutância;
3. Ganho intrínseco;
4. Resistência de saída;

Os circuitos ilustrados nas figuras 3a e 3b são modelos idealizados para a aquisição dessas características.

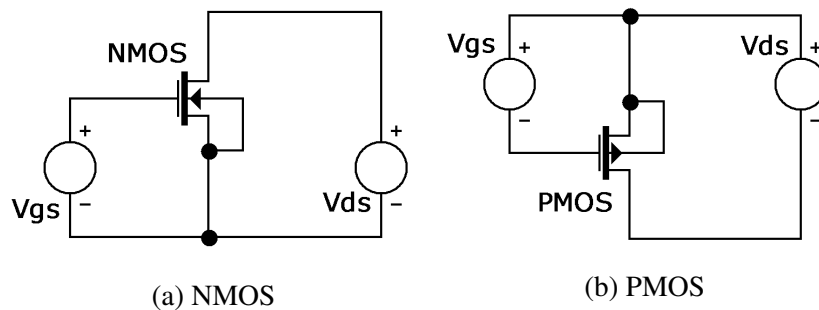
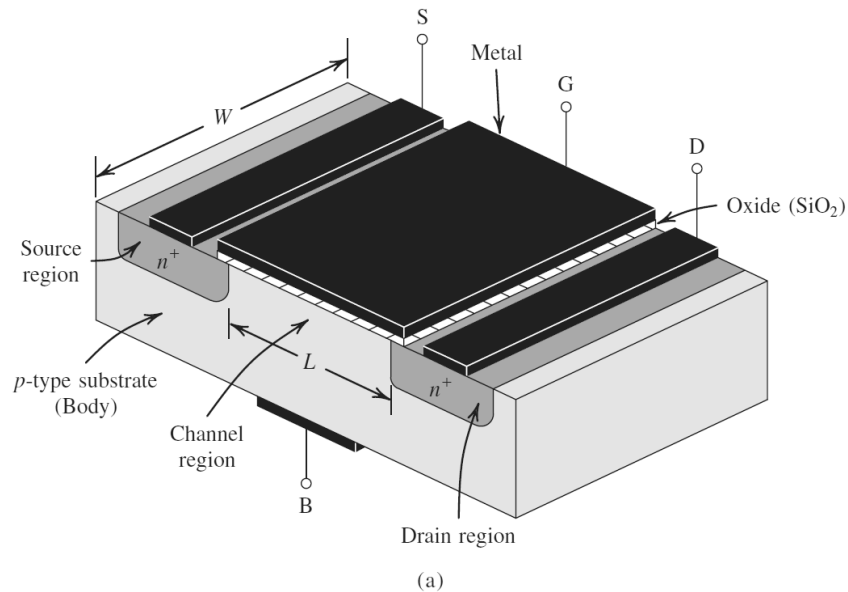


Figura 3: Circuitos para aquisição das características dos dispositivos MOS

4.1 Estrutura física

A estrutura de um transistor NMOS é mostrada na figura 4.



Fonte: Sedra e Smith (2009)

Figura 4: Estrutura de um dispositivo NMOS

O substrato é essencialmente uma lâmina de silício. Ele fornece a sustentação mecânica necessária ao dispositivo e, através de um contato metálico, forma o terminal chamado de corpo. No exemplo da figura 4, esse substrato é ser do tipo p .

Dois regiões do tipo n fortemente dopadas são fabricadas sobre o substrato para formar as regiões dreno e fonte.

Uma camada fina de dióxido de silício (SiO_2) é crescida sobre o substrato. Acima desta, um material condutivo (metal ou silício policristalino) cobre o SiO_2 entre o dreno e a fonte. Esse contato forma o terminal porta.

Na figura 4, as dimensões W e L correspondem à largura e ao comprimento do canal, respectivamente.

A fabricação de um transistor PMOS também é realizada sobre um substrato tipo p . A diferença consiste na fabricação de um poço do tipo n e regiões do tipo n para formar os terminais dreno e fonte.

4.2 Operação

É possível obter controle sobre a corrente através do transistor MOS ao estabelecer níveis apropriados de tensão entre seus terminais. Assim, as principais grandezas elétricas que devem ser conhecidas são: a corrente dreno-fonte (I_D), a tensão porta-fonte (V_{GS}) e a tensão dreno-fonte (V_{DS}). Através das relações entre essas grandezas é conhecido o comportamento do transistor MOS.

Ao aplicar uma tensão V_{GS} entre os terminais porta-fonte, é formado um canal entre o dreno e a fonte. Por esse canal, circula a corrente I_D . Para isso, é necessário haver uma tensão V_{DS} entre dreno-fonte suficiente para tal.

A carga elétrica desse canal é oposta a do substrato. Assim, um dispositivo fabricado sobre um substrato tipo p terá um canal tipo n e é denominado NMOS. Enquanto que, um dispositivo fabricado sobre um substrato tipo n terá um canal tipo p e é denominado PMOS.

A partir de um determinado valor de V_{GS} há um número suficiente de elétrons móveis que formam o canal de condução. Esse valor é conhecido como tensão de limiar V_T (do inglês, *threshold*). V_T é dependente do processo de fabricação do dispositivo. Denota-se V_{TN} a tensão *threshold* para transistores NMOS e V_{TP} para PMOS.

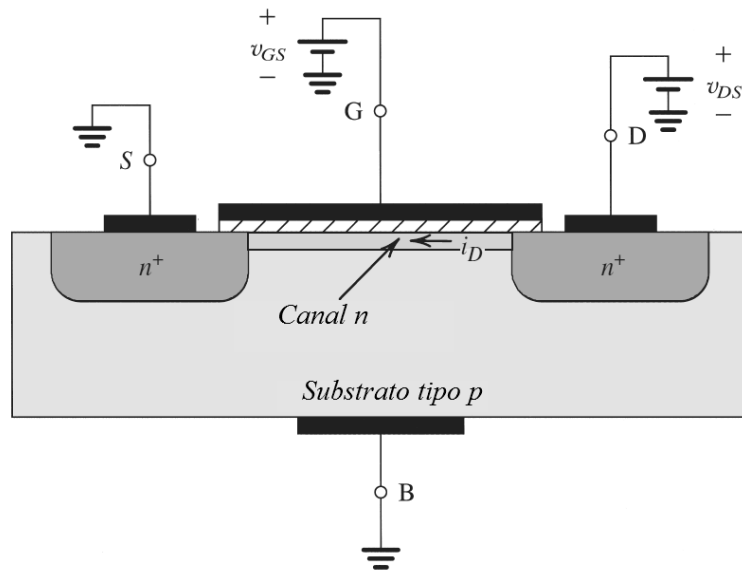
A diferença entre a tensão *threshold* e V_{GS} determina um excesso de tensão V_{OV} (em inglês, *overdrive*). Como exemplo, a equação 4.1 apresenta V_{OV} em um transistor NMOS.

$$V_{OV} = V_{GS} - V_{TN} \quad (4.1)$$

A variação de V_{DS} implica duas regiões de operação do transistor MOS. De forma simplificada, com valores de V_{DS} pequenos o transistor MOS opera na região de triodo. Para valores de V_{DS} maiores, tem-se a região ativa. Mais informações sobre as regiões de operação são apresentadas no item 4.3.1.

O aumento de V_{GS} cria no canal do dispositivo uma região de inversão na qual fluirá a corrente de dreno. Quanto maior o valor de V_{GS} mais forte será a inversão. Para V_{GS} pequeno tem-se a inversão fraca, e a inversão moderada é observada em pontos intermediários. Mais informações sobre as regiões de inversão são apresentadas no item 4.3.2.

Na figura 5 estão indicadas as tensões V_{GS} e V_{DS} aplicadas para induzir a corrente I_D no canal n de um transistor NMOS.



Adaptado de Sedra e Smith (2009)

Figura 5: Operação de um dispositivo NMOS

4.3 Relações de tensão-corrente

No item 4.2 verificou-se três grandezas elétricas envolvidas no funcionamento do transistor MOS: I_D , V_{GS} e V_{DS} . Nesta seção as relações entre essas grandezas são apresentadas. Para isso, dois cenários são verificados:

1. Variação de V_{DS} com V_{GS} fixo
2. Variação de V_{GS} com V_{DS} fixo

4.3.1 Regiões de operação

O gráfico da figura 6 apresenta o comportamento de I_D para variações de V_{DS} , com um determinado valor de V_{GS} fixo.

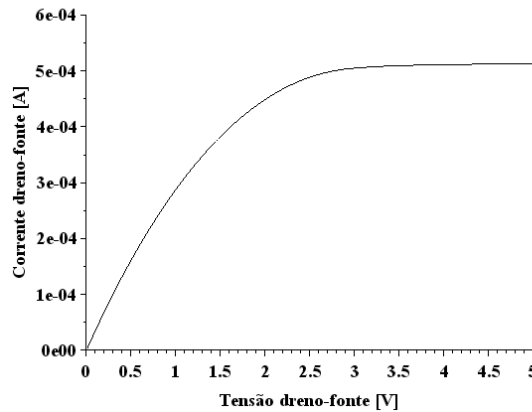


Figura 6: Variação I_D em relação à V_{DS}

Neste gráfico, notam-se as duas regiões de operação do transistor: triodo e ativa.

Para V_{DS} menor que V_{OV} , o transistor MOS opera na região de triodo. Nessa região, a corrente I_D é proporcional ao valor de V_{DS} , conforme equação 4.2.

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TN}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad 0 < V_{DS} \leq V_{OV} \quad (4.2)$$

Para V_{DS} maior que V_{OV} , tem-se a região ativa. A partir desse ponto, o aumento de V_{DS} implica aumento desprezível de I_D , ou seja, a corrente de dreno satura - essa idealização será discutida no item 4.5. Então, I_D torna-se proporcional somente à V_{OV} , de acordo com a equação 4.3. Essa equação representa o modelo quadrático da expressão para a característica $I_D - V_{DS}$.

$$I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{TN})^2 \quad 0 < V_{OV} \leq V_{DS} \quad (4.3)$$

O valor de V_{DS} em que ocorre a saturação da corrente de dreno, denotado por $V_{DS}(sat)$, é definido de acordo com a equação 4.4.

$$V_{DS}(sat) = V_{OV} \quad (4.4)$$

Em circuitos digitais, o transistor MOS opera na região de triodo. Já nos circuitos analógicos, opera na região ativa.

Os gráficos das figuras 7a e 7b apresentam o comportamento de I_D para variações de V_{GS} , com diferentes valores de V_{GS} fixados. Cada curva representa um valor fixo de V_{GS} , em que os menores valores de V_{GS} correspondem aos menores valores de I_D .

No gráfico da figura 7a é mostrado que para pequeno V_{GS} há maior concentração de valores de corrente. Ao aplicar escala logarítmica no eixo das ordenadas desse gráfico, tem-se

o gráfico da figura 7b. Nesse, é exibido com mais clareza o acúmulo de valores de I_D para V_{GS} elevado.

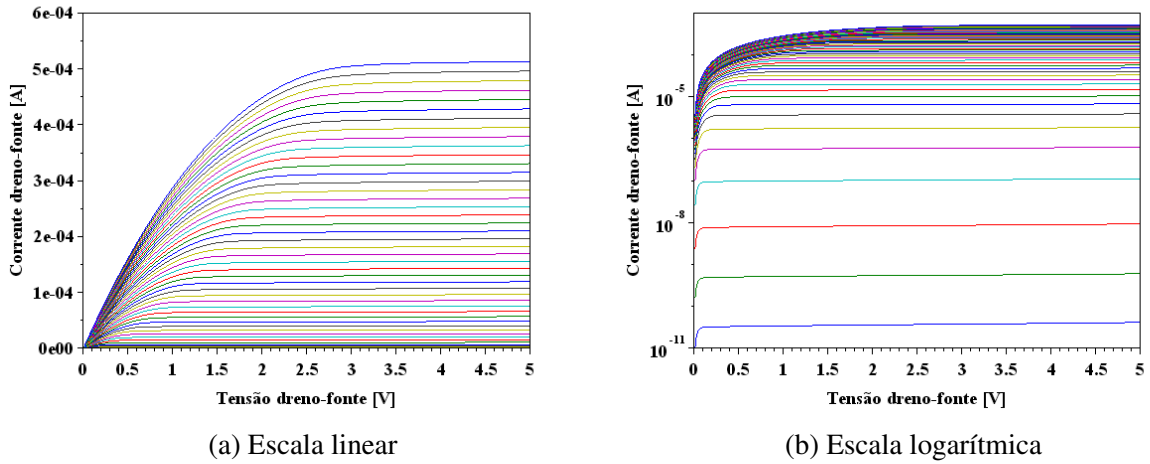


Figura 7: Variação I_D em relação à V_{DS} com múltiplos V_{GS}

Com base nessas figuras, fica evidente que o comportamento de I_D apresenta maior sensibilidade para V_{GS} menor. Esse fenômeno será explorado no item seguinte.

4.3.2 Regiões de inversão

O segundo cenário é verificado com V_{DS} fixo e V_{GS} variável. A curva $I_D - V_{GS}$ para esse caso está ilustrada na figura 8a. Os valores de I_D para pequeno V_{GS} estão representados de forma pouco apreciável. Assim, representou-se o eixo das ordenadas em escala logarítmica conforme figura 8b.

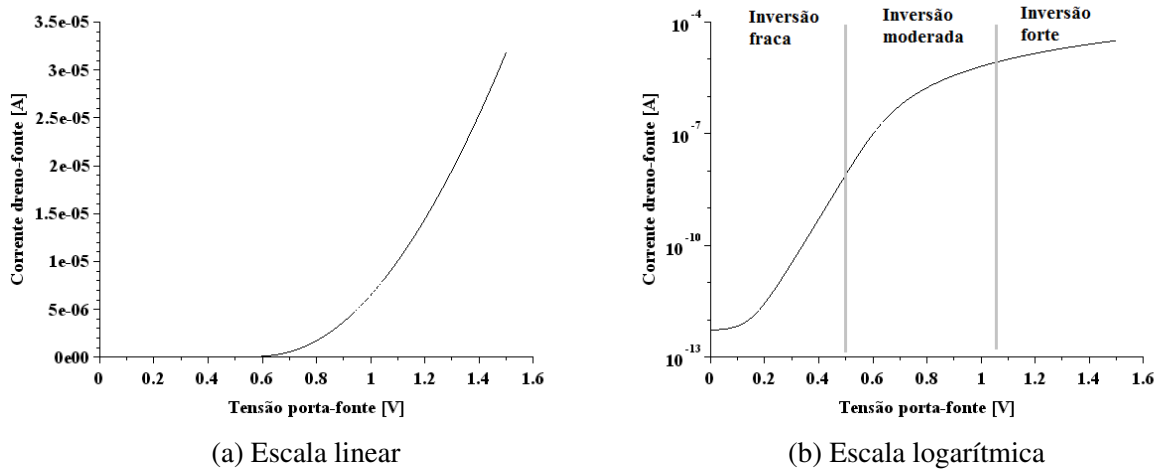


Figura 8: Variação da corrente de dreno em relação à V_{GS}

A análise da figura 8b permite observar as três regiões de inversão: fraca, moderada e

forte. Na figura, há uma suposição dos limites entre cada região. Entretanto, esses limites não podem ser estabelecidos com exatidão.

Na inversão forte, a relação $I_D - V_{DS}$ é dada pelo modelo quadrático da corrente de dreno, visto no item 4.3.1 com a equação 4.3.

Quando o transistor MOS opera na inversão fraca, a relação $I_D - V_{DS}$ é representada pelo modelo logarítmico expresso na equação 4.5.

$$I_D = \frac{W}{L} 2n\mu_n C_{ox} U_T^2 \exp\left(\frac{V_{GS} - V_{TN}}{n(kT/q)}\right) \quad (4.5)$$

n : fator do substrato dado pelo modelo de transistor MOS;

μ_n : mobilidade de elétrons do canal;

C_{ox} : capacitância do óxido;

U_T : tensão térmica.

4.4 Transcondutância

A variação de I_D em relação à variação de V_{GS} em um determinado ponto de operação é definido como transcondutância (gm) do transistor MOS. Na equação 4.6 tem-se sua definição formal.

$$gm = \frac{\partial I_D}{\partial V_{GS}} \quad (4.6)$$

Através dessa relação, verifica-se que o valor de gm depende do ponto de operação do transistor MOS.

A equação 4.7 apresenta a relação entre gm e a tensão V_{OV} , válida para região de inversão forte.

$$gm = \mu_n C_{ox} \frac{W}{L} \cdot V_{OV} \quad (4.7)$$

Nessa relação nota-se que, para um dado ponto de operação, gm depende das dimensões do canal do transistor MOS. Também observa-se a dependência com o processo de fabricação através do termo $\mu_n C_{ox}$.

As equações 4.6 e 4.7 fornecem três parâmetros utilizados em projetos: W/L , V_{OV} e I_D . Por exemplo, define-se uma determinada corrente I_D e escolhe-se uma tensão V_{OV} na qual o transistor MOS deve operar. A partir das relações de gm calcula-se a razão W/L necessária para atender essa demanda.

4.5 Resistência de saída

A resistência de saída do transistor MOS (r_o) é dada formalmente pela equação 4.8.

$$r_o = \left[\frac{\partial I_D}{\partial V_{DS}} \right]^{-1} \quad (4.8)$$

Conforme visto na equação 4.3, idealmente a corrente I_D não depende da tensão V_{DS} na região de saturação. Isso sugere que a resistência de saída seria infinita.

Na prática, aumentar V_{DS} causa o estrangulamento do canal e reduz seu comprimento efetivo. Esse efeito, conhecido como modulação do comprimento do canal, faz com que a resistência de saída do transistor MOS seja finita.

Para incorporar esse efeito no modelamento da corrente I_D é utilizada a equação 4.9:

$$I_D = \frac{\mu_n C_{ox} W}{2} \frac{V_{GS} - V_{Tn}}{L} (V_{GS} - V_{Tn})^2 (1 + \lambda V_{DS}) \quad (4.9)$$

λ : constante positiva que depende do processo de fabricação do transistor MOS e do comprimento do canal.

A resistência de saída, em relação ao parâmetro λ é dado pela equação 4.10.

$$r_o = \frac{1}{\lambda I_D} \quad (4.10)$$

Conhecido o valor de λ , é possível estabelecer o valor da Tensão Early (VA) de acordo com a equação 4.11.

$$VA = \frac{1}{\lambda} \quad (4.11)$$

Como VA e r_o dependem de λ , que por sua vez varia com o tamanho de L , esses valores podem ser empregados como parâmetros de projeto. Ou seja, o valor de L é estabelecido de acordo com a resistência de saída desejada.

É possível definir a condutância de saída (g_{ds}) a partir da resistência de saída, conforme equação 4.12.

$$g_{ds} = \frac{1}{r_o} \quad (4.12)$$

Com base nas equações 4.11, 4.10 e 4.12, VA pode ser expresso como na equação 4.13.

$$VA = \frac{I_D}{g_{ds}} \quad (4.13)$$

Como V_A , r_o e g_{ds} dependem de λ , que por sua vez varia com o tamanho de L , esses valores podem ser empregados como parâmetros de projeto. Ou seja, o valor de L é estabelecido de acordo com a resistência de saída desejada.

4.6 Ganho intrínseco

A relação entre g_m e g_{ds} define o ganho intrínseco (A_i) do dispositivo, de acordo com a equação 4.14.

$$A_i \cong \frac{g_m}{g_{ds}} \quad (4.14)$$

O parâmetro g_m está relacionado com a razão W/L . Por sua vez, g_{ds} depende de L . Assim, através dos conceitos apresentados nos itens 4.3, 4.4 e r_{out} , é possível definir o tamanho do transistor MOS para atender uma certa especificação de ganho.

Como a resistência de saída é finita, o ganho intrínseco também será. Essa limitação pode ser observada na relação entre o ganho intrínseco e a corrente de dreno, como pode ser visualizado na figura 9.

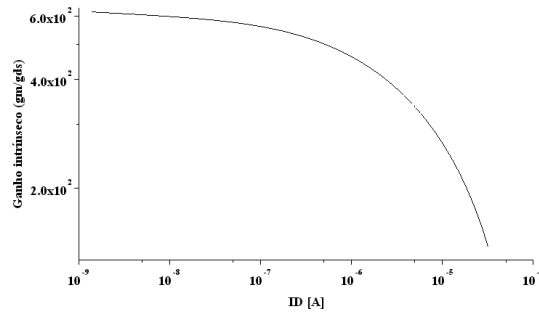


Figura 9: Relação entre o ganho intrínseco e I_D

Para pequenos valores de I_D - inversão fraca - verifica-se que g_m/g_{ds} atinge um nível em que a redução de I_D produz pouca variação em g_m/g_{ds} . Esse fator fornece a informação do máximo ganho que esse dispositivo pode atingir.

5 MÉTODO DE PROJETO

Neste capítulo será apresentada a metodologia gm/I_D para projeto de circuitos analógicos CMOS apresentada em [Silveira e Jespers \(1996\)](#). Também será explorado o conceito do coeficiente de inversão IC aplicado por [Binkley \(2008\)](#).

Em geral, métodos tradicionais assumem que o transistor será utilizado em inversão forte e estabelecem equacionamentos relacionados à tensão V_{OV} . Essa abordagem mostra-se insuficiente para projeto de circuitos com limitação de potência e tensão de alimentação.

O método gm/I_D supre essa carência ao permitir explorar todas as regiões de operação do transistor MOS sem demandar equacionamentos diferenciados para cada região. Além disso, esse método oferece compatibilidade com o projeto de circuitos de baixa potência.

5.1 Taxa de eficiência

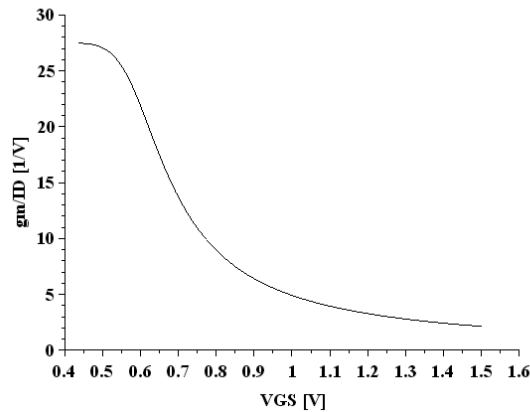
A razão gm/I_D expressa a eficiência em transformar corrente elétrica em transcondutância. Assim, quanto maior o valor de gm/I_D , mais elevada será a transcondutância para uma dada corrente e, com isso, maior o ganho do dispositivo.

O valor de gm/I_D pode ser obtido com a derivada do logaritmo de I_D com respeito à tensão V_{GS} , conforme equação 5.1.

$$\frac{gm}{I_D} = \frac{1}{I_D} \cdot \frac{\partial I_D}{\partial V_{GS}} = \frac{\partial(\ln(I_D))}{\partial V_{GS}} \quad (5.1)$$

Na inversão fraca, a relação I_D com V_{GS} é exponencial. Isso faz com que a derivada seja máxima. Então, uma das limitações de projeto será o máximo valor gm/I_D para a dada tecnologia.

A figura 10 mostra o comportamento de gm/I_D em relação à V_{GS} .

Figura 10: Curva gm/I_D para o transistor NMOS

O ganho intrínseco do transistor MOS é relacionado com gm/I_D de acordo com a equação 5.2.

$$A_i \cong \left(\frac{gm}{I_D} \right) VA \quad (5.2)$$

5.2 Coeficiente de inversão

A análise apresentada no item 5.1 permite, apenas, avaliar a possibilidade de valores de gm/I_D que podem ser aplicadas no projeto do circuito. Entretanto, não fornece a visualização da região de inversão na qual o transistor opera - fraca, moderada ou forte. Para isso, é avaliado o coeficiente de inversão (IC) dado pela equação 5.3.

$$IC = \frac{I_D}{I_0(W/L)} \quad (5.3)$$

O termo I_0 é a corrente característica e está relacionada ao processo de fabricação, conforme equação 5.4.

$$I_0 = 2n\mu_n C_{ox} U_T^2 \quad (5.4)$$

Através da equação 5.3, é observado que IC é inversamente proporcional à razão de aspecto W/L . Com isso, quanto maior IC , menor é o tamanho do transistor MOS, para um mesmo I_D .

O gráfico apresentado na figura 11 ilustra a relação entre o IC e gm/I_D .

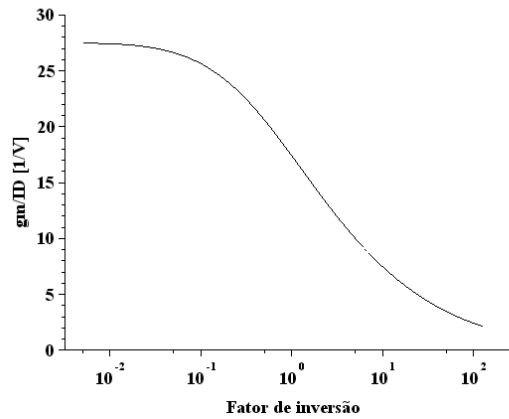


Figura 11: Taxa gm/I_D em função do coeficiente de inversão

Baixos valores de IC correspondem à inversão fraca e elevado gm/I_D . Na região de inversão forte tem-se maior IC e menor gm/I_D . Essa técnica permite observar a região de inversão na qual o dispositivo opera, de acordo com a taxa gm/I_D escolhida.

5.3 Densidade de corrente

A densidade de corrente é razão entre a corrente de dreno e as dimensões do transistor MOS. Essa característica é independente do tamanho do transistor e, portanto, única para todos os transistores do mesmo tipo, NMOS ou PMOS. Isso é devido ao fato de I_D ser normalizada para W/L .

No gráfico da figura 12 está apresentada a relação entre $I_D/(W/L)$ e gm/I_D para um dispositivo NMOS.

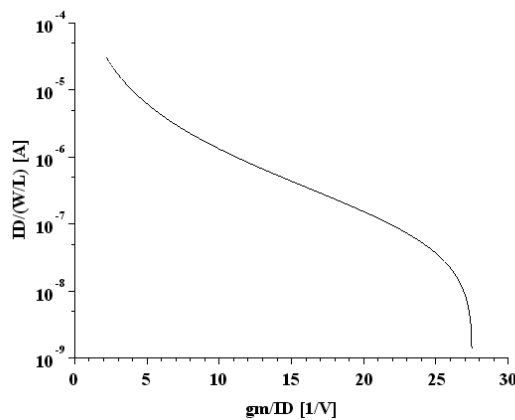


Figura 12: Densidade de corrente $I_D/(W/L)$ vs Eficiência gm/I_D

Com base na figura 12, é possível observar que elevados valores de gm/I_D implicam menores valores de $I_D/(W/L)$. Assim, se a corrente de dreno é conhecida, quanto maior for

gm/I_D , maiores serão as dimensões físicas do transistor. Isso implica ter um transistor maior.

Para garantir a redução das dimensões, durante o projeto é necessário averiguar o equilíbrio entre a taxa de eficiência desejada e a área pretendida do dispositivo.

5.4 Tensão Early

Neste item, será verificado o comportamento da Tensão Early com a variação do Coeficiente de Inversão.

No item 4.5, verificou-se que VA é um parâmetro que depende da tecnologia de fabricação e do comprimento do canal. Foi definido, também, que seu valor está relacionado com o ganho intrínseco do dispositivo.

Como VA está relacionada com o comprimento do canal, é necessário verificar diferentes curvas para diferentes tamanhos de L , conforme apresenta a figura 13.

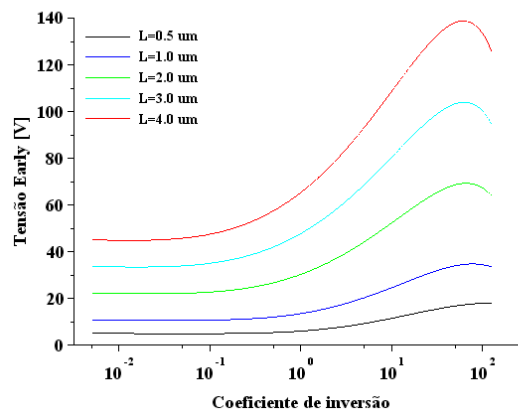


Figura 13: Coeficiente de inversão vs tensão Early para diferentes comprimentos de canais

Na inversão fraca, o transistor possui menores valores de VA . Entretanto, isso não significa diretamente ganho baixo, pois na mesma região tem-se os valores gm/I_D mais elevados.

A partir da relação entre VA e L , o valor de L pode ser estabelecido para um determinado VA que atenderá o ganho requerido.

5.5 Frequência de transição

A frequência de transição, apresentada por Binkley (2008) como largura de banda intrínseca, é a frequência na qual o ganho de corrente porta-dreno é unitário. Essa característica está com a transcondutância e as capacitâncias do dispositivo de acordo com a equação 5.5

$$FT = \frac{gm}{2\pi(C_{gs} + C_{gb})} \quad (5.5)$$

C_{gs} : capacitância entre porta-fonte;

C_{gb} : capacitância entre porta-substrato.

A figura 14 apresenta a relação entre a frequência de transição e a taxa de eficiência.

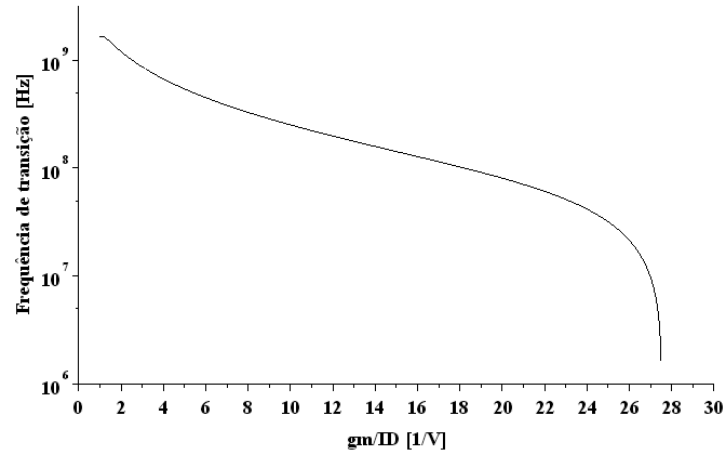


Figura 14: Frequência de transição vs Taxa de Eficiência

Com base no gráfico, é possível concluir que valores baixos de gm/I_D elevam a frequência de transição. Entretanto, o preço a ser pago será baixo ganho.

É importante observar que a frequência de transição não representa necessariamente a largura de banda (BW) de um circuito amplificador. BW será limitada pelas capacitâncias externas ao circuito, conforme equação 5.6.

$$FT = \frac{gm}{2\pi C_L} \quad (5.6)$$

C_L : capacitância da carga acoplada à saída do circuito.

um modelo EKV genérico de 500 nm disponibilizado pela Ecole Polytechnique Fédérale de Lausanne.

6.2 Condições de contorno

Com referência à figura 2, deve-se estabelecer as condições de contorno impostas ao projeto.

O circuito é alimentado por uma tensão de 1,5 V fornecida por uma bateria com capacidade de 1,5 mAh. Para que o sinal de entrada possa excursionar entre valores positivos e negativos, as fontes V1 e V2 serão ajustadas para 0,75 V e -0,75V respectivamente.

Define-se que o circuito deve operar por 72 h sem a necessidade de substituir a bateria. Assim, é necessário que a corrente I_1 seja no máximo 200 μA . O consumo será, portanto, 300 μW .

6.3 Equacionamento

O ganho de tensão (A_0) do amplificador é o produto do parâmetro gm/I_D do transistor M2 com o valor resultante do paralelo de VA dos transistores M2 e M4, conforme equação 6.1.

$$A_0 = \left(\frac{gm}{I_D} \right)_2 \cdot \frac{VA_2 \cdot VA_4}{VA_2 + VA_4} \quad (6.1)$$

A largura de banda (f_{-3dB}) é expressa em termos de VA de acordo com a equação 6.2.

$$f_{-3dB} = \frac{I_D}{2\pi C_L} \cdot \frac{VA_2 + VA_4}{VA_2 \cdot VA_4} \quad (6.2)$$

Ao multiplicar A_0 e f_{-3dB} das equações 6.1 e 6.2 tem-se o produto ganho-largura de banda GBW , que pode ser descrito em termos de gm/I_D conforme 6.3.

$$GBW = \left(\frac{gm}{I_D} \right)_2 \cdot \frac{I_D}{2\pi C_L} \quad (6.3)$$

6.4 Fluxo de projeto

A partir das equações da seção 6.3, o projeto do circuito limita-se à escolha de dois parâmetros para cada par de transistor: a relação gm/I_D e o comprimento L do canal. Esse último implica um valor de VA característico.

A corrente de dreno de cada par é calculada de acordo com a corrente de polarização estabelecida. Para os transistores M1-M2 e M3-M4, a corrente de dreno será metade da corrente de polarização. Os transistores M5-M6 terão corrente de dreno igual à corrente de polarização.

Conhecidos esses valores, o valor da razão de aspecto W/L é avaliado através da relação entre a corrente de dreno e a densidade de corrente, que está relacionada com gm/I_D .

$$\frac{W}{L} = \frac{I_D}{I_{D}/(W/L)} \quad (6.4)$$

Por fim, obtém-se o valor de W ,

$$W = \frac{W}{L} \cdot L \quad (6.5)$$

O fluxograma mostrado na figura 16 esquematiza as etapas do projeto.

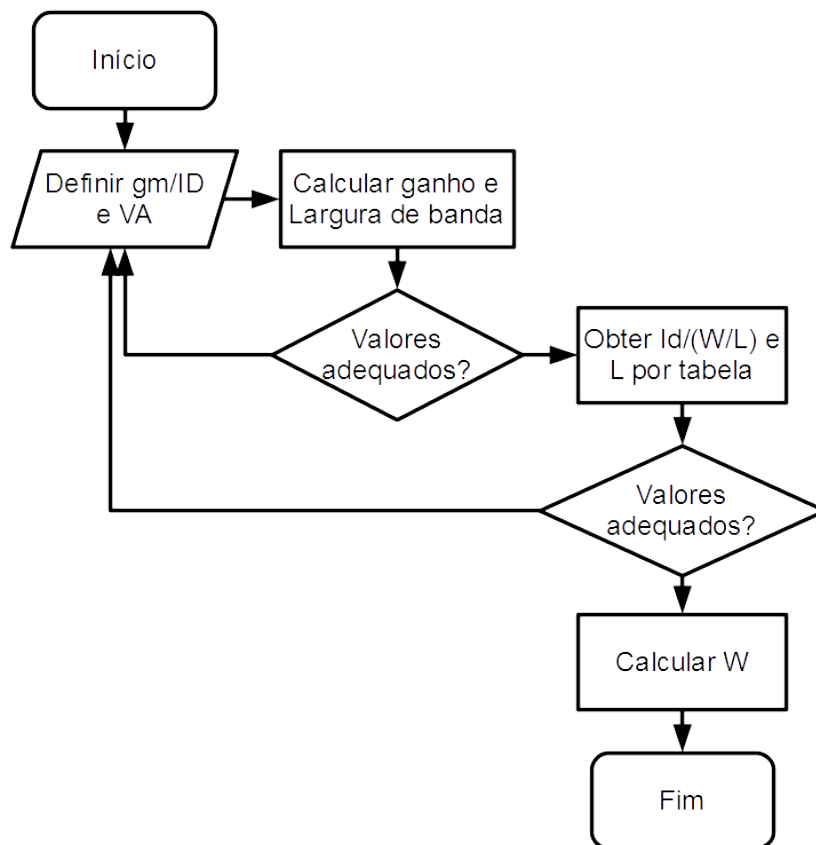


Figura 16: Fluxograma de projeto

6.5 Captura de parâmetros

Os circuitos mostrados nas figuras 3a e 3b do capítulo 4 foram utilizados para simulação no software *SpiceOpus*. A partir da simulação foram obtidos os parâmetros: corrente de dreno I_D , transcondutância gm , condutância gds e tensão porta-fonte V_{GS} .

Os transistores NMOS e PMOS foram dimensionados com $L=2,0 \mu\text{m}$ e $W=2,0 \mu\text{m}$. Assim, a corrente de dreno apresentada na simulação torna-se igual à densidade de corrente $I_D/(W/L)$.

A Tensão Early é calculada conforme equação 4.13.

Como V_A é proporcional à L , o circuito foi simulado com cinco valores de L : $0,5 \mu\text{m}$, $1 \mu\text{m}$, $2 \mu\text{m}$, $3 \mu\text{m}$ e $4 \mu\text{m}$.

As informações estão organizadas em duas tabelas: para NMOS e PMOS. Essas serão utilizadas como ferramenta de projeto.

A tabela 1 apresenta um trecho de uma das tabelas. A coluna Índice é utilizada como referência para automatizar a busca dos valores de interesse.

Índice	I_D	g_m	V_{GS}	g_{ds}	VA					g_m/I_D
					L=0,5	L=1,0	L=2,0	L=3,0	L=4,0	
1	1,83E-9	5,02E-8	0,45	8,19E-11	5,10	10,90	22,30	33,70	45,10	27,47
2	1,88E-9	5,16E-8	0,45	8,42E-11	5,10	10,90	22,30	33,70	45,10	27,47
3	1,93E-9	5,30E-8	0,45	8,66E-11	5,10	10,90	22,30	33,70	45,10	27,47
4	1,98E-9	5,45E-8	0,45	8,90E-11	5,10	10,90	22,30	33,70	45,10	27,47
5	2,04E-9	5,60E-8	0,45	9,15E-11	5,10	10,90	22,30	33,70	45,00	27,46
6	2,10E-9	5,76E-8	0,45	9,41E-11	5,10	10,90	22,30	33,70	45,00	27,46
7	2,15E-9	5,92E-8	0,45	9,68E-11	5,10	10,90	22,30	33,60	45,00	27,46
8	2,21E-9	6,08E-8	0,45	9,95E-11	5,10	10,90	22,30	33,60	45,00	27,46
9	2,28E-9	6,25E-8	0,45	1,02E-10	5,10	10,90	22,30	33,60	45,00	27,46
10	2,34E-9	6,42E-8	0,46	1,05E-10	5,10	10,90	22,30	33,60	45,00	27,45

Tabela 1: Parâmetros extraídos em simulação para o transistor NMOS

6.6 Dimensionamento

As tabelas com os parâmetros dos transistores NMOS e PMOS foi utilizada para elaborar o formulário apresentado na figura 17, desenvolvido com o software *OpenOffice Calc*.

M1-M2	ÍNDICE DE PESQUISA	200,00	<input type="button" value="◀"/>	<input type="button" value="▶"/>
	gm/ID	17,9		
	Id/(W/L)	2,41E-07		
	VA nível 7-11	8	<input type="button" value="◀"/>	<input type="button" value="▶"/>
	VA	13,36		
	W/L	414		
	L	0,000001		
	W	0,000414		

M3-M4	ÍNDICE DE PESQUISA	200,00	<input type="button" value="◀"/>	<input type="button" value="▶"/>
	gm/ID	17,8		
	Id/(W/L)	5,80E-08		
	VA nível 7-11	9	<input type="button" value="◀"/>	<input type="button" value="▶"/>
	VA	29,77		
	W/L	1.724		
	L	0,000002		
	W	0,003449		

M5-M6	ÍNDICE DE PESQUISA	200,00	<input type="button" value="◀"/>	<input type="button" value="▶"/>
	gm/ID	17,9		
	Id/(W/L)	2,41E-07		
	W/L	829		
	L	0,000000		
	W	0,000000		

Av0	165,1	44,36 dB
f-3dB	345.178,9	0,345 Mhz
GBW	56.998.387,4	56,998 Mhz

Figura 17: Formulário para cálculo de parâmetros

Os campos *ÍNDICE DE PESQUISA* e *VA NÍVEL* estão vinculados aos botões giratórios posicionados na mesma linha. Os botões facilitam a variação dos valores.

Os campos *gm/ID*, *ID/W* e *VA* são preenchidos através da função *procv()*, disponível no *software*. A função utiliza a referência definida nos campos *ÍNDICE DE PESQUISA* e *VA NÍVEL* para localizar o valor de interesse na tabela que contém os parâmetros dos transistores. Assim, são definidos como parâmetros de entrada os valores *gm/ID* de cada par de transistor e *VA* dos transistores M1-M2 e M3-M4.

O campo *L* dos transistores M1-M2 e M3-M4 é determinado de acordo com o valor estabelecido no campo *VA NÍVEL* através da função *se()*, disponível no *software*. O comprimento de canal dos transistores M5-M6 foi fixado em 1 μm para simplificação dos cálculos.

Os campos *W/L*, *W*, *Av0*, *f-3dB* e *GBW* são calculados com os valores obtidos através das equações apresentadas no item 6.3.

O processo de definição das dimensões dos transistores é iterativo, conforme figura 16. Em cada etapa, são definidos os valores de *gm/ID* e *L* através dos controles. Após, são

verificadas três informações: o ganho, a faixa de frequência e as dimensões dos transistores. Caso algum critério não esteja adequado, redefine-se gm/I_D ou L .

Para o circuito proposto, o ganho foi limitado em 40 dB.

7 RESULTADOS

Após algumas iterações na etapa de dimensionamento, foram obtidos os valores de W e L de cada transistor apresentados na tabela 2.

Dimensionamento final do circuito			
Transistor	Tipo	L [μm]	W [μm]
M1-M2	NMOS	0,5	327
M3-M4	PMOS	3,0	301
M5-M6	NMOS	1,0	100

Tabela 2: Dimensionamento do circuito

A tabela 3 apresenta os parâmetros obtidos com o cálculo do dimensionamento.

Parâmetro	Valores calculados
A_0	40 dB
f_{-3dB}	604 kHz

Tabela 3: Resultados calculados

Para verificar o comportamento do circuito obtido, foi realizada uma simulação. Os resultados estão apresentados nos gráficos das figuras que seguem.

A curva que relaciona as tensões de entrada e saída está apresentada no gráfico da figura 18. A tensão aplicada entre os terminais de entrada foi excursionada entre -50 mV e 50 mV.

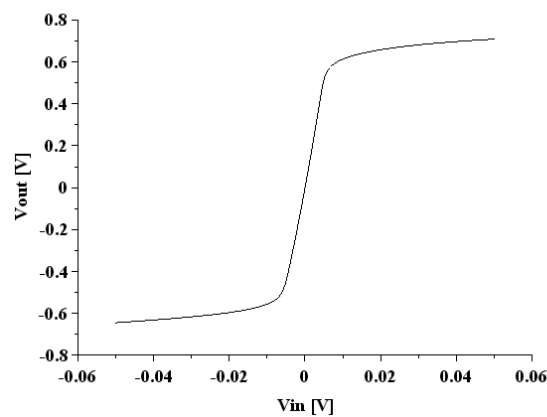


Figura 18: Relação entre tensão de entrada (V_{in}) e tensão de saída (V_{out})

O gráfico da resposta em frequência está ilustrado na figura 19.

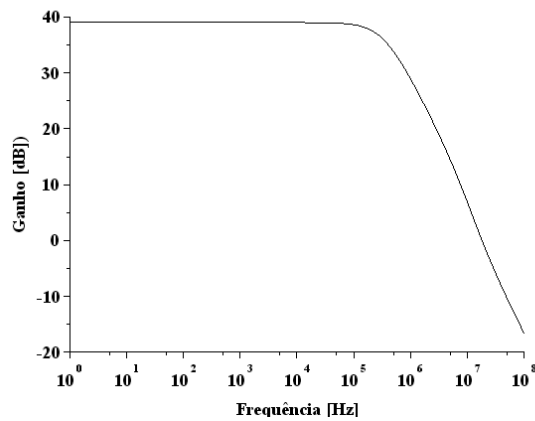


Figura 19: Resposta em frequência

Obteve-se ganho em baixa frequência próximo de 40 dB (100 vezes) e frequência de corte próximo de 331 kHz.

O ganho em modo diferencial é mostrado no gráfico 20. Foi obtido ganho superior à 100 vezes.

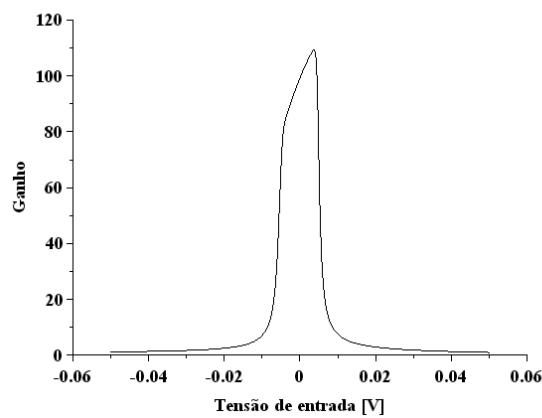


Figura 20: Ganho em modo diferencial

Aplicou-se entre os terminais de entrada um sinal senoidal com 3 mV de amplitude e frequência igual a 1kHz. Obteve-se o gráfico mostrado na figura 21.

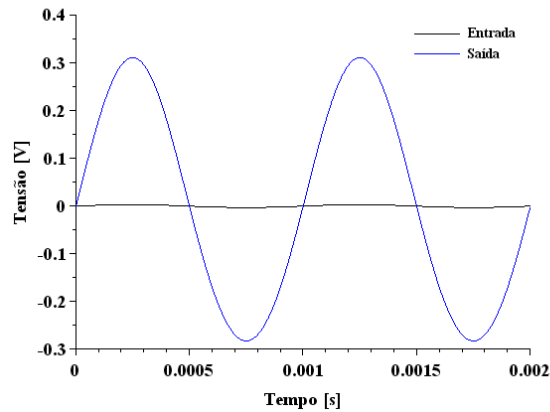


Figura 21: Sinal de saída com entrada senoidal de 3 mV e 1kHz

O sinal de saída possui amplitude 100 vezes do sinal de entrada, conforme previsto.

Para avaliar os limites de excursão de saída, aplicou-se entre os terminais de entrada um sinal senoidal com 10 mV de amplitude e frequência igual a 1kHz. Com o ganho do circuito, poderia ser obtido um sinal com amplitude de 1 V na saída. Entretanto, devido à limitação da alimentação espera-se verificar um sinal saturado. A figura 22 apresenta o resultado. A amplitude final obtida é de 0,6 V. Houve perda de 150 mV.

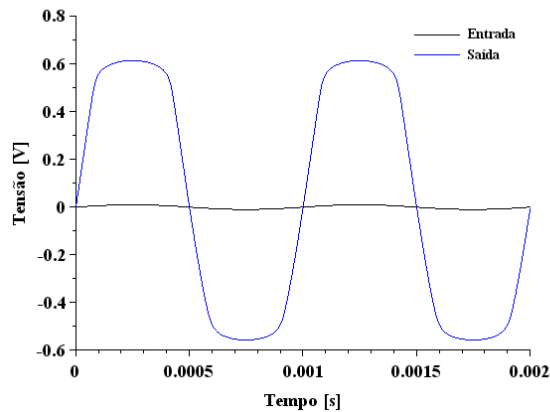


Figura 22: Sinal de saída com entrada senoidal de 10 mV e 1kHz

Avaliou-se o ganho em modo comum. Executou-se uma análise com os terminais de entrada em curto-circuito (tensão diferencial nula). O resultado é mostrado na figura 23. Com isso pode-se obter a taxa de rejeição de modo comum (*CMRR*).

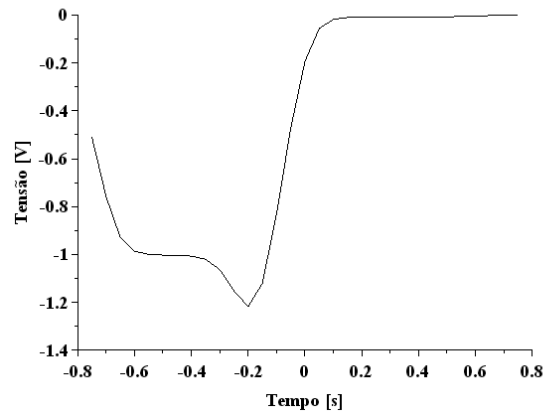


Figura 23: Ganho em modo comum

A tabela 4 resume os valores calculados e os obtidos em simulação.

Parâmetro	Valores calculados	Valores simulados
A_0	40 dB	39 dB
f_{-3dB}	604 kHz	331 kHz
CMRR	-	38 dB

Tabela 4: Resultados calculados e simulados

7.1 Análise da variação da alimentação

Nesta seção está apresentada a verificação das alterações no comportamento do circuito mediante à variação da tensão de alimentação. Duas possibilidades são verificadas: alimentação abaixo e acima do valor inicial.

Primeiro, executou-se a simulação com alimentação entre -0,5 V e 0,5 V. Isso pode representar um cenário em que a bateria está com carga abaixo do nominal.

A resposta em frequência nesse caso está representada na figura 24. A perda de ganho foi pouco significativa, entretanto, a frequência de corte foi muito afetada.

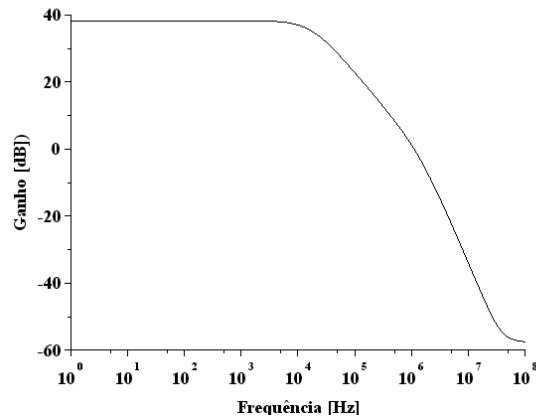


Figura 24: Resposta em frequência - alimentação menor

A figura 25 mostra o ganho diferencial.

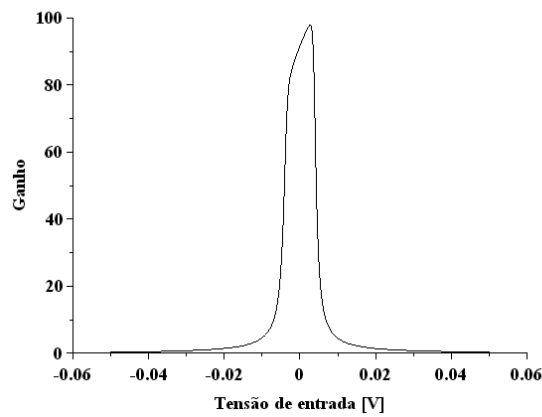


Figura 25: Ganho em modo diferencial - alimentação menor

A análise do sinal de saída é apresentada na figura 26. Neste caso, a amplitude está pouco menor que na situação com a alimentação original. Entretanto, observa-se uma tensão de desvio (*offset*) pouco maior que na simulação anterior.

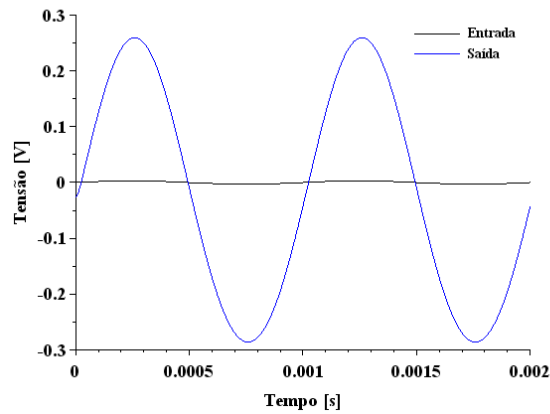


Figura 26: Sinal de saída com entrada senoidal de 3 mV e 1kHz - alimentação menor

A rejeição em modo comum não foi afetada.

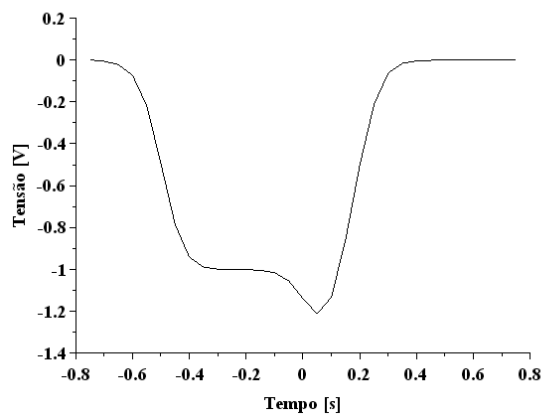


Figura 27: Ganho em modo comum - alimentação menor

Em outro cenário, deseja-se verificar o comportamento do circuito com alimentação duas vezes maior. Isso pode representar o caso em que duas baterias em série são utilizadas.

A resposta em frequência está representada na figura 28. Não houve melhoria com o aumento da tensão.

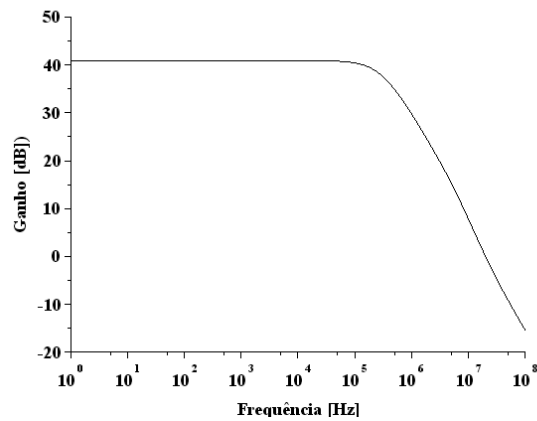


Figura 28: Resposta em frequência - alimentação maior

A figura 25 mostra o ganho diferencial. Nota-se que o ganho diferencial está levemente maior.

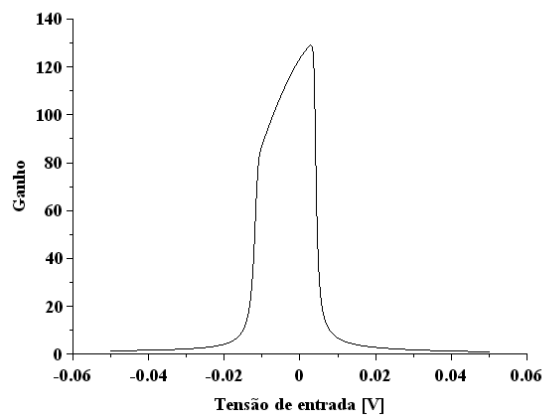


Figura 29: Ganho em modo diferencial - alimentação maior

O gráfico do sinal de saída é apresentada na figura 30. Observa-se que o valor de *offset* está mais elevado.

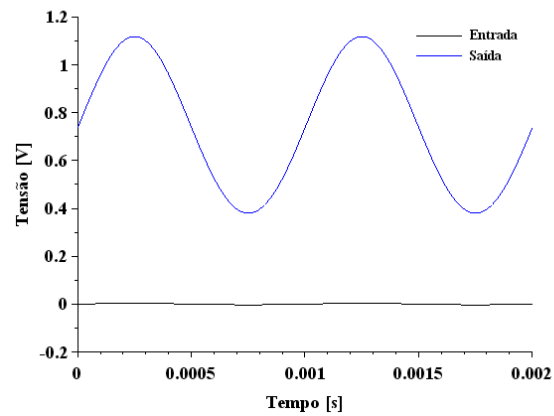


Figura 30: Sinal de saída com entrada senoidal de 3 mV e 1kHz - alimentação maior

A análise do ganho em modo comum mostra que não há alteração com o aumento da alimentação, conforme ilustra a figura 31.

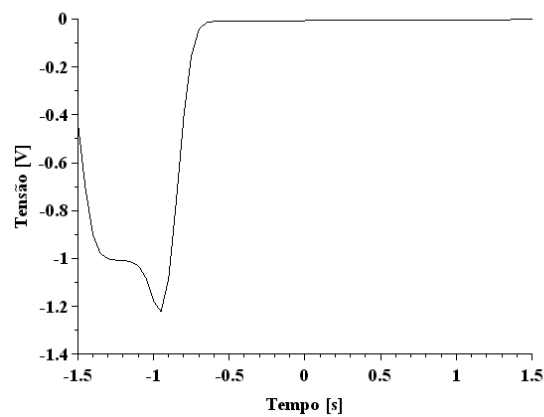


Figura 31: Ganho em modo comum - alimentação maior

8 CONCLUSÃO

O amplificador diferencial CMOS projetado utilizando tecnologia 500 nm pode operar com tensão de alimentação a partir de 1,5 V. Apresentou consumo de $300 \mu W$. Os resultados foram viabilizados com a aplicação do método gm/I_D aliado à escolha do modelo EKV de transistores MOS.

O método gm/I_D possibilitou o dimensionamento dos transistores MOS independentemente da região de inversão na qual esses operam.

O uso de tabelas de referência com os parâmetros dos transistores MOS simplifica o dimensionamento dos transistores. Isso porque W e L são funções dos parâmetros extraídos nas simulações.

O método gm/I_D tem utilidade na estimativa inicial das dimensões dos transistores de um circuito.

Para trabalhos futuros, pode-se desenvolver um algoritmo de projeto com as relações estabelecidas no método gm/I_D . A base desse algoritmo é o fluxograma apresentado na figura 16, com acréscimo da análise de outros parâmetros, como o ganho em modo comum e o *slew rate*.

REFERÊNCIAS

BINKLEY, D. M. *Tradeoffs and Optimization in Analog CMOS Design*. [S.l.]: John Wiley and Sons, 2008.

ENZ, F. K. C. C.; VITTOZ, E. A. An analytical mos transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications. *Kluwer Academic Publisher - Analog Integrated Circuits and Signal Processing*, n. 8, p. 83–114, 1995.

SEDRA, A. S.; SMITH, K. C. *Microelectronic Circuits*. 6^a. ed. [S.l.]: Oxford University Press, 2009. (Oxford Series in Electrical and Computer Engineering).

SILVEIRA, D. F. F.; JESPERS, P. A gm/id based methodology for the design of cmos analog circuits and its application to the synthesis of a silicon-on-insulator micropower ota. *IEEE Journal of solid-state circuits*, v. 31, n. 9, p. 1314–1319, 1996.

Apêndices

APÊNDICE A – ARQUIVO SPICE PARA SIMULAÇÃO DO TRANSISTOR NMOS

```

Titulo: OPERACAO NMOS
.include ekv_model.txt

** TRANSISTOR NMOS
M01 2 1 0 0 CMOSN l=2.0u w=2.0u
vds 2 0 dc 1
vgs 1 0 dc 1 pulse 0 5 0s 5s

.control
echo Aguarde...
destroy all
set nobreak
set noprintindex
set width = 1000

save @m01[cgs]
save @m01[cgb]
save @m01[id]
save @m01[gm]
save @m01[vgs]
save @m01[gds]

** TRANSIENTE
tran 0.2m 5000m
cgs = -(@m01[cgs])
cgb = -(@m01[cgb])
print
+ @m01[id]
+ @m01[gm]
+ cgs
+ cgb
+ > nmos_cap.txt

** ANALISE DC
dc vgs 0 1.5 0.001
print
+ @m01[id]
+ @m01[gm]
+ @m01[vgs]
+ @m01[gds]
+ > nmos_dc.txt

echo Pronto!
.endc
.end

```

APÊNDICE B – ARQUIVO SPICE PARA SIMULAÇÃO DO TRANSISTOR PMOS

```
Titulo: OPERACAO PMOS
.include ekv_model.txt

** TRANSISTOR PMOS
M01 0 1 2 2 CMOSF l=2.0u w=2.0u
vds 2 0 dc 1
vgs 2 1 dc 5 pulse 0 5 0s 5s

.control
echo Aguarde...
destroy all
set nobreak
set noprintindex
set width = 1000

save @m01[id]
save @m01[gm]
save @m01[vgs]
save @m01[gds]

** ANALISE DC
dc vgs 0 1.5 0.001
print
+ @m01[id]
+ @m01[gm]
+ @m01[vgs]
+ @m01[gds]
+ > pmos_dc.txt

echo Pronto!
.endc
.end
```

APÊNDICE C – ARQUIVO SPICE PARA SIMULAÇÃO DO AMPLIFICADOR DIFERENCIAL

```

Titulo: Amplificador diferencial
.include ekV_model.txt

** SINAIS DE ENTRADA
vin vin 0 dc 0
vip vip vin dc 0 ac 0.2 sin=(0 3m 1k)

** ALIMENTACAO
vdd vdd 0 dc 0.75
vss vss 0 dc -.75

** PAR DIFERENCIAL
M1 7 vip 4 4 CMOSN l=0.5u w=327u
M2 8 vin 4 4 CMOSN l=0.5u w=327u
** CARGA ATIVA
M3 7 7 vdd vdd CMOSP l=3.0u w=301u
M4 8 7 vdd vdd CMOSP l=3.0u w=301u
** POLARIZACAO
ibb vdd ibb dc 100u
M5 ibb ibb vss vss CMOSN l=1.0u w=100u
M6 4 ibb vss vss CMOSN l=1.0u w=100u

** CAPACITOR DE SAIDA
CL 8 0 5pF

.control
destroy all

** TENSAO DE SAIDA
dc vip -50mV 50mV 1mV
plot v(8) title 'Saida'
plot deriv(v(8)) title 'Saida'

** RESPOSTA EM FREQUENCIA
set units=degree
ac dec 50 1 100meg
plot db(v(8)) ph(v(8))

** TRANSIENTE
tran 1us 2ms
plot v(vip) v(8)

.endc
.end

```

Anexo

ANEXO A – MODELO EKV DO TRANSISTOR MOS

```

*****
*   EKV v2.6 NMOS
.MODEL CMOSN NMOS (

+ LEVEL = 44
*** Process Related Model Parameters
+ COX   = 3.45E-3
+ XJ    = 0.15E-6
*** Intrinsic Model Parameters
+ VTO   = 0.6
+ GAMMA = 0.71
+ PHI   = 0.97
+ KP    = 150E-6
+ E0    = 88.0E6
+ UCRIT = 4.5E6
+ DL    = -0.05E-6
+ DW    = -0.02E-6
+ LAMBDA = 0.23
+ LETA  = 0.28
+ WETA  = 0.05
+ Q0    = 280E-6
+ LK    = 0.5E-6
*** Substrate Current Parameters
+ IBN   = 1.0
+ IBA   = 200E6
+ IBB   = 350E6
*** Intrinsic Model Temperature Parameters
+ TNOM  = 25.0
+ TCV   = 1.5E-3
+ BEX   = -1.5
+ UCEX  = 1.7
+ IBBT  = 0.0
*** 1/f Noise Model Parameters
+ KF    = 1E-27
+ AF    = 1
*** Junction Current Parameters
+ JS    = 8.0E-6
+ JSW   = 1.5E-10
+ XTI   = 0
+ N     = 1.5
*** Junction Capacitances Parameters
+ CJ    = 8.0E-4
+ CJSW  = 3.0E-10
+ MJ    = 0.5
+ MJSW  = 0.3
+ PB    = 0.9

```

```
+ PBSW    = 0.5
+ FC      = 0.5
*** Gate Overlap Capacitances
+ CGSO    = 1.5E-10
+ CGDO    = 1.5E-10
+ CGBO    = 4.0E-10 )

*****
*   EKV v2.6 PMOS
.MODEL CMOSP PMOS (

+ LEVEL   = 44
*** Process Related Model Parameters
+ COX     = 3.45E-3
+ XJ      = 0.15E-6
*** Intrinsic Model Parameters
+ VTO     = -0.55
+ GAMMA   = 0.69
+ PHI     = 0.87
+ KP      = 35.0E-6
+ E0      = 51.0E6
+ UCRIT   = 18.0E6
+ DL      = -0.05E-6
+ DW      = -0.03E-6
+ LAMBDA  = 1.1
+ LETA    = 0.45
+ WETA    = 0.0
+ Q0      = 200E-6
+ LK      = 0.6E-6
*** Substrate Current Parameters
+ IBN     = 1.0
+ IBA     = 0.0
+ IBB     = 300E6
*** Intrinsic Model Temperature Parameters
+ TNOM    = 25.0
+ TCV     = -1.4E-3
+ BEX     = -1.4
+ UCEX    = 2.0
+ IBBT    = 0.0
*** 1/f Noise Model Parameters
+ KF      = 1.0E-28
+ AF      = 1
*** Junction Current Parameters
+ JS      = 4.0E-5
+ JSW     = 7.0E-10
+ XTI     = 0
+ N       = 1.8
*** Junction Capacitances Parameters
+ CJ      = 8.0E-4
+ CJSW    = 4.0E-10
+ MJ      = 0.5
+ MJSW    = 0.35
```

```
+ PB      = 0.9
+ PBSW   = 0.8
+ FC     = 0.5
*** Gate Overlap Capacitances
+ CGSO   = 1.5E-10
+ CGDO   = 1.5E-10
+ CGBO   = 4.0E-10 )
```