



Evento	Salão UFRGS 2014: SIC - XXVI SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2014
Local	Porto Alegre
Título	Reescrita e verificação de circuitos digitais representados sob a forma de Grafos de ANDs e Inversores
Autor	MARCOS HENRIQUE BACKES
Orientador	ANDRE INACIO REIS

Atualmente, os circuitos digitais têm tido um papel cada vez mais importante em nossas vidas. A eletrônica está presente no acesso a informação através da internet, nos dispositivos móveis tais como celulares, nas urnas digitais, nos sistemas de segurança dos veículos em que nos deslocamos. Esta eletrônica necessita ser projetada para cumprir suas funções. Como se trata de uma tarefa complexa, os projetistas de circuitos integrados desenvolvem programas de computador que os auxiliam na tarefa de projetar os componentes eletrônicos. Em programas de computador, os circuitos digitais devem ser representados através de uma estrutura de dados. Nos dias de hoje, a estrutura de dados mais popular para representar circuitos lógicos digitais são os grafos de ANDs e inversores (conhecidos como AIGs, da sigla And-Inverter-Graph, em inglês). Nosso trabalho consiste em escrever rotinas de computador para a reescrita de AIGs durante o projeto de um circuito integrado digital. O objetivo da reescrita é produzir um grafo que realize a mesma função lógica, mas que tenha um menor custo. Deste modo o custo da eletrônica final pode ser reduzido. Em nosso trabalho realizamos a reescrita de porções do grafo que correspondam a portas ou-exclusivo. Nosso objetivo é reformular o grafo de maneira que a versão final da lógica tenha menos inversores reduzindo o seu custo. Nossos resultados demonstraram que é possível reduzir o número de inversores desta forma. Uma questão importante a ser considerada é que a reescrita de porções do grafo poderia alterar a função lógica final. Para comprovar que as modificações que fazemos reduzem o custo sem afetar a lógica final, implementamos algumas rotinas de verificação, que comparam o circuito de entrada com o circuito de saída, demonstrando que a lógica não é alterada, apenas o custo é reduzido. As rotinas de verificação foram implementadas de duas formas: uma baseada em grafos de decisão binária e outra baseada em algoritmos de satisfiabilidade. Foi constatado que a verificação baseada em satisfiabilidade é mais eficiente em termos de tempo de execução. Além disso comprovamos que nossas otimizações através da reescrita de AIGs não alteram a funcionalidade lógica do circuito, apenas reduzem os custos em termos do número de inversores necessários.