

A multiplicação pode ser efetuada através de duas principais abordagens: a multiplicação por algoritmo seqüencial e a multiplicação paralela (totalmente combinacional). A operação de forma serial se dá através de uma FSM (Function State Machine), a qual realiza uma série de passos consecutivos. Como consequência da divisão do processo, as operações realizadas são mais simples, dispendendo, portando, um menor número de portas lógicas. Apesar destes processos apresentarem como grande vantagem o pequeno tamanho do circuito resultante, eles demandam um maior tempo de operação. Os algoritmos paralelos por outro lado, por serem totalmente combinacionais, costumam gerar circuitos maiores, porém mais rápidos. Em determinadas tecnologias de implementação (notadamente em EPLD's), a utilização de circuitos combinacionais excessivamente grandes tende a causar grandes problemas de roteamento, e a gerar excessiva perda de tempo na propagação do sinal nas interconexões. Neste trabalho optou-se por uma implementação paralela do algoritmo de Booth, por apresentar as características de velocidade e tamanho do circuito desejadas para uma implementação em EPLD's. O processo de validação lógica da implementação escolhida se deu através de uma descrição em linguagem de descrição de hardware (HDC). Tal abordagem permite rapidez de simulação e facilidade de descrição e desenvolvimento. (CNPq, FAPERGS).