

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL  
ESCOLA DE ENGENHARIA  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**THALES EXENBERGER BECKER**

**CARACTERIZAÇÃO ELÉTRICA TEMPORAL DE  
TRANSISTORES DE FILMES FINOS DE NANOPARTÍCULAS  
DE ÓXIDO DE ZINCO**

Porto Alegre

2018

**THALES EXENBERGER BECKER**

**CARACTERIZAÇÃO ELÉTRICA TEMPORAL DE  
TRANSISTORES DE FILMES FINOS DE NANOPARTÍCULAS  
DE ÓXIDO DE ZINCO**

Dissertação de mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica.

Área de concentração: Engenharia de Computação.

ORIENTADOR: Prof. Dr. Gilson Inácio Wirth

Porto Alegre

2018

THALES EXENBERGER BECKER

**CARACTERIZAÇÃO ELÉTRICA TEMPORAL DE  
TRANSISTORES DE FILMES FINOS DE NANOPARTÍCULAS  
DE ÓXIDO DE ZINCO**

Esta dissertação foi julgada adequada para a  
obtenção do título de Mestre em Engenharia Elétrica e  
aprovada em sua forma final pelo Orientador e pela  
Banca Examinadora.

Orientador: \_\_\_\_\_

Prof. Dr. Gilson Inácio Wirth, UFRGS

Doutor pela Universitaet de Dortmund – Dortmund, Alemanha

Banca Examinadora:

Prof. Dr. Altamiro Amadeu Susin, UFRGS

Doutor pelo Institut National Polytechnique de Grenoble – Grenoble, França

Prof. Dra. Fernanda Lima Kastensmidt, UFRGS

Doutora pela Universidade Federal do Rio Grande do Sul – Porto Alegre, Brasil

Prof. Dr. Vinícius Valduga de Almeida Camargo, UFPEL

Doutor pela Universidade Federal do Rio Grande do Sul – Porto Alegre, Brasil

Coordenador do PPGEE: \_\_\_\_\_

Prof. Dr. Valner João Brusamarello

Porto Alegre, fevereiro de 2018.

Dedico este trabalho à memória de minha querida avó Iroilda de Vargas Exenberger, pela grande mulher que foi e por ter sido fonte de inspiração em minha vida.

## **AGRADECIMENTOS**

Agradeço aos meus pais, Denis e Raquel, pelo carinho, pela confiança que sempre depositaram em mim e por terem sido fundamentais no meu desenvolvimento como acadêmico e cidadão.

Aos meus irmãos Pedro e Augusto, pelo companheirismo diário.

Agradeço a minha noiva Carolina, pelo suporte e carinho fundamentais durante todo este período.

Ao Fábio F. Vidor, pelo imenso auxílio prestado durante a realização deste trabalho.

Ao meu orientador, Prof. Dr. Gilson Inácio Wirth, pela oportunidade de trabalharmos juntos e pela sua disponibilidade e contribuição para a realização deste trabalho. Agradeço-o também pelo incentivo para que sigamos trabalhando juntos na próxima etapa da minha vida acadêmica.

Por fim, agradeço ao Programa de Pós Graduação em Engenharia Elétrica, por viabilizar meu aprimoramento acadêmico.

## RESUMO

Neste trabalho, são discutidas as características de transistores de filmes finos (TFTs) nos quais nanopartículas de óxido de zinco (ZnO) são empregadas como material ativo na camada semicondutora. O crescimento contínuo do interesse por este componente está associado à busca pelo desenvolvimento da tecnologia de dispositivos eletrônicos flexíveis, transparentes e de baixo custo. TFTs integrados com nanopartículas de ZnO são apresentados, e uma extensa rotina de caracterização elétrica transiente é realizada para avaliar como estes dispositivos se comportam e degradam ao longo do tempo. Foram medidas, ao total, 80 amostras de transistores integrados em duas configurações distintas: inverted staggered e inverted coplanar. A partir das medidas analisadas foram identificados dois grupos de comportamentos elétricos dominantes, os quais foram classificados em: efeitos abruptos e efeitos de memória. A partir dos dados coletados, foram formuladas hipóteses para modelar o comportamento típico observado. Para tanto, utiliza-se dos mecanismos de atividade de *traps*, de interação da camada semicondutora com o meio ambiente, de polarização de dipolos e difusão de cargas móveis no dielétrico, de formação de caminhos percolados paralelos pelas nanopartículas e de difusão de vacâncias de oxigênio e íons metálicos que podem estar associados ao comportamento elétrico observado.

**Palavras chave:** Transistor de filme fino. Nanopartículas de ZnO. Caracterização temporal. Efeitos Abruptos. Efeitos de memória. Hipóteses.

## **ABSTRACT**

In this work, the characteristics of thin-film transistors (TFTs) employing nanoparticulated zinc oxide (ZnO) as the active semiconductor channel layer are discussed. The growing interest in this component is associated to the development of low-cost, flexible and transparent electronic devices. The TFTs integrated with ZnO nanoparticles are presented and an extensive transient electrical characterization campaign was performed in order to evaluate how these devices behave and degrade over time. The measurement was performed for 80 samples of two different integration setups: inverted staggered and inverted coplanar. In the performed tests two main disturbances were identified, which were classified as abrupt and memory effects. From the collected data, hypothesis to model the observed typical behavior are formulated. Trapping activity, ambient interaction, dielectric dipoles, mobile charges, formed parallel-paths, oxygen vacancies and metallic ions diffusion are mechanisms that may be associated to the observed behavior.

**Keywords: ZnO Nanoparticles. Thin-film Transistor. Temporal Characterization. Abrupt Effects. Memory Effects. Hypotheses.**

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO .....</b>	<b>14</b>
1.1	MOTIVAÇÃO.....	14
1.2	OBJETIVOS .....	17
1.3	ESTRUTURA DO TRABALHO.....	17
<b>2</b>	<b>TRANSISTORES DE FILMES FINOS .....</b>	<b>19</b>
2.1	FUNDAMENTOS .....	19
2.2	TFT IDEAL .....	21
<b>3</b>	<b>TFT DE NANOPARTÍCULAS DE ZnO.....</b>	<b>24</b>
3.1	MATERIAIS.....	26
3.1.1	Semicondutor .....	26
3.1.2	Dielétrico de <i>gate</i> .....	29
3.1.3	Eletrodos de <i>gate</i> /fonte/dreno .....	29
3.2	INTEGRAÇÃO.....	30
3.3	MECANISMO DE TRANSPORTE EM FILME DE ZNO NANOPARTICULADO.....	33
<b>4</b>	<b>FONTES DE PERTURBAÇÕES CONHECIDAS.....</b>	<b>36</b>
4.1	ATIVIDADE DE TRAPS .....	36
4.1.1	Fundamentos.....	36
4.1.2	Interação do semicondutor com o meio ambiente.....	36
4.1.3	Defeitos em caminhos percolados.....	38
4.2	DIPOLos E CARGAS MÓVEIS NO DIELÉTRICO DE GATE .....	40
4.3	MEMRESITÊNCIA .....	43
4.3.1	Vacâncias de oxigênio .....	43
4.3.2	Difusão de íons metálicos .....	44
<b>5</b>	<b>CARACTERIZAÇÃO ELÉTRICA DOS TFTs NO DOMÍNIO DO TEMPO ....</b>	<b>46</b>
5.1	MEDIDAS DE ESTRESSE COM POLARIZAÇÃO FIXA .....	49
5.2	MEDIDAS RECOVERY/STRESS .....	56
5.3	MEDIDAS STRESS/RECOVERY .....	59
5.4	MEDIDAS COMPLEMENTARES PARA TFTs COM FONTE NÃO COMPARTILHADA .....	60



<b>6</b>	<b>HIPÓTESES DE CAUSA E EFEITO.....</b>	<b>64</b>
6.1	EFEITOS ABRUPTOS.....	64
6.1.1	Quedas abruptas de corrente .....	64
6.1.2	Subidas abruptas de corrente .....	65
6.2	EFEITOS DE MEMÓRIA .....	68
6.2.1	Subida contínua de corrente.....	68
6.2.2	Decaimento contínuo de corrente.....	69
<b>7</b>	<b>CONCLUSÕES .....</b>	<b>71</b>
7.1	LIMITAÇÕES DO MÉTODO .....	72
7.2	TRABALHOS FUTUROS.....	73
	<b>REFERÊNCIAS.....</b>	<b>74</b>

## LISTA DE ILUSTRAÇÕES

Figura 1 - Aplicações da eletrônica transparente e flexível no desenvolvimento de produtos.....	14
Figura 2 - Diagrama de banda dos contatos <i>Schottky</i> do semiconductor com fonte e dreno (a) sem tensão aplicada, (b) com $v_{DS}$ positivo e $V_{GS}=0V$ , (c) com $v_{DS}$ positivo e $V_{GS}>V_{TH}$ .....	20
Figura 3 - Configurações de TFTs: (a) <i>inverted staggered</i> ; (b) <i>inverted coplanar</i> ; (c) <i>top-gate staggered</i> ; (d) <i>top-gate coplanar</i> .....	21
Figura 4 - Esquemático para modelagem de um TFT ideal.....	22
Figura 5 - Seção transversal de um TFT de nanopartículas de ZnO nas configurações: (a) <i>inverted coplanar</i> e (b) <i>inverted staggered</i> .....	24
Figura 6 - Área de contato entre o eletrodo de fonte e o filme semiconductor nanoparticulado. Verifique-se que a injeção de portadores é reduzida para a configuração (a) <i>inverted coplanar</i> em comparação com a configuração (b) <i>inverted staggered</i> .....	25
Figura 7 - Estrutura molecular do ZnO. Os átomos menores correspondem ao Zn e uma unidade celular é destacada. ....	27
Figura 8 - Nanoestruturas de ZnO. ....	28
Figura 9 - Etapa de integração comum às configurações <i>inverted staggered</i> e <i>inverted coplanar</i> .....	30
Figura 10 - Procedimento particular de integração para amostras <i>inverted staggered</i> . ....	31
Figura 11 - Procedimento particular para integração para amostras <i>inverted coplanar</i> .....	32
Figura 12 - (a) Imagem obtida por microscópio eletrônico que apresenta a interface entre um filme de ZnO nanoparticulado e o dielétrico de <i>gate</i> . (b) Esquemático das cargas localizadas próximas à interface que são consideradas: fixas quando se localizam em até uma distância limítrofe que é igual ao raio das nanopartículas e móveis quando se localizam em uma distância superior. (c) A concentração de portadores se apresenta como máxima na interface e decai monotonicamente com a distância desta.....	34
Figura 13 - Mecanismo de transporte em uma rede de ZnO nanoparticulado.....	34
Figura 14 - Esquemático do diagrama de bandas relacionado com a barreira de potencial entre as nanopartículas de ZnO devido à interação com as moléculas de oxigênio. ....	37
Figura 15 - Mecanismo de desorção de moléculas de oxigênio pela injeção de cargas positivas via aplicação de tensão elétrica ou fotogeração pela luz UV. Devido à recombinação de cargas aumenta-se a concentração de portadores na camada semicondutora. No sentido inverso o oxigênio é capturado quando exposto ao semiconductor.....	38

Figura 16 - Fluxo de corrente sob a atividade dos <i>traps</i> em esquemático da rede nanoparticulada. ....	40
Figura 17 - Seção transversal do transistor orgânico em configuração <i>inverted coplanar</i> utilizado para medir a dependência em frequência da constante dielétrica do nanocomposto <i>high-k</i> . ....	41
Figura 18 - Dependência em frequência da constante dielétrica do nanocomposto <i>high-k</i> . ....	42
Figura 19 - Mecanismos de (a) difusão de cargas móveis e (b) orientação de dipolos, no dielétrico de <i>gate</i> . Responsáveis por histerese em TFT de óxidos metálicos. ....	43
Figura 20 - Dependência temporal da corrente em função da polarização aplicada. (a) As vacâncias de oxigênio quando repelidas da região da interface entre Al/ZnO provocam a diminuição da barreira para injeção de elétrons pela dessorção de moléculas de oxigênio (b) O contrário se observa quando as vacâncias são atraídas e provocam o aumento da barreira para injeção de elétrons pela absorção de moléculas de oxigênio. ....	44
Figura 21 - Setup de medidas para a caracterização elétrica dos transistores. As ponteiras são aplicadas em S, D e G que são respectivamente a fonte, o dreno e o <i>gate</i> do dispositivo. ....	47
Figura 22 - Curvas $I_d \times V_{GS}$ e $I_d \times V_{DS}$ para TFT <i>inverted staggered</i> $L=3 \mu\text{m}$ e $W=500 \mu\text{m}$ . ....	48
Figura 23 - Curvas $I_d \times V_{GS}$ e $I_d \times V_{DS}$ para TFT <i>inverted coplanar</i> $L=3 \mu\text{m}$ e $W=500 \mu\text{m}$ . ....	48
Figura 24 - Polarização em estresse contínuo, mantendo $V_G$ e $V_D$ positivos ao longo do tempo em relação à $V_S$ que é aterrado. ....	49
Figura 25 - Comportamento típico para a corrente de dreno e evento mais frequentemente observado sob estresse contínuo para TFT de nanopartículas de ZnO na configuração <i>inverted staggered</i> . ....	51
Figura 26 - Comportamento típico para a corrente de dreno e evento mais frequentemente observado sob estresse contínuo para TFT de nanopartículas de ZnO na configuração <i>inverted coplanar</i> . ....	52
Figura 27 - Frequência dos eventos de flutuação de corrente de dreno em relação à corrente máxima para TFTs de nanopartículas de ZnO na configuração <i>inverted coplanar</i> . ....	53
Figura 28 - Frequência dos eventos de flutuação de corrente de dreno em relação à corrente máxima para TFTs de nanopartículas de ZnO na configuração <i>inverted staggered</i> . ....	53
Figura 29 - Resistência de contato entre as ponteiras e os eletrodos de dreno e de fonte para amostra <i>inverted staggered</i> . Observa-se na região linear uma resistência de 25 ohms. ....	54
Figura 30 - Resistência de contato entre as ponteiras e os eletrodos de dreno e de fonte para amostra <i>inverted coplanar</i> . Observa-se na região linear uma resistência na ordem de $10^3$ ohms. ....	55
Figura 31 - Tempo de resposta da corrente de dreno à aplicação de um $V_{GS}$ positivo e constante, verificando que a resposta é mais rápida quando um $V_{GS}$ mais elevado é aplicado. $L=3 \mu\text{m}$ e $W=5 \mu\text{m}$ . ....	56
Figura 32 - Estresse contínuo ora em $V_D$ ora em $V_G$ e degrau positivo aplicado no sinal oposto. Fonte mantida em 0V. ....	57
Figura 33 - Estresse contínuo ora em $V_D$ ora em $V_G$ e degrau positivo aplicado no sinal oposto. Fonte mantida em 0V. Para um TFT coplanar invertido, $L=5 \mu\text{m}$ e $W=500 \mu\text{m}$ . ....	58

Figura 34 - Estresse contínuo ora em $V_D$ ora em $V_G$ e degrau positivo aplicado no sinal oposto. Fonte mantida em 0V. Para um TFT coplanar invertido, $L=5\mu\text{m}$ e $W=500\mu\text{m}$ .....	58
Figura 35 - Estresse contínuo em $V_D$ e aplicação de degrau negativo em $V_G$ . Fonte mantida em 0V...59	59
Figura 36 - A resposta das correntes de dreno e de <i>gate</i> à aplicação de $V_{DS}$ e $V_{GS}$ positivos e constantes e à posterior retirada deste último. Para um TFT <i>inverted staggered</i> , $L = 5\mu\text{m}$ e $W = 500\mu\text{m}$ .....	60
Figura 37 - <i>Template</i> para transistores com fonte não compartilhada. Com $L$ variando entre 1-10 $\mu\text{m}$ e $W=500\mu\text{m}$ .....	61
Figura 38 - Correntes de dreno ( $I_d$ ), fonte ( $I_s$ ) e <i>gate</i> ( $I_g$ ) sob estresse contínuo para TFT com fonte não compartilhada na configuração <i>inverted staggered</i> . $L=5\mu\text{m}$ e $W=500\mu\text{m}$ . ....	61
Figura 39 - Correntes de dreno ( $I_d$ ), fonte ( $I_s$ ) e <i>gate</i> ( $I_g$ ) para estresse contínuo para outro TFT com fonte não compartilhada na configuração <i>inverted staggered</i> . $L=5\mu\text{m}$ e $W=500\mu\text{m}$ .....	62
Figura 40 - Correntes de dreno ( $I_d$ ), fonte ( $I_s$ ) e <i>gate</i> ( $I_g$ ) para degrau positivo em $V_{GS}$ e $V_{DS}$ fixo. TFT com fonte não compartilhada na configuração <i>inverted staggered</i> . $L=5\mu\text{m}$ e $W=500\mu\text{m}$ . ....	62
Figura 41 - Correntes de dreno ( $I_d$ ), fonte ( $I_s$ ) e <i>gate</i> ( $I_g$ ) para degrau positivo em $V_{DS}$ e $V_{GS}$ fixo. TFT com fonte não compartilhada na configuração <i>inverted staggered</i> . $L=5\mu\text{m}$ e $W=500\mu\text{m}$ . ....	63
Figura 42 - Fluxo de corrente influenciado pela atividade dos <i>traps</i> relacionado com o esquemático da rede nanoparticulada formada por caminhos paralelos devido às inter-ramificações.....	65
Figura 43 - Modelo de subida abrupta em amostras <i>inverted staggered</i> : pela restauração de caminhos percolados bloqueados eletricamente na região da resistência de acesso devido à dessorção de oxigênio.....	66
Figura 44 - Modelo de subida abrupta em amostras <i>inverted staggered</i> : ativação de caminhos percolados pela difusão de alumínio na região da resistência de acesso.....	67
Figura 45 - Modelo para a subida contínua da corrente de dreno: relacionado à aplicação de $V_{GS}$ e à reorientação de dipolos ou de deriva de cargas móveis do dielétrico, neste momento ou quando um caminho é reestabelecido. ....	69
Figura 46 - Modelo para a decaimento contínuo da corrente de dreno: relacionado com a desorientação de dipolos no dielétrico pela aplicação de $V_{DS}$ . ....	70

## LISTA DE TABELAS

Tabela 1 Propriedades físicas do ZnO .....	27
Tabela 2 Dimensões e quantidade de amostras medidas na configuração <i>inverted coplanar</i> .....	47
Tabela 3 Dimensões e quantidade de amostras medidas na configuração <i>inverted staggered</i> .....	47
Tabela 4 Frequência dos eventos observados para a corrente de dreno das amostras <i>inverted coplanar</i> . .....	50
Tabela 5 Frequência dos eventos observados para a corrente de dreno das amostras <i>inverted staggered</i> . .....	50

## LISTA DE ABREVIATURAS

a-IGZO: *Amorphous Indium-Gallium-Zinc Oxide*

C8-BTBT: *2,7-dioctyl [1] benzothieno [3,2-b] [1] benzothiophene*

CYMM: *Cyanopulluane*

DNTT: *Dinaphtho [2,3-b:2,3-f] thieno [3,2-b] thiophene*

FET: *Field Effect Transistor*

FC: Filamentos Condutivos

LAPROT: Laboratório de Prototipação e Teste

MOSFET: *Metal Oxide Semiconductor Field Effect Transistor*

NaOH: Hidróxido de Sódio

OFET: *Organic Field Effect Transistor*

PVP: *poly(4-vinylphenol)*

QA: Quedas Abruptas

QASPSC: Quedas Abruptas Seguidas ou Precedidas de Subida Contínua

AS: Subidas Abruptas

SASDC: Subidas Abruptas Seguida de Decaimento Contínuo

STD: *Sensor Technology Department*

TFT: *Thin-film transistor*

UV: Ultravioleta

Vo: Vacâncias de oxigênio

ZnO: Óxido de Zinco

# 1 INTRODUÇÃO

## 1.1 MOTIVAÇÃO

Nas últimas décadas o interesse dos grupos de pesquisa e de indústrias privadas por dispositivos eletrônicos transparentes e flexíveis cresce sistematicamente. Tal fato é estimulado pela evolução constante das aplicações, tais como: displays de tela plana, sensores de imagem para dispositivos médicos e papel eletrônico, entre outros, conforme exemplificado na Figura 1 (WONG; SALLEO, 2009). O mercado de semicondutores demanda pela busca contínua de produtos inovadores, mantendo em mente o compromisso entre o desempenho e a confiabilidade dos dispositivos, além da necessidade de processos de baixo custo e bom rendimento. Junto a tradicional necessidade de dispositivos com alto desempenho que decorrem da possibilidade de integração de bilhões de transistores em um único chip com potência computacional eficaz, emergem outras aplicações que não necessitam necessariamente de alto desempenho e de alta densidade de dispositivo, mas sim de outras características como a flexibilidade e a transparência, por exemplo. Logo, a possibilidade de fabricar dispositivos em substratos de grande área pela utilização de processos de baixa temperatura permite explorar as características dos materiais de maneira mais ampla, o que possibilita a expansão dos campos de aplicação do dispositivo (VIDOR, 2017).

Figura 1 - Aplicações da eletrônica transparente e flexível no desenvolvimento de produtos.



Fonte: <http://www.flexenable.com/applications/wearable-technology/> e <http://www.oled-info.com/>.

Os transistores de filmes finos (TFTs) são componentes chaves para o desenvolvimento destas tecnologias, pois atuam diretamente no fornecimento de corrente do sistema. Estes dispositivos são menos custosos do que os MOSFETs tradicionais e são utilizados em aplicações nas quais um elevado desempenho não é a principal exigência. Dessa forma, o principal compromisso desta tecnologia é o de adicionar novas funcionalidades aos produtos e aplicativos já existentes e recém-criados, possibilitando sistemas híbridos, nos quais o processamento dos dados é realizado por transistores de alto desempenho e a interação com o usuário e a aquisição de dados pode ser realizada por TFTs flexíveis e transparentes (VIDOR, 2017).

Como o uso de silício poli cristalino como material ativo de transistores de filmes finos é limitado pelo seu custoso e complexo processo de integração, é fundamental a compressão e a busca por materiais alternativos capazes de transpor estes obstáculos. A escolha do material semicondutor ativo, portanto, tem um papel decisivo no desempenho do dispositivo e no custo do processo (WONG; SALLEO, 2009). Dentro desta perspectiva, materiais orgânicos e óxidos metálicos surgem como potenciais candidatos para desempenhar esta tarefa e suas características vêm sendo amplamente estudadas (HILLERINGMANN *et al.*, 2011).

Em relação aos materiais orgânicos destacam-se os de tipo p, como o *dinaphtho [2,3-b:2,3-f] thieno [3,2-b] thiophene* (DNTT) e o *2,7-dioctyl [1] benzothieno [3,2-b] [1] benzothiophene* (C8 - BTBT), que têm sido alvos de pesquisa na última década por diversos grupos de pesquisa devido às boas características elétricas e a estabilidade que apresentam em relação à interação com o ar ambiente. Apesar dos bons resultados obtidos para materiais orgânicos de tipo p, o mesmo não se repete para orgânicos de tipo n, e por causa desta limitação decorre a procura por alternativas e a abertura de outras frentes de pesquisa, como a utilização de óxidos metálicos inorgânicos na camada semicondutora (VIDOR, 2017).

O emprego de óxido de zinco (ZnO) em cosméticos, protetores solares, bem como na pigmentação de tinta, transdutores piezelétricos, varistores e eletrodos condutores transparentes mostram a ampla gama de aplicações e a versatilidade deste composto. As principais aplicações relativas às suas propriedades semicondutoras estão relacionadas à optoeletrônica e ao emprego como material semicondutor ativo para a integração de transistores transparentes e flexíveis e células solares. Este composto, quando utilizado na forma de dispersão de nanopartículas, responde bem a esta necessidade, e devido às suas propriedades elétricas e sensoriais também tem recebido grande interesse dos grupos de



pesquisa e da indústria de semicondutores (VIDOR, MEYERS; HILLERINGMANN, 2015). De maneira intrínseca o ZnO se apresenta como um semicondutor de tipo n, e tal característica comumente se explica pela presença natural de vacâncias de oxigênio ( $V_o$ ) no material. O ZnO possui bandgap direto de 3,4 eV, o que possibilita também a sua utilização em aplicações da eletrônica transparente e de emissão de luz (JAGADISH; PEARTON, 2006) e (WANG, 2004). Esta característica combinada com as excelentes propriedades elétricas e sensoriais torna o ZnO ainda mais atrativo. Adicionalmente, quando o óxido de zinco é utilizado na forma de dispersão de nanopartículas, fabricadas em alta qualidade e baixo custo, o custo de integração é reduzido, pois técnicas como *sputtering* e *atomic layer deposition* são evitadas (VIDOR, 2017).

Embora sejam boas as perspectivas para o uso de materiais inorgânicos, como as nanopartículas de ZnO, no canal de TFTs como semicondutor ativo, alguns desafios devem ser superados para que as instabilidades presentes nestes transistores, tais como: atividade de *traps* e comportamento de histerese, possam ser reduzidos, aprimorando-se dessa forma a confiabilidade e o rendimento destes dispositivos. Por outro lado, cultivar e controlar efeitos como atividade de *traps* e histerese, pode levar ao desenvolvimento de dispositivos de memória eficientes e de baixo custo (YE *et al.*, 2017).

Estes efeitos são normalmente observados e dependentes ao longo do tempo, porém a prática de caracterizar os transistores no domínio do tempo é vagamente aplicada na literatura. Ao realizar a caracterização elétrica desta forma, além de fornecer novos subsídios para a compreensão e o controle do comportamento elétrico do TFT, também se pode avaliar fatores como o tempo de resposta do transistor, as flutuações de corrente, entre outros, que são parâmetros essenciais para a aplicação dos TFTs em circuitos eletrônicos. Dentre estas adversidades, as causas mais abordadas no que se refere à camada semicondutora, destacam-se: a formação de caminhos percolados de condução devido à natureza estocástica da formação de interconexões entre as nanopartículas, a rugosidade da interface entre as nanopartículas e o dielétrico de *gate*, a interação entre as nanopartículas e o meio ambiente, especialmente com as moléculas de água e de oxigênio, e a mobilidade das vacâncias de oxigênio presentes no semicondutor (OKAMURA *et al.*, 2008), (MEULENKAMP, 1999) e (VIDOR *et al.*, 2013).

## 1.2 OBJETIVOS

O presente trabalho objetiva realizar a caracterização elétrica de transistores de filmes finos de nanopartículas de óxido de zinco no domínio do tempo, bem como a formulação, a partir dos dados coletados nos experimentos, de hipóteses de possíveis relações de causa e efeito do comportamento elétrico observado, uma vez que o conhecimento acumulado para este tipo de transistor é bastante exíguo na literatura.

## 1.3 ESTRUTURA DO TRABALHO

Este trabalho é composto por sete capítulos sumarizados a seguir.

O primeiro capítulo apresenta de maneira simplificada e introdutória o cenário do mercado de semicondutores, ressaltando os tradicionais desafios e a busca por novas tecnologias e destacando também os dispositivos eletrônicos transparentes e flexíveis. Nesta etapa também se apresenta o papel dos transistores de filmes finos de nanopartículas de óxido de zinco para o desenvolvimento desta tecnologia. Os desafios e as constantes instabilidades temporais observadas no comportamento elétrico destes dispositivos se apresentam como a principal motivação para o desenvolvimento deste trabalho.

No segundo capítulo faz-se uma revisão bibliográfica a respeito dos transistores de filmes finos, na qual são enfatizados os seus aspectos estruturais destacando a importância da formação de barreiras *Schottky* para o seu funcionamento. Além disso, para compreender a resposta de corrente esperada em função da polarização de um TFT e comparar com os MOSFETs tradicionais, apresenta-se um modelo ideal de funcionamento deste tipo de transistor.

O Capítulo 3 consiste na apresentação dos transistores de filmes finos de nanopartículas de ZnO que serão estudados e caracterizados neste trabalho. Nesta etapa, discutem-se as propriedades e as peculiaridades dos materiais empregados nos transistores medidos, bem como as técnicas utilizadas na integração dos dispositivos. Ainda neste capítulo, dedica-se uma seção para descrever os mecanismos de transporte de carga em um filme nanoparticulado, visto que a compreensão desse sistema é fundamental para a análise realizada nos capítulos seguintes.

No Capítulo 4, discutem-se, a partir de conhecimentos já solidificados em literatura, as principais fontes de perturbações e de desvio do comportamento ideal esperado dos TFTs de nanopartículas de ZnO e os desafios inerentes destes efeitos para a confiabilidade deste tipo de transistor. Apresenta-se neste capítulo, portanto, a resposta do dispositivo aos defeitos presentes na camada semicondutora, à interação entre o ar ambiente e o semicondutor, ao efeito de polarização de dipolos no dielétrico de *gate*, bem como à difusão de vacâncias de oxigênio e de íons metálicos.

No Capítulo 5, são apresentados os resultados experimentais obtidos pela caracterização elétrica em domínio do tempo dos transistores e, nesta etapa, também são identificados os comportamentos fenomenológicos mais recorrentes de desvio da resposta ideal do transistor.

No Capítulo 6, serão apresentadas as hipóteses de causa e efeito que visam à modelagem dos eventos e dos comportamentos elétricos observados durante as medidas experimentais descritas no capítulo anterior.

E por fim, as conclusões acerca dos experimentos realizados e dos resultados obtidos são apresentadas no Capítulo 7.

## 2 TRANSISTORES DE FILMES FINOS

### 2.1 FUNDAMENTOS

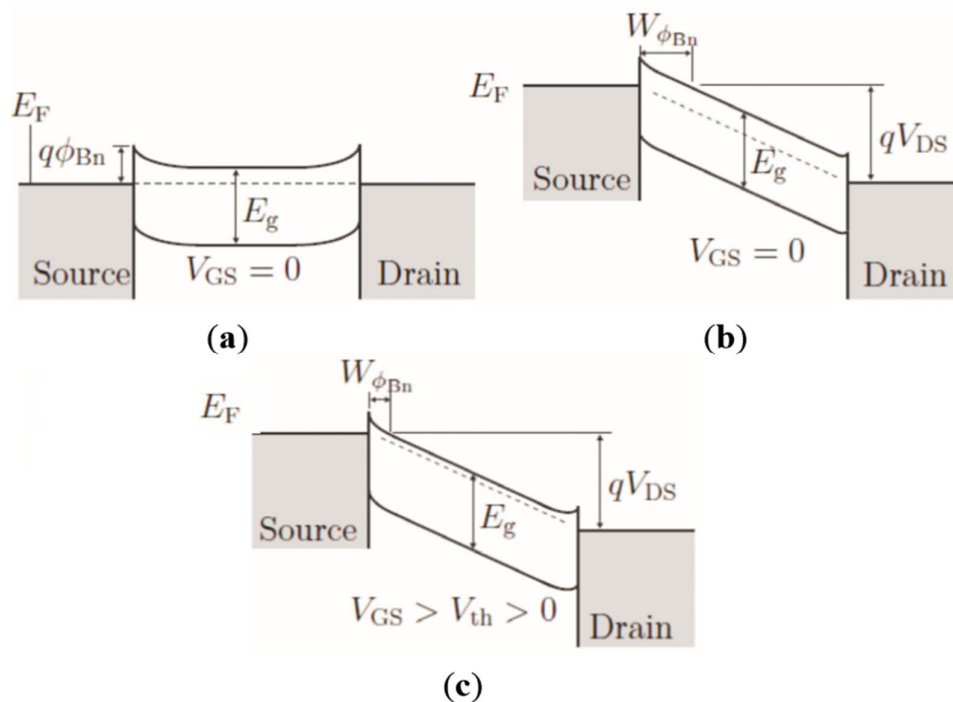
Os transistores de filmes finos são compostos basicamente por três elementos: a camada semicondutora; os eletrodos de fonte (do inglês *source*), de dreno (do inglês *drain*) e de porta (do inglês *gate*)<sup>1</sup>; e o dielétrico de *gate*. O dielétrico funciona como uma camada que separa o eletrodo de *gate* do filme semicondutor, enquanto que os eletrodos de dreno e de fonte interagem diretamente em contato com a camada semicondutora e são fundamentais na determinação das dimensões dos transistores. Na aplicação de uma tensão no eletrodo de *gate*, os portadores de carga majoritários são atraídos pelo campo elétrico e formam um canal de condução e que, por esta característica, ao contrário dos MOSFETs típicos que funcionam em modo de inversão, operam no modo de acumulação de cargas (VIDOR *et al.*, 2015).

Em transistores de filmes finos nanoparticulados, quando na etapa de processamento do transistor, exclui-se qualquer processo de dopagem das nanopartículas e, dessa forma, todas as junções formadas entre a camada de metalização e a camada semicondutora correspondem a uma barreira *Schottky*. O diagrama de bandas em equilíbrio térmico e a barreira de potencial ( $q\phi_{Bn}$ ) para o fluxo de elétrons presente entre o contato metálico e o semicondutor de tipo n para um TFT não polarizado são esquematizados na Figura 2(a). Observam-se correntes de fuga mais elevadas para estes dispositivos quando comparado às junções pn tradicionais devido ao fenômeno de tunelamento de carga através da barreira de potencial formada nos contatos metal/semicondutor diante da aplicação de uma tensão  $V_{DS}$  positiva. Nesta situação, o potencial do dreno é reduzido em relação à fonte, e o fluxo de elétrons é majoritariamente bloqueado em função da largura da barreira de potencial ( $W\phi_{Bn}$ ) na junção fonte/semicondutor, de acordo com o exposto na Figura 2(b). Quando uma tensão é aplicada no *gate* do dispositivo, o semicondutor se comporta em modo de acumulação de cargas e o aumento da concentração de portadores é equivalente, para o contato *Schottky*, ao aumento da dopagem do semicondutor em MOSFETs tradicionais. Este efeito reduz a largura da barreira de potencial ( $W\phi_{Bn}$ ), o que resulta em um aumento da probabilidade de tunelamento de elétrons e conseqüentemente em um aumento na corrente do dispositivo da Figura 2(c). Dessa forma, a corrente de canal em TFTs também é controlada pela tensão aplicada no *gate* do transistor e o seu funcionamento básico remete aos mecanismos comumente observados em FETs tradicionais de silício (HILLERINGMANN *et al.*, 2011).

---

<sup>1</sup> Por preferência do autor neste trabalho será utilizado o termo em inglês: *gate*.

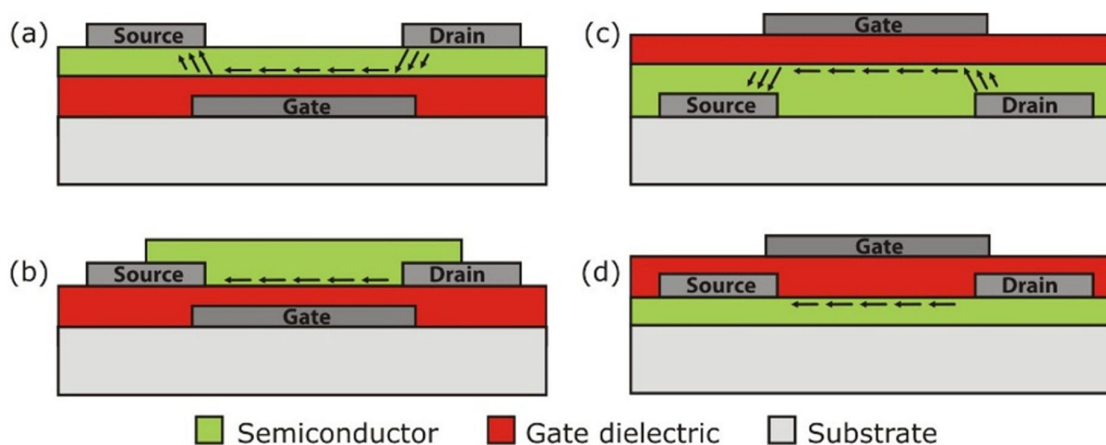
Figura 2 - Diagrama de banda dos contatos *Schottky* do semiconductor com fonte e dreno (a) sem tensão aplicada, (b) com  $v_{DS}$  positivo e  $V_{GS}=0V$ , (c) com  $v_{DS}$  positivo e  $V_{GS}>V_{TH}$ .



Fonte: Adaptado de Hilleringmann *et al.*, 2011.

Os três elementos: semiconductor, dielétrico e eletrodos de contatos, são os principais componentes de um TFT. A disposição destes elementos tem uma forte influência tanto no desempenho do dispositivo como também no processo de integração do transistor. Os dispositivos são normalmente divididos em dois grupos principais de configurações: *staggered* e *coplanar*. A posição dos eletrodos de dreno e de fonte e do dielétrico de *gate* em relação à área do canal semiconductor define a configuração do transistor (VIDOR *et al.*, 2015). Nas estruturas coplanares, apresentadas nas Figuras 3(b) e 3(d), os eletrodos de dreno e de fonte e o dielétrico de *gate* estão localizados no mesmo plano do canal, enquanto que em estruturas *staggered*, descritas nas Figuras 3(a) e 3(c) os eletrodos de dreno e de fonte e o dielétrico de *gate* estão posicionados no plano oposto em relação à camada semiconductor. A posição do eletrodo de *gate* também é utilizada na classificação dos dispositivos, denominados por *inverted* ou *bottom-gate*, os dispositivos descritos nas Figuras 3(a) e 3(b) ou por *top-gate* os dispositivos apresentados pelas Figuras 3(c) e 3(d).

Figura 3 - Configurações de TFTs: (a) *inverted staggered*; (b) *inverted coplanar*; (c) *top-gate staggered*; (d) *top-gate coplanar*.



Fonte: Vidor *et al.*, 2015.

## 2.2 TFT IDEAL

Os TFTs apresentam uma série de não idealidades, especialmente quando se utilizam na camada semicondutora materiais não cristalinos, como as nanopartículas de ZnO. Porém para a compreensão da resposta ideal esperada de um TFT é importante entender o funcionamento de um dispositivo bem comportado. De maneira simplificada, portanto, o dispositivo pode ser idealmente modelado a partir de algumas premissas básicas (VIDOR, 2017):

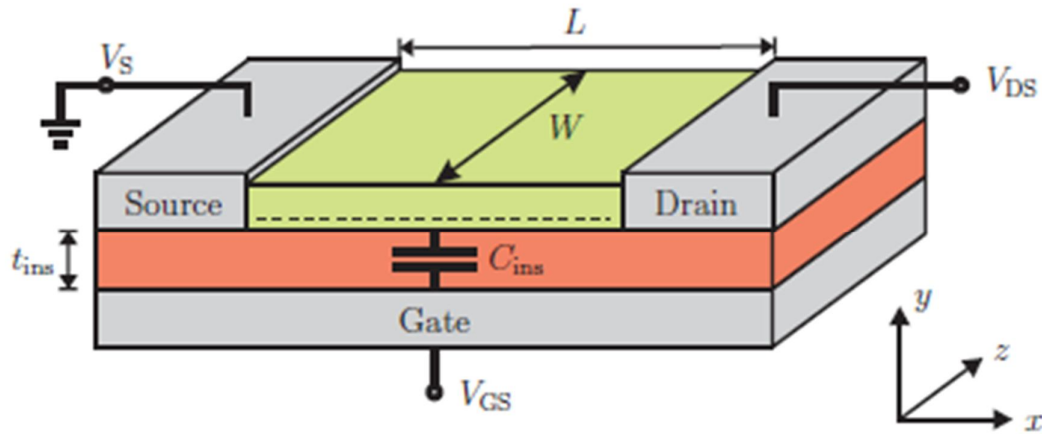
- o campo elétrico ao longo da camada semicondutora (eixo x) e o campo elétrico perpendicular ao semicondutor (eixo y) são independentes;
- a mobilidade dos portadores de carga é constante ao longo do canal;
- a corrente do transistor é predominantemente de deriva;
- a carga no canal varia linearmente com a tensão aplicada no *gate*;
- o dispositivo é grande o suficiente para que possa ser negligenciado o *short channel effect*, ou seja, a redução da tensão de *threshold* para elevadas tensões aplicadas no dreno.

A partir das premissas apresentadas, pode-se avaliar o efeito capacitivo no *gate* do dispositivo, apresentado na Figura 4, pelo qual a concentração de portadores na camada de acumulação,  $q\Delta n(x)$ , é proporcional à tensão  $V_{GS}$  aplicada ao dielétrico de *gate* pelos eletrodos de *gate* e fonte, conforme a Equação 1:

$$q\Delta n(x) = C_{ins}(V_{GS} - V(x)). \quad (1)$$

onde  $q\Delta n(x)$  é densidade de carga induzida pela aplicação da tensão no *gate*,  $C_{ins}$  é a capacitância de *gate* por unidade de área,  $V_{GS}$  é a tensão aplicada entre o *gate* e a fonte e  $V(x)$  é a tensão ao longo do canal em uma distância  $x$  (considerando  $x$  igual a 0 no eletrodo de fonte).

Figura 4 - Esquemático para modelagem de um TFT ideal.



Fonte: Vidor *et al.*, 2017.

Dessa forma, obtêm-se as correntes de dreno ( $I_d$ ) para  $V_{DS}$  abaixo do limiar de saturação e a corrente de saturação ( $I_{dsat}$ ) para  $V_{DS}$  acima do limiar de saturação, conforme as Equações 2 e 3:

$$I_d = \frac{W\mu C_{ins}}{L} \left[ (V_{GS} - V_{ON})V_{DS} - \frac{V_{DS}^2}{2} \right], (V_{DS} < V_{DSAT}) \quad (2)$$

$$I_{dsat} = \frac{W\mu C_{ins}}{2L} (V_{GS} - V_{ON})^2, (V_{DS} \geq V_{DSAT}) \quad (3)$$

onde  $V_{ON}$  é a tensão em que o transistor começa a conduzir, e pode ser extraída da curva  $\log I_d - V_{GS}$ ,  $W$  e  $L$  são as dimensões do transistor (largura e comprimento respectivamente),  $\mu$  é a mobilidade do canal e  $C_{ins}$  expressa a capacitância por unidade de área.

As Equações 2 e 3 expressam a resposta básica e ideal esperada para estes dispositivos, logo as discrepâncias entre o comportamento de um TFT medido e as curvas obtidas com este modelo podem ser considerados desvios do comportamento ideal. Além disso, novamente ressalta-se a similaridade destas equações com as expressões comumente obtidas para os MOSFETs tradicionais em que a principal diferença se dá pela definição da tensão de *threshold* que corresponde para o TFT como a tensão de *turn-on*  $V_{ON}$  (VIDOR, 2017).

A tensão  $V_{ON}$  foi definida por Hong *et al.*, 2008 e é dependente da densidade de portadores livres ( $n_o$ ) e da espessura da camada de acumulação no semicondutor ( $h$ ). Dessa forma, a tensão de *turn-on* pode ser expressa conforme a Equação 4:

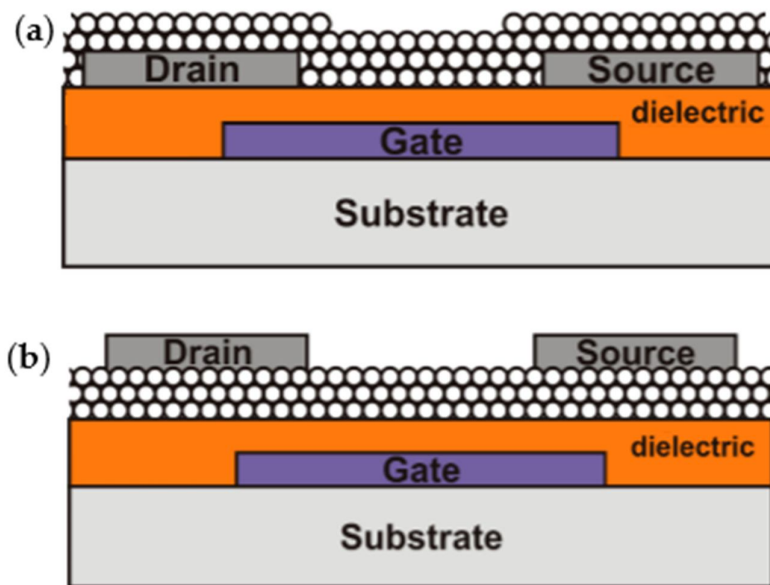
$$V_{ON} = \frac{-qhn_o}{C_{ins}} \quad (4)$$



### 3 TFT DE NANOPARTÍCULAS DE ZnO

Neste trabalho foi realizada a caracterização elétrica no domínio do tempo de amostras de transistores de filmes finos de nanopartículas de ZnO desenvolvidas pelo grupo de pesquisa *Sensor Technology Department (STD)* da Universidade de Paderborn que é parceiro do Laboratório de Prototipação e Teste (LAPROT) da Universidade Federal do Rio Grande do Sul. Foram medidos transistores integrados em duas configurações distintas: *inverted coplanar* e *inverted staggered*. A Figura 5 apresenta o esquemático da seção transversal de ambas as configurações de transistores e neste capítulo serão discutidas as propriedades dos materiais utilizados para o semicondutor ativo, dielétrico de *gate* e para os eletrodos de *gate*, fonte e dreno. Além disso, o processo de integração destes transistores será abordado, bem como o mecanismo de transporte de corrente em um filme nanoparticulado.

Figura 5 - Seção transversal de um TFT de nanopartículas de ZnO nas configurações: (a) *inverted coplanar* e (b) *inverted staggered*.

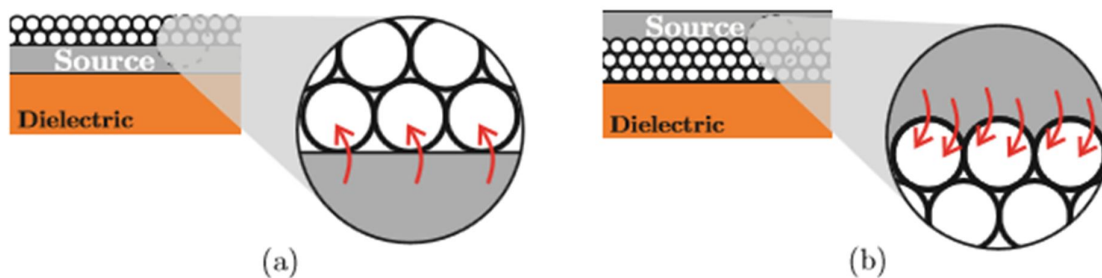


Fonte: Vidor *et al.*, 2016.

Na integração de TFTs baseados em óxidos metálicos a escolha por estruturas *bottom-gate* ou *inverted* é predominante, uma vez que para estas configurações o estresse químico e físico que o semicondutor é submetido ao longo deste processo é reduzido. Configurações coplanares são preferidas quando técnicas de litografia são aplicadas, pois para este *setup* a

deposição do semicondutor é o último passo de integração e assim o mesmo não é danificado pelas etapas anteriores. Porém, usualmente as amostras coplanares possuem altas resistências de contato, entre o semicondutor e os metais de fonte e de dreno, visto que ocorre uma baixa aderência de contato entre estes materiais e devido ao formato esférico das nanopartículas esta característica é acentuada quando os filmes nanoparticulados são utilizados (WOLFF, 2011). Por outro lado, quando os eletrodos de dreno e de fonte são posicionados sobre o semicondutor, como em amostras *inverted staggered*, verifica-se um aumento na aderência dos contatos e um decorrente aumento no fluxo de corrente do dispositivo, conforme exemplificado para o contato entre o eletrodo de fonte e as nanopartículas no transistor da Figura 6. Em contrapartida, para estas amostras forma-se uma região correspondente a uma resistência de acesso entre o eletrodo metálico e a camada de acumulação formada no canal do TFT, uma vez que o contato metálico não se dá diretamente com as nanopartículas pertencentes a esta camada. De qualquer forma, os efeitos desta resistência são normalmente negligenciados quando comparados ao ganho de desempenho que é obtido pela deposição dos eletrodos de fonte e de dreno sobre a camada semicondutora. Na configuração coplanar não se observa a formação de uma resistência de acesso, uma vez que os eletrodos metálicos estão em contato direto com a camada de acumulação formada.

Figura 6 - Área de contato entre o eletrodo de fonte e o filme semicondutor nanoparticulado. Verifica-se que a injeção de portadores é reduzida para a configuração (a) *inverted coplanar* em comparação com a configuração (b) *inverted staggered*.



Fonte: Vidor, 2017

### 3.1 MATERIAIS

#### 3.1.1 Semicondutor

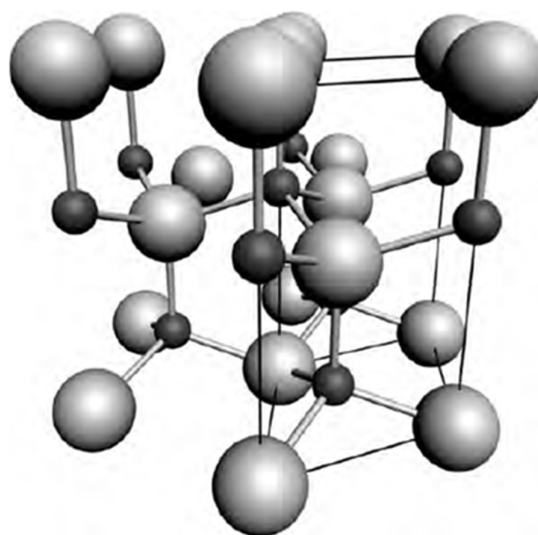
O óxido de zinco tem recebido cada vez mais a atenção da comunidade científica e é tratado como um material do futuro, mesmo que este material seja investigado desde 1935 e desde então possui uma ampla gama de utilização na indústria. Porém, o interesse por este composto foi renovado quando se verificou a possibilidade do crescimento de cristais nanométricos e camadas epitaxiais de ZnO de alta qualidade, permitindo a fabricação de dispositivos eletrônicos e opto eletrônicos baseados em ZnO (JAGADISH; PEARTON, 2006). Nesta seção do trabalho apresentam-se as propriedades do óxido de zinco, com foco em suas características eletrônicas e também se aborda este composto na forma de nanopartículas, pois é dessa forma que o semicondutor se apresenta nos dispositivos medidos neste estudo.

Este composto possui um *bandgap* direto e expressivo de 3.4eV, bem como uma alta energia de ligação de 60 meV em temperatura ambiente. Outros aspectos favoráveis para a utilização do ZnO em diversas aplicações incluem: o seu baixo limiar de potência para elevar elétrons de um nível mais baixo de energia em um átomo para outro superior (*optical pumping*), a sua boa tolerância à radiação e a sua biocompatibilidade. Estes e outros fatores tornam o ZnO um forte candidato para ser empregado em uma variedade de dispositivos, como na fabricação de sensores, diodos emissores de luz e na fabricação de displays, por exemplo. Em contra partida, à medida que os estudos sobre este material foram intensificados, constataram-se algumas limitações para se trabalhar com este composto como, por exemplo, a fabricação de ZnO de tipo p, uma vez que este é naturalmente encontrado como material de tipo n (JAGADISH; PEARTON, 2006). Em virtude do seu *bandgap* elevado decorre a propriedade da transparência deste material à luz visível. Essa característica combinada com as baixas temperaturas necessárias para a sua integração em transistores e também a sua característica de não toxicidade são algumas das motivações para que este material ganhe interesse da comunidade científica no emprego como material ativo em transistores de filmes finos transparentes.

Como a maioria dos compostos semicondutores binários II-VI, o ZnO usualmente também apresenta uma estrutura de cristal hexagonal. Em temperatura e pressão ambiente o ZnO é cristalizado em uma estrutura hexagonal *wurtzite* (tipo B4) como mostrado na Figura 7. Essa coordenação de tetraedro dá origem a uma simetria polar ao longo dos eixos

hexagonais e essa polarização é responsável por grande parte das propriedades do ZnO, incluindo a sua polarização espontânea e sua piezeletricidade, sendo também um fator crítico para o crescimento do cristal e para a criação de defeitos (JAGADISH; PEARTON, 2006). Na tabela 1, apresentam-se algumas propriedades deste material: o seu *bandgap*, a sua permissividade relativa, a sua concentração intrínseca de portadores, além da mobilidade dos elétrons e das lacunas.

Figura 7 - Estrutura molecular do ZnO. Os átomos menores correspondem ao Zn e uma unidade celular é destacada.



Fonte: Jagadish e Pearton, 2006.

Tabela 1 Propriedades físicas do ZnO

Property	Value
<b>Relative dielectric constant</b>	8.66
<b>Gap Energy</b>	3.4 eV, direct
<b>Intrinsic carrier concentration</b>	$< 10^6 \text{ cm}^{-3}$
<b>Electron mobility (T = 300K)</b>	$200 \text{ cm}^2/(\text{Vs})$
<b>Hole mobility (T = 300K)</b>	$5 - 50 \text{ cm}^2/(\text{Vs})$

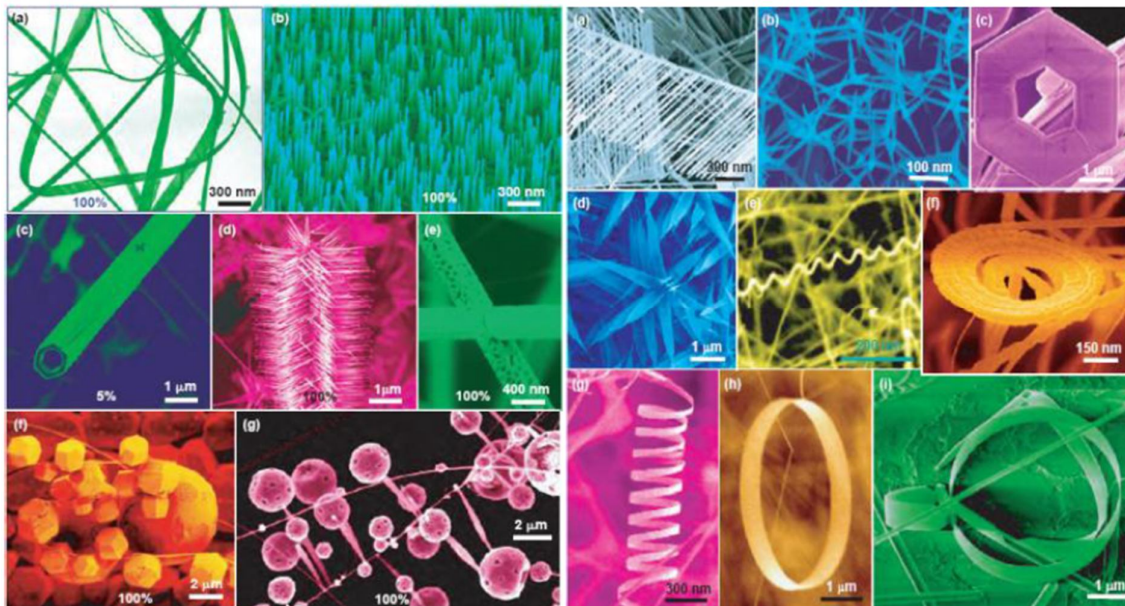
Fonte: Fan e Lu, 2005.

Conforme discutido anteriormente, alguns desafios ainda se apresentam no emprego do ZnO em dispositivos eletrônicos. Este material é previsto ser naturalmente intrínseco,

porém é geralmente encontrado como um material de tipo n. A causa desta dopagem inerente, combinada com a dificuldade de se obter um material do tipo p ainda não é perfeitamente compreendida. Presume-se que defeitos, como as vacâncias de oxigênio, hidrogênio (JANOTTI; WAN DE WALLE, 2007) e intersticial de zinco (JAGADISH; PEARTON, 2006) possam agir como doadores e dar origem a esta característica natural.

Dessa forma, o óxido de zinco pode funcionar como semiconductor ativo de tipo-n na camada semicondutora dos dispositivos e, na forma de nanopartículas, devido à sua alta compatibilidade com processos de solução, de baixa temperatura e de alto rendimento, considera-se um dos materiais inorgânicos mais promissores na fabricação de transistores de efeito de campo (FETs) impressos (OKAMURA *et al.*, 2008). Além da forma de nanopartículas esféricas, que foram empregadas neste trabalho e são tradicionalmente utilizadas, encontram-se outras formas de nanoestruturas de óxido de zinco que se apresentam em como: nano cinturão (*nanobelt*), matriz de nano fios alinhados, nano tubos, nano molas, entre outras (JAGADISH; PEARTON, 2006). Muitas dessas estruturas podem ser observadas na Figura 8.

Figura 8 - Nanoestruturas de ZnO.



Fonte: Jagadish e Pearton, 2006.

### 3.1.2 Dielétrico de *gate*

A escolha do dielétrico de *gate* é uma etapa fundamental para a implementação de dispositivos do campo da eletrônica flexível, visto que o uso de dielétricos inorgânicos tradicionais, que provém uma alta permissividade dielétrica  $k$ , é usualmente limitado pelas baixas flexibilidades inerentes destes compostos e pelo alto custo de integração. Por outro lado, isolantes poliméricos podem ser integrados utilizando métodos de baixo custo e são compatíveis com esta necessidade de flexibilidade e maciez. Estes polímeros, contudo, geralmente apresentam baixa permissividade dielétrica. Neste trabalho, um nanocomposto híbrido orgânico-inorgânico *high-k* baseado em silicato etílico hidrolisado e parcialmente condensado que foi preenchido com titânio solúvel para ajuste de permissividade (nome comercial: Inoflex T3,  $k=12$ ) foi escolhido como dielétrico de *gate*. Este material combina tanto a característica de flexibilidade que é verificada em materiais poliméricos quanto a propriedade de um composto inorgânico graças à implementação das nanopartículas inorgânicas óxido de titânio. Entretanto, a rugosidade da superfície do filme isolante é naturalmente degradada pelo conteúdo sólido implementado (MEYERS *et al.*, 2017).

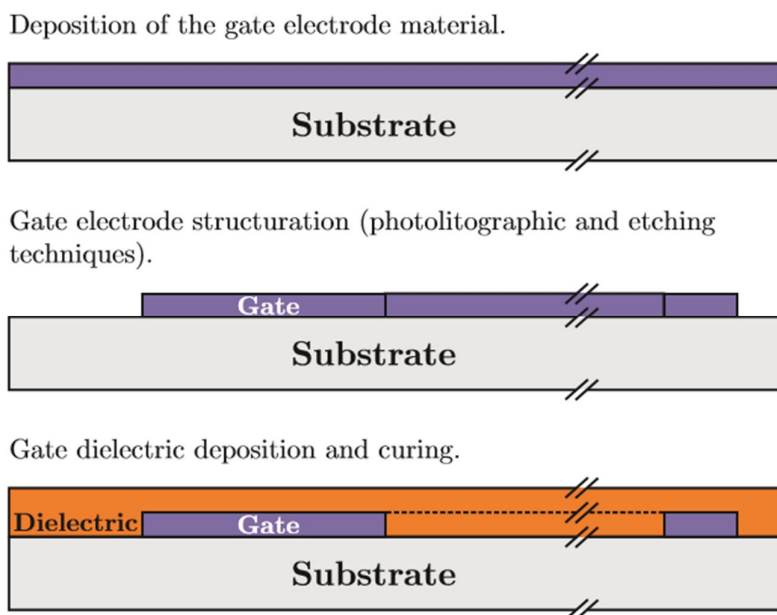
### 3.1.3 Eletrodos de *gate*/fonte/dreno

Os contatos de *gate*, de dreno e de fonte são componentes fundamentais tanto para o funcionamento dos TFTs como também para a interconexão desse dispositivo com outros componentes de um circuito. A escolha do material do eletrodo de fonte e dreno é determinante para o desempenho do transistor, uma vez que estes estão diretamente em contato com o semicondutor e, dessa forma, são parcialmente responsáveis pelo fluxo de corrente dos TFTs. Para as amostras medidas neste trabalho, foram utilizados contatos metálicos, principalmente em virtude da alta condutância destes em comparação com outros materiais condutivos, como óxidos metálicos por exemplo. A escolha do metal foi baseada em trabalho desenvolvido por Wolff, (2011) nos quais diferentes materiais foram avaliados. Observou-se que quando o ZnO foi aplicado como semicondutor ativo, o alumínio torna-se a escolha mais lógica para os eletrodos de fonte e dreno uma vez que, entre os materiais testados, foi o que apresentou a melhor interação com o óxido de zinco. O alumínio também foi o material escolhido para o contato de *gate*, porém em virtude da alta sensibilidade deste eletrodo à solução utilizada no processo de estruturação do dielétrico, descrito na subseção 3.2, uma camada protetora de titânio de 7nm foi adicionada à superfície do eletrodo de *gate* e estruturada por evaporação.

### 3.2 INTEGRAÇÃO

Conforme apresentado no início deste capítulo, as amostras medidas foram integradas nas configurações *inverted staggered* e *inverted coplanar* em *wafers* de silício padrão que foram termicamente oxidados para obter uma camada de 300nm de óxido de silício de maneira a isolar o *bulk* do silício dos transistores. Os processos de deposição e estruturação do eletrodo de *gate* e de deposição e tratamento do dielétrico de *gate* descritos a seguir são igualmente aplicados tanto para amostras *inverted staggered* como para *inverted coplanar* e estão esquematizados na Figura 9. Após a formação da camada de óxido, deposita-se o material do eletrodo de *gate* que corresponde a uma camada de 50nm de alumínio e de 7nm de titânio que são evaporadas a vácuo e estruturadas por processos de fotolitografia convencional e de corrosão úmida. Na sequência, o nanocomposto *high-k* foi depositado como dielétrico de *gate* por *spin-coating* e tratado em ar ambiente a 115°C seguido de um passo de irradiação UV ( $200\text{Wcm}^{-2}$ ) durante 4 minutos, formando uma camada isolante de aproximadamente 150nm de espessura.

Figura 9 - Etapa de integração comum às configurações *inverted staggered* e *inverted coplanar*.



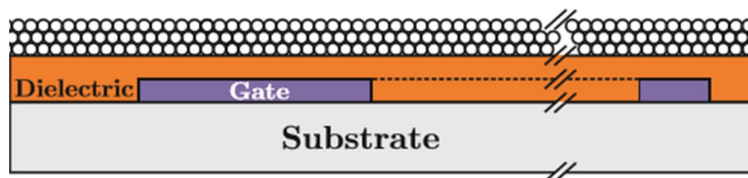
Fonte: Vidor, 2017.

Após as etapas descritas na Figura 9 foram adotados processos de integração distintos inerentes a cada configuração. Em relação às amostras *inverted staggered*, as etapas seguintes do processo de integração são descritas na Figura 10. Após a deposição e tratamento do dielétrico, uma dispersão aquosa contendo nanopartículas de ZnO da Nanophase foi depositada por *spin-coating*, formando a camada semicondutora de aproximadamente 300nm. Depois da deposição do semicondutor foi estruturada a abertura da conexão da via através de processos de litografia e do processo de corrosão do dielétrico pela utilização de uma solução alcalina à base de NaOH. Por fim, os contatos de dreno e de fonte foram depositados pela evaporação de uma camada de 150nm de espessura de alumínio estruturados por *lift-off*.

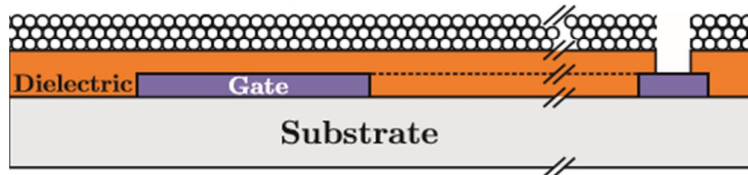
Figura 10 - Procedimento particular de integração para amostras *inverted staggered*.

### **Inverted Staggered Procedure**

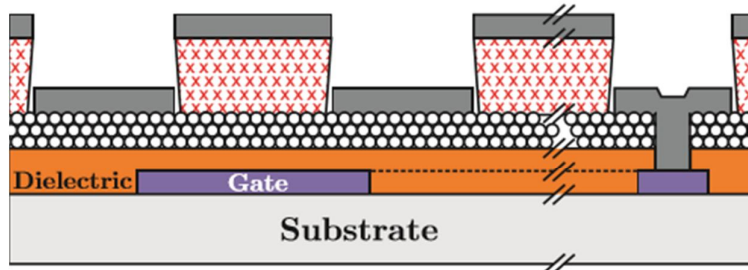
Deposition of the active semiconducting material (ZnO).



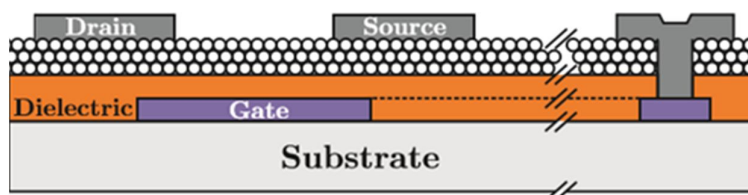
Via connections opening (photolithographic and etching techniques).



Photolithography and deposition of the drain and source material.



Drain and source structuration (lift-off technique).



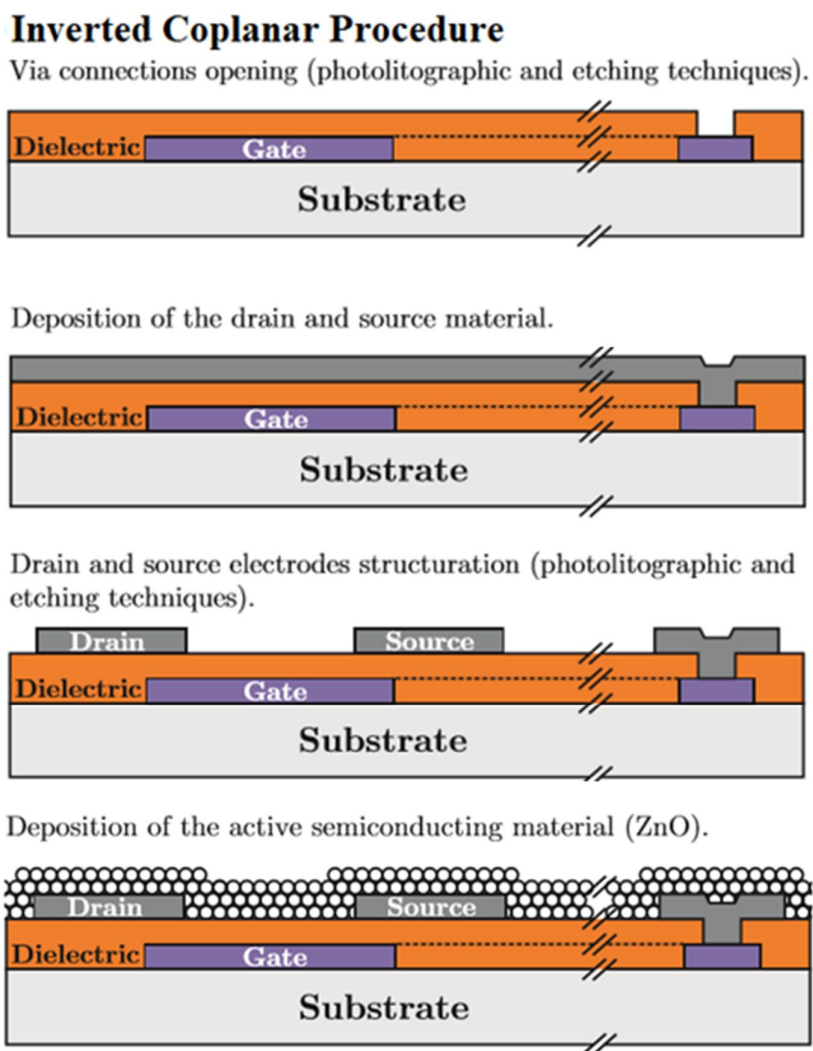
Fonte: Adaptado de Vidor, 2017.



Para as amostras *inverted coplanar*, as etapas seguintes do processo de integração são descritas na Figura 11. Após a deposição e tratamento do dielétrico foi estruturada a abertura da conexão da via através de processos de litografia e do processo de corrosão do dielétrico utilizando uma solução alcalina à base de NaOH. Então, os contatos de dreno foram depositados pela evaporação *e-gun* de uma camada de 150nm de espessura de alumínio e estruturados por litografia e corrosão úmida. As nanopartículas de ZnO foram depositadas por *spray-coating*, formando a camada semicondutora de aproximadamente 300nm.

Mais informações sobre o processo de integração podem ser obtidas em Vidor *et al.*, (2016) e Vidor (2017).

Figura 11 - Procedimento particular para integração para amostras *inverted coplanar*.



Fonte: Adaptado de Vidor, 2017.

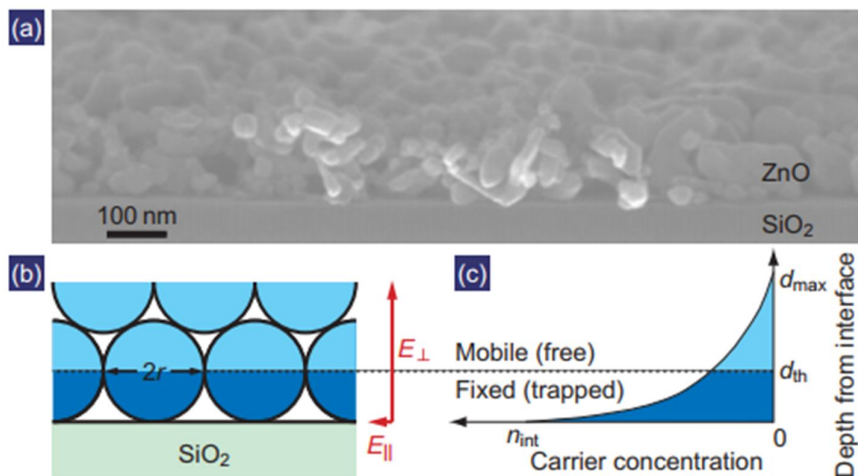
### 3.3 MECANISMO DE TRANSPORTE EM FILME DE ZNO NANOPARTICULADO

O mecanismo de transporte de corrente em um transistor de efeito de campo que possui um filme de ZnO nanoparticulado como material ativo é peculiar. Okamura *et al.*, (2010) apresentam uma discussão a respeito da rugosidade presente na interface entre o filme nanoparticulado do semiconductor e o dielétrico de *gate* e a sua influência no transporte de portadores de carga. Nesse estudo a rugosidade é modelada como um defeito que captura os portadores de carga induzidos nas proximidades da interface e, dessa forma, evita que estas cargas sejam transportadas ao longo do canal do transistor.

O efeito da rugosidade de contato é descrito pela figura 12, na qual em (a) verifica-se a rugosidade formada entre o filme semiconductor e o dielétrico de *gate*. Além disso, pelo esquemático apresentado em (b) e pelo gráfico apresentado em (c) observa-se o alto impacto da rugosidade no transporte de carga, uma vez que estas são induzidas com maior concentração nas proximidades da interface e, como se verifica, permanecem fixas quando localizadas a menos de uma distância  $d_{th}$  da interface, que é igual ao raio de uma nanopartícula, uma vez que o campo elétrico perpendicular ao canal  $E_{\perp}$  é ao menos duas ordens de magnitude mais elevada do que o campo elétrico paralelo ao canal  $E_{\parallel}$ . Dessa forma, a redução da quantidade de cargas livres por aprisionamento resulta em uma redução também na mobilidade do canal, pois idealmente espera-se que todas as cargas induzidas pela polarização de *gate* contribuam para o fluxo de corrente. Verifica-se também que o tamanho das nanopartículas é um fator que influencia na mobilidade, uma vez que as esferas com raios menores resultariam em menos cargas aprisionadas, porém aumentando o número de interconexões entre nanopartículas.

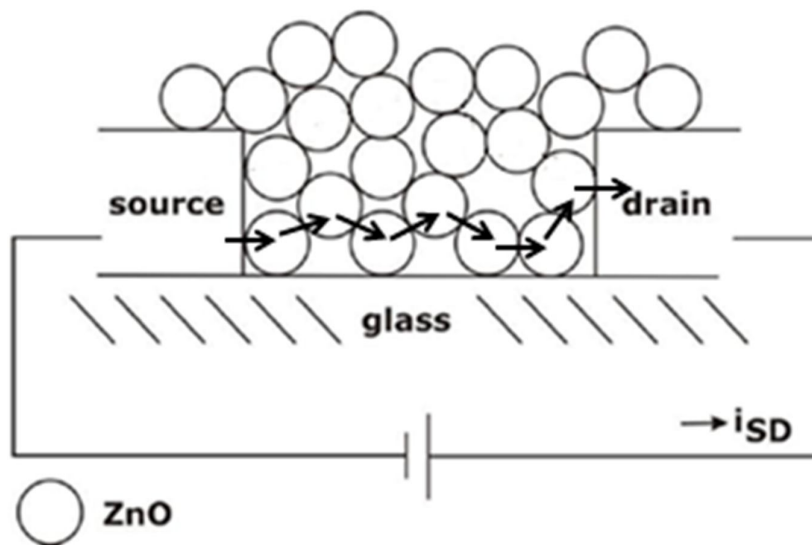
Além disso, para a compreensão do mecanismo de transporte em um filme nanoparticulado é fundamental o entendimento de que as nanopartículas, quando utilizadas como semiconductor ativo em um TFT, se aglomeram aleatoriamente e criam uma rede nanoparticulada de transporte. Processos como o de recozimento podem mitigar este efeito e melhorar as interconexões das nanopartículas. Um estudo do transporte de corrente em transistores de filmes finos que possuem nanopartículas de ZnO como semiconductor ativo foi realizado por Meulenkamp (1999) e a Figura 13 apresenta um esquemático que apresenta esta teoria.

Figura 12 - (a) Imagem obtida por microscópio eletrônico que apresenta a interface entre um filme de ZnO nanoparticulado e o dielétrico de *gate*. (b) Esquemático das cargas localizadas próximas à interface que são consideradas: fixas quando se localizam em até uma distância limítrofe que é igual ao raio das nanopartículas e móveis quando se localizam em uma distância superior. (c) A concentração de portadores se apresenta como máxima na interface e decai monotonicamente com a distância desta.



Fonte: Okamura *et al.*, 2010.

Figura 13 - Mecanismo de transporte em uma rede de ZnO nanoparticulado.



Fonte: Adaptado de Meulenkaamp, 1999.

Na Figura 13, o filme nanoparticulado pode ser visto como uma rede resistiva, e nesta situação o fluxo de corrente nas nanopartículas de ZnO é baseado em caminhos percolados e a

porosidade e a heterogeneidade do filme determinam quais as nanopartículas de ZnO que efetivamente contribuem para a condutividade e para a formação da área de contato com as vizinhanças (MEULENKAMP, 1999). Assim, o fluxo de elétrons através de um filme nanoparticulado é também influenciado pela energia da barreira na interface entre as nanopartículas vizinhas, pela estrutura dos grãos e pela concentração de portadores das nanopartículas (HOSSAIN *et al.*, 2004). Por isso, um defeito localizado nas interconexões das nanopartículas tem um maior impacto na corrente do transistor e se torna mais efetivo na origem das flutuações de corrente. Este efeito será discutido e detalhado na subseção 4.3.1.

## 4 FONTES DE PERTURBAÇÕES CONHECIDAS

### 4.1 ATIVIDADE DE *TRAPS*

#### 4.1.1 Fundamentos

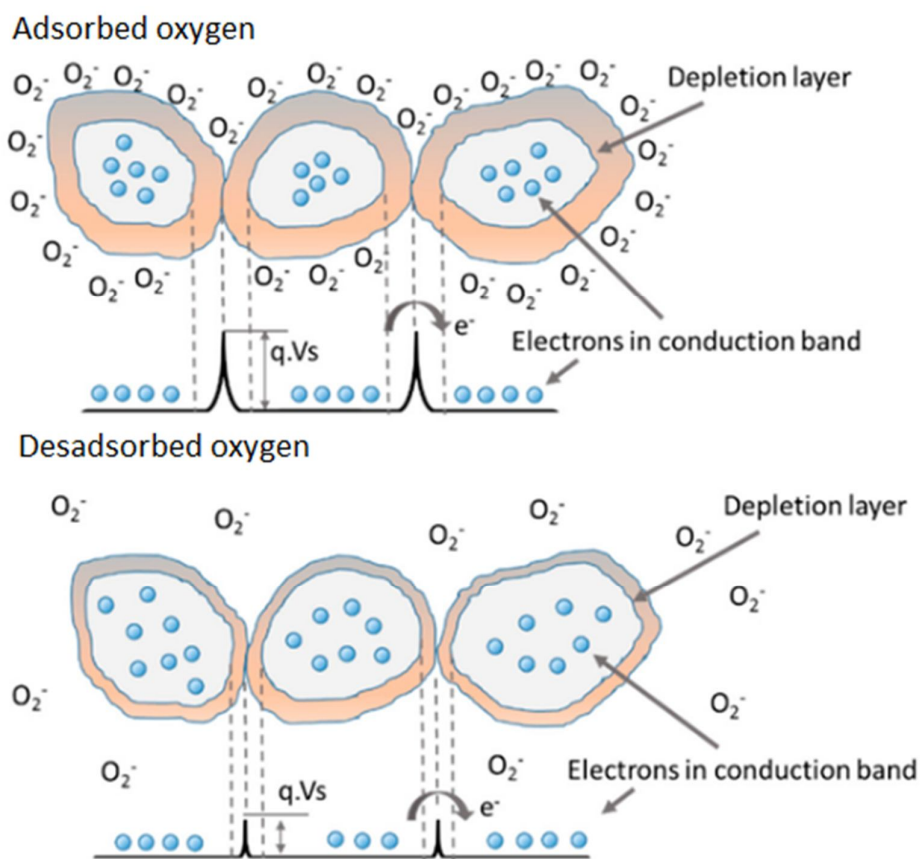
Um fator determinante e por vezes responsável pelas variações abruptas e aleatórias na corrente de canal de um transistor, tanto em MOSFETs tradicionais como nos TFTs aqui estudados, é a atividade de *traps* que se descreve pela emissão e captura de portadores de carga por defeitos que podem estar localizados tanto na camada semicondutora como também nas interfaces entre: o semicondutor e o dielétrico de *gate*, e o semicondutor e os eletrodos de fonte e de dreno. Estes eventos de captura e emissão podem, portanto, serem responsáveis pela variação na tensão de *threshold* do transistor o que resulta em uma consequente flutuação na concentração de portadores de carga na camada semicondutora (VIDOR; WIRTH; HILLERINGMANN, 2016) e (VIDOR *et al.*, 2016b). Além disso, o comportamento de histerese, normalmente verificado quando se obtém a curva de transferência dos dispositivos ( $I_{dx}V_{GS}$ ), é comumente associado à atividade dos *traps*. Tal efeito se mostra dependente do sentido de varredura da tensão  $V_{GS}$ , ou seja, a tensão de *threshold* é modificada quando  $V_{GS}$  é varrido no sentido positivo do eixo de tensão em relação a uma varredura no sentido negativo (CHEN; TAI; CHANG, 2016) e YE *et al.*, 2017. Atribui-se também uma dependência do mecanismo de emissão de portadores à aplicação da tensão de dreno-fonte ( $V_{DS}$ ), devido a um comportamento remanescente de efeitos *Poole-Frenkel*, nos quais a emissão de cargas aprisionadas é acelerada pela aplicação de um campo elétrico lateral (FABER *et al.*, 2009).

#### 4.1.2 Interação do semicondutor com o meio ambiente

Óxidos metálicos, dentre eles o óxido de zinco, têm sido investigados por décadas e normalmente utilizados na fabricação de sensores de gás, devido à forte interação destes compostos com o ar ambiente (MORRISON, 1981) e (HIRSCHWALD, 1985). Portanto, quando o ZnO é utilizado em um dispositivo como material ativo, esta atividade produz instabilidades que afetam a operação do transistor. A interação com as moléculas de água e com as de oxigênio são as atividades usualmente responsáveis por um impacto significativo na condutividade de filmes de ZnO, em vista da variação na concentração de portadores de

carga que é induzida pela absorção e dessorção de oxigênio, conforme discutido em Vidor *et al.*, (2016b) e Vidor *et al.*, (2013). O efeito produzido por um oxigênio absorvido na camada semicondutora é o de depleção da superfície do ZnO que decorre da captura de cargas livres da banda de condução, o que resulta em uma redução na condutividade do canal. Por outro lado, as moléculas de água fisicamente absorvidas são capazes de liberar o oxigênio aprisionado, uma vez que provocam um estado instável para as moléculas de  $O_2$  absorvidas nas nanopartículas, e dessa forma eleva-se a concentração de elétrons livres no filme de ZnO, conforme relatado em Vidor *et al.*, (2016b), Morisson (1981) e Herring *et al.*, (2013). A interação entre as moléculas de oxigênio e os efeitos observados na camada de depleção formada entre as nanopartículas de ZnO, bem como o comportamento do diagrama de bandas que se relaciona com a adsorção e dessorção de oxigênio são simplificados pela Figura 14.

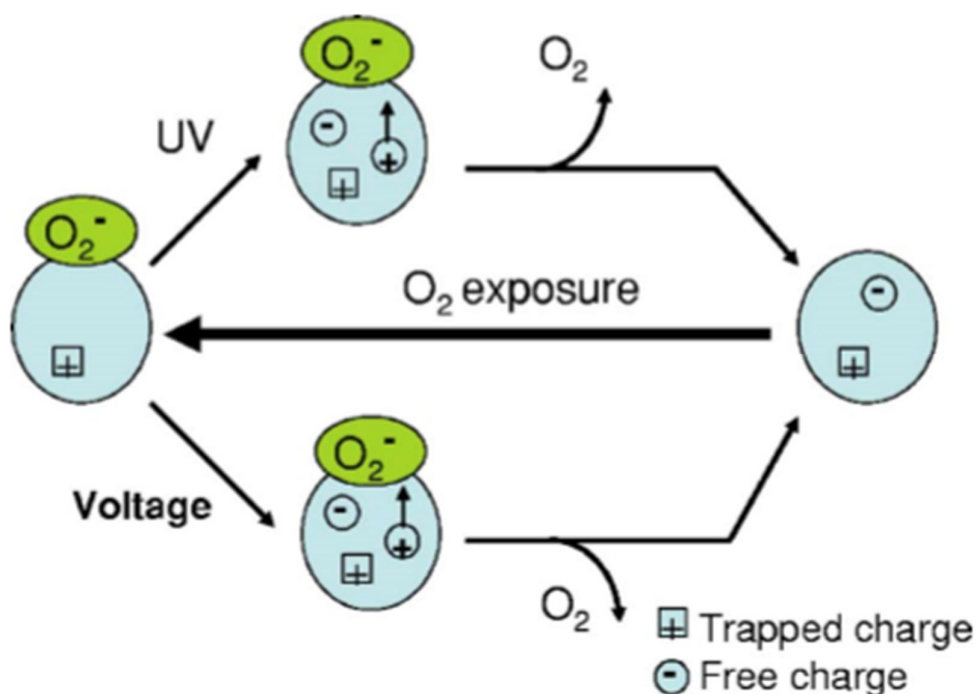
Figura 14 - Esquemático do diagrama de bandas relacionado com a barreira de potencial entre as nanopartículas de ZnO devido à interação com as moléculas de oxigênio.



Fonte: Adaptado de Herring *et al.*, 2013.

Além da interação com as moléculas de água, outras técnicas conhecidas são responsáveis também pela liberação do oxigênio aprisionado, como: a injeção de cargas positivas através dos eletrodos metálicos pela aplicação de altas tensões positivas ou pela fotogeração de cargas positivas através da aplicação de luz ultravioleta (UV) na camada semicondutora, uma vez que a recombinação destas cargas com os elétrons aprisionados nas nanopartículas permite a liberação das moléculas de oxigênio, e o desaparecimento destes defeitos provoca o aumento de cargas livres no semicondutor (VERBAKEL; MESKERS; JANSSEN, 2007). O esquemático da Figura 15 descreve estes mecanismos.

Figura 15 - Mecanismo de dessorção de moléculas de oxigênio pela injeção de cargas positivas via aplicação de tensão elétrica ou fotogeração pela luz UV. Devido à recombinação de cargas aumenta-se a concentração de portadores na camada semicondutora. No sentido inverso o oxigênio é capturado quando exposto ao semicondutor.



Fonte: Adaptado de (VERBAKEL; MESKERS; JANSSEN, 2007).

#### 4.1.3 Defeitos em caminhos percolados

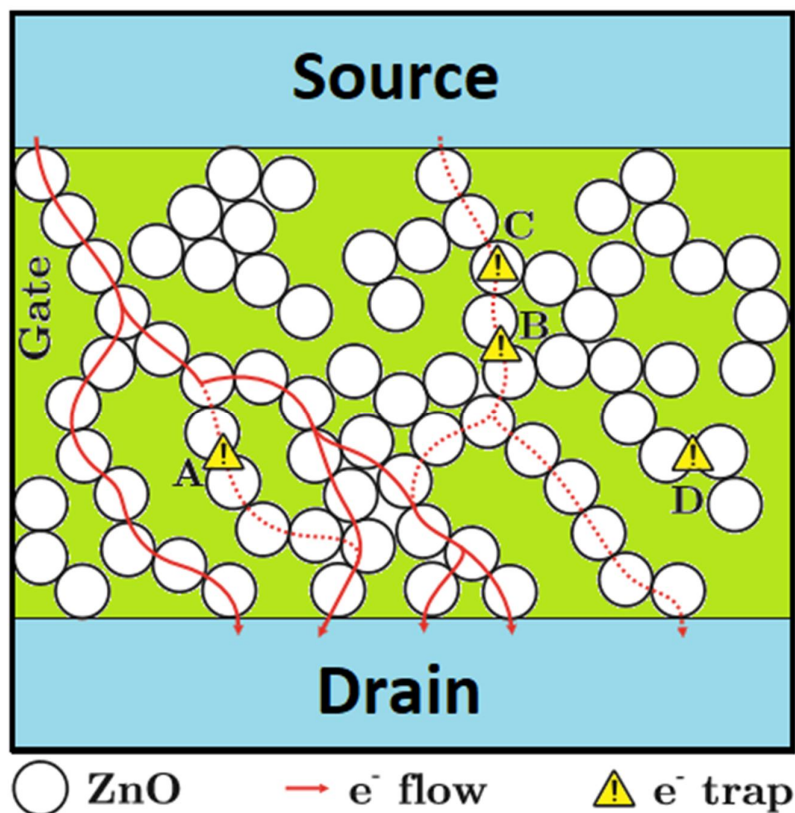
Como foi discutido no capítulo anterior, na rede semicondutora formada pelas nanopartículas de ZnO o fluxo de cargas se dá através de uma camada não cristalina que provoca, dependendo da disposição aleatória das nanopartículas, a formação de caminhos: de

baixa impedância e preferenciais e de alta impedância em outros pontos da camada semicondutora (caminhos percolados). Dessa forma, estes aglomerados de nanopartículas estão susceptíveis às atividades dos *traps*, conforme apresentado na Figura 16. A captura e a emissão de cargas pelos defeitos localizados em caminhos favoráveis aos fluxos de corrente, como os localizados nos pontos A, B e C, podem provocar uma significativa flutuação abrupta na corrente de dreno do transistor ao longo do tempo, devido ao possível decremento da condutividade ou até mesmo ao bloqueio elétrico de um caminho de corrente. Por outro lado, um *trap* localizado no ponto D não trará variações na corrente do transistor, visto que este se localiza em uma região de alta impedância e sem fluxo de elétrons. Além disso, ressalta-se que os defeitos localizados nas interconexões das nanopartículas, como o *trap* representado pelo ponto B, produzem um maior impacto de flutuação na corrente do canal quando comparado a outro defeito localizado no mesmo caminho, porém em outra localização qualquer (MEULENKAMP, 1999) e (VIDOR *et al.*, 2013).

É importante também verificar que, considerando o eletrodo de fonte como um local de entrada de um caminho e o eletrodo de dreno como a sua saída, a mesma entrada pode estar conectada a mais de uma fonte, bem como uma fonte pode ser originada por diversas entradas e ramificações internas formando, assim, alguns caminhos paralelos ao longo do filme semicondutor com diferentes comprimentos e densidades de corrente. Esta característica também está esquematizada pela Figura 16.



Figura 16 - Fluxo de corrente sob a atividade dos *traps* em esquemático da rede nanoparticulada.



Fonte: Adaptado de Vidor *et al.*, 2013.

#### 4.2 DIPOLOS E CARGAS MÓVEIS NO DIELÉTRICO DE *GATE*

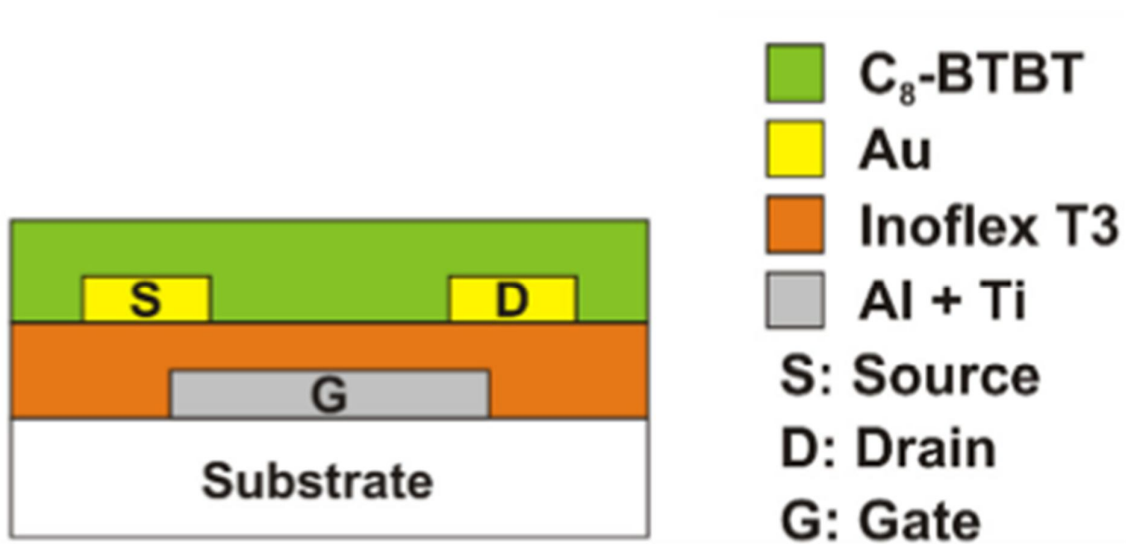
Conforme verificado no capítulo anterior, neste trabalho foi utilizado como dielétrico de *gate* um nanocomposto orgânico-inorgânico *high-k* que combina a flexibilidade de uma matriz polimérica com as altas permissividades dielétricas de materiais inorgânicos. Altos valores de permissividades também podem ser obtidos pela utilização de algumas matrizes poliméricas específicas, como por exemplo, *poly(vinyl alcohol)*, porém estes compostos quando integrados em transistores provocam um acentuado comportamento de histerese que é atribuído em Meyers *et al.*, (2017) e Veres *et al.*, 2004 à lenta polarização de dipolos de seus elementos químicos.

O estudo da polaridade na interface do dielétrico também é recorrente para transistores orgânicos de efeito de campo (OFETs), nos quais esta perturbação se mostra crítica tanto para a morfologia local como também para a distribuição dos estados eletrônicos do semiconductor depositado. Na utilização de uma resina de alta permissividade, *cyanopulluane* (CYMM),

para a integração de um OFET em estudo apresentado por Veres *et al.*, 2004 se verificou para este dispositivo a característica de aumento da capacitância quando é operado em baixas frequências. Este efeito foi atribuído à lenta polarização das impurezas iônicas presentes no dielétrico, e novamente uma acentuada histerese foi observada.

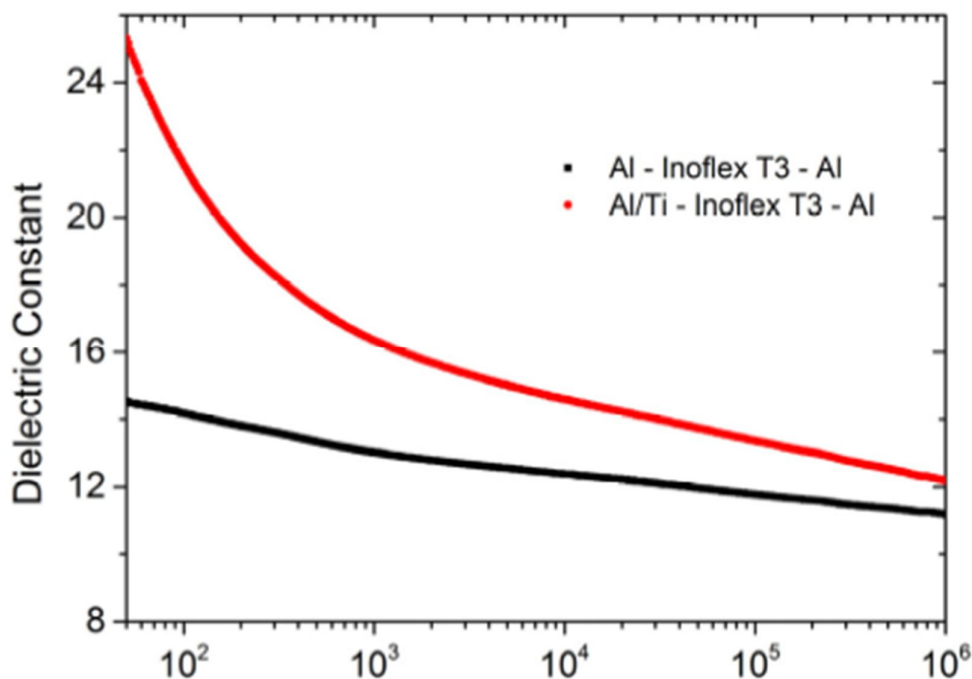
A dependência em frequência da permissividade dielétrica do nanocomposto *high-k* utilizado neste trabalho foi obtida em trabalho desenvolvido por Meyers; Vidor e Hilleringmann, (2017) a partir de um transistor orgânico no qual este material foi integrado como dielétrico de *gate*, conforme a Figura 17. Observa-se que para esta amostra foram aplicadas as mesmas condições para o contato de *gate* das amostras medidas neste estudo, ou seja, foi introduzida a camada de proteção de Ti entre o eletrodo de *gate* e o filme do nanocomposto *high-k*. Nesta medida foi verificado um aumento significativo da constante dielétrica do material na região de baixas frequências que é claramente acentuado pela inserção da camada protetora de titânio e que foi atribuído: (I) a forte polarização iônica de  $\text{TiO}_2$  causada pelos íons  $\text{Ti}_4^+$  e  $\text{O}_2^-$  e (II) a superfície de óxido de titânio adicional formada na faixa de 5-10nm quando o Ti é exposto ao ar. Este comportamento pode ser verificado na Figura 18.

Figura 17 - Seção transversal do transistor orgânico em configuração *inverted coplanar* utilizado para medir a dependência em frequência da constante dielétrica do nanocomposto *high-k*.



Fonte: Adaptado de (MEYERS; VIDOR; HILLERINGMANN, 2017).

Figura 18 - Dependência em frequência da constante dielétrica do nanocomposto *high-k*.

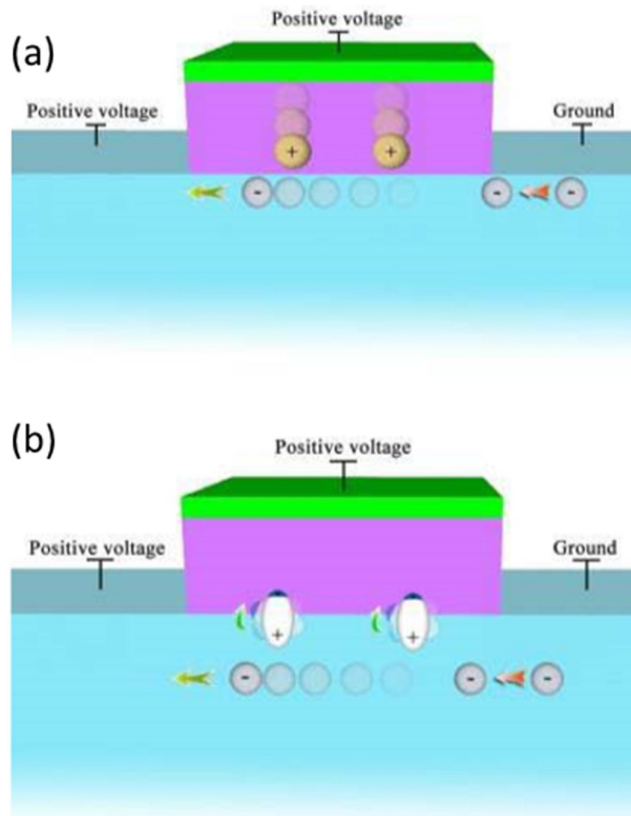


Fonte: (MEYERS; VIDOR; HILLERINGMANN, 2017).

Além disso, em estudo prévio realizado por Vidor *et al.*, (2013) no qual, foram implementados TFTs de nanopartículas de ZnO, verificou-se também o mesmo comportamento de histerese e degradação temporal. Nesse trabalho, o isolante *poly(4-vinylphenol)* (PVP) foi utilizado como material de dielétrico de *gate*. Novamente, efeitos de polarização no *bulk* do PVP e defeitos localizados na interface entre o dielétrico e o semiconductor foram mencionados como fatores decisivos na contribuição para a presença destas perturbações.

No trabalho de Ye *et al.*, 2017, apresenta-se também o mecanismo de mobilidade de cargas móveis no dielétrico de *gate* que, assim como os dipolos até então discutidos, apresenta-se como responsável pelo efeito de histerese no sentido anti-horário verificado nas curvas de transferência  $I_{dx}V_{GS}$  de TFTs de óxidos metálicos. A Figura 19 esquematiza esta característica, na qual (a) refere-se ao movimento de deriva de cargas móveis pela aplicação de uma tensão positiva no *gate* do transistor e (b) refere-se à orientação de dipolos próximos à interface entre o dielétrico e a camada semicondutora. Para ambos os mecanismos a presença de cargas positivas próximas à interface produz um incremento do campo elétrico e uma consequente redução da tensão de *threshold* do transistor.

Figura 19 - Mecanismos de (a) difusão de cargas móveis e (b) orientação de dipolos, no dielétrico de *gate*. Responsáveis por histerese em TFT de óxidos metálicos.



Fonte: Adaptado de Ye *et al.*, 2017.

## 4.3 MEMRESITÊNCIA

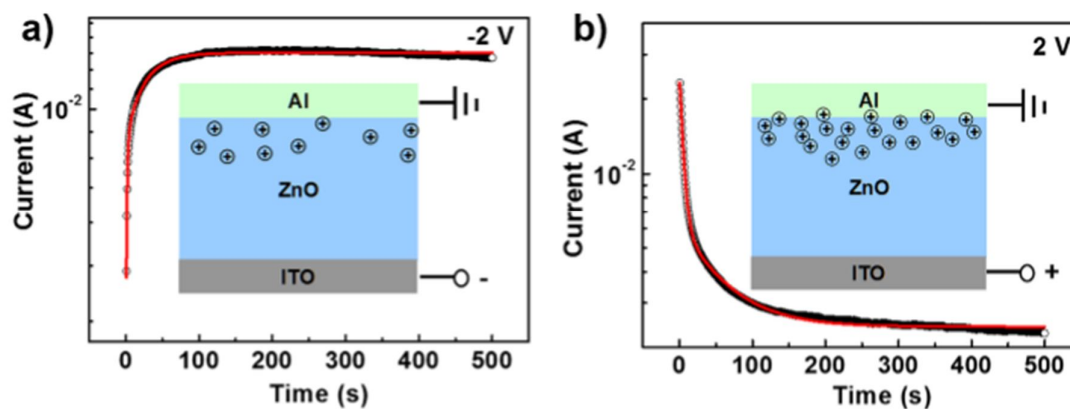
### 4.3.1 Vacâncias de oxigênio

A presença de vacâncias de oxigênio no filme semicondutor é uma das razões relatadas na literatura para explicar a natureza residual de tipo n da condutividade no ZnO (JANOTTI; VAN DE WALLE, 2005). Sob a aplicação de um campo elétrico, as vacâncias de oxigênio ionizadas ( $V_{O}^{2+}$ ) são capazes de se deslocarem no filme nanoparticulado, como dopantes móveis carregados, o que provoca um comportamento de histerese na corrente do transistor, que está representado na Figura 20. Este efeito é normalmente relatado em dispositivos baseados em nanopartículas de ZnO que exploram a propriedade de memresistência que é decorrente desta interação, visto que são ora estados de baixa e de alta resistência, de acordo com o sentido de migração das vacâncias de oxigênio que pode se dar

em direção ao *bulk* do semiconductor ou da interface com os contatos metálicos em razão da polarização do campo elétrico aplicado.

O rearranjo no posicionamento das vacâncias de oxigênio pode resultar na absorção/dessorção das moléculas de oxigênio na interface metal/semiconductor, visto que quando aglomeradas, as vacâncias formam uma região propícia à absorção de oxigênio e dependendo da polarização da tensão aplicada e do sentido de migração das vacâncias provoca-se um aumento/diminuição da barreira para injeção de elétrons na interface, conforme relatado em Li *et al.*, (2017), Wang *et al.* (2010) e Faber *et al.*, (2009). Outra preocupação apresentada na literatura é o tempo de resposta dos efeitos de degradação relacionados à atividade das vacâncias de oxigênio. Um estudo para um TFT amorfo de óxido de índio-gálio-zinco (a-IGZO TFT) mostra que a variação da tensão  $V_{ON}$  e a consequente histerese observada estão correlacionadas a quantidade de  $V_O^{2+}$  produzidas e esta se mostra dependente da polarização e do tempo do estresse elétrico aplicado no *gate* do transistor (CHEN; TAI; CHANG, 2016).

Figura 20 - Dependência temporal da corrente em função da polarização aplicada. (a) As vacâncias de oxigênio quando repelidas da região da interface entre Al/ZnO provocam a diminuição da barreira para injeção de elétrons pela dessorção de moléculas de oxigênio (b) O contrário se observa quando as vacâncias são atraídas e provocam o aumento da barreira para injeção de elétrons pela absorção de moléculas de oxigênio.



Fonte: Li *et al.*, 2017.

#### 4.3.2 Difusão de íons metálicos

Nos trabalhos de Ki *et al.*, (2010) e de Yi *et al.*, (2014) é abordado o funcionamento de memresistores compostos por células metal/óxido (alumínio/óxido de grafeno) e nestes estudos verifica-se que o mecanismo de variação de resistência para estes dispositivos é

fortemente relacionado com o material utilizado nos eletrodos metálicos. Quando são utilizados metais ativos, o processo de difusão de íons metálicos em direção à região da camada ativa pode levar a formação/dissolução de filamentos condutivos (CF). Portanto, como o alumínio é um material ativo e foi o material escolhido no presente trabalho para os eletrodos de fonte e de dreno, este efeito também pode ser considerado nas análises dos comportamentos observados no capítulo seguinte.

## 5 CARACTERIZAÇÃO ELÉTRICA DOS TFTs NO DOMÍNIO DO TEMPO

Foram medidos, inicialmente, 80 transistores que se apresentaram em bom estado de funcionamento, destes 38 foram fabricados em configuração *inverted staggered* e 42 em configuração *inverted coplanar*, com as dimensões descritas nas Tabelas 2 e 3. Os sinais elétricos foram medidos no domínio do tempo utilizando o equipamento *Precision Semiconductor Analyzer – Agilent 4156A* e um microscópio óptico, conforme Figura 21, em um ambiente escuro exposto à atmosfera e à temperatura ambiente. As curvas obtidas para polarização fixa apresentam resolução temporal de 10ms enquanto que as curvas obtidas a partir de variações aplicadas nas tensões do TFT, devido ao atraso inerente ao equipamento de medida, apresentam resolução temporal de aproximadamente 18ms. O *setup* de medidas adotado segue o mesmo procedimento descrito em Vidor *et al.*, 2014.

As amostras inicialmente medidas possuem dreno individual e *gate* e fonte compartilhadas. Para estas amostras os transistores foram estruturados de modo que no mesmo conjunto estão posicionados transistores de mesmo L e com W variável. Observa-se, conforme Figura 21, que o conjunto de transistores apresentam todos  $L=1.5\mu\text{m}$  e o W varia entre 10 e  $1000\mu\text{m}$ . Os pontos 1, 2, 3, 4, 5, 6 e 7 correspondem ao dreno dos transistores com W iguais a  $10\mu\text{m}$ ,  $20\mu\text{m}$ ,  $50\mu\text{m}$ ,  $100\mu\text{m}$ ,  $200\mu\text{m}$ ,  $500\mu\text{m}$  e  $1000\mu\text{m}$ , respectivamente. Para medir um transistor com  $W=500\mu\text{m}$  a ponteira deve ser então posicionada no contato 6 e um ajuste de pressão é necessário para que o posicionamento das ponteiras não danifique a amostra medida. Esse *template* foi majoritariamente utilizado visto que para a obtenção do comportamento elétrico típico dos TFTs é necessário um significativo número de amostras. Os transistores em estruturas com fonte individual estão, em sua maioria, danificados ou degradados, especialmente os de configuração *inverted coplanar*, além de que uma grande quantidade destes já foi previamente utilizada em outros experimentos. Dessa forma, as amostras com fonte individual, em bom estado, foram reservadas para a validação dos comportamentos observados e para investigações pontuais, apresentadas na subseção 5.4.

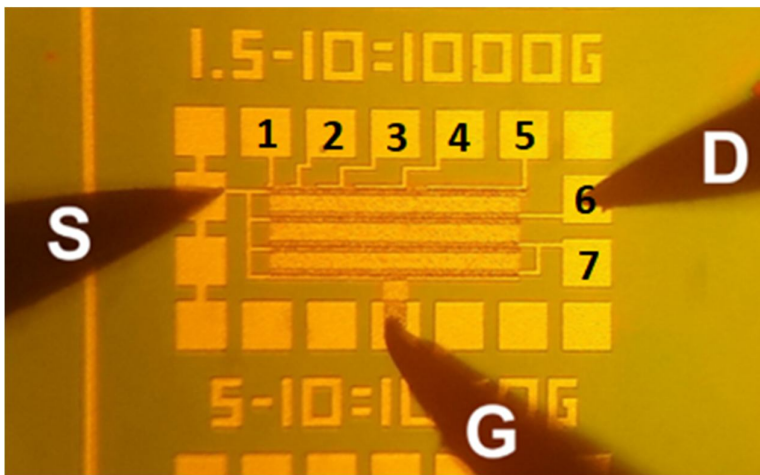
Os comprimentos de canal (L) dos TFTs medidos são:  $1.5\mu\text{m}$ ,  $3\mu\text{m}$  e  $5\mu\text{m}$ , enquanto que as larguras de canal (W) são  $10\mu\text{m}$ ,  $20\mu\text{m}$ ,  $50\mu\text{m}$ ,  $100\mu\text{m}$ ,  $200\mu\text{m}$ ,  $500\mu\text{m}$  e  $1000\mu\text{m}$ . A escolha dos transistores medidos se deu unicamente pelo seu bom funcionamento que correspondeu, em grande maioria, às amostras com  $W=500\mu\text{m}$ , por isso os resultados obtidos estas amostras são apresentados ao longo da análise, exemplificando o comportamento observado que é qualitativamente o mesmo independente das dimensões dos transistores.

Tabela 2 Dimensões e quantidade de amostras medidas na configuração *inverted coplanar*.

Dimensões do transistor	L = 1.5 $\mu$ m	L=3 $\mu$ m	L=5 $\mu$ m
W = 10 $\mu$ m	2	-	-
W = 20 $\mu$ m	3	-	-
W = 50 $\mu$ m	2	-	-
W = 100 $\mu$ m	3	-	-
W = 200 $\mu$ m	3	-	-
W = 500 $\mu$ m	6	4	16
W = 1000 $\mu$ m	3	-	-
<b>Total</b>	22	4	16

Tabela 3 Dimensões e quantidade de amostras medidas na configuração *inverted staggered*.

	L = 1.5 $\mu$ m	L=3 $\mu$ m	L=5 $\mu$ m
W=500 $\mu$ m	7	10	21

Figura 21 - Setup de medidas para a caracterização elétrica dos transistores. As ponteiros são aplicadas em S, D e G que são respectivamente a fonte, o dreno e o *gate* do dispositivo.

Fonte: Adaptado de Vidor *et al.*, 2014.

Nas Figuras 22 e 23, apresentam-se as curvas de transferência ( $I_{dx}V_{GS}$ ) e de saída ( $I_{dx}V_{DS}$ ) para uma amostra *inverted staggered* e *inverted coplanar* respectivamente.



Figura 22 - Curvas  $I_d \times V_{GS}$  e  $I_d \times V_{DS}$  para TFT *inverted staggered*  $L=3 \mu\text{m}$  e  $W=500 \mu\text{m}$ .

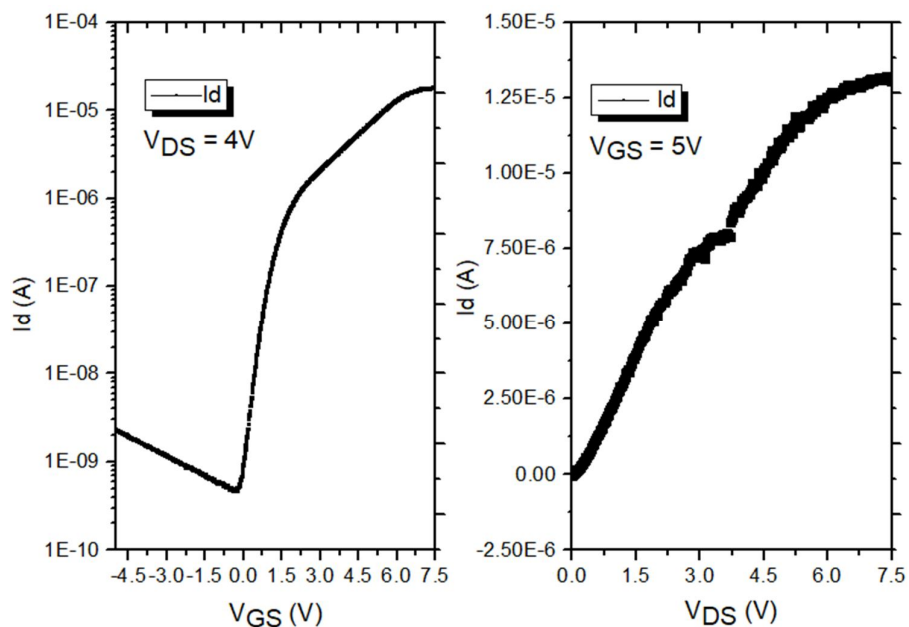
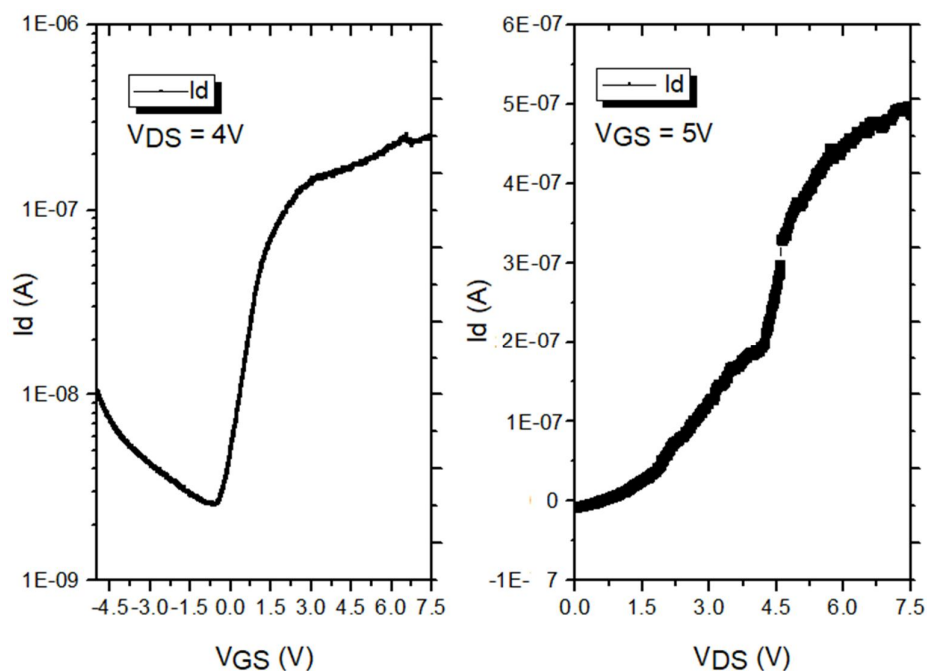


Figura 23 - Curvas  $I_d \times V_{GS}$  e  $I_d \times V_{DS}$  para TFT *inverted coplanar*  $L=3 \mu\text{m}$  e  $W=500 \mu\text{m}$ .



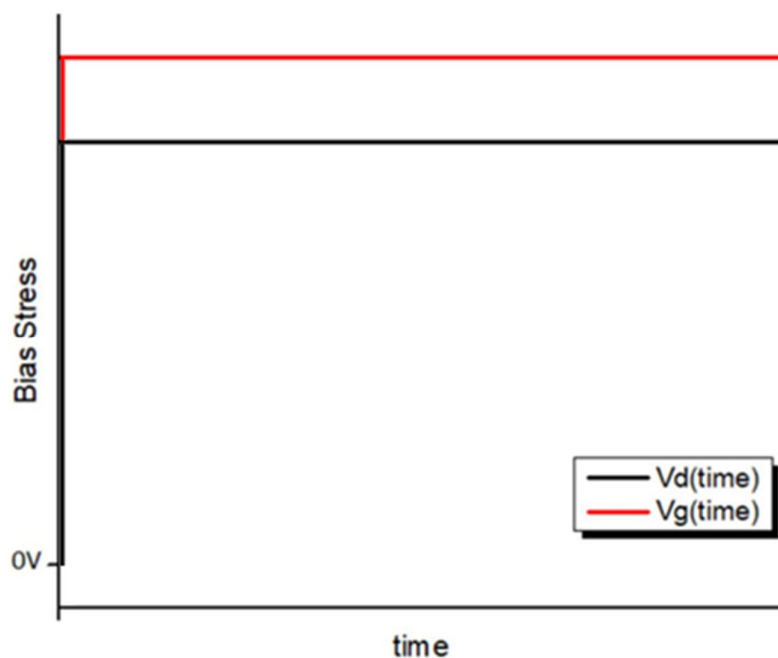
A análise detalhada das curvas apresentadas nas Figuras 22 e 23, pela extração da mobilidade, verificação de efeitos de histerese, entre outros, foi realizada por Vidor, 2017. Como este não é este o foco do presente trabalho, apenas exemplificam-se os comportamentos observados pelas curvas de uma amostra de cada configuração medida. Observa-se, como

esperado, que entre as amostras de mesmas dimensões aquelas *inverted staggered* apresentam correntes mais significativas do que as *inverted coplanar*, devido às melhores interconexões dos eletrodos de fonte e de dreno com o semiconductor.

### 5.1 MEDIDAS DE ESTRESSE COM POLARIZAÇÃO FIXA

A análise se inicia pela avaliação do comportamento típico das correntes de dreno ( $I_d$ ) na situação em que as tensões de *gate-fonte* ( $V_{GS}$ ) e *dreno-fonte* ( $V_{DS}$ ) são mantidos constantes e positivos ao longo do tempo, conforme mostra a Figura 24, para os TFTs de nanopartículas de ZnO nas configurações *bottom-gate staggered* e *coplanar*. Para estas amostras não foi possível obter informações relevantes a partir das medidas das correntes de *gate* ( $I_g$ ) do TFTs, devido à estrutura de fonte compartilhada entre transistores de diferentes L e mesmo W, apresentada na Figura 21, o que impossibilita saber se o comportamento medido corresponde à corrente  $I_g$  do TFT em avaliação ou se predomina a corrente de fuga do conjunto de transistores. Na subseção 5.4 foram realizadas medidas complementares em transistores com fonte não compartilhada para sanar esta limitação.

Figura 24 - Polarização em estresse contínuo, mantendo  $V_G$  e  $V_D$  positivos ao longo do tempo em relação à  $V_S$  que é aterrado.



Foram identificados 4 comportamentos abruptos característicos, para as correntes de dreno dos transistores, ao longo das medidas realizadas:

SA: Subidas Abruptas Não Seguida de Decaimento Contínuo

QA: Quedas Abruptas Não Seguidas ou Precedidas de Subida Contínua

QASPSC: Quedas Abruptas Seguidas ou Precedidas de Subida Contínua

SASDC: Subidas Abruptas Seguida de Decaimento Contínuo

Nas tabelas 2 e 3 são apresentadas as ocorrências dos eventos abruptos descritos anteriormente para as amostras de transistores coplanares e *staggered*. Verificou-se que para as amostras coplanares são mais frequentemente observados os eventos de quedas abruptas seguidas ou precedidas de subida contínua da corrente, enquanto que para as amostras *staggered*, subidas abruptas seguidas de um decaimento contínuo de Id foi o evento mais recorrente.

Tabela 4 Frequência dos eventos observados para a corrente de dreno das amostras *inverted coplanar*.

Eventos	SASDC	QASPSC	SA	QA	TOTAL
%Id Coplanar	6.25%	67.85%	8.93%	16.96%	100.00%

Tabela 5 Frequência dos eventos observados para a corrente de dreno das amostras *inverted staggered*.

Eventos	SASDC	QASPSC	SA	QA	TOTAL
%Id Staggered	43.94%	7.59%	24.24%	24.24%	100.00%

Nota-se a partir das Tabelas 4 e 5 e das Figuras 25 e 26, que o comportamento de crescimento transiente inicial de Id a partir da aplicação das tensões de polarização, bem como a verificação de flutuações abruptas de corrente são efeitos recorrentes e observados para as amostras das duas configurações medidas. De maneira geral, para os diversos transistores medidos, foi extraída uma constante de tempo de subida inicial de Id de aproximadamente 1 segundo, quando considerada uma aproximação exponencial de primeira ordem. Em relação aos efeitos abruptos podem ser destacados dois comportamentos típicos que são verificados em diversos transistores de ambas as configurações. O primeiro, realçado na Figura 25 e mais frequentemente observado em amostras *inverted staggered*, destaca o comportamento de subida abrupta de Id seguida de sua consecutiva descida lenta. Por outro

lado, observa-se de maneira mais proeminente em dispositivos *inverted coplanar* o comportamento de descida abrupta de  $I_d$  seguida ou precedida pelo crescimento contínuo da corrente do TFT, conforme destacado na Figura 26.

Figura 25 - Comportamento típico para a corrente de dreno e evento mais frequentemente observado sob estresse contínuo para TFT de nanopartículas de ZnO na configuração *inverted staggered*.

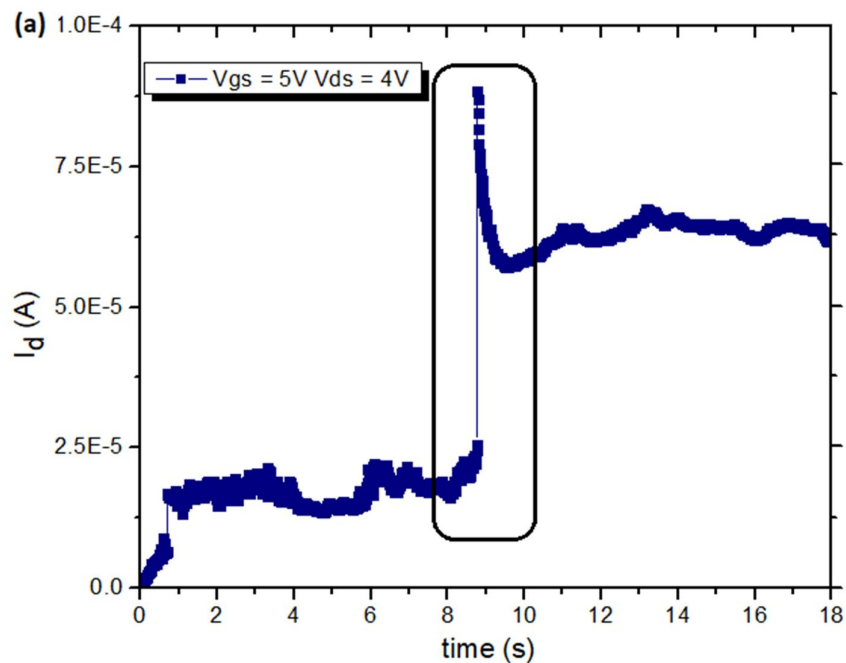
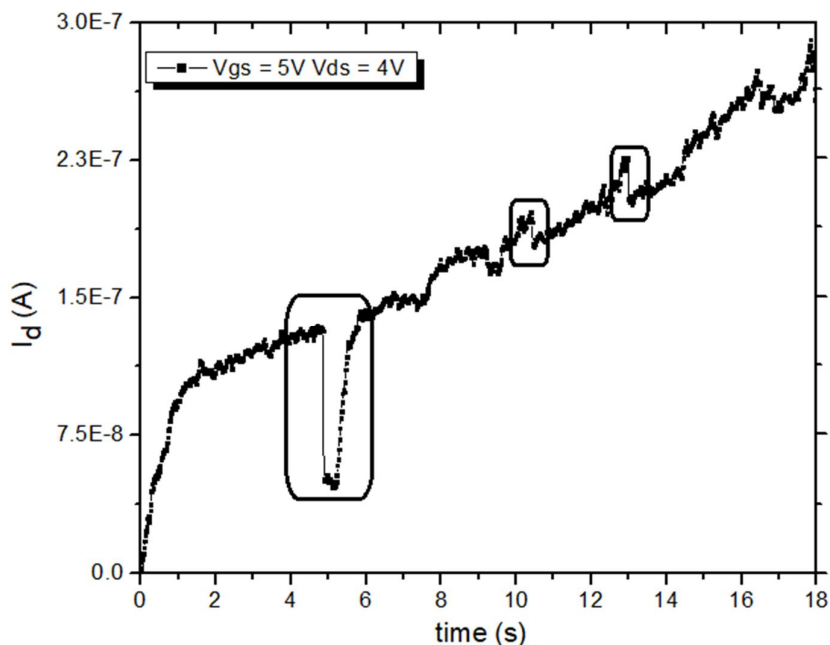


Figura 26 - Comportamento típico para a corrente de dreno e evento mais frequentemente observado sob estresse contínuo para TFT de nanopartículas de ZnO na configuração *inverted coplanar*.



É importante ressaltar que foi observada uma grande variedade de amplitudes para os eventos verificados, bem como de constantes de tempo para subidas ou decaimentos contínuos de  $I_d$  na ocorrência destas flutuações. Isso pode ser verificado nas Figuras 27 e 28, que mostram a ocorrência das flutuações de  $I_d$  em relação às correntes máximas medidas nos testes em que tais eventos foram identificados, para as amostras *inverted coplanar* e *inverted staggered* respectivamente. Considerando que as correntes medidas para os TFTs de nanopartículas de ZnO em configuração *coplanar* e *staggered* foram obtidas na ordem de  $1\mu A$  e de  $(10 \text{ até } 100)\mu A$  respectivamente, e considerando as distribuições obtidas nas Figuras 27 e 28, verifica-se que as flutuações identificadas atingem, em grande parte, aproximadamente a mesma ordem de grandeza dos picos de correntes medidos nos transistores.

Figura 27 - Frequência dos eventos de flutuação de corrente de dreno em relação à corrente máxima para TFTs de nanopartículas de ZnO na configuração *inverted coplanar*.

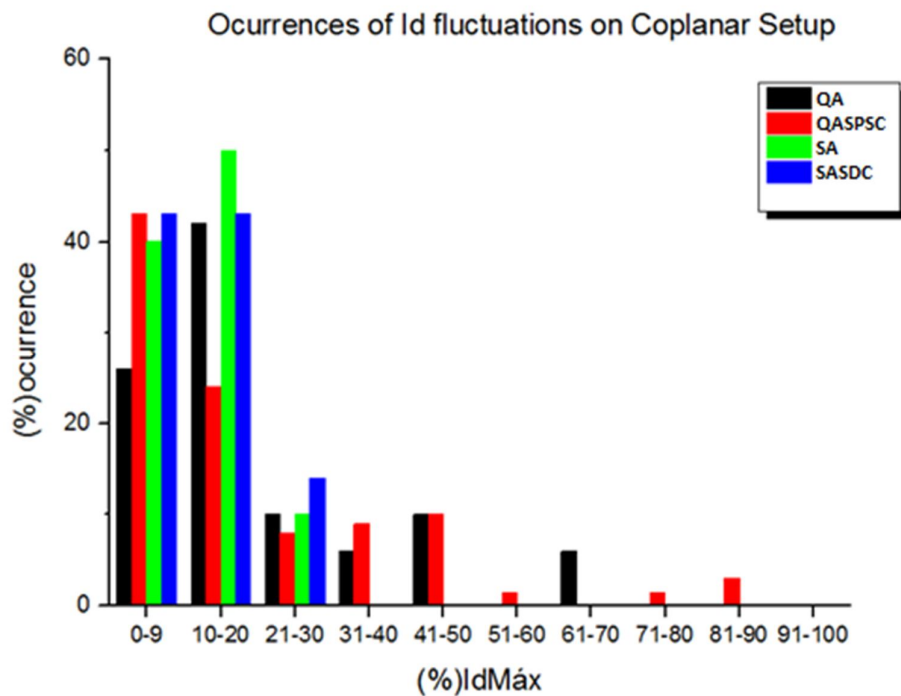
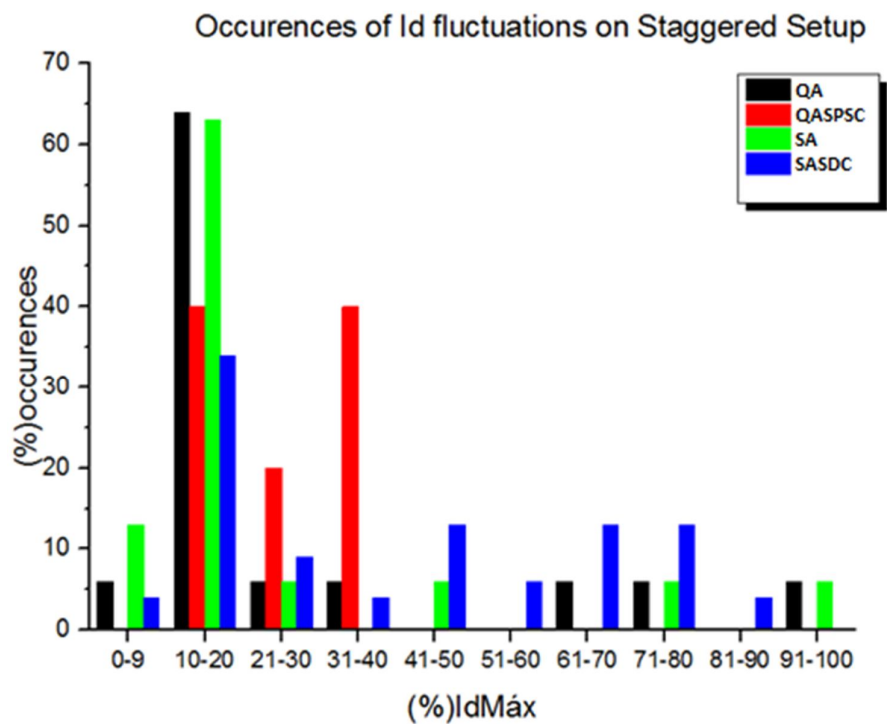


Figura 28 - Frequência dos eventos de flutuação de corrente de dreno em relação à corrente máxima para TFTs de nanopartículas de ZnO na configuração *inverted staggered*.



Em vista dos efeitos observados, foram realizados testes complementares para verificar a qualidade dos contatos entre as ponteiros de medição e os eletrodos de dreno e de fonte. Foram obtidas as curvas da tensão medida em função da corrente aplicada pelas ponteiros entre dois contatos adjacentes que estão interligados na região da fonte (S), conforme mostrado na Figura 21. Dessa forma, foi possível verificar separadamente as resistências dos contatos para cada configuração de transistores medidos. Na Figura 29, os resultados obtidos são apresentados para amostras *inverted staggered* e verificou-se em ambos os sentidos de aplicação da corrente uma resistência na região linear de aproximadamente  $25\Omega$ . Na Figura 30, observam-se resistências mais elevadas para transistores em configuração *inverted coplanar* que variam entre (1-4) $k\Omega$ . Os valores apresentados correspondem aos medidos em diversas outras amostras para cada uma das configurações de transistores e se explicam pela maneira como cada configuração de transistores é integrada, visto que para os transistores *inverted staggered* as ponteiros são contatadas diretamente nos contatos metálicos dos eletrodos de fonte e de dreno, já para as amostras *inverted coplanar* o contato se dá com as nanopartículas depositadas sobre os mesmos. De qualquer forma, como a resistência de contato medida foi sempre menor do que 1% da resistência total (resistências de contato + resistência equivalente do canal), visto que para  $V_{DS}=4V$  foram obtidas correntes na ordem de  $1\mu A$  e  $100\mu A$  para transistores *inverted coplanar* e *inverted staggered* respectivamente, fica claro que os fenômenos observados não são devidos à resistência de contato.

Figura 29 - Resistência de contato entre as ponteiros e os eletrodos de dreno e de fonte para amostra *inverted staggered*. Observa-se na região linear uma resistência de 25 ohms.

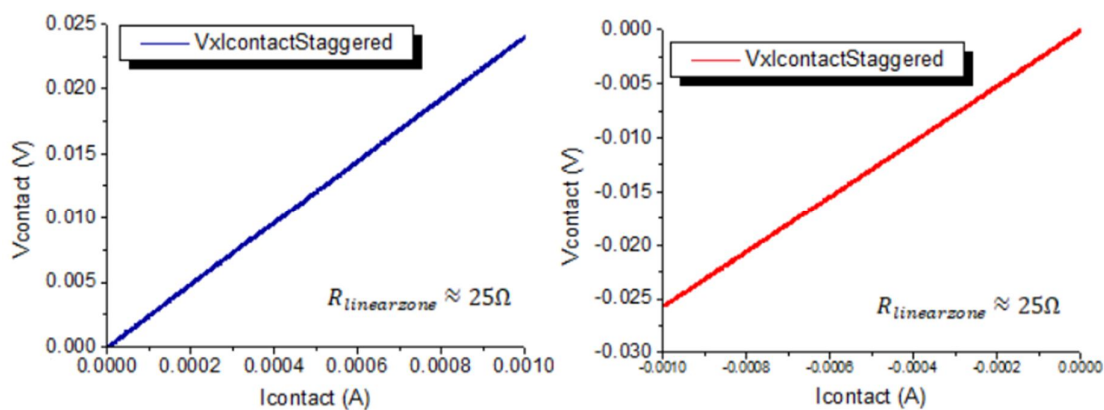
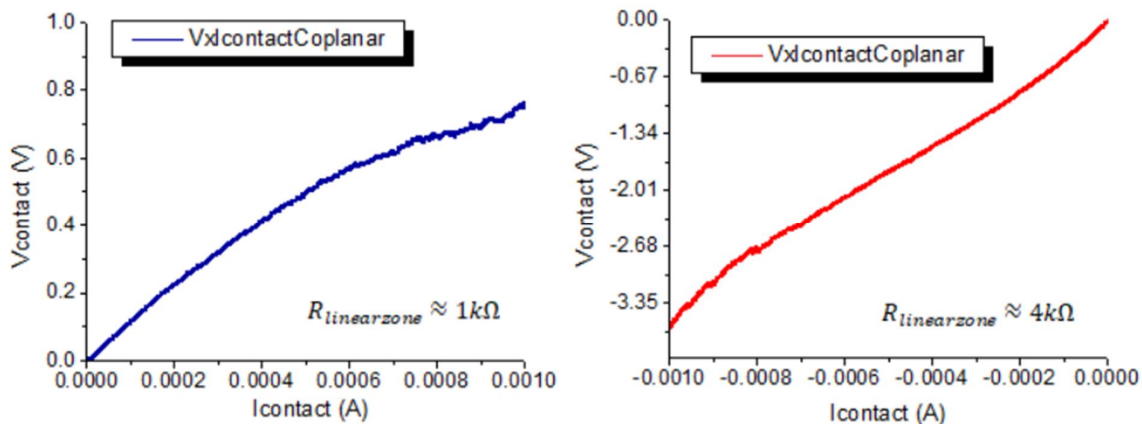


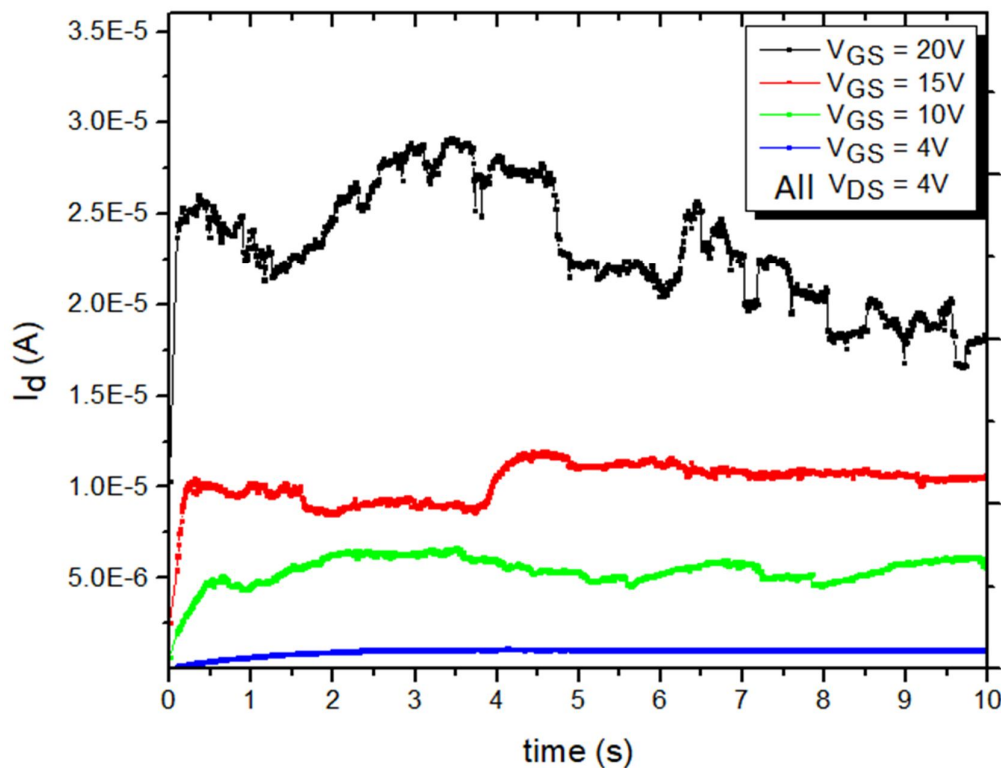
Figura 30 - Resistência de contato entre as ponteiras e os eletrodos de dreno e de fonte para amostra *inverted coplanar*. Observa-se na região linear uma resistência na ordem de  $10^3$  ohms.



A partir dos resultados apresentados propõe-se um novo teste de estresse contínuo pela aplicação de quatro tensões distintas em  $V_{\text{GS}}$  de cada amostra, enquanto a tensão de dreno-fonte ( $V_{\text{DS}}$ ) foi mantida constante para todas as medidas. Na Figura 31, esta situação é exemplificada para uma amostra *inverted coplanar* e novamente observa-se um crescimento contínuo da corrente de dreno para um ponto fixo de polarização, e, além disso, destaca-se que o tempo de resposta de  $I_{\text{d}}$  à aplicação de uma tensão positiva em  $V_{\text{GS}}$  se mostra mais rápido quando tensões mais significativas são aplicadas. Em outras palavras, aplicando-se tensões mais elevadas no *gate* do transistor resulta em um crescimento da corrente de dreno em taxas mais altas, e dessa forma  $I_{\text{d}}$  atinge um estado mais estável mais rapidamente.



Figura 31 - Tempo de resposta da corrente de dreno à aplicação de um  $V_{GS}$  positivo e constante, verificando que a resposta é mais rápida quando um  $V_{GS}$  mais elevado é aplicado.  $L=3\mu\text{m}$  e  $W=5\mu\text{m}$ .



## 5.2 MEDIDAS *RECOVERY/STRESS*

Para avaliar a influência direta da aplicação de  $V_{GS}$  e de  $V_{DS}$  no comportamento da corrente de dreno outra rotina de medidas foi elaborada. Para avaliar o efeito da aplicação de  $V_{GS}$  em  $I_d$ , aplica-se  $V_{GS}$  após 18 segundos decorridos desde o início da medida, enquanto que  $V_{DS}$  é mantido constante durante todo o período. De maneira similar, avalia-se o efeito de  $V_{DS}$  em  $I_d$  aplicando-se esta tensão novamente após 18 segundos decorridos desde o início da medida, com  $V_{GS}$  constante durante o período de medida. Esta metodologia é exemplificada pela Figura 32. As Figuras 33 e 34 mostram o comportamento observado para curvas de amostras coplanares que qualitativamente é o mesmo identificado para transistores *inverted staggered*. O tempo para a aplicação das tensões, após 18 segundos, foi experimentalmente escolhido: foram realizadas medidas em que as tensões foram aplicadas após decorrerem tempos mais longos e também mais curtos e se percebeu experimentalmente que o valor escolhido é suficiente para a manifestação dos comportamentos verificados e que mantém a resolução de 10ms das medidas iniciais.

Figura 32 - Estresse contínuo ora em  $V_D$  ora em  $V_G$  e degrau positivo aplicado no sinal oposto. Fonte mantida em 0V.



Na figura 33 a corrente de dreno foi obtida para a situação em que se aplica um degrau positivo em  $V_{GS}$  após 18 segundos decorridos do início da medida. A partir deste momento, verifica-se que  $I_d$  cresce continuamente até um estado mais estável, bem como novamente são observadas quedas abruptas em  $I_d$  seguidas ou precedidas de subidas lentas de corrente. De maneira similar, quando é aplicado em  $V_{DS}$  um degrau positivo verifica-se a resposta de  $I_d$  a esta variação de tensão que está representada na Figura 34, na qual  $V_{DS}$  é subitamente variado de zero para um valor positivo e constante após 18 segundos decorridos, enquanto que  $V_{GS}$  é positivo e constante em toda a medida. Nesta situação, ressalta-se que  $I_d$  surge instantaneamente a partir da aplicação de  $V_{DS}$  e imediatamente após essa variação decai continuamente e lentamente a um estado mais estável. Para os testes descritos em ambas as Figuras 30 e 31, as curvas em azul descrevem a corrente de dreno sob a aplicação de  $V_{GS} = 7V$  e  $V_{DS} = 4V$  enquanto que as em vermelho correspondem a  $I_d$  para  $V_{GS} = 7V$  e  $V_{DS} = 6V$ , portanto  $V_{GS}$  foi mantido constante enquanto  $V_{DS}$  foi intercalado a cada medida. Para tornar mais evidente, a resposta transiente de  $I_d$  à aplicação de um degrau positivo ora em  $V_{DS}$  ora em  $V_{GS}$ , enquanto o sinal oposto é mantido constante e positivo, é ressaltada e ampliada nas Figuras 33 e 34.

Figura 33 - Estresse contínuo ora em  $V_D$  ora em  $V_G$  e degrau positivo aplicado no sinal oposto. Fonte mantida em 0V. Para um TFT coplanar invertido,  $L=5\mu\text{m}$  e  $W=500\mu\text{m}$ .

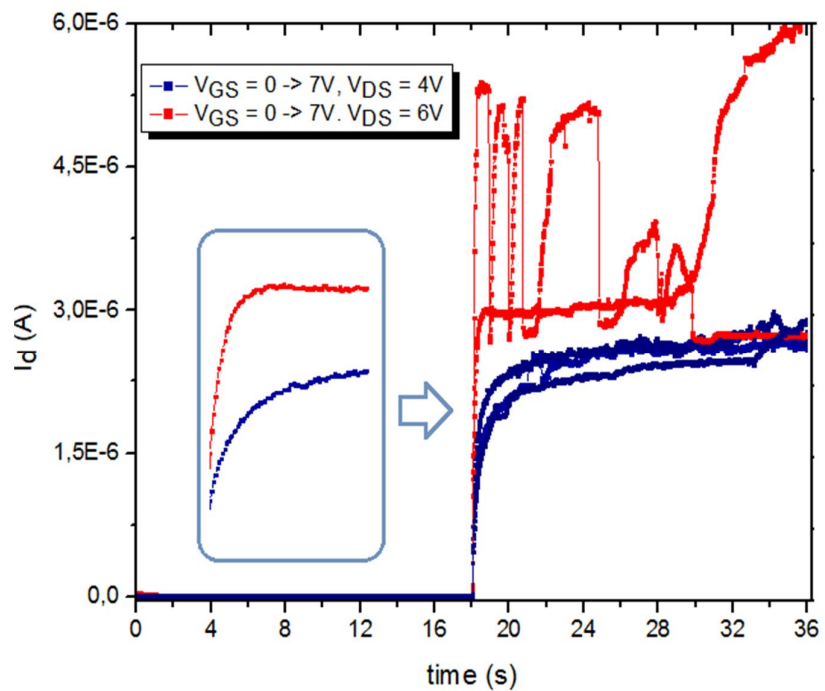
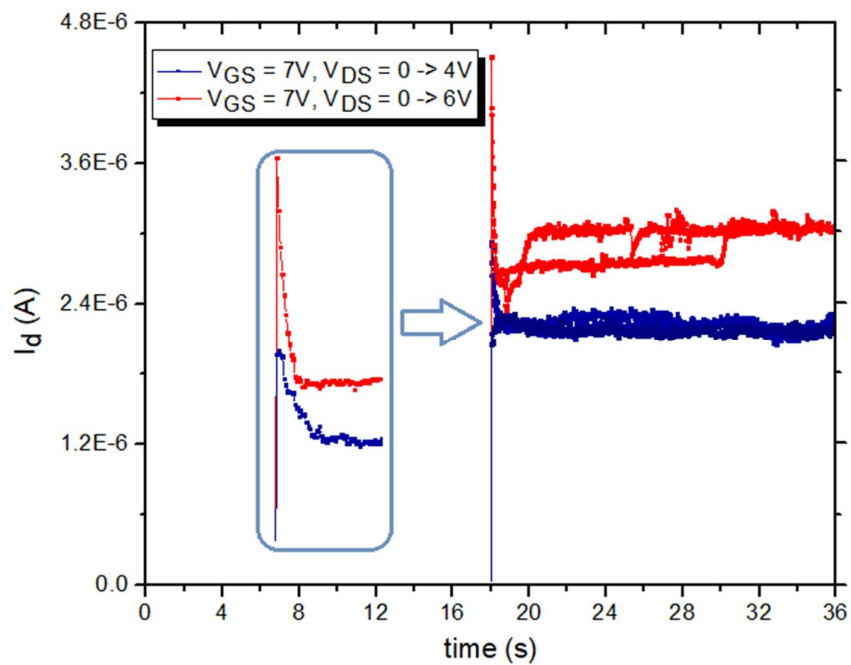


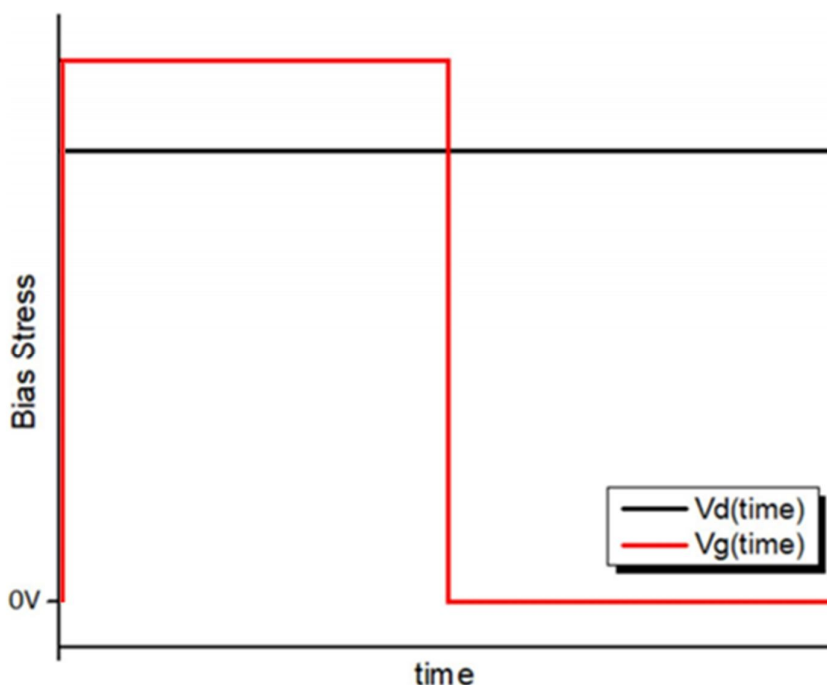
Figura 34 - Estresse contínuo ora em  $V_D$  ora em  $V_G$  e degrau positivo aplicado no sinal oposto. Fonte mantida em 0V. Para um TFT coplanar invertido,  $L=5\mu\text{m}$  e  $W=500\mu\text{m}$ .



### 5.3 MEDIDAS *STRESS/RECOVERY*

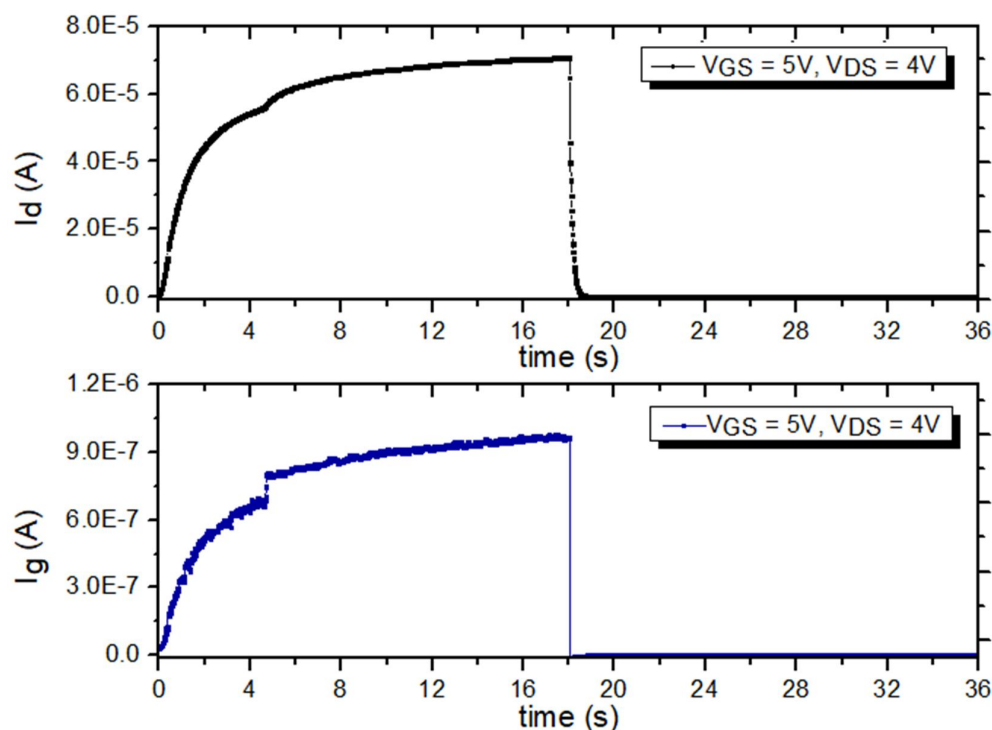
Para avaliar a influência direta do efeito da retirada de  $V_{GS}$  no comportamento das correntes de dreno e de *gate* dos transistores foi realizada uma rotina de medidas *stress/recovery*. Em outras palavras, retira-se  $V_{GS}$  variando esta tensão de um valor constante e positivo para zero volt durante a medida, enquanto que  $V_{DS}$  é mantido constante e positivo durante todo o período, conforme exemplificado na Figura 35.

Figura 35 - Estresse contínuo em  $V_D$  e aplicação de degrau negativo em  $V_G$ . Fonte mantida em 0V.



A Figura 36 mostra as correntes de dreno ( $I_d$ ) e de *gate* ( $I_g$ ) de uma amostra *inverted staggered* para a situação em que tanto  $V_{GS}$  como  $V_{DS}$  positivos e constantes são aplicados desde o início da medida, mas na qual  $V_{GS}$  é posto à 0V após 18 segundos decorridos. A partir desse momento,  $I_g$  decai abruptamente e  $I_d$  decai gradualmente por aproximadamente 500ms. O comportamento é qualitativamente o mesmo para transistores coplanares. Nesta situação a corrente  $I_g$  foi apresentada, pois independentemente do transistor medido estar em configuração de fonte compartilhada, qualitativamente a resposta obtida se mostrou relevante para a análise.

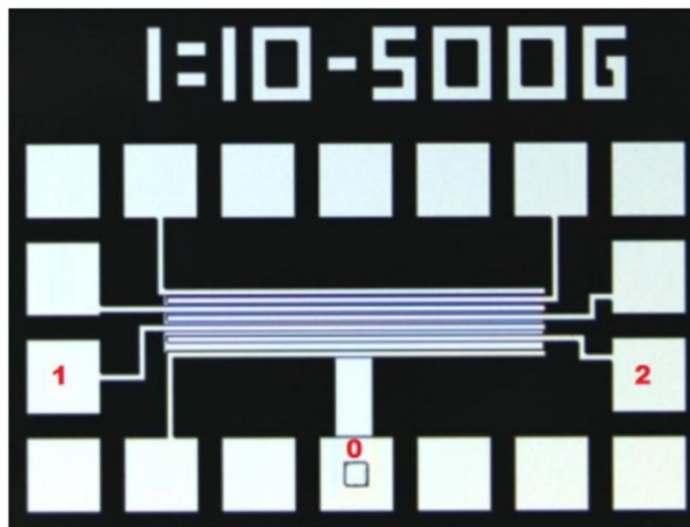
Figura 36 - A resposta das correntes de dreno e de *gate* à aplicação de  $V_{DS}$  e  $V_{GS}$  positivos e constantes e à posterior retirada deste último. Para um TFT *inverted staggered*,  $L = 5\mu\text{m}$  e  $W = 500\mu\text{m}$ .



#### 5.4 MEDIDAS COMPLEMENTARES PARA TFTS COM FONTE NÃO COMPARTILHADA

Após identificar o comportamento típico da corrente de dreno dos transistores ao longo do tempo, analisou-se se há correlação entre  $I_d$  e  $I_g$  a partir de 15 amostras *inverted staggered* ainda não utilizadas, com fonte não compartilhada e de dimensões:  $W=500\mu\text{m}$  e  $L=5\mu\text{m}$ , conforme a Figura 37. Neste *template* os transistores possuem apenas o *gate* compartilhado e as amostras foram medidas com as ponteiros posicionadas nos pontos 0 (*gate*), 1 e 2 (fonte e dreno) para, dessa forma, validar o comportamento típico verificado até então e investigar o comportamento de  $I_g$ . As medidas realizadas mostraram que o comportamento qualitativo de  $I_d$ , observado em amostras com a fonte compartilhada, se repete e também pode ser considerado para transistores com fonte não compartilhada. Medidas de estresse com polarização fixa ao longo do tempo, similares às apresentadas na subseção 5.1, são apresentadas para estas estruturas nas Figuras 38 e 39, nas quais novamente se observa um crescimento contínuo e gradual de  $I_d$  e flutuações de corrente. Também se apresentam, nas Figuras 40 e 41, curvas similares às discutidas na subseção 5.2 e o comportamento verificado também é qualitativamente o mesmo do que foi apresentado.

Figura 37 - *Template* para transistores com fonte não compartilhada. Com  $L$  variando entre 1-10 $\mu\text{m}$  e  $W=500\mu\text{m}$ .



Nas figuras 38, 39, 40 e 41 se apresenta também o comportamento da corrente de fonte ( $I_s$ ) que se mostrou fortemente correlacionado com o da corrente  $I_d$ . Verifica-se também que as correntes  $I_g$  medidas, além de duas ordens de grandezas inferiores às correntes de dreno, apresentam comportamento sem nenhuma correlação com a mesma.

Figura 38 - Correntes de dreno ( $I_d$ ), fonte ( $I_s$ ) e *gate* ( $I_g$ ) sob estresse contínuo para TFT com fonte não compartilhada na configuração *inverted staggered*.  $L=5\mu\text{m}$  e  $W=500\mu\text{m}$ .

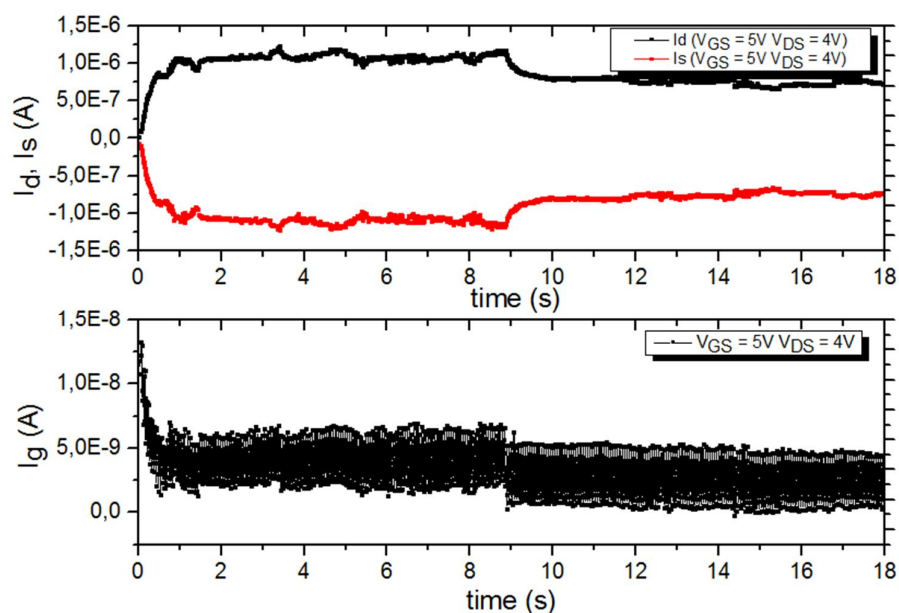


Figura 39 - Correntes de dreno ( $I_d$ ), fonte ( $I_s$ ) e *gate* ( $I_g$ ) para estresse contínuo para outro TFT com fonte não compartilhada na configuração *inverted staggered*.  $L=5\mu\text{m}$  e  $W=500\mu\text{m}$ .

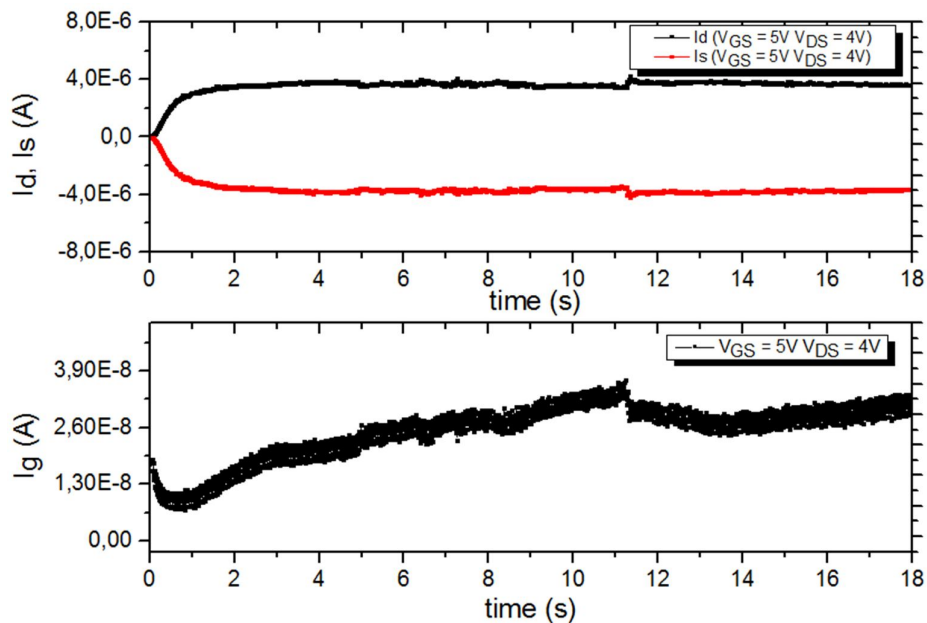


Figura 40 - Correntes de dreno ( $I_d$ ), fonte ( $I_s$ ) e *gate* ( $I_g$ ) para degrau positivo em  $V_{GS}$  e  $V_{DS}$  fixo. TFT com fonte não compartilhada na configuração *inverted staggered*.  $L=5\mu\text{m}$  e  $W=500\mu\text{m}$ .

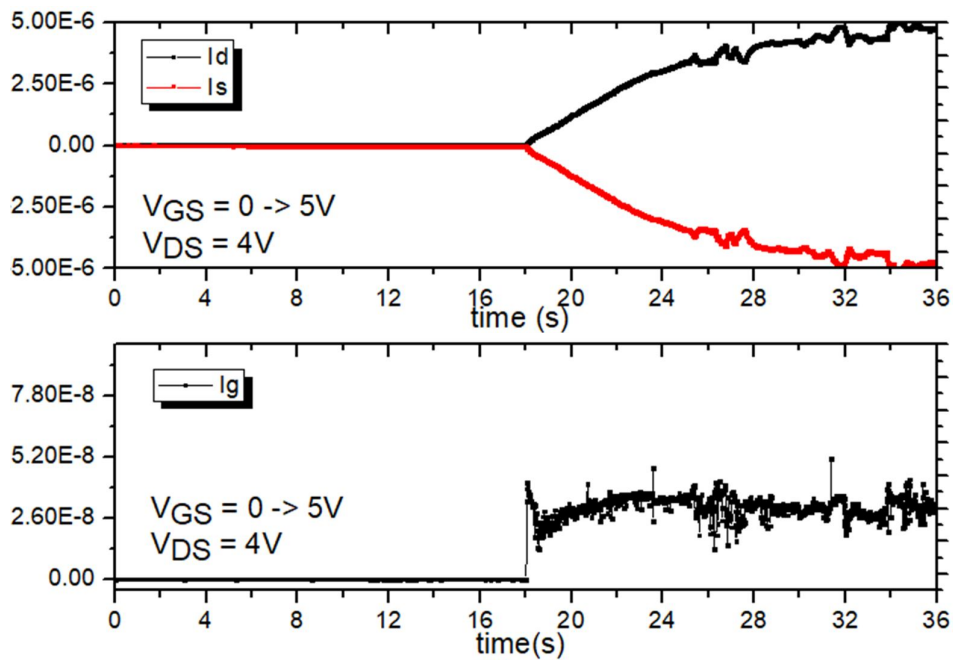
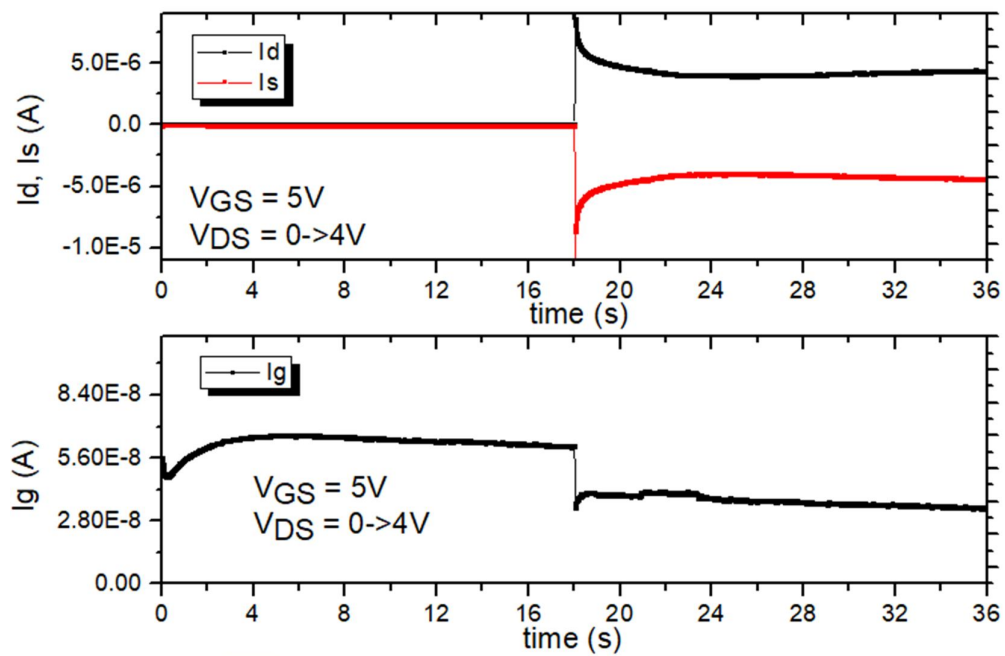


Figura 41 - Correntes de dreno ( $I_d$ ), fonte ( $I_s$ ) e *gate* ( $I_g$ ) para degrau positivo em  $V_{DS}$  e  $V_{GS}$  fixo. TFT com fonte não compartilhada na configuração *inverted staggered*.  $L=5\mu\text{m}$  e  $W=500\mu\text{m}$ .





## 6 HIPÓTESES DE CAUSA E EFEITO

Considerando as tensões de polarização aplicadas nos transistores como variáveis de entrada e as correntes do dispositivo como variáveis de saída, os resultados apresentados no capítulo anterior podem ser sintetizados por dois comportamentos principais observados: (I) efeitos abruptos, que são eventos de flutuações rápidas na saída e que ocorrem independentemente do estado anterior da entrada; e (II) efeitos de memória, os quais estão relacionados ao crescimento e decaimento lento e contínuo da saída que é dependente tanto do estado presente como do estado anterior da entrada.

### 6.1 EFEITOS ABRUPTOS

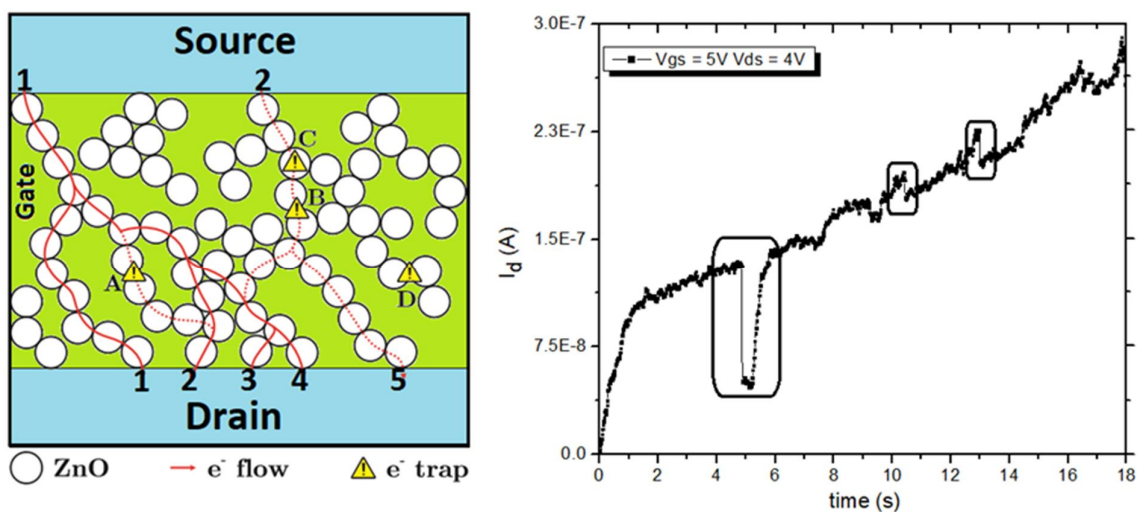
#### 6.1.1 Quedas abruptas de corrente

Conforme verificado na seção 4.1.3, o fluxo de elétrons através da rede de nanopartículas de ZnO se dá através de caminhos percolados formados por regiões de baixas e altas impedâncias, que dependem da distribuição estocástica oriunda da deposição das nanopartículas. Assim, as quedas abruptas de corrente observadas nas Figuras 26, 31 e 33 podem ser explicadas pela atividade de *traps* localizados na rede semicondutora, através da quebra elétrica parcial ou total de um caminho percolado. Ressalta-se a analogia também apresentada na seção 4.1.3, na qual pela possibilidade da formação de caminhos paralelos, devido à multiplicidade de possibilidades de rearranjos das nanopartículas, espera-se obter uma grande variedade de comprimentos de caminhos formados e cada um destes com diferentes densidades de corrente ao longo do filme semicondutor. Este mecanismo pode ser responsável, portanto, pela diversidade de diferentes amplitudes das quedas abruptas observadas em  $I_d$  nas diversas amostras medidas, como exemplificado pela Figura 26.

Pelo esquemático da Figura 42 relacionam-se os resultados obtidos na Figura 26 com a localização dos *traps* na rede percolada, de modo que a queda de corrente mais significativa observada provavelmente está relacionada com a quebra elétrica de um caminho percolado de alta densidade de corrente, que é o caso do *trap* A, enquanto que os *traps* B e C se encontram em um caminho percolado de menor impacto na flutuação de corrente do transistor e, portanto produziram flutuações menos significativas. Visto que o *trap* B se localiza na região de fronteira entre nanopartículas, a flutuação decorrente deste *trap* é mais intensa do que a observada pela ação do *trap* C. Além disso, a característica de paralelismo também é

esquemática, visto que neste exemplo as saídas 3 e 4 são originadas pelas entradas 1 e 2 enquanto que a entrada 1, por exemplo, está ao mesmo tempo conectada às saídas 1 e 2.

Figura 42 - Fluxo de corrente influenciado pela atividade dos *traps* relacionado com o esquemático da rede nanoparticulada formada por caminhos paralelos devido às inter-ramificações.



Fonte: Adaptado de Vidor *et al.*, 2013.

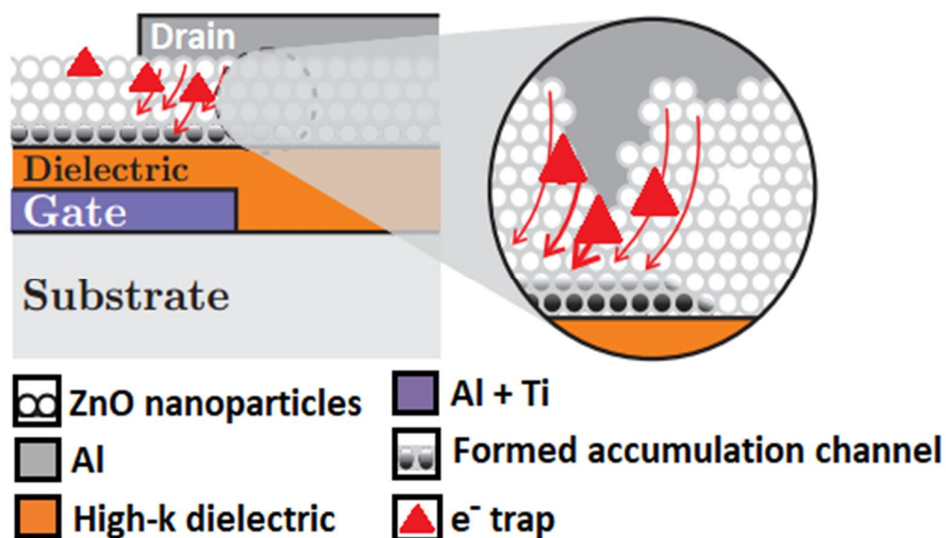
### 6.1.2 Subidas abruptas de corrente

De maneira análoga, as subidas abruptas na corrente de dreno também podem estar relacionadas à atividade dos defeitos e à localização dos mesmos, porém desta vez o efeito que provoca um salto abrupto se relaciona com a emissão de cargas livres e a liberação elétrica de um caminho percolado.

Destaca-se a subida abrupta em  $I_d$  verificada na Figura 34 que é originada pela aplicação de um  $V_{DS}$  constante e positivo depois de decorridos 18 segundos da aplicação de um  $V_{GS}$  também constante e positivo ao longo do tempo. Esse comportamento pode ser compreendido pela assunção de que a camada de acumulação do TFT já estava formada na aplicação de  $V_{DS}$  graças à precedente aplicação de  $V_{GS}$ . Logo, quando  $V_{DS}$  é aplicado a corrente de dreno aparece instantaneamente. Ressalta-se este evento também pela similaridade deste com o mais frequentemente observado para amostras *inverted staggered*, apresentado na Figura 25. Assim, esta ocorrência também pode ser modelada pela aplicação de  $V_{DS}$  em um caminho previamente bloqueado e que no momento do salto acabou de ser restaurado. Como

verificado no capítulo 3, em amostras na configuração *inverted staggered* forma-se, entre o eletrodo metálico e a camada de acumulação formada, uma região caracterizada como uma resistência de acesso localizada próxima à interface com o ar ambiente, conforme mostra a Figura 43. Dessa forma, este local é mais vulnerável à interação com as moléculas de oxigênio presentes na atmosfera e, portanto é mais susceptível à atividade de *traps*. Essa característica que é peculiar a esta configuração de TFT pode explicar o porquê de este evento ser mais frequentemente observado para estas amostras. A liberação de um caminho poderá se dar na região do dreno tanto pela ação de elementos de carga positiva, como as vacâncias de oxigênio que podem migrar ou se reorganizar pela aplicação de um potencial positivo no dreno, como também pela difusão de íons de alumínio, de hidrogênio e de zinco. Além disso, tal efeito pode estar relacionado a um comportamento remanescente de efeitos *Poole-Frenkel*, nos quais a emissão de cargas aprisionadas é acelerada pela aplicação de um campo elétrico lateral.

Figura 43 - Modelo de subida abrupta em amostras *inverted staggered*: pela restauração de caminhos percolados bloqueados eletricamente na região da resistência de acesso devido à dessorção de oxigênio.

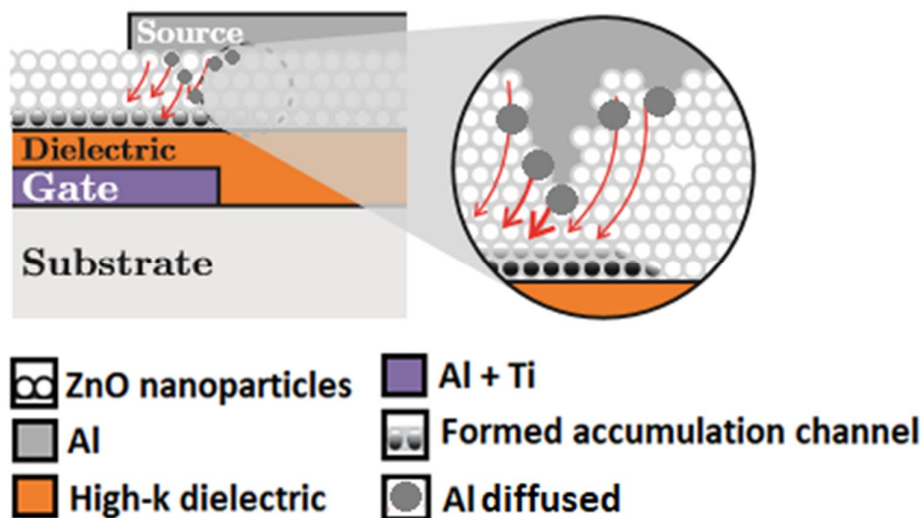


Fonte: Adaptado de Vidor *et al.*, 2016.

Como em memresistores, as vacâncias de oxigênio carregadas positivamente podem migrar a partir da aplicação de um campo elétrico positivo resultante da tensão aplicada e assim derivar em direção à interface do semiconductor com os eletrodos metálicos. E dessa

forma, na aplicação de um  $V_{DS}$  constante e positivo estes dopantes podem se reorganizar e este efeito pode ser responsável pela recuperação elétrica de um caminho percolado. Além disso, na região da resistência de acesso podem ser formados filamentos condutivos (FC) oriundos da difusão de íons metálicos provenientes dos eletrodos de alumínio, uma vez que este efeito já foi verificado em memresistores de dióxido de grafeno, conforme subseção 4.3.2. Um modelo para esta hipótese segue esquematizado na Figura 44. Porém, em vista dos significativos saltos de corrente observados nas medidas realizadas, nos quais se verificam por vezes, conforme a Figura 28, variações de até 90% da corrente máxima medida, esta possibilidade deve ser avaliada, visto que não se espera que a difusão de alumínio altere de maneira tão significativa a resistência do canal do transistor, uma vez que este é dimensionalmente muito maior quando comparado aos memresistores. Porém, considera-se uma hipótese oportuna visto que a região da resistência de acesso se caracteriza por uma alta densidade de corrente.

Figura 44 - Modelo de subida abrupta em amostras *inverted staggered*: ativação de caminhos percolados pela difusão de alumínio na região da resistência de acesso.



Fonte: Adaptado de Vidor *et al.*, 2016.

Também é observado que na ocorrência deste evento, a subida abrupta de  $I_d$  é seguida pela sua queda contínua e lenta que pode estar relacionada a um efeito de memória que será discutido na seção seguinte.

## 6.2 EFEITOS DE MEMÓRIA

### 6.2.1 Subida contínua de corrente

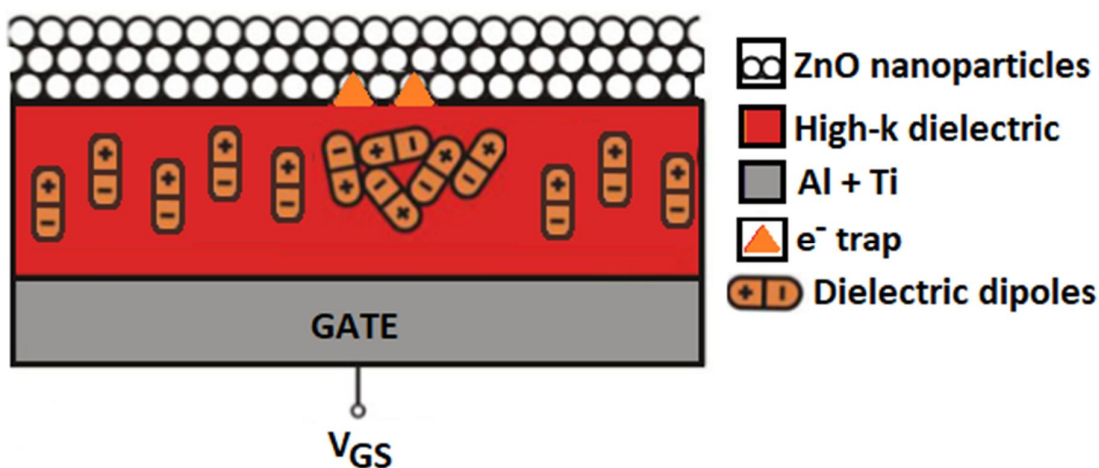
O comportamento de crescimento contínuo da corrente de dreno para um ponto fixo de polarização observado nas medidas de estresse com polarização fixa e que é exemplificado pelas Figuras 26 e 31 pode ser fortemente relacionado à aplicação de  $V_{GS}$ , considerando os resultados apresentados na Figura 33. Esta dependência aparenta ser significativa, uma vez que somente a partir da aplicação de  $V_{GS}$  que a corrente do transistor começa a crescer lentamente mesmo que uma tensão  $V_{DS}$  estivesse previamente estabelecida.

Em trabalho prévio de Vidor *et al.*, (2013), discutido na subseção 4.2, com TFTs de nanopartículas de ZnO utilizando PVP como dielétrico de *gate* foi identificado um similar, porém mais lento, crescimento contínuo de  $I_d$  e uma constante de tempo de aproximadamente 120 segundos foi extraída quando considerada uma aproximação exponencial de primeira ordem. Como previamente discutido, estes efeitos foram atribuídos principalmente à reorientação de dipolos no dielétrico de *gate*. Neste estudo, verifica-se uma constante de tempo de crescimento de  $I_d$  em torno de apenas 1 segundo, considerando as diversas medidas realizadas, e este valor é significativamente menor quando comparado ao obtido no trabalho referido. Porém, as características do nanocomposto *high-k*, utilizado nos transistores medidos, discutidas na seção 4.2, indicam que efeitos de polaridade e uma consequente reorientação gradual de dipolos no dielétrico devem estar presentes. Essa premissa é também reforçada pelo comportamento apresentado na Figura 31, na qual os dipolos do dielétrico são provavelmente reorientados mais rapidamente quando um valor mais elevado de  $V_{GS}$  é aplicado. Além disso, os efeitos aqui discutidos também são compatíveis com o mecanismo de deriva de cargas móveis do dielétrico, também apresentado na subseção 4.2.

Devido aos efeitos de interação do ZnO com o meio ambiente, discutidos na subseção 4.1.2, o crescimento contínuo da corrente de dreno também pode estar associado a uma lenta dessorção de moléculas de oxigênio do semiconductor. Assim, os efeitos de dipolos quando combinados com a atividade de *traps* podem ser os fatores responsáveis pelo evento mais frequentemente observado em amostras coplanares: quedas abruptas da corrente de dreno seguidas ou precedidas pelo seu crescimento contínuo, exemplificado nas Figuras 26 e 33. Quando um caminho é eletricamente bloqueado, espera-se uma desordem local dos dipolos no dielétrico do TFT; e estes dipolos podem ser lentamente reorientados na eventual restauração

de um caminho. Quando o TFT está submetido a um  $V_{DS}$  positivo espera-se que estes efeitos predominem entre o local onde ocorre a quebra elétrica e o dreno do transistor, devido à redução, nesta região, da tensão responsável pela orientação dos dipolos. Tal situação é modelada pela Figura 45. Como discutido na seção 4.1.3, caminhos paralelos podem ser formados ao longo do filme semiconductor produzindo uma grande variedade de comprimentos e densidades de corrente em cada caminho formado; e este mecanismo pode também ser responsável pela diversidade de constantes de tempo observadas na recuperação de corrente, atribuídas nesta seção à reorientação de dipolos, conforme o que ocorre para os eventos verificados na Figura 26.

Figura 45 - Modelo para a subida contínua da corrente de dreno: relacionado à aplicação de  $V_{GS}$  e à reorientação de dipolos ou de deriva de cargas móveis do dielétrico, neste momento ou quando um caminho é reestabelecido.



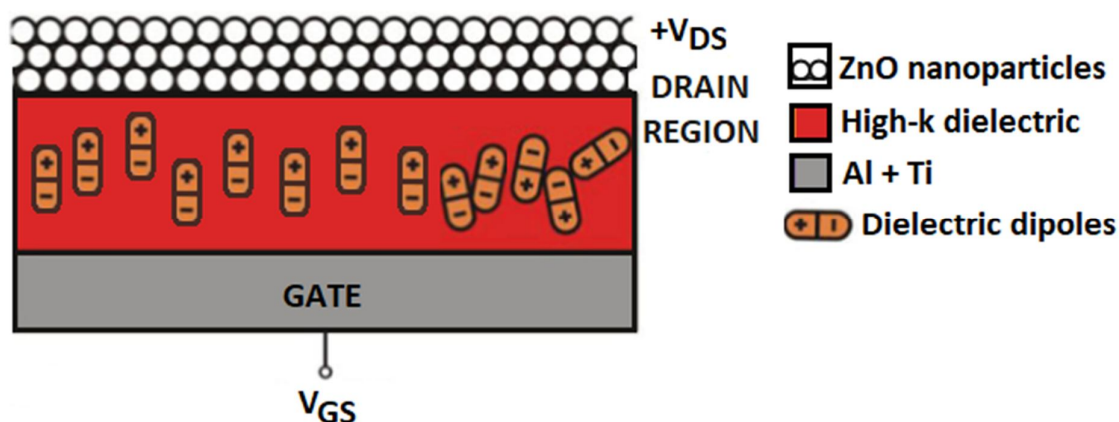
Fonte: Adaptado de Vidor *et al.*, 2013 e Veres *et al.*, 2004.

### 6.2.2 Decaimento contínuo de corrente

A discussão da seção anterior também pode ser estendida para efeito de memória relacionado ao decaimento da corrente de dreno, como os eventos apresentados nas Figuras 25 e 34. Nestas medidas verificou-se uma subida abrupta de  $I_d$  seguida pelo seu decaimento contínuo. De maneira análoga ao modelo elaborado na subseção anterior, esta resposta pode ser associada à desorientação de dipolos na região do dreno do transistor, que pode ser provocada por uma variação brusca na tensão  $V_{GD}$  (*gate-dreno*) quando  $V_{DS}$  é aplicado, conforme apresentado na Figura 46. As curvas destacadas na Figura 34 reforçam esta

hipótese, uma vez que quando se aplica um  $V_{DS}$  mais elevado o efeito observado é de um decaimento de  $I_d$  em taxas mais altas do que o verificado para a aplicação de um  $V_{DS}$  relativamente menor, e dessa forma,  $I_d$  alcança o seu estado mais estável mais rapidamente para tensões de *gate*-dreno menores. Este comportamento se repete para a corrente de dreno da Figura 36, na qual um decaimento lento de  $I_d$  é verificado após a retirada de  $V_{GS}$ . Tal efeito diverge em relação à resposta da corrente de *gate* à retirada de  $V_{GS}$ , pois ao contrário do verificado para  $I_d$  se verifica uma queda abrupta de  $I_g$  decorrente desta variação de tensão. Portanto, esse comportamento deve estar relacionado a uma desorientação gradual dos dipolos no dielétrico.

Figura 46 - Modelo para o decaimento contínuo da corrente de dreno: relacionado com a desorientação de dipolos no dielétrico pela aplicação de  $V_{DS}$ .



Fonte: Adaptado de Vidor *et al.*, 2013 e Veres *et al.*, 2004.

## 7 CONCLUSÕES

Este trabalho apresentou a caracterização elétrica de transistor de filmes finos de nanopartículas de ZnO no domínio do tempo, estabelecendo uma metodologia e analisando a fenomenologia do comportamento observado. Deste modo, o capítulo 1 abordou e contextualizou o tema de interesse. No capítulo 2 foi apresentado um texto de revisão sobre os transistores de filmes finos apresentando o seu modelo ideal de funcionamento. Posteriormente, os TFTs de nanopartículas de ZnO estudados neste trabalho foram apresentados, destacando-se os seus aspectos construtivos e de desempenho. Então foram apresentadas as fontes de perturbações conhecidas na literatura que se relacionam com os materiais aplicados na integração dos transistores e com a interação deste dispositivo com o ambiente. Por fim, as medidas experimentais foram apresentadas, os comportamentos predominantes foram identificados e a partir das perturbações conhecidas foram elaboradas hipóteses de causa e efeito para modelar os eventos e os comportamentos observados.

Das medidas experimentais realizadas, em uma primeira análise torna-se evidente que as amostras em configuração *inverted staggered* apresentaram correntes mais elevadas quando comparadas aos dispositivos em configuração *inverted coplanar*. Essa diferença se explica pela maior aderência dos contatos metálicos às nanopartículas em transistores *inverted staggered* e o consequente aumento do fluxo de corrente resultante desta característica. Posteriormente, dos experimentos foram identificados dois grupos de comportamentos elétricos que desviam da resposta ideal esperada. Primeiro efeitos abruptos, responsáveis por significativas flutuações abruptas na corrente de dreno do transistor, dos quais as quedas e as subidas abruptas foram inicialmente associadas à atividade de *traps* e à interação do semiconductor com o ar ambiente devido à quebra/recuperação elétrica parcial ou completa de um ou mais caminhos percolados. Da mesma forma, efeitos de memória correspondentes ao crescimento ou decaimento contínuo da corrente de dreno foram identificados e foram fundamentalmente associados aos efeitos de polarização e orientação de dipolos localizados no dielétrico de *gate*, como também aos mecanismos de deriva de cargas positivas no dielétrico e de absorção e dessorção de moléculas de oxigênio.

Os eventos mais frequentemente observados em amostras *inverted staggered* e *inverted coplanar* foram modelados pela combinação de efeitos abruptos e de memória. A queda abrupta em  $I_d$ , seguida ou precedida pelo seu crescimento contínuo, comumente observado em amostras *inverted coplanar* foi relacionada com a atividade de *traps* e



associada à desordem de dipolos do dielétrico de *gate*. Em amostras *inverted staggered*, as subidas abruptas de  $I_d$ , seguida pelo seu decaimento contínuo que corresponde ao evento mais frequentemente observado nesta configuração foram associadas ao efeito da aplicação de  $V_{DS}$  em caminhos percolados anteriormente inativos e a desordem de dipolos localizados no dielétrico de *gate* resultante da redução da tensão de  $V_{GD}$ . Para explicar este fenômeno os mecanismos de interação das nanopartículas com o ar ambiente, de migração de vacâncias de oxigênio e de difusão de íons metálicos foram abordados. Tal diferença de comportamento típico para os dois tipos de amostras medidas está provavelmente relacionada com as diferenças estruturais de cada configuração, uma vez que para as amostras *inverted staggered* uma resistência de acesso entre o eletrodo metálico e a camada de acumulação é formada próxima à interface com o ar ambiente e, dessa forma, torna-se uma região mais susceptível à interação com o meio ambiente e propicia aos efeitos de difusão de vacâncias de oxigênio e de íons metálicos. Além disso, os caminhos paralelos, formados pela característica da rede de nanopartículas percolada formada na camada semicondutora podem estar associados à grande variedade tanto de amplitude dos saltos de corrente como também das constantes de tempo de subidas e quedas contínuas de corrente.

## 7.1 LIMITAÇÕES DO MÉTODO

Apesar de o procedimento experimental adotado neste trabalho ter sido suficiente para a identificação do comportamento elétrico típico dos transistores medidos, algumas limitações referentes ao equipamento de medida impossibilitam um aprofundamento nesta análise. A coleta de dados é limitada em 5.000 pontos por medida, e dessa forma, para realizar medidas com períodos mais longos resulta em uma significativa perda de resolução. Além disso, como um gerador de pulsos não está disponível, as medidas foram limitadas para as situações de degrau único, ou seja, não é possível aplicar, na mesma medida, nos terminais do transistor a situação de *stress/recovery/stress*, por exemplo. Outro desafio decorre do desconhecimento prévio dos fenômenos observados neste estudo, pois em vista disso foi necessária uma grande quantidade de medidas para um significativo grupo de transistor para validar os comportamentos típicos observados. Assim, os experimentos foram realizados ao longo de meses e, portanto, sujeitos às variações de umidade e de temperatura. Também em razão do extenso período de medidas observa-se a degradação dos transistores medidos em virtude da interação das amostras com o ar ambiente. Além disso, a grande maioria dos transistores medidos possuem fonte compartilhada, uma vez que os transistores com fonte individual estavam majoritariamente danificados e, por isso, foi necessário repetir as medidas para

ambas as estruturas de transistores para validar o comportamento observado e para compreender se havia alguma correlação entre as correntes de dreno e de *gate*.

## 7.2 TRABALHOS FUTUROS

Neste momento, todos os esforços estão voltados para a validação das hipóteses apresentadas neste trabalho, através da extensão desta investigação utilizando novas amostras de TFTs de nanopartículas de ZnO similares e pela aplicação desta metodologia de caracterização elétrica no domínio do tempo em transistores de filmes finos orgânicos, que utilizam DNTT e C8-BTBT como material ativo. Estas novas amostras também foram produzidas pelo grupo de pesquisa *Sensor Technology Department* da Universidade de Paderborn que é parceiro do LAPROT e nas quais o mesmo nanocomposto *high-k* foi utilizado como material do dielétrico de *gate*. Dessa forma, a influência deste material nos comportamentos elétricos observados neste trabalho poderá ser aprofundada, uma vez que será possível verificar quais efeitos serão novamente observados e, portanto, originados pelas perturbações presentes no dielétrico de *gate*, visto que a camada semicondutora será distinta.

## REFERÊNCIAS

CHEN, Y. J.; TAI, Y. H.; CHANG, C. Y. Mechanism of hysteresis for a-IGZO TFT studied by changing the gate voltage waveform in measurement. **IEEE Transactions On Electron Devices**, New York, v. 63, n. 4, p.1565-1571, Apr. 2016.

FABER, H. et al. Low-temperature solution-processed memory transistors based on zinc oxide nanoparticles. **Advanced Materials**, Weinheim, v. 21, n. 30, p.3099-3104, 14 Aug. 2009.

FAN, Z.; LU, J. G. Zinc oxide nanostructures: synthesis and properties. **Journal Of Nanoscience And Nanotechnology**, Valencia, CA, v. 5, n. 10, p.1561-1573, 1 Oct. 2005.

HERRING, N. P. et al. Microwave synthesis of metal oxide nanoparticles. In: ARPENTER, M.; MATHUR, S.; KOLMAKOV, A. (eds). **Metal oxide nanomaterials for chemical sensors**. New York: Springer, 2012. p.245-284.

HILLERINGMANN, U. et al. Semiconductor nanoparticles for electronic device integration on foils. In: IEEE AFRICON, 2011, Livingstone. **Proceedings...** New York: IEEE, 2011. p.1-6.

HIRSCHWALD, W. H. Zinc oxide: an outstanding example of a binary compound semiconductor. **Accounts Of Chemical Research**, Washington, v. 18, n. 8, p.228-234, Aug. 1985.

HONG, D. et al. Electrical modeling of thin-film transistors. **Critical Reviews In Solid State And Materials Sciences**, London, v. 33, n. 2, p.101-132, 16 May 2008.

HOSSAIN, F. M. et al. Modeling of grain boundary barrier modulation in ZnO invisible thin film transistors. **Physica E: Low-dimensional Systems and Nanostructures**, Amsterdam, v. 21, n. 2-4, p.911-915, Mar. 2004.

JAGADISH, C.; PEARTON, S. **Zinc oxide bulk, thin films and nanostructures**. Amsterdam: Elsevier, 2006.

JANOTTI, A.; WALLE, C. G. V. d. Oxygen vacancies in ZnO. **Applied Physics Letters**, New York, v. 87, n. 12, p.122102-122104, 19 Sept. 2005.

HONG, S. K.; KIM, J. E.; KIM, S. O. Flexible resistive switching memory device based on graphene oxide. **IEEE Electron Device Letters**, New York, v. 31, n. 9, p.1005-1007, Sept. 2010.

LI, C. et al. Observation of oxygen vacancy migration in memory devices based on ZnO nanoparticles. **Journal of Applied Physics**, New York, v. 121, n. 14, p.144503-144508, 14 Apr. 2017.

MEULENKAMP, E. A. Electron transport in nanoparticulate ZnO films. **The Journal of Physical Chemistry B**, Washington, v. 103, n. 37, p.7831-7838, Sept. 1999.

MEYERS, T. et al. Low-voltage DNTT-based thin-film transistors and inverters for flexible electronics. **Microelectronic Engineering**, Amsterdam, v. 174, p.35-39, Apr. 2017.

MORRISON, S. R. Semiconductor gas sensors. **Sensors And Actuators**, Amsterdam, v. 2, p.329-341, Jan. 1981.

OKAMURA, K.; HAHN, H. Carrier transport in nanocrystalline field-effect transistors: impact of interface roughness and geometrical carrier trap. **Applied Physics Letters**, New York, v. 97, n. 15, p.153114-153116, 11 Oct. 2010.

VERBAKEL, F.; MESKERS, S. C. J.; JANSSEN, R. A. J. Electronic memory effects in diodes from a zinc oxide nanoparticle-polystyrene hybrid material. **Applied Physics Letters**, New York, v. 89, n. 10, p.102103-102105, 4 Sept. 2006.

VERES, J. et al. Gate insulators in organic field-effect transistors. **Chemistry Of Materials**, Washington, v. 16, n. 23, p.4543-4555, Nov. 2004.

VIDOR, F. F. **ZnO thin-film transistors for cost-efficient flexible electronics**. 2017. 242 f. Tese (Doctorate degree) – Electrical Engineering, Paderborn University, Paderborn, 2017.

VIDOR, F. F.; MEYERS, T.; HILLERINGMANN, U. Flexible electronics: integration processes for organic and inorganic semiconductor-based thin-film transistors. **Electronics**, Basel, v. 4, n. 4, p.480-506, 24 July 2015.

VIDOR, F. F. et al. Characterization and analysis of the hysteresis in a ZnO nanoparticle thin-film transistor. **IEEE Transactions on Nanotechnology**, New York, v. 12, n. 3, p.296-303, May 2013.

VIDOR, F. F. et al. ZnO nanoparticle thin-film transistors on flexible substrate using spraycoating technique. **Microelectronic Engineering**, Amsterdam, v. 159, p.155-158, June 2016.

VIDOR, F. F.; MEYERS, T.; HILLERINGMANN, U. Inverter circuits using ZnO nanoparticle based thin-film transistors for flexible electronic applications. **Nanomaterials**, Basel, v. 6, n. 12, p.154-168, 23 Aug. 2016.

VIDOR, F. F. et al. Inverter circuits on freestanding flexible substrate using ZnO nanoparticles for cost-efficient electronics. **Solid-state Electronics**, Amsterdam, v. 137, p.16-21, Nov. 2017.

VIDOR, F. F.; WIRTH, G. I.; HILLERINGMANN, U. Low temperature fabrication of a ZnO nanoparticle thin-film transistor suitable for flexible electronics. **Microelectronics Reliability**, Amsterdam, v. 54, n. 12, p.2760-2765, Dec. 2014.

VIDOR, F. F. et al. Influence of traps on the characteristics of ZnO nanoparticles thin-film transistors. In: GMM-FACHBERICHT-MIKRO-NANO-INTEGRATION (MNI2016), 2016, Duisburg. **Proceedings...** New York: IEEE, 2011. p.1-6.

WANG, J. et al. Memristive devices based on solution-processed ZnO nanocrystals. **Physica Status Solidi (a)**, Weinheim, v. 207, n. 2, p.484-487, Feb. 2010.

WONG, W. S.; SALLEO, A. **Flexible electronics: materials and applications**. New York: Springer, 2009.

YE, Z. et al. Mechanism and origin of hysteresis in oxide thin-film transistor and its application on 3-D nonvolatile memory. **IEEE Transactions on Electron Devices**, New York, v. 64, n. 2, p.438-446, Feb. 2017.

YI, M. et al. Temperature dependence of resistive switching behaviors in resistive random access memory based on graphene oxide film. **Nanotechnology**, Bristol, v. 25, n. 18, p.185202-185209, 16 Apr. 2014.