

063

**DETECÇÃO E TOLERÂNCIA A FALHAS EM UM ROTEADOR.** *Leandro J. Cassol, Janor A. Bastos, Marcelo S. Lubaszewski* (Departamento de Engenharia Elétrica, Escola de Engenharia, UFRGS).

Este estudo visa atender a necessidade de confiabilidade em um roteador utilizado pela empresa Equitel-Siemens do Brasil. A primeira etapa da pesquisa constituiu-se no desenvolvimento de uma metodologia para a investigação do comportamento do roteador na presença de falhas. Neste contexto, adotou-se um modelo de falhas a nível de transistores NMOS, dispositivos estes utilizados na implementação em silício do roteador. Devido à disposição dos transistores no roteador pode-se dividi-lo em módulos básicos e fazer uma análise distinta para cada módulo. Com o auxílio de ferramentas computacionais, injetou-se falhas e verificou-se que na grande maioria dos casos obtinha-se uma alteração de comportamento observada na saída do circuito. Neste momento a preocupação principal passou a ser a observação de modificações no sinal durante a passagem da entrada para a saída do circuito. Neste novo contexto, e ainda utilizando ferramentas computacionais, fez-se ensaios de detecção segundo uma abordagem de duplicação do módulo. Um módulo extra foi então colocado em paralelo, com os outros módulos do roteador, e nesta configuração pode-se comparar as suas saídas verificando-se a presença de falhas internas a cada módulo. Falhas de interação entre módulos distintos, puderam ser igualmente detectadas. Este método também possibilita a substituição de um módulo defeituoso. Com o objetivo de validar esta estratégia de tolerância a falhas, o roteador e o mecanismo de teste abordados foram implementados utilizando-se componentes discretos (chaves lógicas e transistores) em uma placa de circuito impresso. Nesta placa foram realizados testes a partir dos quais obteve-se resultados similares aos antecipados por simulação (CNPq/UFRGS).