222

GERAÇÃO AUTOMÁTICA DE LEIAUTE DE PORTAS CMOS COMPLEXAS. *Carlos H. G. Hassmann, André I. Reis, Ricardo R. A. L. Reis* (Departamento de Informática Aplicada, Instituto de Informática, UFRGS)

O projeto de um circuito integrado é normalmente dividido em diferentes estágios devido à sua complexidade. A última etapa de projeto antes da fabricação é a síntese do leiaute final do circuito integrado, conhecida como síntese física. Esta síntese se caracteriza pelo posicionamento e pelo roteamento de elementos físicos, que resulta em um conjunto de elementos geométricos caracterizando a planta baixa final do circuito integrado. No caso específico da síntese de leiaute de portas CMOS complexas, este processo se caracteriza pela posicionamento e roteamento de um conjunto de transistores CMOS representando funcionalidades específicas. A particularidade do método proposto é de considerar a geração do leiaute das portas de modo a obter células com altura mínima ao invés de obter células com área mínima. Esta particularidade visa a obtenção de uma biblioteca de células com altura mínima (igual à altura da maior célula). O número de portas complexas considerando-se uma restrição de número de transistores em série é finito, e este trabalho visa definir um limite inferior para a altura, largura e área de cada uma das 3503 diferentes células com até quatro transistores em série. O algoritmo desenvolvido considera reordenamento de transistores e os resultados obtidos até o momento indicam que o método proposto é satisfatório por considerar a minimização da altura (representada pelo número de trilhas necessárias ao roteamento) das portas complexas e não somente da largura (representada pelo número de quebras na camada de difusão). A ferramenta esta sendo desenvolvida em linguagem C++ (CNPq/UFRGS).