

PROJETO E IMPLEMENTAÇÃO DE UM PROCESSADOR LOGARÍTMICO DEDICADO AO RECONHECIMENTO DE VOZ. *Roger P. Nunes, José L. Gómez-Cipriano, Dante A. C. Barone* (Instituto de Informática - UFRGS).

Devido a grande quantidade de parâmetros a serem computados, as modernas aplicações das técnicas de processamento digital de sinais exigem cada vez mais processadores versáteis e de alto desempenho. No âmbito do Reconhecimento Automático de Voz, tornam-se necessários dispositivos compactos e de alta velocidade, visando garantir a portabilidade e o menor consumo de todo o sistema. Com esta finalidade, utilizam-se algoritmos extremamente otimizados, fornecendo resultados praticamente em tempo real e aumentando a eficiência do sistema. Neste perfil, adapta-se o CORDIC (Coordinate Rotation Digital Computer), muito difundido e utilizado nos mais variados campos da ciência e especialmente em técnicas de DSP (Digital Signal Processing). O objetivo principal deste trabalho é a implementação em hardware de um processador que calcule a função transcendental logarítmica, a fim de que grande parte das multiplicações necessárias no processamento da voz sejam transformadas em operações de soma, simplificando significativamente o espaço do hardware ocupado e melhorando significativamente a relação custo/benefício de todo o projeto. Desta forma, para o desenvolvimento de um processador completo, separou-se o processo em duas etapas, sendo uma responsável pelo escalonamento e outra pelo CORDIC. Devido à flexibilidade das linguagens de descrição de hardware, utilizou-se o VHDL. A arquitetura proposta foi sintetizada em FPGA (Field Programmable Gate Array), devido à facilidade de verificação de seu funcionamento. Além de servir para a redução de multiplicações, o circuito será utilizado no pré-processamento dos sinais de voz para extrair os Parâmetros Mel-Cepstrais, em um Sistema de Reconhecimento Automático de Voz (RAV). (CNPq -PIBIC/UFRGS).